

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200710166779.4

H01L 27/22 (2006.01)

H01L 21/82 (2006.01)

H01F 17/00 (2006.01)

H01F 41/00 (2006.01)

[43] 公开日 2008 年 12 月 31 日

[11] 公开号 CN 101335289A

[22] 申请日 2007. 11. 19

[21] 申请号 200710166779.4

[30] 优先权

[32] 2007. 6. 26 [33] US [31] 11/768,199

[71] 申请人 联发科技股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 杨明宗 詹归娣 柯庆忠

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 任默闻

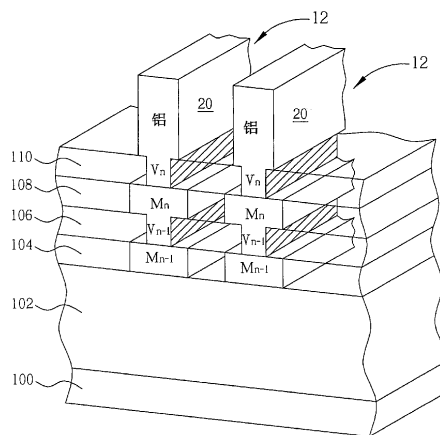
权利要求书 2 页 说明书 5 页 附图 2 页

[54] 发明名称

集成电感

[57] 摘要

本发明涉及一种集成电感，包含线圈以及第一线形通孔结构，其中线圈包含：第一金属层，镶嵌至第一绝缘层的第一金属层；以及第二金属层，镶嵌至位于第一绝缘层之上的第二绝缘层。第一线形通孔结构镶嵌至位于第一绝缘层与第二绝缘层之间的第三绝缘层上的通孔槽，用以将第一绝缘层与第二绝缘层相互连接。本发明的集成电感具有高品质因数 Q 并可降低制造工艺成本。



1. 一种集成电感，所述的集成电感包含：
线圈，其中所述的线圈包含：
第一金属层，镶嵌至第一绝缘层；以及
第二金属层镶嵌至位于所述的第一绝缘层上的第二绝缘层；以及
第一线形过孔结构镶嵌至位于所述的第一绝缘层与所述的第二绝缘层之间的第三绝缘层上的通孔槽，用以将所述的第一绝缘层与所述的第二绝缘层相互连接。
2. 根据权利要求 1 所述的集成电感，其特征在于，所述的第一金属层包含铜。
3. 根据权利要求 1 所述的集成电感，其特征在于，所述的第二金属层包含铜。
4. 根据权利要求 1 所述的集成电感，其特征在于，所述的第二金属层以及所述的第一线形通孔结构是一个整体。
5. 根据权利要求 1 所述的集成电感，其特征在于，所述的第二金属层以及所述的第一线形通孔结构是通过铜双镶嵌结构方法形成。
6. 根据权利要求 1 所述的集成电感，其特征在于，所述的第一绝缘层包含氧化硅，氮化硅，碳化硅，氮氧化硅，低介电系数材料或是超低介电系数材料。
7. 根据权利要求 1 所述的集成电感，其特征在于，所述的第二绝缘层包含氧化硅，氮化硅，碳化硅，氮氧化硅，低介电系数材料或是超低介电系数材料。
8. 根据权利要求 1 所述的集成电感，其特征在于，所述的第一金属层，所述的第二金属层以及所述的第一线形通孔结构具有大致相同的图案。
9. 根据权利要求 8 所述的集成电感，其特征在于，所述的相同的图案包含八边形和螺旋形。

10. 根据权利要求1所述的集成电感，其特征在于，所述的线圈更包含铝金属层，通过第二线形通孔结构连接所述的第二金属层。

11. 根据权利要求10所述的集成电感，其特征在于，所述的第二线形通孔结构镶嵌至第四绝缘层，所述的第四绝缘层位于所述的第二绝缘层之上，并与在所述的第四绝缘层上图案化的所述的铝金属层成为一个整体。

12. 根据权利要求11所述的集成电感，其特征在于，所述的第四绝缘层包含氧化硅，氮化硅，碳化硅，氮氧化硅以及聚合物。

13. 根据权利要求1所述的集成电感，其特征在于，所述的第二金属层包含铝。

14. 根据权利要求13所述的集成电感，其特征在于，所述的第一线形通孔结构与于所述的第一绝缘层上图案化的所述的铝金属层成为一个整体。

15. 根据权利要求1所述的集成电感，其特征在于，所述的第一线形通孔结构或者所述的第二线形通孔结构具有片段线形通孔结构。

集成电感

技术领域

本发明有关于半导体集成电路设计，尤其有关于低成本并适用于射频 (radio frequency, RF)应用的晶载高 Q(高品质因数)集成电感(inductor)结构。

背景技术

迅速发展的无线通信市场对具有更多功能的小而便宜的手持设备的需求也越来越高。电路设计的一个主要趋势是尽可能将更多的电路进行集成，以便降低每个晶圆(wafer)的成本。

半导体晶圆上的电感广泛用于基于金属氧化物半导体(CMOS)的 RF 电路，例如，低噪声放大器，压控振荡器，以及功率放大器。电感是一种以磁场形式储存能量的被动电子组件，电感可以抵抗流经其电流的变化。

电感的一个重要特性是品质因数 Q，其与 RF 电路以及系统的效能相关。集成电路的品质因数 Q 由其基底(substrate)本身的寄生损耗所限制。这些损耗包含电感的金属层(metal layer)所带来的高阻抗。因此，为了达到较高的品质因数 Q，电感的阻抗应该维持在最小值。一种最小化电感的阻抗的方法是增加制造电感的金属的厚度。

因此，由于集成电感的最上层金属层较厚(例如，最上层金属层的铜互连布线技术)的原因，使得由 RF 基线(baseline)方法制成的集成电感的阻抗得以降低。因为对于所属领域的技术人员来说，在最上层金属层实现金属层加厚较其它金属层容易。以 0.13 微米的 RF 基线方法为例，最上层金属层具有 3 微米的厚度是很平常的。然而，太厚的金属层常常会导致复杂的加工工艺以及相对较高的成本。

发明内容

有鉴于此，需要提供一种具有高品质因数 Q 的集成电感。

本发明提供一种集成电感，包含线圈，其中线圈包含：第一金属层镶嵌至第一绝缘层，以及第二金属层镶嵌至位于第一绝缘层之上的第二绝缘层；以及第一线形通孔结构镶嵌至位于第一绝缘层与第二绝缘层之间的第三绝缘层上的通孔槽，用以将第一绝缘层与第二绝缘层相互连接。

本发明的集成电感具有高品质因数 Q 并可降低制造工艺成本。

附图说明

图 1 为本发明实施例具有多圈线圈集成电感 10 的俯视图。

图 2 为沿图 1 的 I-I' 线的截面透视图。

具体实施方式

本发明属于集成电感结构的改进，使其具有更好的品质因数 Q ，以及降低制造成本。一方面，本发明采用线形通孔结构(line-shaped via structure)来代替孔形通孔结构(hole-shaped via structure)，用以将上层金属与下层金属电性连接起来。传统上，设置在半导体设备的传导层中的很多通孔栓(via plug)是用于电连接这些传导层，为了制造工艺的统一性，传统的孔形通孔栓具有统一的形状和大小，因此，为了降低阻抗，需要利用一组通孔栓。

本发明另一方面，集成电路芯片的钝化层上采用金属层，例如铝，以制成集成电感，这样便可以减少集成电路芯片最上层铜金属层的厚度。

钝化层表面的铝金属层通常用以提供铜接合衬垫上的接合界面，以防止下面的铜被氧化。

以下将结合附图对本发明实施例进行详细描述。说明书以及附图中的标号“ M_n ”表示最上层的金属层，例如集成电路芯片中的铜金属层，其中“ M_{n-1} ”表示此铜金属层仅比最上层的铜金属层低一层，依此类推，其中，优选地， n

的范围在 4 至 8 之间，但本发明并不限制于此。标号“V”表示两个相邻铜金属层之间的通孔栓。举例来说，V5 表示连接 M5 与 M6 的通孔栓。

图 1 为本发明实施例具有多圈线圈(multi-turn winding)集成电感 10 的俯视图。图 2 为沿第 1 图的 I-I'线的截面透视图。为了简便，图 2 中只显示两个相邻线圈 12 的差动对(differential pair)。

为了便于理解，本发明实施例集成电感 10 采用八边形的形状。集成电感 10 也可采用其它适合的形状，例如，螺旋形状。电感的形状或图案并不限制于此。本发明同样适用于单端电感(single-ended inductor)。

如图 1 以及图 2 所示，集成电感 10 的每个线圈 12 都有垂直的金属堆栈(metal stack)，金属堆栈具有以下顺序：第 M_{n-1} 层金属，通孔栓层 V_{n-1} ，第 M_n 层金属，通孔栓层 V_n 以及铝金属层 20。通孔栓层 V_{n-1} 电连接金属层 M_{n-1} 和金属层 M_n ，并且通孔栓层 V_n 电连接金属层 M_n 和铝金属层 20。根据本发明实施例，集成电感 10 的线圈 12 不包括较低的金属层 $M_1 \sim M_{n-2}$ ，以减少基底 100 耦合的寄生损耗。根据本发明另一实施例，较低的金属层 $M_1 \sim M_2$ 也不包含在内。

本发明的一个重要特征是通孔栓层 V_{n-1} 以及 V_n 都是线形结构。优选的方式是，线形结构通孔栓层 V_{n-1} 和 V_n 与金属层 M_{n-1} ，金属层 M_n 以及铝金属层具有相同的图案(pattern)，并且通孔栓层的线宽要比金属层 M_{n-1} ，金属层 M_n 的线宽要小。通过采用线形结构的通孔栓层 V_{n-1} 和 V_n ，集成电感 10 的阻抗值可以降低。在本发明实施例中，较小线宽的通孔栓层并非为本发明的限制。在其它实施例中，通孔栓层的线宽可与金属层的线宽相同或大于金属层的线宽。线形通孔栓层的图案与金属层的图案相同也并非是本发明的限制。在其它实施例中，线形通孔栓层的图案可以是每个线圈中包含多个片段线形图案(segmented line-shaped)。本发明实施例，也包括仅使用一层金属层加铝金属层的情形。

根据本发明实施例，金属层 M_{n-1} ，通孔栓层 V_{n-1} 以及金属层 M_n 通过

传统铜镶嵌方法(copper damascene method), 例如, 单镶嵌结构方法(single damascene)或双镶嵌结构方法(dual damascene)来实现。举例来说, 金属层 Mn-1 由单镶嵌结构方法实现, 金属层 Mn 以及通孔栓层 Vn-1 由双镶嵌结构方法来实现。这样一来, 金属层 Mn 与通孔栓层 Vn-1 便成为一个整体。

正如所属领域技术人员所知, 铜镶嵌方法提供一种使得导线与通孔栓耦接但不需要干蚀刻铜(dry etching copper)的解决方法。无论是单镶嵌结构方法或是双镶嵌结构方法均可用以将集成电路中的导线和/或组件连接。

一般说来, 双镶嵌结构可以分为沟槽优先(trench-first)结构, 通孔优先(via-first)结构, 部分通孔优先(partial-via-first)结构以及自我对准式(self-aligned)结构。举例来说, 一种传统双镶嵌结构的制造工艺是首先在绝缘层(dielectric layer)上蚀刻出沟槽(trench)以及通孔洞(via hole)。通孔洞以及沟槽与例如是钽(Ta)或氮化钽(TaN)的阻障层对齐, 然后填充铜。接着使用平坦化制造工艺(planarization process) (例如化学机械抛光(CMP)) 以形成镶嵌的金属互连接。

绝缘层 102~110 位于基底 100, 根据本发明实施例, 集成电感 10 基本制成于位于绝缘层 104 与基底 100 之间的绝缘层 102 上, 金属层 Mn-1 镶嵌至绝缘层 104, 金属层 Mn 以及整个通孔栓层 Vn-1 分别镶嵌至绝缘层 108 和绝缘层 106。

绝缘层 102~108 可以是氧化硅, 氮化硅, 碳化硅, 氮氧化硅, 低介电系数(low-k)材料或是超低介电系数(ultra low-k)材料 (例如有机物(SILK)或无机物(HSQ))。

根据本发明实施例, 通孔栓层 Vn 由铝组成并且与铝金属层 20 结合。也就是说, 通孔栓层 Vn 与铝金属层 20 是一个整体。从结构上说, 通孔栓层 Vn 镶嵌至绝缘层 110 上对应的通孔槽(via slot)(图未示), 铝金属层 20 在绝缘层 110 上图案化。通孔栓层 Vn 与铝金属层 20 可以与传统的再分布层(re-distribution layer)(图未示)同时形成。

绝缘层 110 可以是氧化硅,氮化硅,碳化硅,氮氧化硅,聚合物以及类似物质。

集成电感 10 完全兼容标准逻辑制造工艺,并且由于通孔栓层 V_n 与铝金属层 20 为一体,没有过厚的铜金属层通孔栓。

在本发明其它实施例中,通过使用线形通孔结构,使得集成电感的阻抗降低。通过垂直的金属堆栈可实现具有高品质因数 Q 的集成电感,其中金属堆栈具有以下顺序:第 M_{n-1} 层金属,通孔栓层 V_{n-1} ,第 M_n 层金属,或者金属堆栈具有以下顺序:最上层第 M_n 层金属,通孔栓层 V_n 以及铝金属层。

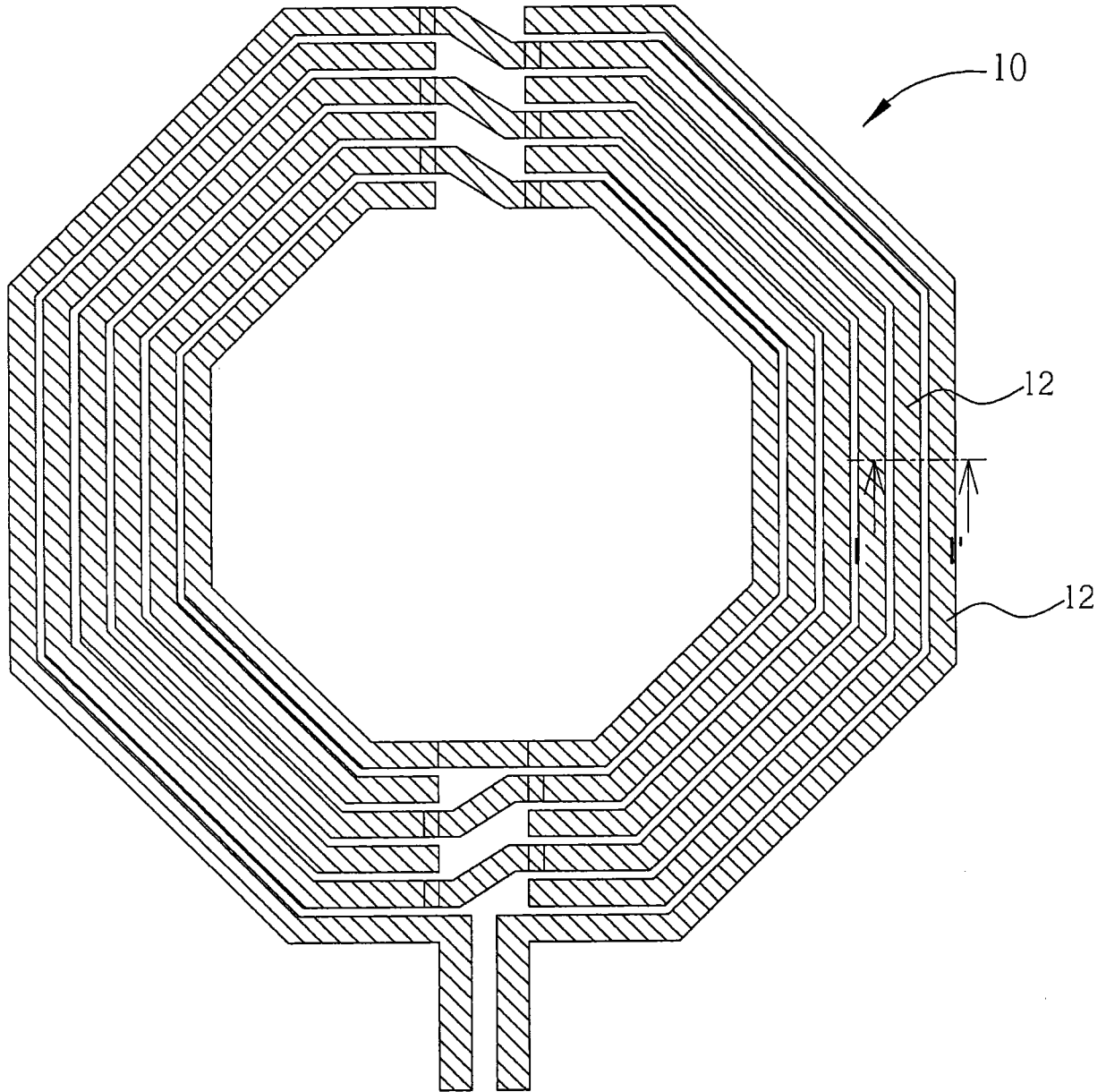


图 1

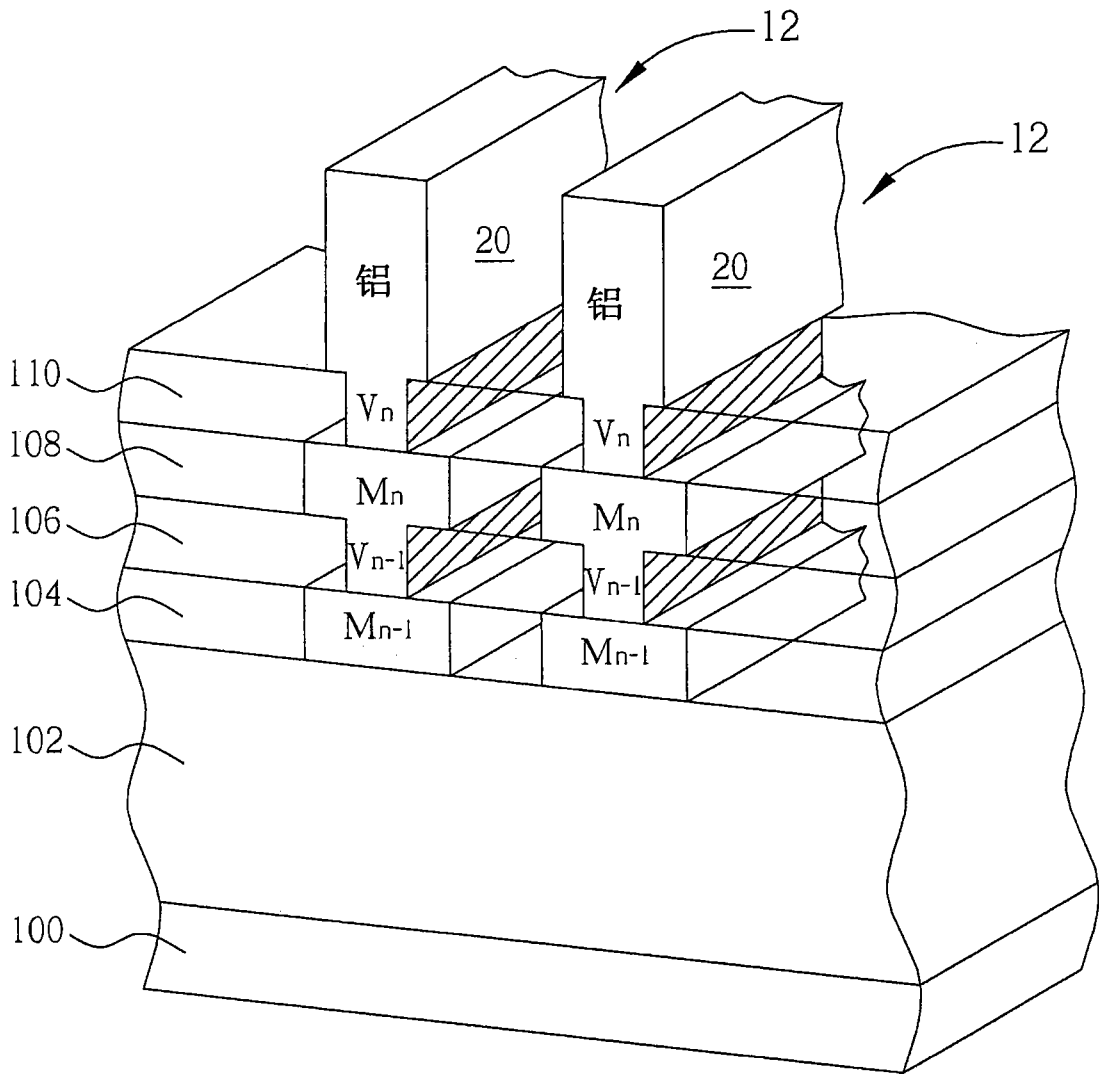


图 2