

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294517

(P2005-294517A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.⁷

H O 1 L 21/8242

H O 1 L 27/108

F I

H O 1 L 27/10

H O 1 L 27/10

6 2 5 A

6 5 1

テーマコード (参考)

5 F O 8 3

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2004-107153 (P2004-107153)

(22) 出願日 平成16年3月31日 (2004. 3. 31)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100071135

弁理士 佐藤 強

(74) 代理人 100119769

弁理士 小川 清

(72) 発明者 川端 至

三重県四日市市山之一色町800番地 株

式会社東芝四日市工場内

(72) 発明者 井上 裕文

三重県四日市市山之一色町800番地 株

式会社東芝四日市工場内

Fターム(参考) 5F083 AD17 AD60 GA09 GA27 JA04

JA33 JA53 MA06 MA20 NA01

PR37

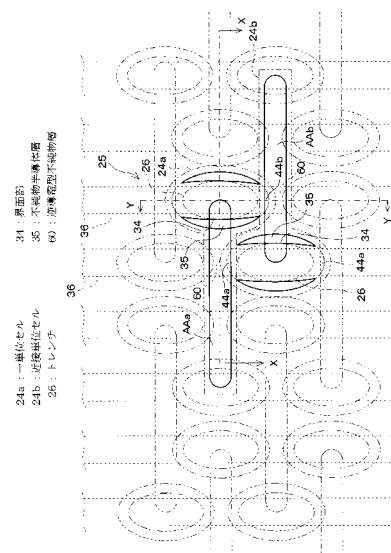
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 単位セルを高密度に配列して製造したとしても一の単位セルに隣接する単位セルのアクティブエリアにまで悪影響を極力引き起こすことのないようにする。

【解決手段】 第1の導電層29の自単位メモリセル24aの溝部26の上部からアクセプタ型の不純物を隣接するメモリセル24bのゲート電極下のP領域に注入し、その後リンや砒素などのドナー型の不純物を界面部34を含む溝部26の上部外周に拡散させる。【選択図】

図1



【特許請求の範囲】

【請求項 1】

半導体基板に形成されたトレンチ、当該トレンチに形成されたキャパシタ、および前記トレンチに近接して形成されたセルトランジスタからなる単位セルが複数配列されたトレンチ型の D R A M 装置による半導体装置であって、

一単位セルのトレンチとセルトランジスタとを接続する界面部を含み前記トレンチ外周囲の半導体基板に形成された不純物半導体層と、

前記不純物半導体層の不純物に対して逆導電型の不純物が前記セルトランジスタ下の半導体基板領域に注入された逆導電型不純物層とを備えたことを特徴とする半導体装置。

【請求項 2】

半導体基板に形成されたトレンチ、当該トレンチに形成されたキャパシタ、および前記トレンチに近接して形成されたセルトランジスタからなる単位セルが構成され、当該単位セルが複数配列されたトレンチ型の D R A M 装置による半導体装置であって、

前記トレンチ内に前記キャパシタの電極として形成された第 1 の導電層と、

この第 1 の導電層の上部の前記トレンチ側壁に形成された側壁絶縁膜と、

この側壁絶縁膜の内側に形成された第 2 の導電層と、

前記側壁絶縁膜の上部に前記半導体基板と接続するように形成された第 3 の導電層と、

前記一単位セルのセルトランジスタと前記第 3 の導電層とを接続する界面部を含み前記トレンチ周囲に形成された抵抗抑制用の不純物半導体層と、

この不純物半導体層の不純物に対して逆導電型の不純物が一単位セルに近接する近接単位セルに補われることにより近接単位セルの機能が補償された領域とを備えたことを特徴とする半導体装置。

【請求項 3】

半導体基板に形成されたトレンチにキャパシタが形成されると共に前記トレンチに近接して形成されたセルトランジスタからなる単位セルが構成され、当該単位セルが複数配列されたトレンチ型の D R A M 装置による半導体装置の製造方法であって、

前記トレンチのセルトランジスタとの界面部を含む当該トレンチ外周囲に、前記キャパシタおよび一単位セルのトランジスタ間の抵抗抑制用の不純物半導体層を形成する工程と

、
前記不純物半導体層の不純物に対して逆導電型の不純物を一単位セルに近接する近接単位セルに向けてイオン注入する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 4】

半導体基板に形成されたトレンチにキャパシタが形成されると共に前記トレンチに近接して形成されたセルトランジスタからなる単位セルが構成され、当該単位セルが複数配列されたトレンチ型の D R A M 装置による半導体装置の製造方法であって、

前記トレンチ内に前記キャパシタの電極として一単位セルの第 1 の導電層を形成する工程と、

前記第 1 の導電層の上部の前記トレンチ側壁に側壁絶縁膜を形成する工程と、

前記側壁絶縁膜の内側における前記トレンチ内に第 2 の導電層を形成する工程と、

前記第 2 の導電層が形成された露出上部側の前記トレンチ内の前記側壁絶縁膜を除去する工程と、

前記第 1 および第 2 の導電層内の不純物に対して逆導電型の不純物を前記一単位セルに近接する近接単位セルに向けてイオン注入する工程と、

前記側壁絶縁膜が除去されたトレンチに、第 3 の導電層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 5】

半導体基板に形成されたトレンチにキャパシタが形成されると共に前記トレンチに近接して形成されたセルトランジスタからなる単位セルが構成され、当該単位セルが複数配列されたトレンチ型の D R A M 装置による半導体装置の製造方法であって、

前記トレンチ内に前記キャパシタの電極として一単位セルの第 1 の導電層を形成する工

10

20

30

40

50

程と、

前記第 1 の導電層の上部の前記トレンチ側壁に側壁絶縁膜を形成する工程と、

前記側壁絶縁膜の内側に第 2 の導電層を形成する工程と、

前記第 2 の導電層が形成された露出上部側の前記トレンチ内の前記側壁絶縁膜を除去する工程と、

前記側壁絶縁膜が除去されたトレンチ内の前記第 2 の導電層の上部に、第 3 の導電層を形成する工程と、

前記第 3 の導電層の上部から前記一単位セルに近接する近接単位セルの機能を補償するための不純物を近接単位セルに向けてイオン注入する工程とを備えたことを特徴とする半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、夫々不純物半導体層を備えてなる複数の単位セルが配列された半導体装置およびその製造方法に関する。

【背景技術】

【0002】

この種のトレンチ型の DRAM 装置の一例が特許文献 1 に開示されている。この特許文献 1 によれば、トレンチ内に As（不純物）を含む多結晶シリコン膜を埋込み形成し、その後、素子分離領域（STI）に埋込まれるシリコン酸化膜の形成時の熱処理により、トレンチ内に埋込み形成された多結晶シリコン膜から As をシリコン基板中に拡散することにより埋込みコンタクト（ストラップ部）を形成している。

20

【0003】

ここで、多結晶シリコン膜からシリコン基板中に As を拡散することにより多結晶シリコン膜およびシリコン基板間の界面における界面抵抗の上昇を抑制できるようになり、多結晶シリコン膜およびシリコン基板間の電気抵抗値を抑制でき、キャパシタ充放電速度低下を防ぐことができ、これに伴うデータ書込／読出不良を防止することができるようになる。

【0004】

しかし当然ながら、このとき行われる不純物拡散がセルトランジスタ下の半導体基板領域にまで及ぶと、セルトランジスタのカットオフ特性の低下を招くため、界面周辺の拡散状態に対しては界面抵抗とカットオフ特性の両面から厳密な調整が必要とされている。

30

【特許文献 1】特開 2001-267528 号公報（第 3 頁）

【発明の開示】

【発明が解決しようとする課題】

【0005】

近年、従来に比較して高集積化および微細化がより一層顕著化しており、セルをより高密度に形成することが望まれているため、以下に示す不具合が引き起こされる懸念を生じている。すなわち、単位セルを高密度に配列させると、ある単位セルを製造する製造工程において、この単位セルに近接する近接単位セルのアクティブエリアにまで悪影響を及ぼしてしまう懸念が生じている。

40

【0006】

DRAM 装置は、高集積化、微細化に伴い、互いに隣接するメモリセルのアクティブエリアおよびトレンチ間の距離が狭くなる。したがって、特許文献 1 に開示されている製造方法により DRAM 装置を製造すると、界面を含むトレンチの外周囲に対して電気抵抗値を抑制するために拡散される不純物が、隣接するメモリセルのアクティブエリアにまで達し、隣接するメモリセルのアクティブエリアにまで悪影響を及ぼしてしまう。

【0007】

特に電気抵抗抑制用に不純物が拡散される領域は、隣接するセルトランジスタのゲート

50

電極下のアクティブエリアに位置することがあり、拡散される不純物がアクティブエリアのチャンネル領域の導電型に対して逆導電型であるときには、ゲート電極下の不純物が一部不活性化され、その結果、隣接するセルトランジスタのカットオフ特性の悪化やパンスルー耐性の悪化を引き起こしてしまう。

【0008】

本発明は、上記事情に鑑みてなされたもので、その目的は、単位セルを高密度に配列して製造したとしても、ある単位セルを製造する際に近接する単位セルにまで悪影響が極力引き起こされないようにした半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

10

本発明の半導体装置は、半導体基板に形成されたトレンチ、当該トレンチに形成されたキャパシタ、およびトレンチに近接して形成されたセルトランジスタからなる単位セルが複数配列されたトレンチ型のDRAM装置による半導体装置であって、一単位セルのトレンチとセルトランジスタとを接続する界面部を含みトレンチ外周囲の半導体基板に形成された不純物半導体層と、不純物半導体層の不純物に対して逆導電型の不純物がセルトランジスタ下の半導体基板領域に注入された逆導電型不純物層とを備えたことを特徴としている。

【0010】

このような構成によれば、トレンチ型のDRAM装置において、例えばメモリセル領域の単位メモリセルが高密度に配列され、一単位セルのセルトランジスタとキャパシタとを接続する界面部に抵抗抑制用の不純物半導体層が形成されることによりトレンチ外周囲にも不純物半導体層が形成され、これにより近接する単位セルに悪影響が及ぼされたとしても、不純物半導体層の不純物に対して逆導電型の不純物がセルトランジスタ下の基板領域に注入されることにより逆導電型不純物層が形成されれば当該セルトランジスタの機能が補償されるため、単位セルを高密度に配列して製造したとしても、製造対象の一単位セルに近接する近接単位セルにまで悪影響が及ぼされることが少なくなる。

20

【0011】

本発明の半導体装置の製造方法は、半導体基板に形成されたトレンチにキャパシタが形成されると共にトレンチに近接して形成されたセルトランジスタからなる単位セルが構成され、当該単位セルが複数配列されたトレンチ型のDRAM装置による半導体装置の製造方法であって、トレンチ内にキャパシタの電極として第1の導電層を形成する工程と、第1の導電層の上部のトレンチ側壁に側壁絶縁膜を形成する工程と、側壁絶縁膜の内側におけるトレンチ内に第2の導電層を形成する工程と、第2の導電層が形成された露出上部側のトレンチ内の側壁絶縁膜を除去する工程と、第1および第2の導電層内の不純物に対して逆導電型の不純物を一単位セルに近接する近接単位セルに向けてイオン注入する工程と、側壁絶縁膜が除去されたトレンチに、第3の導電層を形成する工程とを備えたことを特徴としている。

30

【0012】

さらに本発明の半導体装置の製造方法は、半導体基板に形成されたトレンチにキャパシタが形成されると共にトレンチに近接して形成されたセルトランジスタからなる単位セルが構成され、当該単位セルが複数配列されたトレンチ型のDRAM装置による半導体装置の製造方法であって、トレンチ内にキャパシタの電極として一単位セルの第1の導電層を形成する工程と、第1の導電層の上部のトレンチ側壁に側壁絶縁膜を形成する工程と、側壁絶縁膜の内側に第2の導電層を形成する工程と、第2の導電層が形成された露出上部側のトレンチ内の側壁絶縁膜を除去する工程と、側壁絶縁膜が除去されたトレンチ内の第2の導電層の上部に第3の導電層を形成する工程と、第3の導電層の上部から一単位セルに近接する近接単位セルの機能を補償するための不純物を近接単位セルに向けてイオン注入する工程とを備えたことを特徴としている。

40

【0013】

このような半導体装置の製造方法によれば、例えば熱処理等が行われ第3の導電層から

50

トレンチ外周囲に不純物が拡散されることにより抵抗抑制用の不純物半導体層が形成され、単位セルを高密度に配列して製造する際に近接する単位セルにまでおよびゲート電極下の不純物が不活性化されたとしても、不純物半導体層が形成される前段階もしくは後段階で不純物を近接単位セルに向けてイオン注入しているので、前述同様近接する単位セルに悪影響が引き起こされることが少なくなる。

【発明の効果】

【0014】

本発明によれば、単位セルを高密度に配列して製造したとしても、ある一単位セルを製造する際に当該一単位セルに近接する近接単位セルのアクティブエリアにまで悪影響を極力引き起こすことなく形成することができる。

10

【発明を実施するための最良の形態】

【0015】

以下、本発明の一実施形態について図1ないし図13を参照しながら説明する。尚、本発明をわかりやすく簡潔に示すため、図面の縮尺については実際の縮尺とは異なることに留意する必要がある。図1および図2は、半導体装置としてのトレンチ型のDRAM装置21の横断面図および縦断側面図を模式的に示している。本実施形態においては、P型のシリコン半導体基板22を使用した例を示すが、必要に応じて逆導電型の半導体基板を使用しても良い。

【0016】

<構成について>

20

トレンチ型のDRAM装置21は、図1および図2に示すように、シリコン半導体基板22に、複数の単位メモリセル24a、24b等が格子状に複数配列されることによりメモリセル領域25が形成されている。単位メモリセル24a（本発明の一単位セルに相当：自単位メモリセル）および単位メモリセル24b（本発明の近接単位セルに相当：隣接単位メモリセル）は、それぞれ1つのキャパシタCおよび1つのセルトランジスタ23を備えている。尚、メモリセル24aを構成する構成要素と、このメモリセル24aに隣接するメモリセル24bを構成する構成要素とは、同一機能を有しているため、夫々の構成要素には同一符号を付すかもしくは添え字aもしくはbを付して以下説明を行う。

【0017】

図2は、図1のX-X線に沿う縦断側面図を示している。シリコン半導体基板21の1単位メモリセル24aの構成を説明する。このメモリセル24aには、深い溝部（トレンチ）26が形成され、この溝部26にキャパシタCが形成されている。

30

以下、キャパシタCの構成について説明する。溝部26の外周には当該溝部26の下部からある所定の高さまでプレート拡散層27が形成されている。このプレート拡散層27は、単位メモリセル24を構成するキャパシタCの一方のプレート電極として機能する。溝部26の内面で且つプレート拡散層27上には、NO（Nitride Oxide）膜28が形成されている。このNO膜28は、キャパシタCを構成する両電極分離用の絶縁膜として機能する。溝部26の内面且つNO膜28上には、第1の導電層29が形成されている。この第1の導電層29は、アモルファスシリコンあるいは多結晶シリコン材料あるいはポリサイド材料によりキャパシタCの電極として埋込み形成されている。

40

【0018】

この第1の導電層29およびNO膜28の上部には、側壁絶縁膜30が溝部26の内周面に厚く形成されている。この側壁絶縁膜30は、縦型寄生トランジスタによるリーク電流を抑制するための膜として形成されている。この側壁絶縁膜30の内側には、ストレージノード電極として第2の導電層31がアモルファスシリコンあるいは多結晶シリコン材料もしくはポリサイド材料により形成されている。この第2の導電層31の上部には素子分離膜32が酸化膜により形成されており、他の単位メモリセルと機能的に分離している。図1には、素子分離膜32を図示していない。また、第2の導電層31の上部には、第3の導電層33が埋込み形成されている。この第3の導電層33は埋込みストラップとして機能するもので、As等のドナー型の不純物をドーピングした多結晶シリコン材料もしくは

50

ポリサイド材料により形成されている。

【0019】

さて、セルトランジスタ23は溝部26のキャパシタCに隣接接続するように、トレレンチ26の所定方向側に形成されている。例えば、溝部26に埋め込まれた第3の導電層33とセルトランジスタ23との界面部34を含む溝部26の外周には等方的にストラップ部35（本発明の不純物半導体層に相当：不純物拡散層）が形成されている。このストラップ部35は、ドナー型の不純物が界面部34を介して第3の導電部33から外方拡散されることにより溝部26の上部外周に形成されている。これにより、溝部26に埋め込まれる第3の導電層33およびセルトランジスタ23間の接合領域の電気抵抗や、セルトランジスタ23の拡散層38およびキャパシタC間の電気抵抗を低減することができる。 10

【0020】

セルトランジスタ23は、ゲート電極36、ゲート絶縁膜37、n型の拡散層38および39（ドレイン拡散層およびソース拡散層）を備えている。拡散層38には、コンタクトプラグ40を介してビット線41が接続されており、ビット線41およびメモリセル24a～24bを電氣的に分離するように層間絶縁膜42が設けられている。尚、ゲート電極36を覆うようにゲート側壁絶縁膜43が形成されている。

【0021】

このようにして単一のメモリセル24aが構成されるが、図1に示すように、このメモリセル24aを単位として、単位メモリセル24a、24b…が水平方向に対向するように格子状に配列されている。溝部26は横断面楕円形状に形成されており、この溝部26に隣接してメモリセル24bのアクティブエリアAAbが形成されている（図1参照）。 20

尚、アクティブエリアAAbは、隣接したメモリセル24bのセルトランジスタ23の機能領域であり、構造はメモリセル24aのセルトランジスタ23の構成と同様である。このアクティブエリアAAbは、隣接するメモリセル24bにおける拡散層38、39およびゲート電極36下の半導体基板22のP領域を示している。尚、図1には単位メモリセル24aのアクティブエリアAAaの位置を概略的に示している。

【0022】

ところで、単位メモリセル24aおよび24bが図1に示すように近接配置されると、メモリセル24aの溝部26と、隣接するメモリセル24bのアクティブエリアAAbとが極端に近接する。すると、溝部26の上部外周にドナー型の不純物が拡散されることにより形成されたストラップ部35の影響により、特に隣接するメモリセル25bのアクティブエリアAAbのゲート電極下のP領域において、所望の特性、機能が得られなくなる。 30

【0023】

そこで、図1に示すように、アクティブエリアAAbのゲート電極下のP領域には、ゲート電極の機能を補償するようにアクセプタ型の不純物が補われる。このアクセプタ型の不純物が補われる領域は、逆導電型不純物層60として形成されている。アクティブエリアAAbのゲート電極下のP領域にアクセプタ型の不純物が補われることにより、ストラップ部35がアクティブエリアAAbのゲート電極下に拡散した領域44bにおいては、ドナー型の不純物が拡散されるものの、アクセプタ型の不純物の存在により、アクティブエリアAAbのゲート電極の機能が保たれる。 40

【0024】

尚、メモリセル24aのゲート電極下のP領域にも同様にゲート電極の機能を補償するようにアクセプタ型の不純物が補われる。したがって、領域44aにおいても、ドナー型の不純物が拡散されるものの、アクセプタ型の不純物の存在により、アクティブエリアAAaのゲート電極の機能が保たれる。

このような実施形態に係る構成によれば、メモリセル24aのセルトランジスタ23および第3の導電層33（キャパシタC）間の電気抵抗抑制のためドナー型の不純物が溝部26の上部外周にストラップ部35が形成されるが、このストラップ部35が隣接するメモリセル24bのゲート電極の機能に悪影響を引き起こすようなメモリセル配列であった 50

としても、隣接するメモリセル領域 A A b のゲート電極下の P 領域にゲート電極の機能を補償するようにアクセプタ型の不純物が補われるため、隣接するメモリセル 2 4 b の機能を保持した状態で D R A M 装置 2 1 を形成することができる。

【0025】

＜製造方法の説明＞

以下、このように構成されるトレンチ型の D R A M の製造方法を図 3 ないし図 1 3 を参照しながら説明する。図 3 ないし図 1 3 は、製造方法の一連の流れを模式的に縦断側面図（図 1 の Y-Y 断面の一部）により示している。

まず図 3 に示すように、シリコン半導体基板 2 2 上にシリコン酸化膜 5 1 を堆積し、この上にシリコン窒化膜 5 2 を堆積する。また、このシリコン窒化膜 5 2 上に B S G (Boron Silicate Glass) 膜 5 3 を堆積し、この上に T E O S 膜 5 4 を堆積して形成する。 10

【0026】

さらに、図 4 に示すように、T E O S 膜 5 4 上に深いトレンチを形成するためのフォトリソグレイズ（図示せず）をパターン形成し、異方性エッチングによりシリコン酸化膜 5 1 , シリコン窒化膜 5 2 , B S G 膜 5 3 および T E O S 膜 5 4 をエッチングした後、レジストパターンを除去する。レジストパターンを除去した後、図 5 に示すように、B S G 膜 5 3 および T E O S 膜 5 4 をマスクとして異方性エッチングにより半導体基板 2 2 を所定の深さまでエッチングすることにより溝部 2 6 を形成する。次に、T E O S 膜 5 4 および B S G 膜 5 3 を除去する。

【0027】

さらに、図 6 に示すように、溝部 2 6 下部から所定の深さまで溝部 2 6 の内面にシリカガラス 5 6 を堆積し、このシリカガラス 5 6 を T E O S 膜（図示せず）で覆い、高温で熱処理することにより、溝部 2 6 の側面にキャパシタ C のプレート拡散層 2 7 を形成する。 20

その後、溝部 2 6 内の T E O S 膜およびシリカガラス 5 6 を除去し洗浄した後、図 7 に示すように、溝部 2 6 内面の半導体基板 2 2 を薄く窒化することによりシリコン窒化膜を形成し、さらにシリコン窒化膜の表面を酸化して N O 膜 2 8 を形成する。そして、この N O 膜 2 8 の内側に A s をドーピングした多結晶シリコン材料からなる第 1 の導電層 2 9 を形成する。これらの第 1 の導電層 2 9 , およびプレート拡散層 2 7 が両プレート電極として機能する。

【0028】

さらに、第 1 の導電層 2 9 および N O 膜 2 8 をプレート拡散層 2 7 の上部までエッチング除去し、その上に絶縁膜 3 0 を形成する。この絶縁膜 3 0 は、T E O S を堆積することにより形成されている。そして、図 8 に示すように、第 1 の導電層 2 9 の上部に形成された絶縁膜 3 0 を異方性エッチングにより除去する。したがって、絶縁膜 3 0 が溝部 2 6 の内側壁に残存することにより側壁絶縁膜 3 0 として形成される。 30

【0029】

その後、図 9 に示すように、絶縁膜 3 0 が除去された第 1 の導電層 2 9 の上部に多結晶シリコン材料からなる第 2 の導電層 3 1 を積層形成する。これらの第 1 の導電層 2 9 , 第 2 の導電層 3 1 はアモルファスシリコンあるいはポリサイド材料により形成されていても良い。さらに図 1 0 に示すように、半導体基板 2 2 表面より少し深い位置まで第 2 の導電層 3 1 をエッチングする。さらに、第 2 の導電層 3 1 が形成された露出上部側の溝部 2 6 内の側壁絶縁膜 3 0 を等方性エッチングにより選択的に除去する。 40

【0030】

次に、図 1 1 に示すように、側壁絶縁膜 3 0 が除去された溝部 2 6 の上部から斜方向にアクセプタ型の不純物を注入する。言い換えると、図 1 に示すメモリセル 2 4 a の界面部 3 4 に注入されないように、楕円長尺断面に形成された界面部 3 4 に対して略平行方向に、溝部 2 6 の中心側から注入する。さらに言い換えると、隣接するメモリセル 2 4 b のセルトランジスタのチャネル方向に対して垂直でかつ半導体基板 2 2 に対してやや斜めに傾斜させた状態で注入する。この材料は、B + , B F 2 + 等のアクセプタ型不純物が望ましい。 50

【0031】

また、図1に示す半導体基板22の表面に対して斜方向に機能補償用の不純物を隣接するメモリセル24bのアクティブエリアAAbに注入するため、溝部26の所定方向側に形成されたアクティブエリアAAaのストラップ部35には、アクセプタ型不純物が注入されることがない。これは、注入方向がストラップ部35に対して平行になるためである。

【0032】

すなわち、アクセプタ型不純物が注入される領域（不純物注入領域）は、主として隣接メモリセル領域24bのゲート下領域（領域44b）に調整される（図1および図2の逆導電型不純物層60参照）ため、隣接メモリセル領域AAbのストラップ部35のPN接合領域には注入されにくく、界面部34aでのアクセプタ不純物濃度上昇に伴う接合リーク電流の増加、それに伴うキャパシタCに蓄積された電荷保持特性悪化の懸念をなくしながらストラップ部35の抵抗値を抑制することができるという効果を得ることができる。

【0033】

その後、図12に示すように、ドナー型の不純物がドーピングされた多結晶シリコン材料からなる第3の導電層33を第2の導電層31および側壁絶縁膜30の上部に形成し、シリコン半導体基板22の表面付近までエッチバックする。この場合、側壁絶縁膜30が除去された半導体基板22との界面部34を介して不純物が拡散することによりストラップ部35を形成する。尚、後述するセルトランジスタ23の形成後に、第3の導電層33が界面部34およびストラップ部35を介してアクティブエリアAAa（ソース拡散層39）に接続されることになる。尚、界面部34を含む溝部26の上部外周囲にドナー型の不純物をインプラントーションにより打ち込むことによりストラップ部35を形成しても良い。このストラップ部35は、セルトランジスタ23のソース拡散層39およびキャパシタC間の電気抵抗抑制のために形成される。

【0034】

このときメモリセル領域の溝部26および隣接するメモリセル領域のアクティブエリアのゲート電極が近接してしまうと、メモリセル領域の溝部26の上部外周に拡散したドナー型の不純物が、隣接するアクティブエリアのゲート電極下のP領域にまで達する。しかし、先にゲート電極下のP領域にはアクセプタ型の不純物が注入されているため、ゲート電極下が不活性化されることがなく、隣接するメモリセル24bのセルトランジスタ23のゲート電極の機能を低下させることがなくなり、カットオフ特性やパンチスルー特性の悪化を抑制することができる。

【0035】

その後、この溝部26の側部に素子分離膜32を形成すると共に、ドレイン拡散層38もしくはソース拡散層39が第3の導電層33と導通するようにセルトランジスタ23を形成する。このとき、ゲート電極36およびゲート絶縁膜37が共に形成される。さらに層間絶縁膜42およびビット線41を形成する。このようにして、セルトランジスタ23およびキャパシタCを備えたDRAM装置21が製造される。

【0036】

このような第1の実施形態に示した製造方法によれば、半導体基板22に斜めからアクセプタ型の不純物を隣接するメモリセル24bのゲート電極下のP領域に注入するため、第1の導電層29のメモリセル24aの溝部26の上部からリンや砒素などのドナー型の不純物を界面部34を含む溝部26の上部外周に形成しても、隣接するアクティブエリアAAbにおけるセルトランジスタのカットオフ特性の悪化やパンチスルー耐性の悪化を抑制することができるという効果を奏する。

【0037】

注入する不純物として、アクセプタ型不純物を使用することにより、隣接メモリセル24bのトランジスタ23のゲート電極36の下の半導体基板22のP領域がドナー不純物により不活性化されることを防止でき、メモリセル24bのセルトランジスタ23のカットオフ特性を改善することができる。

10

20

30

40

50

また、通常の製造工程にアクセプタ型の不純物を注入する工程を追加するだけで、前記効果を得ることができる。

【0038】

(第2の実施形態)

第2の実施形態においては、第1の実施形態とは製造工程が異なるため、当該製造工程について以下説明し、前述実施形態と同一部分については同一符号を付してその説明を省略する。

第1の実施形態においては、第1および第2の導電層29および31、並びに側壁絶縁膜30を形成した後、アクセプタ型の不純物を隣接するメモリセル領域24bのアクティブエリアAAbに注入してから、電気抵抗抑制用のドナー型の不純物を溝部26の上部外周に拡散させてストラップ部を形成する実施形態を示したが、これに代えて第2の実施形態では次のように製造する。

【0039】

すなわち、第1の導電層29を形成した後、溝部26の側壁に絶縁膜30を形成し、この絶縁膜30の内側に第2の導電層31を埋込み形成し、第2の導電層31が形成された露出上部側の溝部26内の絶縁膜30を除去することで側壁絶縁膜30を形成する。そして、側壁絶縁膜30および第2の導電層31の上部に第3の導電層33を埋込み形成する。

【0040】

そして、隣接するメモリセル24bのアクティブエリアAAbにアクセプタ型の不純物を注入することで逆導電型不純物層60を形成する。このとき、このアクセプタ型の不純物の注入工程が行われる前工程または後工程において熱処理等が行われると、電気抵抗抑制用のドナー型の不純物が溝部26の上部外周に拡散され、ストラップ部35が形成される。その後の製造工程については前述実施形態と略同一のため、その説明を省略する。

【0041】

すなわち、このような第2の実施形態によっても、第1の実施形態と略同様の作用効果を得ることができる。

【図面の簡単な説明】

【0042】

【図1】本発明の第1の実施形態を示す半導体装置の模式的な平面図

【図2】半導体装置の断面図((a)はX-X線に沿う断面図、(b)はY-Y線に沿う断面図)

【図3】半導体装置の一製造工程を示す模式的な縦断側面図(その1)

【図4】半導体装置の一製造工程を示す模式的な縦断側面図(その2)

【図5】半導体装置の一製造工程を示す模式的な縦断側面図(その3)

【図6】半導体装置の一製造工程を示す模式的な縦断側面図(その4)

【図7】半導体装置の一製造工程を示す模式的な縦断側面図(その5)

【図8】半導体装置の一製造工程を示す模式的な縦断側面図(その6)

【図9】半導体装置の一製造工程を示す模式的な縦断側面図(その7)

【図10】半導体装置の一製造工程を示す模式的な縦断側面図(その8)

【図11】半導体装置の一製造工程を示す模式的な縦断側面図(その9)

【図12】半導体装置の一製造工程を示す模式的な縦断側面図(その10)

【符号の説明】

【0043】

図面中、21はトレンチ型のDRAM装置(半導体装置)、22は半導体基板、23はセルトランジスタ、24aはメモリセル(一単位セル)、24bはメモリセル(近接単位セル)、26は溝部(トレンチ)、27は拡散層、29は第1の導電層、31は第2の導電層、30は側壁絶縁膜、33は第3の導電層、34は界面部、35はストラップ部(不純物半導体層、不純物拡散層、抵抗抑制用の拡散層)、44aおよび44bは領域、60は逆導電型不純物層、Cはキャパシタを示す。

10

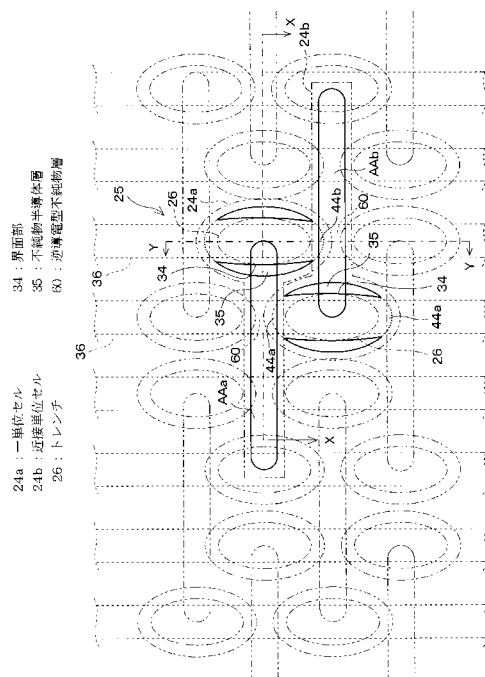
20

30

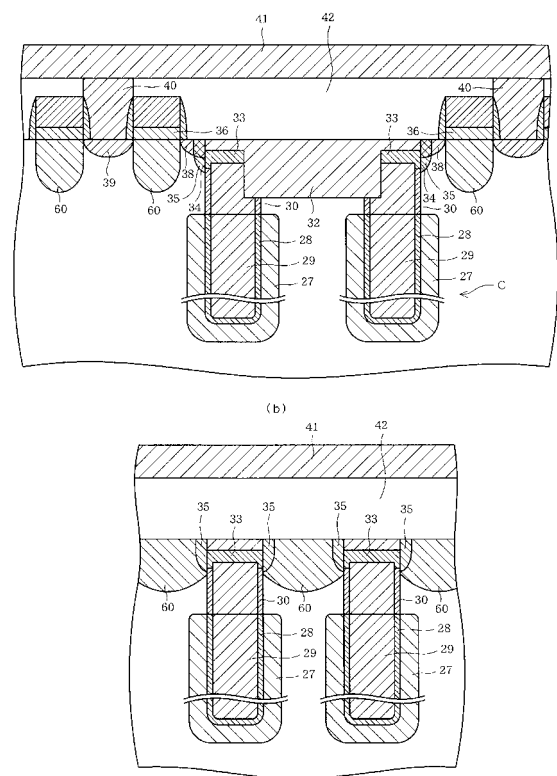
40

50

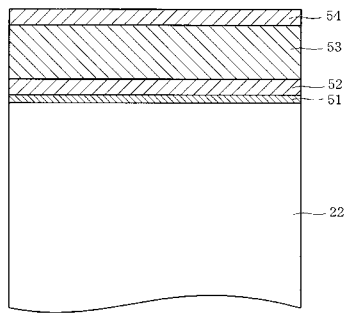
【図 1】



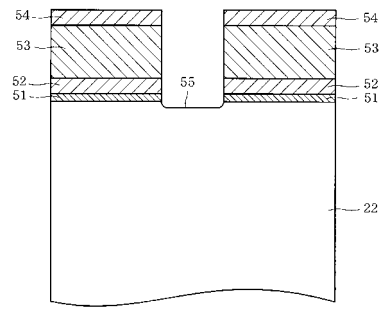
【図 2】



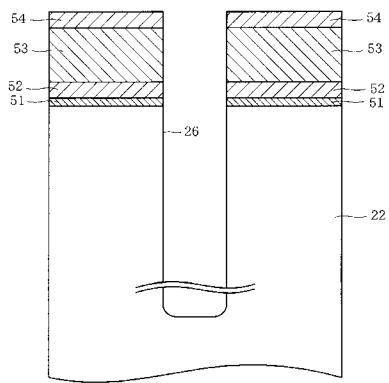
【図 3】



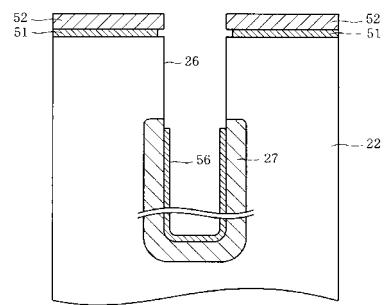
【図 4】



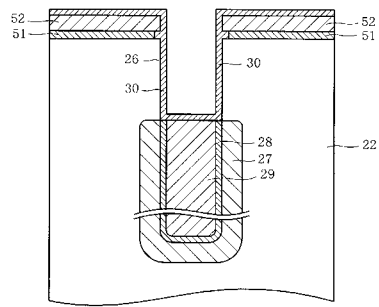
【図 5】



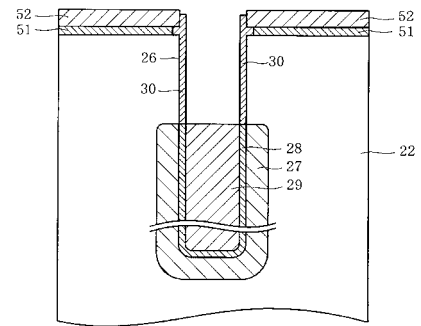
【図 6】



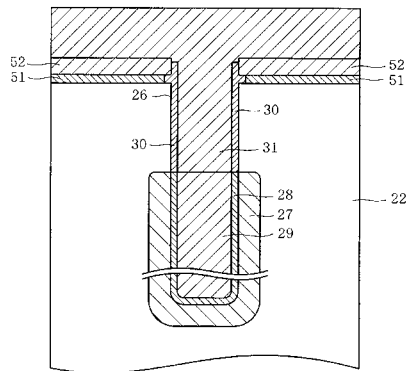
【図 7】



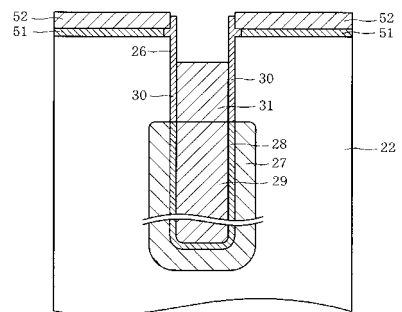
【図 8】



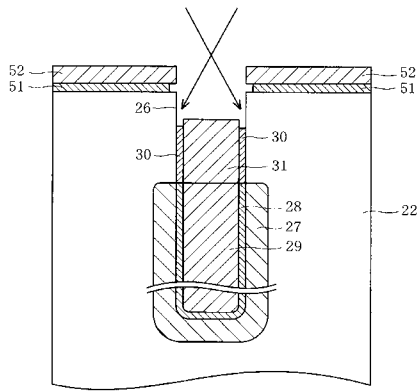
【図 9】



【図 10】



【図 1 1】



【図 1 2】

