

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022年1月13日 (13.01.2022)



(10) 国际公布号
WO 2022/007268 A1

- (51) 国际专利分类号:
H05K 1/18 (2006.01)
- (21) 国际申请号: PCT/CN2020/127009
- (22) 国际申请日: 2020年11月6日 (06.11.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010645947.3 2020年7月7日 (07.07.2020) CN
- (71) 申请人: 深南电路股份有限公司 (SHENNAN CIRCUITS CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坪地街道盐龙大道1639号, Guangdong 518117 (CN)。
- (72) 发明人: 黄立湘 (HUANG, Lixiang); 中国广东省深圳市龙岗区坪地街道盐龙大道1639号, Guangdong 518117 (CN)。 王泽东 (WANG, Zedong); 中国广东省深圳市龙岗区坪地街道盐龙大道1639号, Guangdong 518117 (CN)。 缪桦 (MIAO, Hua);
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道8号中国地质大学产学研基地中地大楼A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: CIRCUIT BOARD AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 电路板及其制作方法

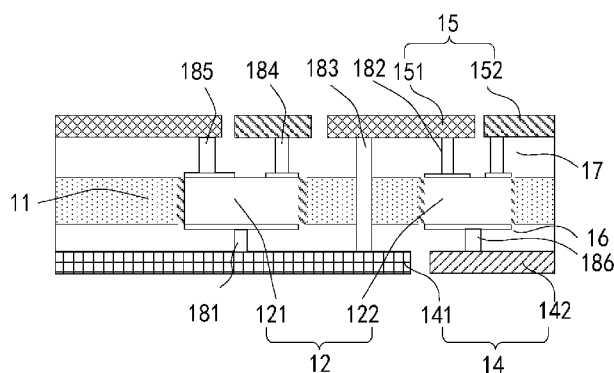


图 1

(57) Abstract: Provided are a circuit board and a method for manufacturing same. The circuit board comprises a core plate, which is provided with slots, wherein the slots comprise a plurality of first sub-slots and a plurality of second sub-slots, which are located below the first sub-slots and correspond to the positions of the first sub-slots; and a chip assembly, which is arranged in the slots. The chip assembly comprises a plurality of first chips located in the first sub-slots and a plurality of second chips located in the second sub-slots, wherein each first chip is connected in series with the second chip corresponding to the position thereof to form a plurality of chip sets. The plurality of chip sets are connected in parallel to each other, wherein one end of each of the plurality of chip sets is connected to a first power supply signal layer, and the other end thereof is connected to a ground line layer. In this way, the plurality of chips are embedded in the circuit board to achieve the thinning and miniaturization of the circuit board.



WO 2022/007268 A1

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本申请提供一种线路板及其制作方法, 包括: 芯板, 开设有槽体, 槽体包括多个第一子槽体及多个位于第一子槽体下方且与第一子槽体位置对应的第二子槽体; 芯片组件, 设置于槽体中; 芯片组件包括多个位于第一子槽体中的第一芯片及多个位于第二子槽体中的第二芯片; 其中, 每一第一芯片与其位置对应的第二芯片串联形成多个芯片组; 多个芯片组相互并联, 且多个芯片组一端连接第一电源信号层, 另一端连接地线层。以此将多个芯片埋入在线路板中, 以实现线路板的轻薄化及小型化。

线路板及其制作方法

【技术领域】

本申请涉及芯片埋入技术领域，特别是涉及一种线路板及其制作方法。

【背景技术】

随着电路板制备工艺的越来越完善，电子封装技术也越来越成熟。

今日的电子封装不但要提供芯片的保护，同时还要在一定的成本下满足不断增加的性能、可靠性、散热、功率分配等要求，同时由于用户对超薄，微缩，多功能的需求，而现有的电路板在制作工艺中集成度不高，且功耗和成本相对较高。

因此，提供一种集成度高、功耗低且成本低的线路板尤为必要。

【发明内容】

本申请主要提供一种线路板及其制作方法，以实现线路板的轻薄化及小型化。

为解决上述技术问题，本申请提供的一个技术方案是：提供一种线路板，包括：芯板，开设有槽体，所述槽体包括多个第一子槽体及多个位于所述第一子槽体下方且与所述第一子槽体位置对应的第二子槽体；芯片组件，设置于所述槽体中；所述芯片组件包括多个位于所述第一子槽体中的第一芯片及多个位于所述第二子槽体中的第二芯片；其中，每一所述第一芯片与其位置对应的所述第二芯片串联形成多个芯片组；所述多个芯片组相互并联，且所述多个芯片组一端连接第一电源信号层，另一端连接地线层。

其中，所述线路板还包括：第一线路层，设置在所述芯板的一侧；第二线路层，设置在所述芯板远离所述第一线路层的一侧；第一绝缘层，设置在所述芯板与所述第一线路层之间；第二绝缘层，设置在所述芯板与所述第二线路层之间；其中，所述第一线路层包括所述第一电源信号

层及控制信号层；所述第二线路层包括所述地线层及第二电源信号层。

其中，所述线路板还包括：第一电源信号层，设置在所述芯板的一侧；第二电源信号层，设置在所述芯板远离所述第一电源信号层的一侧；第一绝缘层，设置在所述芯板与所述第一电源信号层之间；第二绝缘层，设置在所述芯板与所述第二电源信号层之间；位于所述第一电源信号层远离所述芯板一侧的控制信号层；位于所述第二电源信号层远离所述芯板一侧的地线层；位于所述第一电源信号层及所述控制信号层之间的第三绝缘层；位于所述第二电源信号层及所述地线层之间的第四绝缘层。

其中，每个所述第一芯片及所述第二芯片均包括：靠近所述第一线路层一侧的第二连接端子及第三连接端子，及靠近所述第二线路层的第一连接端子；其中，所述第一芯片的所述第一连接端子耦接与其位置对应的第二芯片的所述第二连接端子；所述第一芯片的第二连接端子耦接所述第一电源信号层，所述第一芯片的第三连接端子耦接所述控制信号层，所述第二芯片的第三连接端子耦接所述控制信号层，所述第二芯片的第一连接端子连接所述地线层。

其中，所述第二绝缘层对应所述第一芯片的第一连接端子的位置处具有第一导电孔，以将所述第二电源信号层与所述第一芯片的第一连接端子连接；所述第一绝缘层对应所述第二芯片的第二连接端子的位置处具有第二导电孔，以将所述第一电源信号层与所述第二芯片的第二连接端子连接；所述第一芯片及所述第二芯片之间具有第三导电孔，以将所述第一电源信号层及所述第二电源信号层连接，进而将所述第一芯片的所述第一连接端子与所述第二芯片的所述第二连接端子连接，以将所述第一芯片及所述第二芯片串联形成多个芯片组。

其中，所述第一绝缘层对应所述第一芯片及所述第二芯片的第三连接端子的位置处具有第四导电孔，以将所述第一芯片及所述第二芯片的第三连接端子与所述控制信号层连接；或所述第一绝缘层及所述第三绝缘层对应所述第一芯片及所述第二芯片的第三连接端子的位置处具有第四导电孔，以将所述第一芯片及所述第二芯片的第三连接端子与

控制信号层连接。

其中，所述第一绝缘层对应所述第一芯片的所述第二连接端子的位置处具有第五导电孔，以将所述第一芯片的所述第二连接端子与所述第一电源信号层连接；所述第二绝缘层对应所述第二芯片的所述第一连接端子的位置处具有第六导电孔，以将所述第二芯片的所述第一连接端子与所述地线层电连接；或所述第一绝缘层对应所述第一芯片的所述第二连接端子的位置处具有第五导电孔，以将每一所述第一芯片的第二连接端子与所述第一电源信号层连接；所述第二绝缘层及所述第四绝缘层对应所述第二芯片的所述第一连接端子的位置处具有第六导电孔，以将每一所述第二芯片的所述第二连接端子与所述地线层电连接。

为解决上述即使问题，本申请提供的另一个技术方案为：提供一种线路板的制作方法，包括：提供芯板；在所述芯板上开设槽体，所述槽体包括多个第一子槽体及多个位于所述第一子槽体下方且与所述第一子槽体位置对应的第二子槽体；在所述槽体中放置芯片组件，所述芯片组件包括多个位于所述第一子槽体中的第一芯片及多个位于所述第二子槽体中的第二芯片，其中，每一所述第一芯片与其位置对应的所述第二芯片串联形成多个芯片组；所述多个芯片组相互并联，且所述多个芯片组一端连接第一电源信号层，另一端连接地线层。

其中，所述在所述槽体中放置芯片组件，所述芯片组件包括多个位于所述第一子槽体中的第一芯片及多个位于所述第二子槽体中的第二芯片；其中，每一所述第一芯片与其位置对应的所述第二芯片串联形成多个芯片组；所述多个芯片组相互并联，且所述多个芯片组一端连接第一电源信号层，另一端连接地线层的步骤之后包括：在所述芯板的一侧设置第一线路板，及在所述芯板远离所述第一线路层的一侧设置第二线路层；其中，所述第一线路层包括第一电源信号层及控制信号层，所述第二线路层包括地线层及第二电源信号层；在所述芯板及所述第一线路层之间设置第一绝缘层，及在所述芯板及所述第二线路层之间设置第二绝缘层；或在所述芯板的一侧设置第一电源信号层，及在所述芯板远离所述第一电源信号层的一侧设置第二电源信号层；在所述芯板及所述第

一电源信号层之间设置第一绝缘层，及在所述芯板及所述第二电源信号层之间设置第二绝缘层；在所述第一电源信号层远离所述芯板的一侧设置控制信号层，及在所述第二电源信号层远离所述芯板的一侧设置地线层；在所述第一电源信号层及所述控制信号层之间设置第三绝缘层，及在所述第二电源信号层及所述地线层之间设置第四绝缘层。

其中，所述方法还包括：在所述第二绝缘层对应所述第一芯片的第一连接端子的位置处设置第一导电孔，在所述第一绝缘层对应所述第二芯片的第二连接端子的位置处设置第二导电孔，及在所述第一芯片及所述第二芯片之间设置贯穿所述芯板、所述第一绝缘层及所述第二绝缘层的第三导电孔，以将所述第一芯片的第一连接端子与所述第二芯片的第二连接端子连接；在所述第一绝缘层对应所述第一芯片的第二连接端子的位置处设置第五导电孔，以将所述第一芯片的所述第二连接端子与所述第一电源信号层连接；在所述第二绝缘层对应所述第二芯片的第一连接端子的位置处设置第六导电孔，以将所述第二芯片的所述第一连接端子与所述地线层连接；在所述第一绝缘层对应所述第一芯片及所述第二芯片的第三连接端子的位置处设置第四导电孔，以将所述第一芯片及所述第二芯片的第三连接端子与所述控制信号层连接。

本申请的有益效果，区别与现有技术，本申请提供的线路板包括芯板，芯板上开设有槽体，槽体包括多个第一子槽体及多个位于第一子槽体下方且与第一子槽体位置对应的第二子槽体；芯片组件设置于槽体中；芯片组件包括多个位于第一子槽体中的第一芯片及多个位于第二子槽体中的第二芯片；其中，每一第一芯片与其位置对应的第二芯片串联形成多个芯片组；多个芯片组相互并联，且多个芯片组一端连接第一电源信号层，另一端连接地线层。以此将芯片嵌入到线路板中与线路板结合，以实现线路板的轻薄化及小型化。

【附图说明】

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图

仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。其中：

- 图 1 是本申请线路板的第一实施例的结构示意图；
- 图 2 是本申请线路板的槽体的结构示意图；
- 图 3 是本申请线路板的第二实施例的结构示意图；
- 图 4 是本申请线路板的制作方法的第一实施例的流程示意图；
- 图 5 是本申请线路板的制作方法的第二实施例的流程示意图；
- 图 6 是本申请线路板的制作方法的第三实施例的流程示意图；
- 图 7 是本申请线路板的制作方法的第四实施例的流程示意图。

【具体实施方式】

下面将结合本申请实施方式中的附图，对本申请实施方式中的技术方案进行清楚、完整地描述，显然，所描述的实施方式仅仅是本申请一部分实施方式，而不是全部实施方式。基于本申请中的实施方式，本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施方式，都属于本申请保护的范围。

请参见图 1，为本申请线路板的第一实施例的结构示意图。包括：芯板 11 及芯片组件 12；芯板 11 上开设有槽体，请参见图 2，槽体包括多个第一子槽体 111，及位于第一子槽体 111 下方的多个第二子槽体 112。在本实施例中，第一子槽体 111 及第二子槽体 112 呈阵列排布，且第二子槽体 112 位于第一子槽体 111 下方，且与第一子槽体 111 一一对应。芯片组件 12 包括位于第一子槽体 111 中的第一芯片 121 及位于第二子槽体 112 中的第二芯片 122。本实施例以三个第一芯片 121 及三个第二芯片 122 为例进行说明。图 1 所示的结构示意图为线路板的侧视图。

在本实施例中，一个第一芯片 121 对应放置于一个第一子槽体 111 中，一个第二芯片 122 对应放置在一个第二子槽体 113 中。在另一实施例中，还可以一个槽体放置多个芯片，本实施例均以一个槽体放置一个芯片为例进行说明。

图 1 所示的线路板还包括第一线路层 15 及第二线路层 14，第一线

路层 15 及第二线路层 14 分别设置在芯板 11 的两侧，并通过第一绝缘层 17 及第二绝缘层 16 与芯板 11 连接。具体的，第一绝缘层 17 设置在芯板 11 与第一线路层 15 之间，用于将芯板 11 与第一线路层 15 连接；第二绝缘层 16 设置在芯板 11 与第二线路层 14 之间，用于将芯板 11 与第二线路层 14 连接。

本申请中，芯板 11 的材料为覆铜板，覆铜板为制作线路板的基础材料，包括基材板及覆盖在所述基材上的铜箔，所述基材板由纸基板、玻纤布基板、合成纤维布基板、无纺布基板、复合基板等材料浸以树脂，制成粘结片，由多张粘结片组合制成，在制作好的基材板单面或双面覆以铜箔，再进行热压固化以制成覆铜板。第一绝缘层 17 及第二绝缘层 16 为半固化片，其作为层压时的层间粘结层，具体地，所述半固化片主要由树脂和增强材料组成，在制作多层线路板时，通常采用玻纤布做增强材料，将其浸渍上树脂胶液，再经热处理预烘制成薄片，其加热加压下会软化，冷却后会固化，且具有黏性，在高温压合过程中能将相邻的两层黏合。

在本实施例中，位于第一子槽体 111 中的第一芯片 121 与位于第二子槽体 112 中的第二芯片 122 之间相互串联并形成多个芯片组，且多个芯片组并联，即多个芯片组一端连接第一电源信号层，另一端连接地线层。

具体的，第一芯片 121 及第二芯片 122 均包括第一连接端子、第二连接端子及第三连接端子。其中，第二连接端子及第三连接端子位于靠近第一线路层一侧，第一连接端子位于靠近第二线路层一侧。在第一芯片 121 与第二芯片 122 进行串联形成芯片组时，第一芯片 121 的第一连接端子连接与其位置对应的第二芯片 122 的第二连接端子。在各个芯片组相互并联时，芯片组的一端连接第一电源信号层，另一端连接地线层。

如图 1 所示，本实施例中的线路板中的第一线路层 15 包括互不连接的第一电源信号层 151 及控制信号层 152；第二线路层 14 包括互不连接的第二电源信号层 141 及地线层 142。

本实施例中，为实现第一芯片 121 与第二芯片 122 的串联，即为实

现第一芯片 121 的第一连接端子与第二芯片 122 的第二连接端子之间的连接，第二绝缘层 16 对应第一芯片 121 的第一连接端子的位置处具有第一导电孔 181，以将第二电源信号层 141 与第一芯片 121 的第一连接端子连接。第一绝缘层 17 对应第二芯片 122 的第二连接端子的位置处具有第二导电孔 182，以将第一电源信号层 151 与第二芯片 122 的第二连接端子连接。第一芯片 121 及第二芯片 122 之间具有贯穿芯板 11、第一绝缘层 17 及第二绝缘层 16 的第三导电孔 183，以将第一电源信号层 151 及第二电源信号层 141 连接，进而将第一芯片 121 的第一连接端子与第二芯片 122 的第二连接端子连接，以将第一芯片 121 与第二芯片 122 串联。

本实施例中，为实现将芯片组相互并联，将每一第一芯片 121 的第二连接端子相互连接，将每一第二芯片 122 的第一连接端子相互连接。具体的，为实现将每一第一芯片 121 的第二连接端子相互连接，第一绝缘层 17 对应第一芯片 121 的第二连接端子的位置处具有第五导电孔 185，以将每一第一芯片 121 的第二连接端子与第一电源信号层 151 连接；通过第一电源信号层 151 将第一芯片 121 的第二连接端子并联。为实现将每一第二芯片 122 的第一连接端子相互连接，第二绝缘层 16 对应第二芯片 122 的第一连接端子的位置处具有第六导电孔 186，以将每一第二芯片 122 的第一连接端子与地线层 142 连接；通过地线层 142 将第二芯片 122 的第一连接端子并联。

进一步的，在本实施例中，第一绝缘层 17 对应第一芯片 121 及第二芯片 122 的第三连接端子的位置处具有第四导电孔 184，第四导电孔 184 用于将第一芯片 121 及第二芯片 122 的第三连接端子与控制信号层 152 连接。

本实施例所示的线路板，通过在线路板中埋入多颗第一芯片 121 及第二芯片 122，且使第一芯片 121 与对应的第二芯片 122 串联形成芯片组，使芯片组之间并联，以此实现埋入式线路板的轻薄化及小型化，并能够实现信号传输距离短及减少信号损失的目的。

请参见图 3，为本申请线路板的第二实施例的结构示意图。包括：

芯板 21 及芯片组件 22；芯板 21 上开设有槽体，请参见图 2，槽体包括行排列的多个第一子槽体 111，及位于第一子槽体 111 下方的多个第二子槽体 112。芯片组件 22 包括位于第一子槽体 111 中的第一芯片 221 及位于第二子槽体 112 中的第二芯片 222。本实施例以三个第一芯片 221 及三个第二芯片 222 为例进行说明。图 3 所示的线路板的结构示意图为线路板的侧视图。

图 3 所示的线路板还包括第一电源信号层 251 及第二电源信号层 241，第一电源信号层 251 及第二电源信号层 241 分别设置在芯板 21 的两侧，并通过第一绝缘层 271 及第二绝缘层 261 与芯板 21 连接。具体的，第一绝缘层 271 设置在芯板 21 与第一电源信号层 251 之间，用于将芯板 21 与第一电源信号层 251 连接；第二绝缘层 261 设置在芯板 21 与第二电源信号层 241 之间，用于将芯板 21 与第二电源信号层 241 连接。

本实施例所示的线路板还包括第三绝缘层 272、第四绝缘层 262、控制信号层 252 及地线层 242。其中，控制信号层 252 位于第一电源信号层 251 远离芯板 21 的一侧，地线层 242 位于第二电源信号层 241 远离芯板 21 的一侧。第三绝缘层 272 位于第一电源信号层 251 及控制信号层 252 之间，用于将第一电源信号层 251 及控制信号层 252 粘合，第四绝缘层 262 位于第二电源信号层 241 及地线层 242 之间，用于将第二电源信号层 241 及地线层 242 粘合。

具体的，第一芯片 221 及第二芯片 222 均包括第一连接端子、第二连接端子及第三连接端子。在第一芯片 221 与第二芯片 222 进行串联以形成芯片组时，第一芯片 221 的第一连接端子连接与其位置对应的第二芯片 222 的第二连接端子。在每一芯片组之间相互并联时，芯片组的一端连接第一电源信号层 251，另一端连接地线层 242。具体地，第一芯片 221 的第二连接端子连接第一电源信号层 251，第二芯片 222 的第一连接端子连接地线层 242。

如图 3 所示，本实施例中，为实现第一芯片 221 与第二芯片 222 的串联，即为实现第一芯片 221 的第一连接端子与第二芯片 222 的第二连

接端子之间的连接，第二绝缘层 261 对应第一芯片 221 的第一连接端子的位置处具有第一导电孔 281，以将第二电源信号层 241 与第一芯片 221 的第一连接端子连接。第一绝缘层 271 对应第二芯片 222 的第二连接端子的位置处具有第二导电孔 282，以将第一电源信号层 251 与第二芯片 222 的第二连接端子连接。第一芯片 221 及第二芯片 222 之间具有贯穿芯板 21、第一绝缘层 271 及第二绝缘层 261 的第三导电孔 183，以将第一电源信号层 251 与第二电源信号层 241 连接，进而将第一芯片 221 的第一连接端子与第二芯片 222 的第二连接端子连接，以将第一芯片 221 与第二芯片 222 串联。

本实施例中，为实现多个芯片组的相互并联，将每一第一芯片 221 的第二连接端子相互连接且连接至第一电源信号层 251，将每一第二芯片 222 的第一连接端子相互连接且连接至地线层 242。具体的，为实现将每一第一芯片 221 的第二连接端子相互连接，第一绝缘层 271 对应第一芯片 221 的第二连接端子的位置处具有第五导电孔 285，以将每一第一芯片 221 的第二连接端子与第一电源信号层 251 连接；通过第一电源信号层 251 将第一芯片 221 的第二连接端子并联。为实现将第二芯片 222 相互并联，将每一第二芯片 222 的第一连接端子相互连接。具体的，为实现将每一第二芯片 222 的第一连接端子相互连接，第二绝缘层 261 对应第二芯片 222 的第一连接端子的位置处具有第六导电孔 286，以将每一第二芯片 222 的第一连接端子与地线层 242 连接；通过地线层 242 将第二芯片 222 的第一连接端子并联。

进一步的，在本实施例中，第一绝缘层 271 及第三绝缘层 272 对应第一芯片 221 及第二芯片 222 的第三连接端子的位置处具有第四导电孔 284，第四导电孔 284 用于将第一芯片 221 及第二芯片 222 的第三连接端子与控制信号层 252 连接。

本实施例所示的线路板，通过在线路板中埋入多颗第一芯片 221 及第二芯片 222，且使第一芯片 221 与对应的第二芯片 222 串联形成芯片组，是、使芯片组之间相互并联，以此实现埋入式线路板的轻薄化及小型化，并能够实现信号传输距离短及减少信号损失的目的。

请参见图 4，为本申请线路板的制作方法的第一实施例的流程示意图。包括：步骤 S41：提供芯板。

本申请中，芯板的材料为覆铜板，覆铜板为制作线路板的基础材料，包括基材板及覆盖在所述基材上的铜箔，所述基材板由纸基板、玻纤布基板、合成纤维布基板、无纺布基板、复合基板等材料浸以树脂，制成粘结片，由多张粘结片组合制成，在制作好的基材板单面或双面覆以铜箔，再进行热压固化以制成覆铜板。

步骤 S42：在所述芯板上开设槽体，所述槽体包括多个第一子槽体及多个位于所述第一子槽体下方且与所述第一子槽体位置对应的第二子槽体。

使用蚀刻、激光钻、机械钻等方式在芯板上开设槽体。本申请中由于放置的芯片为多颗且呈阵列排布，因此槽体包括第一子槽体及位于第一子槽体下方的第二子槽体，且第一子槽体及第二子槽体的位置一一对应。

步骤 S43：在所述槽体中放置芯片组件，所述芯片组件包括多个位于所述第一子槽体中的第一芯片及多个位于所述第二子槽体中的第二芯片，其中，每一所述第一芯片与其位置对应的所述第二芯片串联形成多个芯片组；所述多个芯片组相互并联，且所述多个芯片组一端连接第一电源信号层，另一端连接地线层。

在槽体中设置芯片组件，其中芯片组件包括第一芯片及第二芯片，第一芯片放置于第一子槽体中，第二芯片放置于第二子槽体中。且第一芯片与相对应的第二芯片一一串联形成芯片组，多个芯片组相互并联，即多个芯片组一端连接第一电源信号层，另一端连接地线层。

具体地，请参照图 5，为本申请线路板的制作方法的第二实施例的流程示意图，与上述图 4 所示的第一实施例相比，区别在于：在步骤 S43 之后还包括：

步骤 S51：在芯板的一侧设置第一线路板，及在芯板远离第一线路层的一侧设置第二线路层；其中，第一线路层包括第一电源信号层及控制信号层，第二线路层包括地线层及第二电源信号层。

在芯板的两侧设置第一线路层及第二线路层。具体地，第一线路层及第二线路层均为在铜层上制作的线路网络。第一电源信号层及控制信号层为分别为第一线路层上的不同的线路网络，地线层及第二电源信号层分别为第二线路层上不同的线路网络。

步骤 S52: 在所述芯板及所述第一线路层之间设置第一绝缘层，及在所述芯板及所述第二线路层之间设置第二绝缘层。

在芯板及第一线路层之间设置第一绝缘层，以将芯板与第一线路层粘合。在芯板及所述第二线路层之间设置第二绝缘层，以将芯板与第二线路层粘合。具体地，第一绝缘层及第二绝缘层为半固化片，其作为层压时的层间粘结层，具体地，所述半固化片主要由树脂和增强材料组成，在制作多层线路板时，通常采用玻纤布做增强材料，将其浸渍上树脂胶液，再经热处理预烘制成薄片，其加热加压下会软化，冷却后会固化，且具有黏性，在高温压合过程中能将相邻的两层黏合。

请参见图 6，为本申请线路板的制作方法的第三实施例的流程示意图，与图 4 所示的第一实施例相比，区别在于：在步骤 S43 之后还包括：

步骤 S61: 在所述芯板的一侧设置第一电源信号层，及在所述芯板远离所述第一电源信号层的一侧设置第二电源信号层。

其中，第一电源信号层及第二电源信号层均位于芯板的两侧，第一电源信号层及第二电源信号层为铜层制作的线路层。

步骤 S62: 在所述芯板及所述第一电源信号层之间设置第一绝缘层，及在所述芯板及所述第二电源信号层之间设置第二绝缘层。

其中，第一绝缘层及第二绝缘层为半固化片，在此不再赘述。

步骤 S63: 在所述第一电源信号层远离所述芯板的一侧设置控制信号层，及在所述第二电源信号层远离所述芯板的一侧设置地线层。

其中，控制信号层及地线层同样为铜层制作的线路层。具体地，控制信号层位于第一电源信号层的外侧，地线层位于第二电源信号层的外侧。

步骤 S64: 在所述第一电源信号层及所述控制信号层之间设置第三绝缘层，及在所述第二电源信号层及所述地线层之间设置第四绝缘层。

其中，第四绝缘层及第三绝缘层与第一绝缘层及第二绝缘层相同，均为半固化片，在此不再赘述。

请参见图 7，为本申请线路板的制作方法的第四实施例的流程示意图，与上述图 5 所示的第二实施例及图 6 所示的第三实施例相比，区别在于，还包括：

步骤 S71：在所述第二绝缘层对应所述第一芯片的第一连接端子的位置处设置第一导电孔，在所述第一绝缘层对应所述第二芯片的第二连接端子的位置处设置第二导电孔，及在所述第一芯片及所述第二芯片之间设置贯穿所述芯板、所述第一绝缘层及所述第二绝缘层的第三导电孔，以将所述第一芯片的第一连接端子与所述第二芯片的第二连接端子连接。

通过连接第一芯片的第一连接端子及第二电源信号层的第一导电孔、连接第二芯片的第二连接端子及第一电源信号层的第二导电孔及连接第二电源信号层及第一电源信号层的第三导电孔将第一芯片的第一连接端子与第二芯片的第二连接端子连接，以使第一芯片及第二芯片形成相互串联的芯片组。

步骤 S72：在所述第一绝缘层对应所述第一芯片的第二连接端子的位置处设置第五导电孔，以将所述第一芯片的所述第二连接端子与所述第一电源信号层连接；及在所述第二绝缘层对应所述第二芯片的第一连接端子的位置处设置第六导电孔，以将所述第二芯片的所述第一连接端子与所述地线层连接。

第五导电孔将第一芯片的第二连接端子与第一电源信号层连接，第六导电孔将第二芯片的第一连接端子与地线层连接，以将芯片组相互并联。

步骤 S73：在所述第一绝缘层对应所述第一芯片及所述第二芯片的第三连接端子的位置处设置第四导电孔，以将所述第一芯片及所述第二芯片的第三连接端子与所述控制信号层连接。

第四导电孔将第一芯片及所述第二芯片的第三连接端子与所述控制信号层连接。

本申请提供的线路板及其制作方法，通过将多个芯片阵列排布且埋入在线路板中，以实现线路板的轻薄化及小型化。且使多颗芯片在线路板中有规律的进行串联及并联，以使信号传输距离短，减少信号的损失。

以上仅为本申请的实施方式，并非因此限制本申请的专利范围，凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本申请的专利保护范围内。

权利要求书

1、一种线路板，其中，包括

芯板，开设有槽体，所述槽体包括多个第一子槽体及多个位于所述第一子槽体下方且与所述第一子槽体位置对应的第二子槽体；

芯片组件，设置于所述槽体中；所述芯片组件包括多个位于所述第一子槽体中的第一芯片及多个位于所述第二子槽体中的第二芯片；

其中，每一所述第一芯片与其位置对应的所述第二芯片串联形成多个芯片组；所述多个芯片组相互并联，且所述多个芯片组一端连接第一电源信号层，另一端连接地线层。

2、根据权利要求1所述的线路板，其中，所述线路板还包括：第一线路层，设置在所述芯板的一侧；

第二线路层，设置在所述芯板远离所述第一线路层的一侧；

第一绝缘层，设置在所述芯板与所述第一线路层之间；

第二绝缘层，设置在所述芯板与所述第二线路层之间；

其中，所述第一线路层包括所述第一电源信号层及控制信号层；所述第二线路层包括所述地线层及第二电源信号层。

3、根据权利要求2所述的线路板，其中，所述线路板还包括：第一电源信号层，设置在所述芯板的一侧；

第二电源信号层，设置在所述芯板远离所述第一电源信号层的一侧；

第一绝缘层，设置在所述芯板与所述第一电源信号层之间；

第二绝缘层，设置在所述芯板与所述第二电源信号层之间；

位于所述第一电源信号层远离所述芯板一侧的控制信号层；

位于所述第二电源信号层远离所述芯板一侧的地线层；

位于所述第一电源信号层及所述控制信号层之间的第三绝缘层；

位于所述第二电源信号层及所述地线层之间的第四绝缘层。

4、根据权利要求3所述的线路板，其中，每个所述第一芯片及所述第二芯片均包括：靠近所述第一线路层一侧的第二连接端子及第三连接端子，及靠近所述第二线路层的第一连接端子；

其中，所述第一芯片的所述第一连接端子耦接与其位置对应的第二芯片的所述第二连接端子；所述第一芯片的第二连接端子耦接所述第一电源

信号层, 所述第一芯片的第三连接端子耦接所述控制信号层, 所述第二芯片的第三连接端子耦接所述控制信号层, 所述第二芯片的第一连接端子连接所述地线层。

5、根据权利要求 4 所述的线路板, 其中,

所述第二绝缘层对应所述第一芯片的第一连接端子的位置处具有第一导电孔, 以将所述第二电源信号层与所述第一芯片的第一连接端子连接;

所述第一绝缘层对应所述第二芯片的第二连接端子的位置处具有第二导电孔, 以将所述第一电源信号层与所述第二芯片的第二连接端子连接;

所述第一芯片及所述第二芯片之间具有第三导电孔, 以将所述第一电源信号层及所述第二电源信号层连接, 进而将所述第一芯片的所述第一连接端子与所述第二芯片的所述第二连接端子连接, 以将所述第一芯片及所述第二芯片串联形成多个芯片组。

6、根据权利要求 4 所述的线路板, 其中,

所述第一绝缘层对应所述第一芯片及所述第二芯片的第三连接端子的位置处具有第四导电孔, 以将所述第一芯片及所述第二芯片的第三连接端子与所述控制信号层连接; 或

所述第一绝缘层及所述第三绝缘层对应所述第一芯片及所述第二芯片的第三连接端子的位置处具有第四导电孔, 以将所述第一芯片及所述第二芯片的第三连接端子与所述控制信号层连接。

7、根据权利要求 4 所述的线路板, 其中,

所述第一绝缘层对应所述第一芯片的所述第二连接端子的位置处具有第五导电孔, 以将所述第一芯片的所述第二连接端子与所述第一电源信号层连接;

所述第二绝缘层对应所述第二芯片的所述第一连接端子的位置处具有第六导电孔, 以将所述第二芯片的所述第一连接端子与所述地线层电连接; 或

所述第一绝缘层对应所述第一芯片的所述第二连接端子的位置处具有第五导电孔, 以将每一所述第一芯片的第二连接端子与所述第一电源信号层连接;

所述第二绝缘层及所述第四绝缘层对应所述第二芯片的所述第一连接

端子的位置处具有第六导电孔，以将每一所述第二芯片的所述第二连接端子与所述地线层电连接。

8、一种线路板的制作方法，其中，包括：

提供芯板；

在所述芯板上开设槽体，所述槽体包括多个第一子槽体及多个位于所述第一子槽体下方且与所述第一子槽体位置对应的第二子槽体；

在所述槽体中放置芯片组件，所述芯片组件包括多个位于所述第一子槽体中的第一芯片及多个位于所述第二子槽体中的第二芯片，其中，每一所述第一芯片与其位置对应的所述第二芯片串联形成多个芯片组；所述多个芯片组相互并联，且所述多个芯片组一端连接第一电源信号层，另一端连接地线层。

9、根据权利要求8所述的制作方法，其中，所述在所述槽体中放置芯片组件，所述芯片组件包括多个位于所述第一子槽体中的第一芯片及多个位于所述第二子槽体中的第二芯片；其中，每一所述第一芯片与其位置对应的所述第二芯片串联形成多个芯片组；所述多个芯片组相互并联，且所述多个芯片组一端连接第一电源信号层，另一端连接地线层的步骤之后包括：

在所述芯板的一侧设置第一线路层，及在所述芯板远离所述第一线路层的一侧设置第二线路层；其中，所述第一线路层包括第一电源信号层及控制信号层，所述第二线路层包括地线层及第二电源信号层；

在所述芯板及所述第一线路层之间设置第一绝缘层，及在所述芯板及所述第二线路层之间设置第二绝缘层；或

在所述芯板的一侧设置第一电源信号层，及在所述芯板远离所述第一电源信号层的一侧设置第二电源信号层；

在所述芯板及所述第一电源信号层之间设置第一绝缘层，及在所述芯板及所述第二电源信号层之间设置第二绝缘层；

在所述第一电源信号层远离所述芯板的一侧设置控制信号层，及在所述第二电源信号层远离所述芯板的一侧设置地线层；

在所述第一电源信号层及所述控制信号层之间设置第三绝缘层，及在所述第二电源信号层及所述地线层之间设置第四绝缘层。

10、根据权利要求9所述的制作方法，其中，所述方法还包括：

在所述第二绝缘层对应所述第一芯片的第一连接端子的位置处设置第一导电孔，在所述第一绝缘层对应所述第二芯片的第二连接端子的位置处设置第二导电孔，及在所述第一芯片及所述第二芯片之间设置贯穿所述芯板、所述第一绝缘层及所述第二绝缘层的第三导电孔，以将所述第一芯片的第一连接端子与所述第二芯片的第二连接端子连接；

在所述第一绝缘层对应所述第一芯片的第二连接端子的位置处设置第五导电孔，以将所述第一芯片的所述第二连接端子与所述第一电源信号层连接；及在所述第二绝缘层对应所述第二芯片的第一连接端子的位置处设置第六导电孔，以将所述第二芯片的所述第一连接端子与所述地线层连接；

在所述第一绝缘层对应所述第一芯片及所述第二芯片的第三连接端子的位置处设置第四导电孔，以将所述第一芯片及所述第二芯片的第三连接端子与所述控制信号层连接。

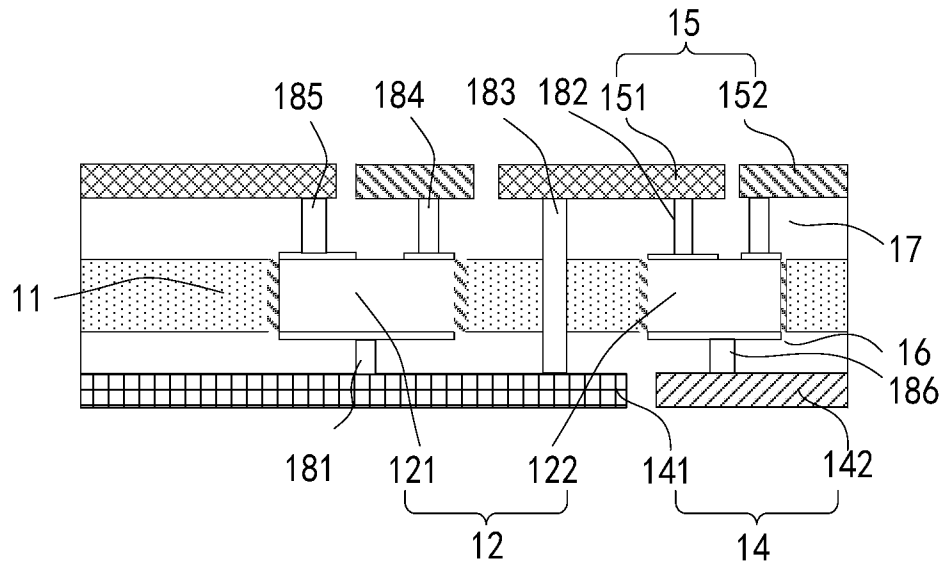


图 1

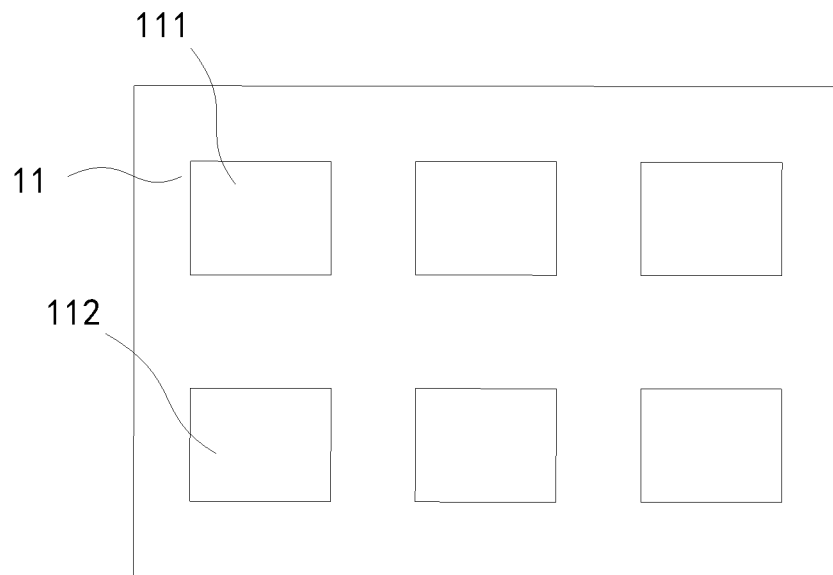


图 2

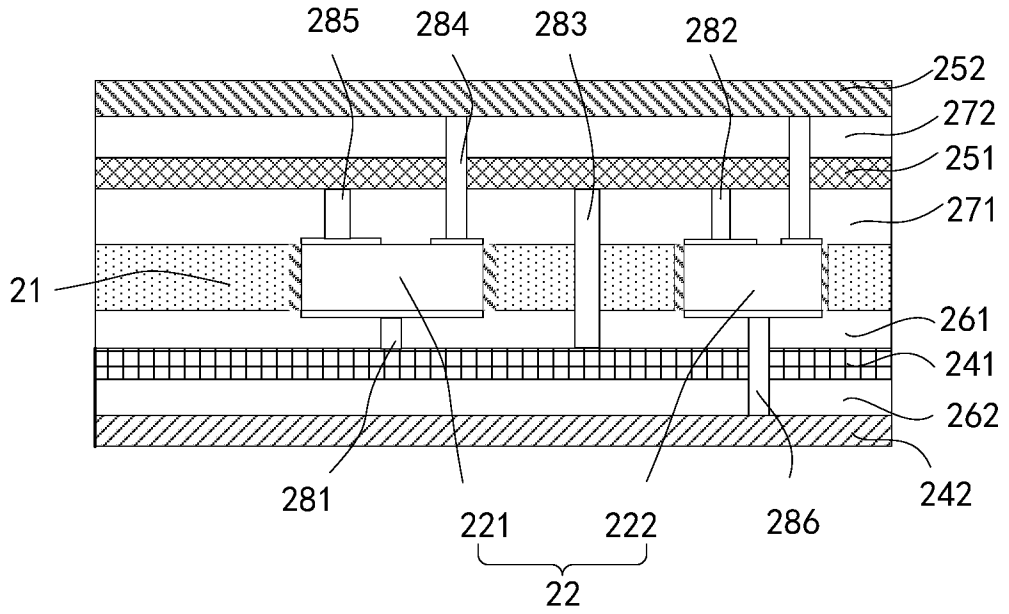


图 3

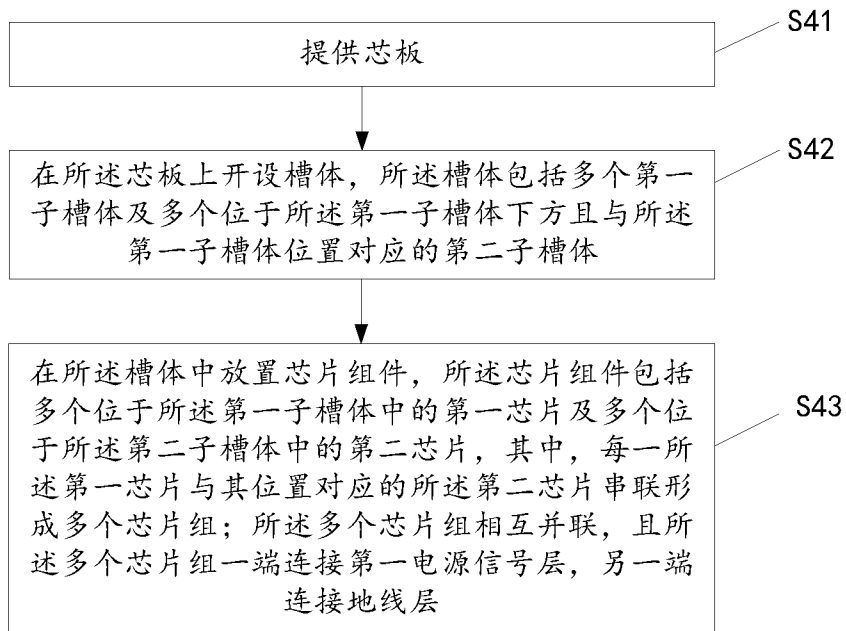


图 4

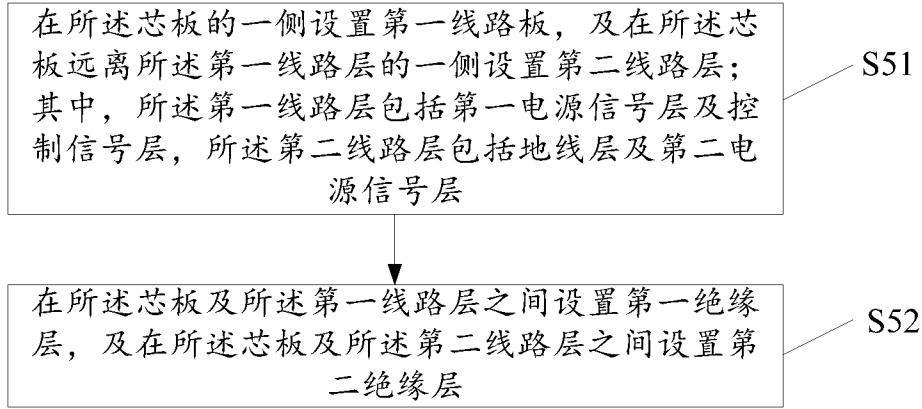


图 5

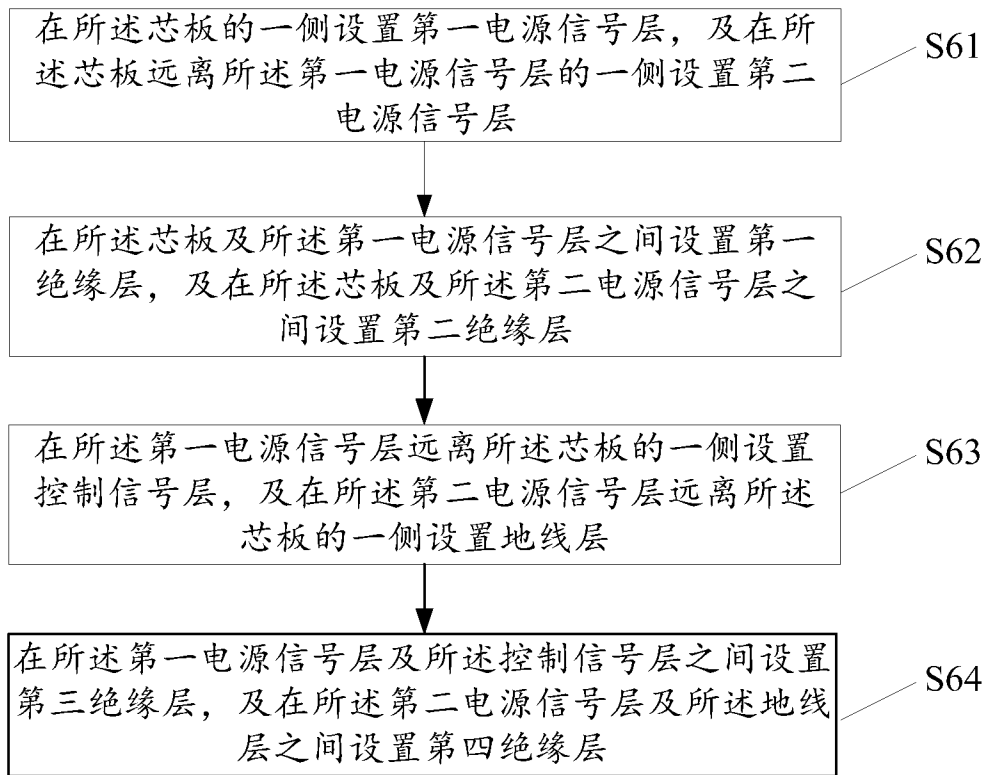


图 6

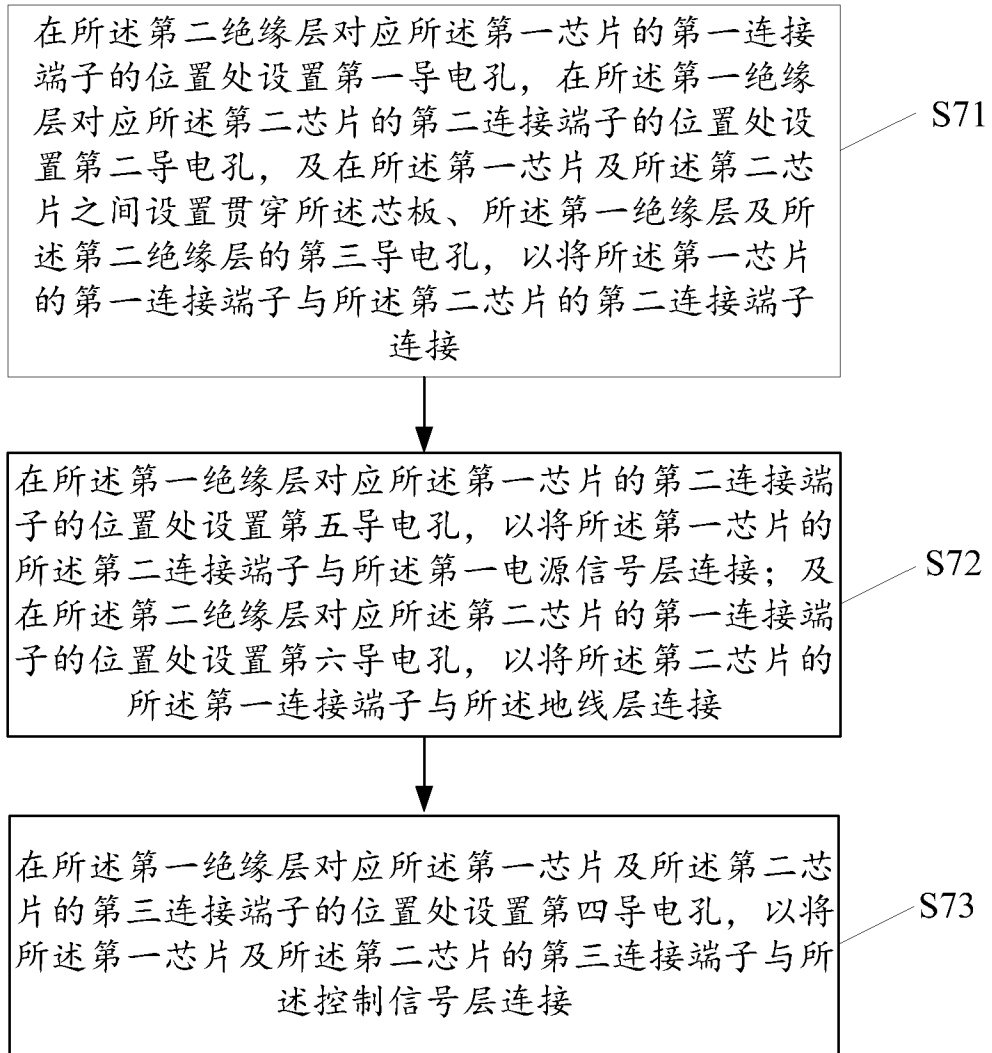


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/127009

A. CLASSIFICATION OF SUBJECT MATTER H05K 1/18(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H05K Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI, EPOCOC, CNPAT, CNKI: 串联, 并联, 线路板, 印刷电路板, PCB, 槽, 芯片, 晶片, 第一, 第二, series, parallel, circuit board, groove, chips, first, second		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014003012 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 02 January 2014 (2014-01-02) description, paragraphs [0028]-[0042], and figures 1-5	1-10
A	US 2016174381 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 16 June 2016 (2016-06-16) entire document	1-10
A	US 2020111748 A1 (AT & S AUSTRIA TECHNOLOGIE & SYSTEMTECHNIK AKTIENGESELLSCHAFT) 09 April 2020 (2020-04-09) entire document	1-10
A	CN 102097427 A (INFINEON TECHNOLOGIES AG.) 15 June 2011 (2011-06-15) entire document	1-10
A	CN 103703874 A (IBIDEN CO., LTD.) 02 April 2014 (2014-04-02) entire document	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 March 2021		Date of mailing of the international search report 06 April 2021
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/127009

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2014003012	A1	02 January 2014	KR	101472628	B1	15 December 2014
				KR	20140003955	A	10 January 2014
US	2016174381	A1	16 June 2016	KR	20160070588	A	20 June 2016
US	2020111748	A1	09 April 2020	EP	3633721	A1	08 April 2020
CN	102097427	A	15 June 2011	DE	102010038154	A1	12 May 2011
				US	2011108971	A1	12 May 2011
				US	8698298	B2	15 April 2014
				US	8120158	B2	21 February 2012
				CN	102097427	B	10 July 2013
				US	2013010446	A1	10 January 2013
CN	103703874	A	02 April 2014	TW	201309128	A	16 February 2013
				TW	I436701	B	01 May 2014
				KR	101539166	B1	23 July 2015
				KR	20130139369	A	20 December 2013
				KR	20150024944	A	09 March 2015
				WO	2013008552	A1	17 January 2013
				JP	2013038374	A	21 February 2013

国际检索报告

国际申请号

PCT/CN2020/127009

<p>A. 主题的分类</p> <p>H05K 1/18(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H05K</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPOCOC, CNPAT, CNKI: 串联, 并联, 线路板, 印刷电路板, PCB, 槽, 芯片, 晶片, 第一、第二, series, parallel, circuit board, groove, chips, first, second</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2014003012 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2014年 1月 2日 (2014 - 01 - 02) 说明书[0028]-[0042]段及图1-5</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2016174381 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2016年 6月 16日 (2016 - 06 - 16) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2020111748 A1 (AT & S AUSTRIA TECHNOLOGIE& SYSTEMTECHNIK AKTIENGESELLSCHAFT) 2020年 4月 9日 (2020 - 04 - 09) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 102097427 A (英飞凌科技股份有限公司) 2011年 6月 15日 (2011 - 06 - 15) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 103703874 A (揖斐电株式会社) 2014年 4月 2日 (2014 - 04 - 02) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	US 2014003012 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2014年 1月 2日 (2014 - 01 - 02) 说明书[0028]-[0042]段及图1-5	1-10	A	US 2016174381 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2016年 6月 16日 (2016 - 06 - 16) 全文	1-10	A	US 2020111748 A1 (AT & S AUSTRIA TECHNOLOGIE& SYSTEMTECHNIK AKTIENGESELLSCHAFT) 2020年 4月 9日 (2020 - 04 - 09) 全文	1-10	A	CN 102097427 A (英飞凌科技股份有限公司) 2011年 6月 15日 (2011 - 06 - 15) 全文	1-10	A	CN 103703874 A (揖斐电株式会社) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	US 2014003012 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2014年 1月 2日 (2014 - 01 - 02) 说明书[0028]-[0042]段及图1-5	1-10																		
A	US 2016174381 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2016年 6月 16日 (2016 - 06 - 16) 全文	1-10																		
A	US 2020111748 A1 (AT & S AUSTRIA TECHNOLOGIE& SYSTEMTECHNIK AKTIENGESELLSCHAFT) 2020年 4月 9日 (2020 - 04 - 09) 全文	1-10																		
A	CN 102097427 A (英飞凌科技股份有限公司) 2011年 6月 15日 (2011 - 06 - 15) 全文	1-10																		
A	CN 103703874 A (揖斐电株式会社) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-10																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2021年 3月 28日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 4月 6日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>梁素平</p> <p>电话号码 86-(10)-53961497</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/127009

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2014003012	A1	2014年 1月 2日	KR	101472628	B1	2014年 12月 15日
				KR	20140003955	A	2014年 1月 10日
US	2016174381	A1	2016年 6月 16日	KR	20160070588	A	2016年 6月 20日
US	2020111748	A1	2020年 4月 9日	EP	3633721	A1	2020年 4月 8日
CN	102097427	A	2011年 6月 15日	DE	102010038154	A1	2011年 5月 12日
				US	2011108971	A1	2011年 5月 12日
				US	8698298	B2	2014年 4月 15日
				US	8120158	B2	2012年 2月 21日
				CN	102097427	B	2013年 7月 10日
				US	2013010446	A1	2013年 1月 10日
CN	103703874	A	2014年 4月 2日	TW	201309128	A	2013年 2月 16日
				TW	I436701	B	2014年 5月 1日
				KR	101539166	B1	2015年 7月 23日
				KR	20130139369	A	2013年 12月 20日
				KR	20150024944	A	2015年 3月 9日
				WO	2013008552	A1	2013年 1月 17日
				JP	2013038374	A	2013年 2月 21日