

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月2日(02.08.2018)



(10) 国際公開番号

WO 2018/139495 A1

- (51) 国際特許分類:
H03K 17/687 (2006.01) *H03H 7/48* (2006.01)
- (21) 国際出願番号: PCT/JP2018/002160
- (22) 国際出願日: 2018年1月24日(24.01.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-014360 2017年1月30日(30.01.2017) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 徳田 勝利 (TOKUDA, Masamichi);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 稲葉 良幸, 外(INABA, Yoshiyuki et al.);
〒1066123 東京都港区六本木 6 - 10 -
1 六本木ヒルズ森タワー 23 階 T M I
総合法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SWITCH CIRCUIT

(54) 発明の名称: スイッチ回路

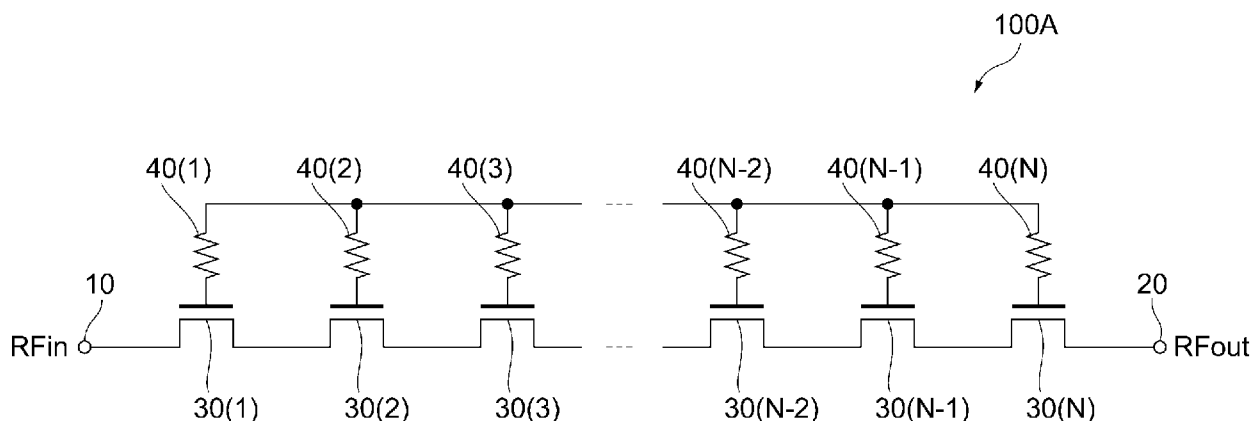


図 1

(57) **Abstract:** Provided is a switch circuit with which an increase in input electric power can be achieved while capping an increase in circuit area. The switch circuit is provided with: an input terminal to which a signal is input; an output terminal from which a signal is output; and a plurality of FETs in a multistage connection between the input terminal and the output terminal, the plurality of FETs being on/off-controlled in accordance with a control voltage supplied to the gate of each FET. The plurality of FETs include a first FET and a second FET provided at a position farther from the input terminal than is the first FET, wherein the first FET has a gate length longer than a gate length of the second FET.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 回路面積の増大を抑制しつつ入力電力の増大を実現するスイッチ回路を提供する。スイッチ回路は、信号が入力される入力端子と、信号が出力される出力端子と、入力端子及び出力端子の間において多段接続された複数のFETであって、各々のゲートに供給される制御電圧に応じてオン及びオフが制御される複数のFETと、を備え、複数のFETは、第1FETと、第1FETより入力端子から遠い位置に設けられた第2FETと、を含み、第1FETのゲート長は、第2FETのゲート長より長い。

明 細 書

発明の名称：スイッチ回路

技術分野

[0001] 本発明は、スイッチ回路に関する。

背景技術

[0002] 携帯電話等の移動体通信機に搭載されるスイッチ回路には、例えば電界効果トランジスタ（FET: Field Effect Transistor）が用いられる。このようなFETにより構成されるスイッチ回路において、入力電力の増大の要求を満たすため、複数のFETを多段接続することにより、スイッチ回路の耐電圧を向上させる構成が知られている。当該構成においては、多段接続されたFETの段数によって分圧された電圧が各FETのソース・ドレイン間にかかるため、FETの段数に応じた入力許容電圧を得ることができる。

[0003] スwitch回路の入力端子に供給される信号の電力は、各FETの寄生容量によって分圧されるため、各FETのソース・ドレイン間にかかる電圧が入力端子から出力端子にかけて徐々に小さくなる現象が生じる。このようなソース・ドレイン間電圧の不均一を回避するため、例えば特許文献1には、入力端子に最も近いFETのゲート・ソース間と、互いに隣接するFETのゲート同士の間容量素子を備えることにより、各FETのソース・ドレイン間電圧の均等な分配を図る構成が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2014／0009214号明細書

発明の概要

発明が解決しようとする課題

[0005] さて、近年の移動体通信機の性能の向上に伴い、スイッチ回路における回路規模の削減及び入力電力の増大の要求はますます厳しくなっている。この

点、特許文献１に開示されるスイッチ回路では、各ＦＥＴのソース・ドレイン間電圧が均等に分配されても、各ＦＥＴの耐電圧を超える入力電力が印加されるとＦＥＴが破壊し得る。一方、ＦＥＴの段数を増やすと、スイッチ回路の耐電圧は向上するが、回路面積が増大するという問題がある。

[0006] 本発明は、かかる事情に鑑みてなされたものであり、回路面積の増大を抑制しつつ入力電力の増大を実現するスイッチ回路を提供することを目的とする。

課題を解決するための手段

[0007] かかる目的を達成するため、本発明の一側面に係るスイッチ回路は、信号が入力される入力端子と、信号が出力される出力端子と、入力端子及び出力端子の間において多段接続された複数のＦＥＴであって、各々のゲートに供給される制御電圧に応じてオン及びオフが制御される複数のＦＥＴと、を備え、複数のＦＥＴは、第１ＦＥＴと、第１ＦＥＴより入力端子から遠い位置に設けられた第２ＦＥＴと、を含み、第１ＦＥＴのゲート長は、第２ＦＥＴのゲート長より長い。

発明の効果

[0008] 本発明によれば、回路面積の増大を抑制しつつ入力電力の増大を実現するスイッチ回路を提供することができる。

図面の簡単な説明

[0009] [図１]本発明の第１実施形態に係るスイッチ回路１００Ａの構成例を示す図である。

[図２]ＦＥＴのゲート長と耐電圧との関係を示すグラフである。

[図３]本発明の第２実施形態に係るスイッチ回路１００Ｂの構成例を示す図である。

[図４]本発明の第２実施形態の変形例に係るスイッチ回路１００Ｃの構成例を示す図である。

[図５]本発明の第２実施形態の他の変形例に係るスイッチ回路１００Ｄの構成例を示す図である。

[図6]本発明の第3実施形態に係るスイッチ回路100Eの構成例を示す図である。

[図7]本発明の第4実施形態に係るスイッチ回路100Fの構成例を示す図である。

[図8]本発明の第4実施形態の変形例に係るスイッチ回路100Gの構成例を示す図である。

[図9]本発明の第5実施形態に係るスイッチ回路100Hの構成例を示す図である。

[図10]本発明の第5実施形態の変形例に係るスイッチ回路100Iの構成例を示す図である。

[図11]本発明の第5実施形態の他の変形例に係るスイッチ回路100Jの構成例を示す図である。

[図12]本発明の第6実施形態に係るスイッチ回路100Kの構成例を示す図である。

[図13]本発明の第6実施形態の変形例に係るスイッチ回路100Lの構成例を示す図である。

[図14]本発明の第6実施形態の他の変形例に係るスイッチ回路100Mの構成例を示す図である。

[図15]本発明の第7実施形態に係るスイッチ回路100Nの構成例を示す図である。

[図16]本発明の第7実施形態の変形例に係るスイッチ回路100Pの構成例を示す図である。

[図17]本発明の第1及び第2実施形態に係るスイッチ回路及び比較例におけるソース・ドレイン間電圧のシミュレーション結果の一例を示すグラフである。

[図18]本発明の第1及び第2実施形態に係るスイッチ回路及び比較例における耐電圧及びオン抵抗のシミュレーション結果の一例を示すグラフである。

発明を実施するための形態

[0010] 以下、本発明の実施の形態について、図面を参照しつつ詳細に説明する。

なお、同一の要素には同一の符号を付し、重複する説明を省略する。

[0011] 図1は、本発明の第1実施形態に係るスイッチ回路100Aの構成例を示す図である。スイッチ回路100Aが用いられる装置は特に限定されないが、本明細書においては一例として、携帯電話等の移動体通信機に搭載される電力増幅モジュールにおいて用いられる場合を想定して説明する。具体的には、例えば、スイッチ回路100Aは、入力端子から入力される無線周波数(RF: Radio Frequency)信号を出力端子に通すスイッチに適用されてもよい。特に、スイッチ回路100Aは、後述の通り入力電力の増大を実現するため、電力増幅器からアンテナまで(すなわち、RF信号が電力増幅器により増幅された後の信号経路)の間に設けられたバンド切り替えスイッチやアンテナスイッチ等に適用されてもよい。

[0012] 図1に示されるように、スイッチ回路100Aは、入力端子10、出力端子20、N個のFET30(1)~30(N)(Nは2以上の整数)及びN個の抵抗素子40(1)~40(N)を備える。なお、ここでは入力端子10側から数えてi番目(iは1以上N以下の整数)のFETを「30(i)」と表している。他の素子においても同様である。また、本明細書においてはFETの一例としてNチャネルMOSFET(Metal-oxide-semiconductor Field Effect Transistor)を用いて説明する。なお、PチャネルMOSFETを用いた構成においても同様の効果を得ることができるが、NチャネルMOSFETを用いた構成と同様であるため詳細な説明は省略する。

[0013] N個のFET30(1)~30(N)(以下、これらのN個のFETを区別しない場合には、単に「各FET30」とも呼ぶ。他の素子においても同様である。)は、入力端子10と出力端子20との間において多段接続されている。具体的には、FET30(1)~30(N)はそれぞれ直列接続され、すなわち隣接するFETのドレインとソースが接続され、ゲートが各抵抗素子40の一端に接続されている。各FET30のゲートには、各抵抗素

子40を經由して制御電圧が供給される。当該制御電圧により、多段接続された全てのFETがオンとなると、入力端子10と出力端子20との間が導通される。この場合、FET30(1)のソースに供給された入力信号RF_{in}が、FET30(N)のドレインから出力信号RF_{out}として出力される。一方、少なくとも1段のFETがオフとなると、入力端子10と出力端子20との間は導通されず、出力信号は出力されない。

[0014] ここで、仮に多段接続された各FET30のゲート長、ゲート幅、閾値等の諸条件が全て同一であった場合、スイッチ回路の入力端子に供給される信号の電力は各FETの寄生容量によって分圧されるため、各FETのソース・ドレイン間電圧が不均一となる。具体的には、各FETのソース・ドレイン間電圧は、出力端子20から入力端子10にかけて徐々に大きくなる。そのため、特にスイッチ回路のオフ時において入力端子に近いFETのソース・ドレイン間に耐電圧を超える電圧がかかり得る。従って、スイッチ回路の入力許容電圧は、入力端子に近いFETの耐電圧によって制限される。この点、本実施形態においては、各FET30のゲート長を調整することにより、当該制限を超えて入力許容電圧を上昇させることができる。以下に、ゲート長の調整について具体的に説明する。

[0015] 図2は、FETのゲート長と耐電圧との関係を示すグラフである。図2に示されるグラフは、FETのゲート長を0.24 μ m、0.28 μ m、0.32 μ mとしたときの1段のFETの耐電圧を示している。なお、縦軸はFETのソース・ドレイン間の耐電圧(V)を示し、横軸はFETのゲート長(μ m)を示す。図2に示されるように、FETの耐電圧はゲート長が長いほど向上する。従って、多段接続されたFETにおいても、ソース・ドレイン間電圧に応じてFETのゲート長をそれぞれ調整することにより、FETの耐電圧を向上させることができる。

[0016] すなわち、図1に示されるスイッチ回路100Aにおいては、各FET30のゲート長が意図的に不均一となるように調整される。具体的には、例えば、各FET30のうち入力端子10側から数えて数段のFETのゲート長

が、その他のFETのゲート長より長くなるように調整される。これにより、入力端子10に近いFETの耐電圧が向上するため、当該FETは他のFETに比べて高い電圧がソース・ドレイン間にかかっても、破壊が抑制される。一方、入力端子10から遠いFETの耐電圧は向上しないが、当該FETは他のFETに比べてソース・ドレイン間にかかる電圧が低いため、破壊の可能性が低い。また、一般的にFETのゲート長は短いほどオン抵抗の抵抗値が低いため、入力端子から遠いFETにおいてはゲート長を比較的短くすることにより、スイッチ回路の挿入損失を低減させることができる。

[0017] 上述の構成により、スイッチ回路100Aは、多段接続された各FET30のうち、入力端子10に近いFETのゲート長を他のFETのゲート長より長くすることにより、ゲート長が均一な構成に比べて入力許容電圧を上昇させることが可能となる。すなわち、スイッチ回路100Aは、回路面積の増大を抑制しつつ、入力電力の増大を実現することができる。

[0018] また、スイッチ回路100Aにおいては、入力端子10から遠いFET（すなわち、ソース・ドレイン間電圧が比較的低いFET）のゲート長は他のFETのゲート長より短くなるように設計される。これにより、全てのFETのゲート長を長くする構成に比べて、オン抵抗の抵抗値が低下し、スイッチ回路の挿入損失が低減される。

[0019] なお、ゲート長の長さの具体的な構成については特に限定されないが、以下に例を述べる。例えば、各FET30のうち入力端子10に最も近い位置に設けられたFET30（1）（第1FET）と、FET30（1）より入力端子10から遠い位置に設けられたFET30（2）（第2FET）と、FET30（2）より入力端子10から遠い位置に設けられたFET30（3）（第3FET）に着目する。この時、FET30（1）のゲート長がFET30（2）のゲート長より長く、FET30（2）のゲート長がFET30（3）のゲート長より長く、FET30（3）～30（N）のゲート長が略同一の長さであってもよい。

[0020] あるいは、各FET30のうち入力端子10から数えてi番目のFETの

ゲート長を $L(i)$ とすると、 $L(1) > L(2) \geq \dots \geq L(N-1) \geq L(N)$ が成立するようにゲート長が設計されてもよい。すなわち、入力端子10に近いFETほどゲート長が長く、入力端子10から遠いFETほどゲート長が短くなるように調整されてもよい。これにより、ソース・ドレイン間にかかる電圧が比較的高いFETにおいては耐電圧が上がり、ソース・ドレイン間にかかる電圧が比較的低いFETにおいては挿入損失が低減される。

[0021] さらに、多段接続されたFETは、ゲート長に加えてゲート幅が調整されてもよい。具体的には、例えば、FET30(1)のゲート幅がFET30(2)のゲート幅より広くてもよい。又は、入力端子10に近いFETほどゲート幅が広く、入力端子10から遠いFETほどゲート幅が狭くなるように調整されてもよい。これにより、例えば、各FET30のソース・ドレイン間電圧が均一となるように調整することができる。又は、各FET30のゲート長に応じてゲート幅を調整することにより、各FET30の耐電圧に近い電圧がソース・ドレイン間にかかるように調整することができる。従って、ゲート幅が均一である構成に比べて、さらに入力許容電圧を上げることができる。

[0022] なお、FET30(1)～30(N)は、MOSFETに限られず、例えばJFET(Junction Field Effect Transistor)や、MESFET(Metal-semiconductor Field Effect Transistor)等のFETであってもよい。また、多段接続されるFETの数は2段以上であれば特に限定されない。また、多段接続されたFETは、図1に示されるように個別のFETが直列接続されて構成されてもよく、又はマルチゲートFETが利用されてもよい。以下の実施形態においても同様である。

[0023] 図3は、本発明の第2実施形態に係るスイッチ回路100Bの構成例を示す図である。なお、第2実施形態以降では、スイッチ回路100Aと同一の要素には同一の符号を付して説明を省略する。また、第1実施形態と共通の

事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。スイッチ回路100Bは、各FET30のソース・ドレイン間に容量素子が設けられている。

[0024] 容量素子50(1)～50(N)は、それぞれ、FET30(1)～30(N)のソース・ドレイン間に接続されている。各容量素子50の容量値を調整することにより、各FET30のソース・ドレイン間にかかる電圧を調整することができる。具体的には、例えば、各FET30のうち入力端子10に近いFETに接続された容量素子の容量値を比較的大きくし、入力端子10から遠いFETに接続された容量素子の容量値を比較的小さくすることにより、FETのソース・ドレイン間電圧の均等な分配を図ることができる。ここで、当該構成においては、例えばスイッチ回路の回路規模の削減に伴う容量素子の大きさの制約により、FETのソース・ドレイン間電圧が完全には均等に分配されないことがある。この場合、スイッチ回路100Aの構成を適用し、すなわち各FET30のゲート長の長さを調整することにより、一部のFETの耐電圧を向上させてソース・ドレイン間電圧の不均一を補うことができる。

[0025] あるいは、各FET30の耐電圧に応じて、耐電圧の高いFETに接続された容量素子の容量値を比較的大きくし、耐電圧の低いFETに接続された容量素子の容量値を比較的小さくすることにより、全てのFETに耐電圧に近い電圧をかけることができる。従って、スイッチ回路100Aに比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。

[0026] 図4は、本発明の第2実施形態の変形例に係るスイッチ回路100Cの構成例を示す図である。スイッチ回路100Cは、各FET30のうち入力端子10に最も近いFET30(1)のソースと、各FET30のドレインとの間に容量素子が設けられている。

[0027] 容量素子51(1)～51(N)は、一端が、入力端子10に最も近いFET30(1)のソース(すなわち、入力端子側の電極)に接続され、他端

が、各FET30(1)～30(N)のドレイン(すなわち、出力端子側の電極)にそれぞれ接続される。これにより、最も信号レベルの大きい信号が供給される端子(FET30(1)のソース)と、各FET30のドレインとの間に各容量素子51が接続され、各FET30のドレイン電圧が引き上げられる。ここで、各FET30は入力端子10から遠いほどドレイン電圧の引き上げ量は小さくなるため、必要な容量値は小さくなる。従って、スイッチ回路100Cにおいては、スイッチ回路100Bにおける各容量素子50より容量値が小さい容量素子によって各FET30のドレイン電圧を引き上げ、ソース・ドレイン間電圧の均等な分配を図ることができる。

[0028] このような構成によっても、スイッチ回路100Cはスイッチ回路100Aと同様に、各FET30のゲート長の長さを調整することにより耐電圧を向上させることができる。また、スイッチ回路100Cは、入力端子10から遠いほど容量素子51(1)～51(N)の必要な容量値が小さくなるため、スイッチ回路100Bに比べて回路面積の増大を抑制することができる。

[0029] なお、図4に示される例においては、全てのFET30(1)～30(N)において容量素子が接続されているが、一部のFET(例えば、各FET30のうち入力端子10に近い側の一部のFET)のみに容量素子が接続されていてもよい。

[0030] 図5は、本発明の第2実施形態の他の変形例に係るスイッチ回路100Dの構成例を示す図である。スイッチ回路100Dは、スイッチ回路100Cに比べて、容量素子の接続の構成が異なる。なお、図5においてはN=7の場合が一例として示されているが、FETの数はこれに限られない。

[0031] スwitch回路100Dにおいては、複数のFETが一つの単位を有し、各容量素子52の一端は当該単位内で最も入力端子10に近いFETのソースに接続される。具体的には、図5に示される例においては、FET30(1)～30(3)が一つ目の単位を成し、FET30(5)～FET30(7)が二つ目の単位を成す。容量素子52(1)～52(3)は、一端がFET

T30(1)（すなわち、一つ目の単位内で最も入力端子10に近いFET）のソースに接続され、他端は各FET30(1)～30(3)のドレインに接続される。一方、容量素子52(5)～52(7)は、一端がFET30(5)（すなわち、二つ目の単位内で最も入力端子10に近いFET）のソースに接続され、他端は各FET30(5)～30(7)のドレインに接続される。また、一つ目と二つ目の単位の間位置するFET30(4)に対応する容量素子52(4)は、一端がFET30(4)のソースに接続され、他端がFET30(4)のドレインに接続される。

[0032] 上述の構成においては、図4に示されるスイッチ回路100Cの構成に比べて、入力端子から遠いFETに接続された容量素子の容量値が極端に小さくなることが回避される。従って、制御が比較的困難な微小容量を用いる必要がなくなる。

[0033] このような構成によっても、スイッチ回路100Dはスイッチ回路100Aと同様に、各FET30のゲート長の長さを調整することにより耐電圧を向上させることができる。また、スイッチ回路100Dは、スイッチ回路100Cに比べて微小容量を用いる必要がないため、良品が製造される比率が向上する。

[0034] 図6は、本発明の第3実施形態に係るスイッチ回路100Eの構成例を示す図である。スイッチ回路100Eは、各FET30のソース・ドレイン間に抵抗素子が設けられている。

[0035] 抵抗素子41(1)～41(N)は、それぞれ、FET30(1)～30(N)のソース・ドレイン間に接続されている。このように、各FET30のソース・ドレイン間に各抵抗素子41が接続されることにより、スイッチ回路のオフ時における各FET30のソースやドレインの直流電圧が安定する。このような構成によっても、スイッチ回路100Eはスイッチ回路100Aと同様に、各FET30のゲート長の長さを調整することにより耐電圧を向上させることができる。なお、当該抵抗素子41は、他のいずれの実施形態と組み合わせて用いられてもよい。

[0036] 図7は、本発明の第4実施形態に係るスイッチ回路100Fの構成例を示す図であり、図8は、本発明の第4実施形態の変形例に係るスイッチ回路100Gの構成例を示す図である。スイッチ回路100Fは、各FET30のゲート・ソース間に容量素子53(1)～53(N)が設けられ、ゲート・ドレイン間に容量素子54(1)～54(N)が設けられている。また、スイッチ回路100Gは、各FET30のバルク・ソース間に容量素子55(1)～55(N)が設けられ、バルク・ドレイン間に容量素子56(1)～56(N)が設けられている。このように、各FET30のソース・ドレイン間電圧の均等な分配を図るために設けられる素子の接続位置は、各FETのソース・ドレイン間に限られず、ゲート・ソース間及びゲート・ドレイン間、又はバルク・ソース間及びバルク・ドレイン間であってもよい。このような構成によっても、スイッチ回路100F、100Gはスイッチ回路100Aと同様に、各FET30のゲート長の長さを調整することにより耐電圧を向上させることができる。また、スイッチ回路100F、100Gはスイッチ回路100Bと同様に、スイッチ回路100Aに比べて入力許容電圧をさらに上昇させることができる。

[0037] 図9は、本発明の第5実施形態に係るスイッチ回路100Hの構成例を示す図であり、図10は、本発明の第5実施形態の変形例に係るスイッチ回路100Iの構成例を示す図であり、図11は、本発明の第5実施形態の他の変形例に係るスイッチ回路100Jの構成例を示す図である。スイッチ回路100H～100Jは、FET30(1)(すなわち、入力端子10に最も近いFET)のゲート・ソース間と、互いに隣接するFETのゲート同士の間素子が設けられている。

[0038] 具体的には、スイッチ回路100Hは、FET30(1)のゲートとソース(すなわち、入力端子側の電極)との間に容量素子57(1)(第1素子)が設けられ、互いに隣接するFETのゲート同士の間素子57(2)～57(N)(第2素子)が設けられている。また、スイッチ回路100Iは、FET30(1)のゲートとソースとの間に互いに直列接続された容

量素子 58 及び抵抗素子 42 (1) (第 1 素子) が設けられ、互いに隣接する FET のゲート同士の間には抵抗素子 42 (2) ~ 42 (N) (第 2 素子) が設けられている。また、スイッチ回路 100J は、FET 30 (1) のゲートとソースとの間に互いに直列接続された容量素子 59 (1) 及び抵抗素子 43 (1) (第 1 素子) が設けられ、互いに隣接する FET のゲート同士の間には互いに直列接続された容量素子 59 (2) ~ 59 (N) 及び抵抗素子 43 (2) ~ 43 (N) (第 2 素子) が設けられている。

[0039] このように、各 FET 30 のソース・ドレイン間電圧の均等な分配を図るために設けられる素子の接続位置は、互いに隣接する FET のゲート同士の間であってもよい。このような構成によっても、スイッチ回路 100H ~ 100J はスイッチ回路 100A と同様に、各 FET 30 のゲート長の長さを調整することにより耐電圧を向上させることができる。また、スイッチ回路 100H ~ 100J はスイッチ回路 100B と同様に、スイッチ回路 100A に比べて入力許容電圧をさらに上昇させることができる。

[0040] 図 12 は、本発明の第 6 実施形態に係るスイッチ回路 100K の構成例を示す図であり、図 13 は、本発明の第 6 実施形態の変形例に係るスイッチ回路 100L の構成例を示す図であり、図 14 は、本発明の第 6 実施形態の他の変形例に係るスイッチ回路 100M の構成例を示す図である。スイッチ回路 100K ~ 100M は、FET 30 (1) (すなわち、入力端子 10 に最も近い FET) のバルク・ソース間と、互いに隣接する FET のバルク同士の間には素子が設けられている。

[0041] 具体的には、スイッチ回路 100K は、FET 30 (1) のバルクとソース (すなわち、入力端子側の電極) との間に容量素子 60 (1) (第 3 素子) が設けられ、互いに隣接する FET のバルク同士の間には容量素子 60 (2) ~ 60 (N) (第 4 素子) が設けられている。また、スイッチ回路 100L は、FET 30 (1) のバルクとソースとの間に互いに直列接続された容量素子 61 及び抵抗素子 44 (1) (第 3 素子) が設けられ、互いに隣接する FET のバルク同士の間には抵抗素子 44 (2) ~ 44 (N) (第 4 素子)

が設けられている。また、スイッチ回路100Mは、FET30(1)のバルクとソースとの間に互いに直列接続された容量素子62(1)及び抵抗素子45(1)(第3素子)が設けられ、互いに隣接するFETのバルク同士の間互いに直列接続された容量素子62(2)~62(N)及び抵抗素子45(2)~45(N)(第4素子)が設けられている。

[0042] このように、各FET30のソース・ドレイン間電圧の均等な分配を図るために設けられる素子の接続位置は、互いに隣接するFETのバルク同士の間であってもよい。このような構成によっても、スイッチ回路100K~100Mはスイッチ回路100Aと同様に、各FET30のゲート長の長さを調整することにより耐電圧を向上させることができる。また、スイッチ回路100K~100Mはスイッチ回路100Bと同様に、スイッチ回路100Aに比べて入力許容電圧をさらに上昇させることができる。

[0043] 図15は、本発明の第7実施形態に係るスイッチ回路100Nの構成例を示す図であり、図16は、本発明の第7実施形態の変形例に係るスイッチ回路100Pの構成例を示す図である。スイッチ回路100N、100Pにおいては、各FET30のバルクにバイアス電圧が供給される。

[0044] 具体的には、スイッチ回路100Nは、各FET30のゲート・バルク間にダイオード素子70(1)~70(N)が設けられている。各ダイオード素子70は、アノードが各FET30のバルクに接続され、カソードが各FET30のゲートに接続されている。また、スイッチ回路100Pは、各FET30のバルクに直列接続された抵抗素子46(1)~46(N)が設けられている。各FET30のバルクには、各抵抗素子46を経由してバイアス電圧Vbiasが供給される。

[0045] 上述の構成により、スイッチ回路100N、100Pにおいては、各FETのバルクにバイアス電圧を供給することができる。このような構成によっても、スイッチ回路100N、100Pはスイッチ回路100Aと同様に、各FET30のゲート長の長さを調整することにより耐電圧を向上させることができる。なお、スイッチ回路100A~100Mにおいても、スイッチ

回路 100N, 100Pと同様に各FET30のバルクにバイアス電圧を供給することができ、同様の効果を得ることができる。

[0046] 図17は、本発明の第1及び第2実施形態に係るスイッチ回路及び比較例におけるソース・ドレイン間電圧のシミュレーション結果の一例を示すグラフである。当該シミュレーションは、いずれも12段のFETが多段接続されたスイッチ回路において、入力信号の電力を上昇させていずれかのFETのソース・ドレイン間電圧が耐電圧に到達した時の各FETのソース・ドレイン間電圧を示している。なお、説明の便宜上、入力端子に近いFETから順に1～12の符号を用いる。また、第1実施形態は、スイッチ回路100Aの一例として、FET30(1)のゲート長を $0.32\mu\text{m}$ 、FET30(2)のゲート長を $0.28\mu\text{m}$ 、FET30(3)～30(12)のゲート長を $0.24\mu\text{m}$ とした構成である。第2実施形態は、第1実施形態と同様のゲート長とし、スイッチ回路100Bの一例としてFET30(1)～30(4)の4段のFETのソース・ドレイン間に容量素子50(1)～50(4)が設けられた構成である。比較例は、FET30(1)～30(12)のゲート長をいずれも $0.24\mu\text{m}$ とした構成である。また、図17に示されるグラフにおいて、縦軸は各FETにおけるソース・ドレイン間電圧(V)を示し、横軸は入力端子から順に付されたFETの符号を示す。また、図17に示されるグラフにおける3本の水平線は、各FETのゲート長に応じた耐電圧を示している。

[0047] 図17に示されるように、比較例においては、入力端子に近いFETほどソース・ドレイン間に高い電圧がかかるため、FET30(1)が耐電圧に到達するときに最大入力電力(38.5dBm)が供給される。一方、第1実施形態においては、FET30(1)及びFET30(2)の耐電圧が向上するため、FET30(3)が耐電圧に到達するときに最大入力電力(40.3dBm)が供給される。さらに、第2実施形態においては、FET30(1)～30(4)のソース・ドレイン間に設けられた容量素子の容量値を調整することにより、各FETのソース・ドレイン間電圧を耐電圧に近付

けることができる。従って、第2実施形態においては、FET30(1)～30(4)の全てが耐電圧に到達するときに最大入力電力(42dBm)が供給される。

[0048] 図18は、本発明の第1及び第2実施形態に係るスイッチ回路及び比較例における耐電圧及びオン抵抗のシミュレーション結果の一例を示すグラフである。図18に示されるグラフにおいて、縦軸左側はスイッチ回路の耐電圧(V)を示し、縦軸右側はスイッチ回路のオン抵抗×オフ容量(fsec)を示す。当該グラフにおける条件については、図17における条件と同様であるため詳細な説明は省略する。

[0049] 図18に示されるように、第1実施形態は比較例に比べて耐電圧が6V程度向上している。また、第2実施形態は第1実施形態に比べて耐電圧が7V程度向上している。一方、オン抵抗×オフ容量においては、特に容量素子が設けられた第2実施形態において比較例に比べて劣化していることが分かる。すなわち、スイッチ回路の要求仕様に応じて、ゲート長の長さ、容量素子等の付加の有無、又は付加する素子の個数等の調整を行ってもよい。

[0050] 以上、本発明の例示的な実施形態について説明した。スイッチ回路100A～100Pは、多段接続された複数のFETを備え、入力端子10から近いFETは、当該FETより入力端子10から遠いFETに比べてゲート長が長い。これにより、ゲート長が均一な構成に比べて、入力端子10に近いFETの耐電圧が向上し、入力許容電圧を上昇させることが可能となる。従って、スイッチ回路100A～100Pは、回路面積の増大を抑制しつつ、入力電力の増大を実現することができる。また、全てのFETのゲート長を長くする構成に比べて、オン抵抗の抵抗値が低下し、スイッチ回路の挿入損失が低減される。

[0051] また、FETのゲート長の長さの構成は特に限定されないが、例えば入力端子10に近いFETから順にゲート長が長くてもよい。

[0052] また、スイッチ回路100Bは、各FET30のソース・ドレイン間に各容量素子50が設けられている。これにより、各FET30のソース・ドレ

イン間電圧の均等な分配を図ることができる。あるいは、全てのFETに耐電圧に近い電圧をかけることができる。従って、スイッチ回路100Aに比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。

[0053] また、スイッチ回路100Cは、各FET30のうち入力端子10に最も近いFET30(1)のソースと、各FET30のドレインとの間に各容量素子51が設けられている。これにより、各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。あるいは、全てのFETに耐電圧に近い電圧をかけることができる。従って、スイッチ回路100Aに比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。また、スイッチ回路100Cは、入力端子10から遠いほど各容量素子51の必要な容量値が小さくなるため、スイッチ回路100Bに比べて回路面積の増大を抑制することができる。

[0054] また、スイッチ回路100Fは、各FET30のゲート・ソース間及びゲート・ドレイン間に各容量素子53, 54が設けられている。これにより、各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。あるいは、全てのFETに耐電圧に近い電圧をかけることができる。従って、スイッチ回路100Aに比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。

[0055] また、スイッチ回路100Gは、各FET30のバルク・ソース間及びバルク・ドレイン間に各容量素子55, 56が設けられている。これにより、各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。あるいは、全てのFETに耐電圧に近い電圧をかけることができる。従って、スイッチ回路100Aに比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。

[0056] また、スイッチ回路100H~100Jは、各FET30のうち入力端子10に最も近いFET30(1)のゲート・ソース間と、互いに隣接するFETのゲート同士の間、容量素子、抵抗素子、又は互いに直列接続された容量素子及び抵抗素子、のいずれかが設けられている。これにより、各FET

T30のソース・ドレイン間電圧の均等な分配を図ることができる。あるいは、全てのFETに耐電圧に近い電圧をかけることができる。従って、スイッチ回路100Aに比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。

[0057] また、スイッチ回路100K~100Pは、各FET30のうち入力端子10に最も近いFET30(1)のバルク・ソース間と、互いに隣接するFETのバルク同士の間、容量素子、抵抗素子、又は互いに直列接続された容量素子及び抵抗素子、のいずれかが設けられている。これにより、各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。あるいは、全てのFETに耐電圧に近い電圧をかけることができる。従って、スイッチ回路100Aに比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。

[0058] また、スイッチ回路100Nに示されるように、各FET30のゲート・バルク間にダイオード素子70が設けられ、各FET30のバルクにバイアス電圧が供給されてもよい。又は、スイッチ回路100Pに示されるように、各FET30のバルクに各抵抗素子46を経由してバイアス電圧が供給されてもよい。

[0059] また、スイッチ回路100Eは、各FET30のソース・ドレイン間に各抵抗素子41が設けられている。これにより、スイッチ回路のオフ時における各FET30のソースやドレインの直流電圧が安定する。

[0060] また、スイッチ回路100A~100Pにおいて、各FET30のうち入力端子10から近いFETは、当該FETより入力端子10から遠いFETに比べてゲート幅が広くてもよい。これにより、各FET30のソース・ドレイン間電圧の均等な分配を図ることができる。あるいは、全てのFETに耐電圧に近い電圧をかけることができる。従って、ゲート幅が均一である構成に比べてスイッチ回路の入力許容電圧をさらに上昇させることができる。

[0061] なお、上述の各実施形態では、各FET30において、入力端子側の電極がソースであり、出力端子側の電極がドレインである例が示されているが、

これに替えて入力端子側の電極がドレインであり、出力端子側の電極がソースであってもよい。

[0062] 以上説明した各実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更又は改良され得るととともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実施形態が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。また、各実施形態が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

符号の説明

[0063] 10…入力端子、20…出力端子、30…FET、40～46…抵抗素子、50～62…容量素子、70…ダイオード素子、100A～100P…スイッチ回路

請求の範囲

- [請求項1] 信号が入力される入力端子と、
前記信号が出力される出力端子と、
前記入力端子及び前記出力端子の間において多段接続された複数の F E T であって、各々のゲートに供給される制御電圧に応じてオン及びオフが制御される複数の F E T と、
を備え、
前記複数の F E T は、第 1 F E T と、前記第 1 F E T より前記入力端子から遠い位置に設けられた第 2 F E T と、を含み、
前記第 1 F E T のゲート長は、前記第 2 F E T のゲート長より長い、
スイッチ回路。
- [請求項2] 前記複数の F E T は、前記第 2 F E T より前記入力端子から遠い位置に設けられた第 3 F E T をさらに含み、
前記第 2 F E T のゲート長は、前記第 3 F E T のゲート長より長い、
請求項 1 に記載のスイッチ回路。
- [請求項3] 前記複数の F E T は、直列接続された N 個 (N は 2 以上の整数) の F E T を含み、
前記入力端子から数えて i 番目 (i は 1 以上 N 以下の整数) の F E T のゲート長を $L(i)$ とすると、
$$L(1) > L(2) \geq \dots \geq L(N-1) \geq L(N)$$

が成立する、
請求項 1 又は 2 に記載のスイッチ回路。
- [請求項4] 前記スイッチ回路は、
前記複数の F E T の各々のソース・ドレイン間に容量素子が設けられた、
請求項 1 から 3 のいずれか一項に記載のスイッチ回路。

- [請求項5] 前記スイッチ回路は、
前記複数のFETのうち前記入力端子に最も近いFETのソースまたはドレインのうち前記入力端子側の電極と、前記複数のFETの各々のソースまたはドレインのうち前記出力端子側の電極との間に容量素子がそれぞれ設けられた、
請求項1から3のいずれか一項に記載のスイッチ回路。
- [請求項6] 前記スイッチ回路は、
前記複数のFETの各々のゲート・ソース間及びゲート・ドレイン間に容量素子が設けられた、
請求項1から3のいずれか一項に記載のスイッチ回路。
- [請求項7] 前記スイッチ回路は、
前記複数のFETの各々のバルク・ソース間及びバルク・ドレイン間に容量素子が設けられた、
請求項1から3のいずれか一項に記載のスイッチ回路。
- [請求項8] 前記スイッチ回路は、
前記複数のFETのうち、前記入力端子に最も近いFETのゲートと、当該FETのソースまたはドレインのうち前記入力端子側の電極との間に第1素子が設けられ、
前記複数のFETのうち、互いに隣接するFETのゲート同士の間
に第2素子が設けられた、
請求項1から3のいずれか一項に記載のスイッチ回路。
- [請求項9] 前記第1及び第2素子のそれぞれは、容量素子、抵抗素子、又は互いに直列接続された容量素子及び抵抗素子、のいずれかである、
請求項8に記載のスイッチ回路。
- [請求項10] 前記スイッチ回路は、
前記複数のFETのうち、前記入力端子に最も近いFETのバルクと、当該FETのソース又はドレインのうち前記入力端子側の電極との間に第3素子が設けられ、

前記複数の F E T のうち、互いに隣接する F E T のバルク同士の間
に第 4 素子が設けられた、

請求項 1 から 3 のいずれか一項に記載のスイッチ回路。

[請求項 11] 前記第 3 及び第 4 素子のそれぞれは、容量素子、抵抗素子、又は互
いに直列接続された容量素子及び抵抗素子、のいずれかである、
請求項 10 に記載のスイッチ回路。

[請求項 12] 前記スイッチ回路は、
前記複数の F E T の各々のゲート・バルク間にダイオード素子が設
けられ、

前記ダイオード素子のアノードが前記バルクに接続され、前記ダイ
オード素子のカソードが前記ゲートに接続された、

請求項 1 から 11 のいずれか一項に記載のスイッチ回路。

[請求項 13] 前記スイッチ回路は、
前記複数の F E T の各々のバルクに抵抗素子が直列接続され、
前記バルクに前記抵抗素子を経由してバイアス電圧が供給される、
請求項 1 から 11 のいずれか一項に記載のスイッチ回路。

[請求項 14] 前記スイッチ回路は、
前記複数の F E T の各々のソース・ドレイン間に抵抗素子が設けら
れた、

請求項 1 から 13 のいずれか一項に記載のスイッチ回路。

[請求項 15] 前記第 1 F E T のゲート幅は、前記第 2 F E T のゲート幅より広い
、
請求項 1 から 14 のいずれか一項に記載のスイッチ回路。

[図1]

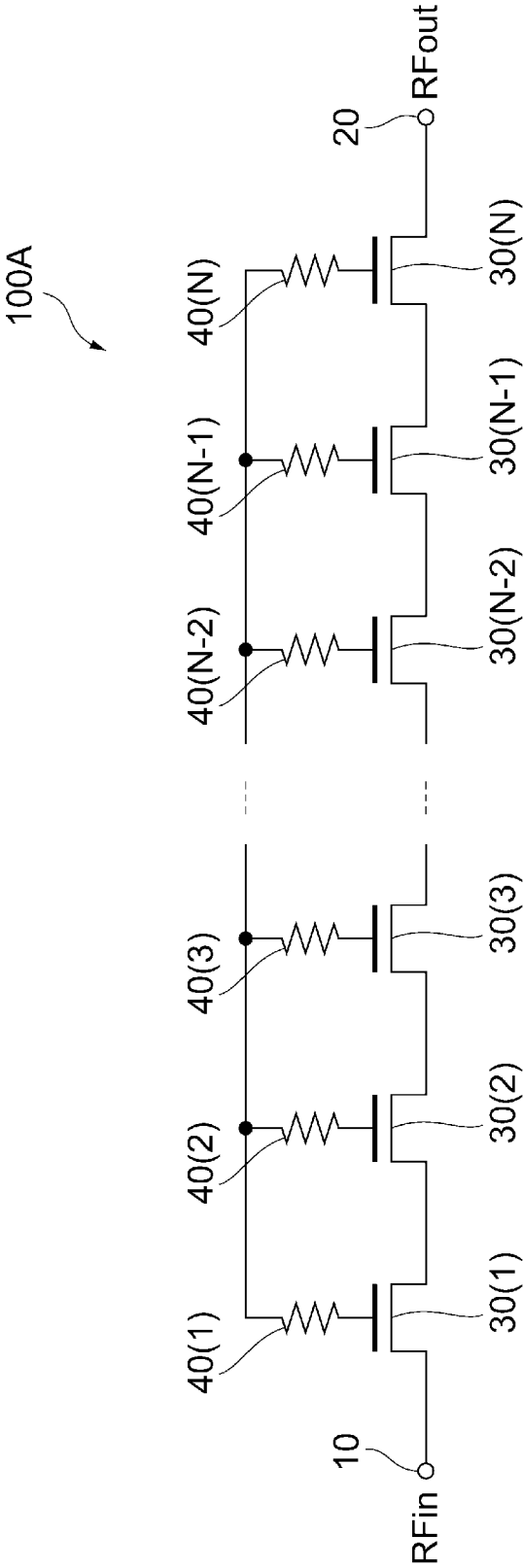


図 1

[図2]

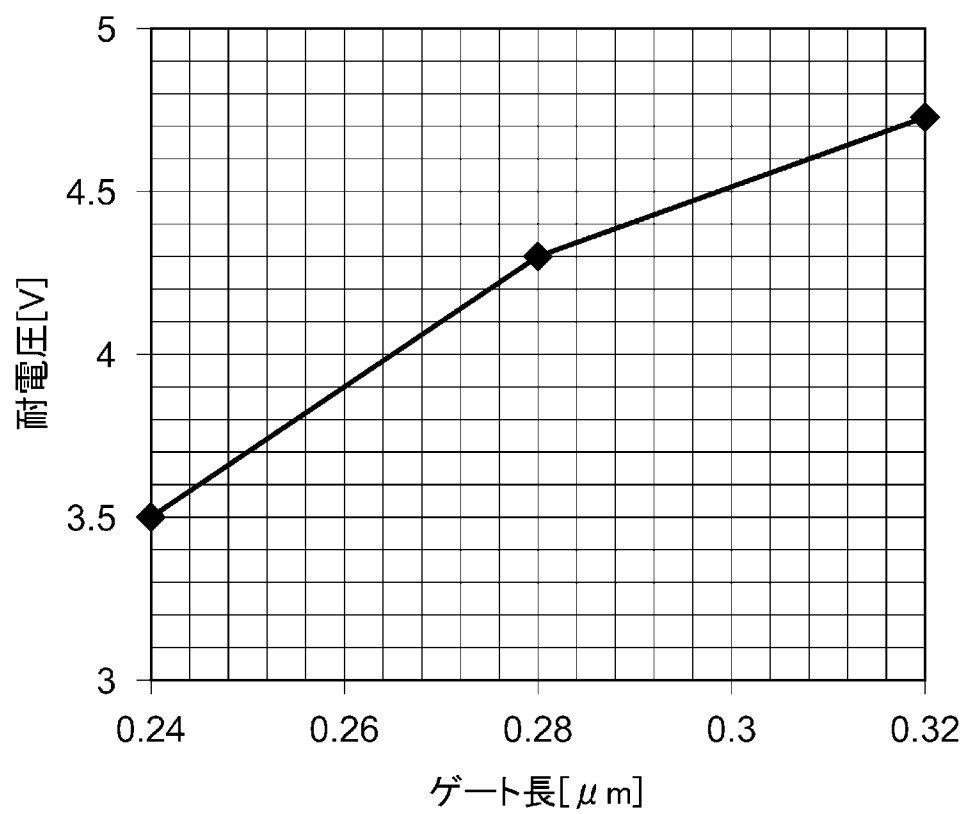
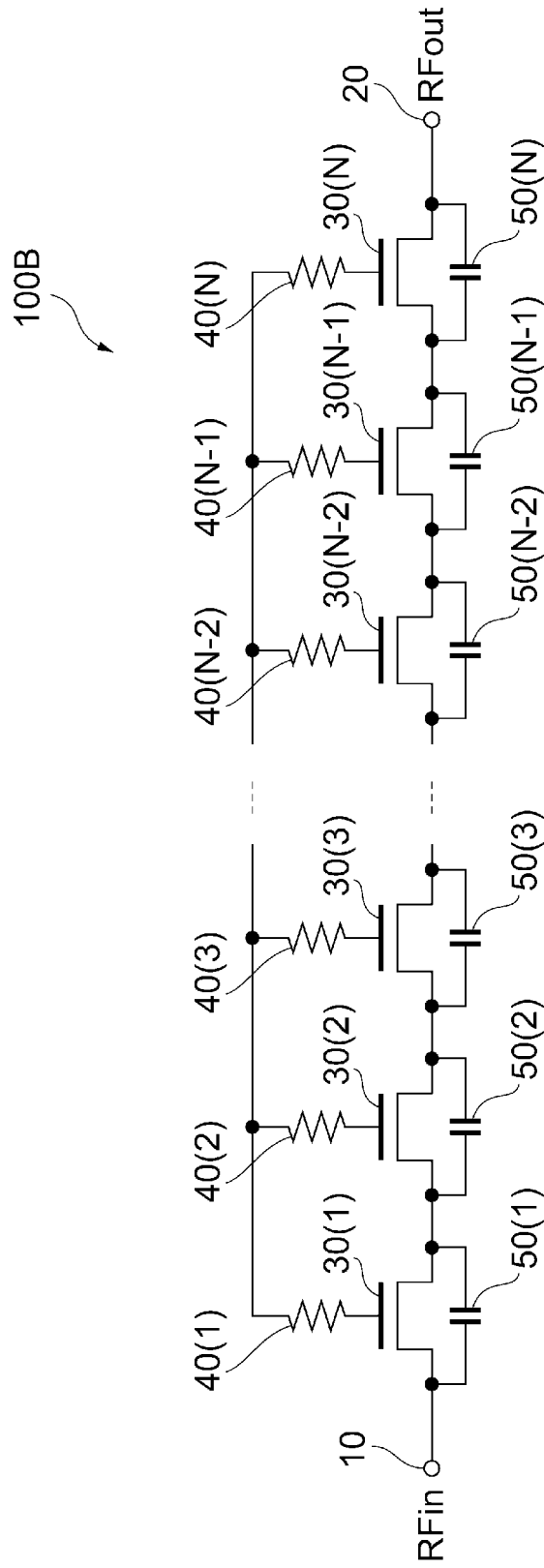


図 2

[図3]



[図3]

[図4]

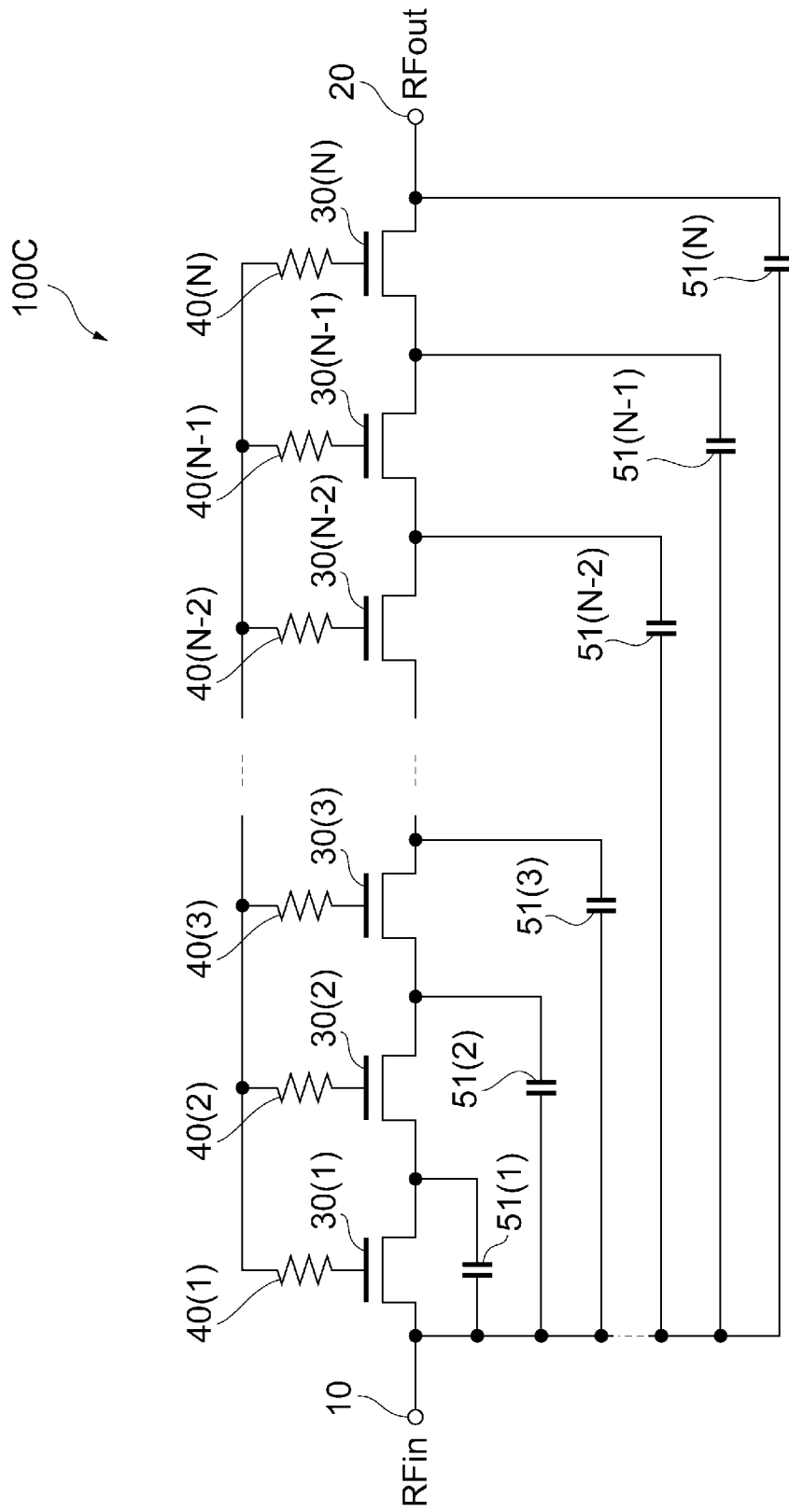


図 4

[図5]

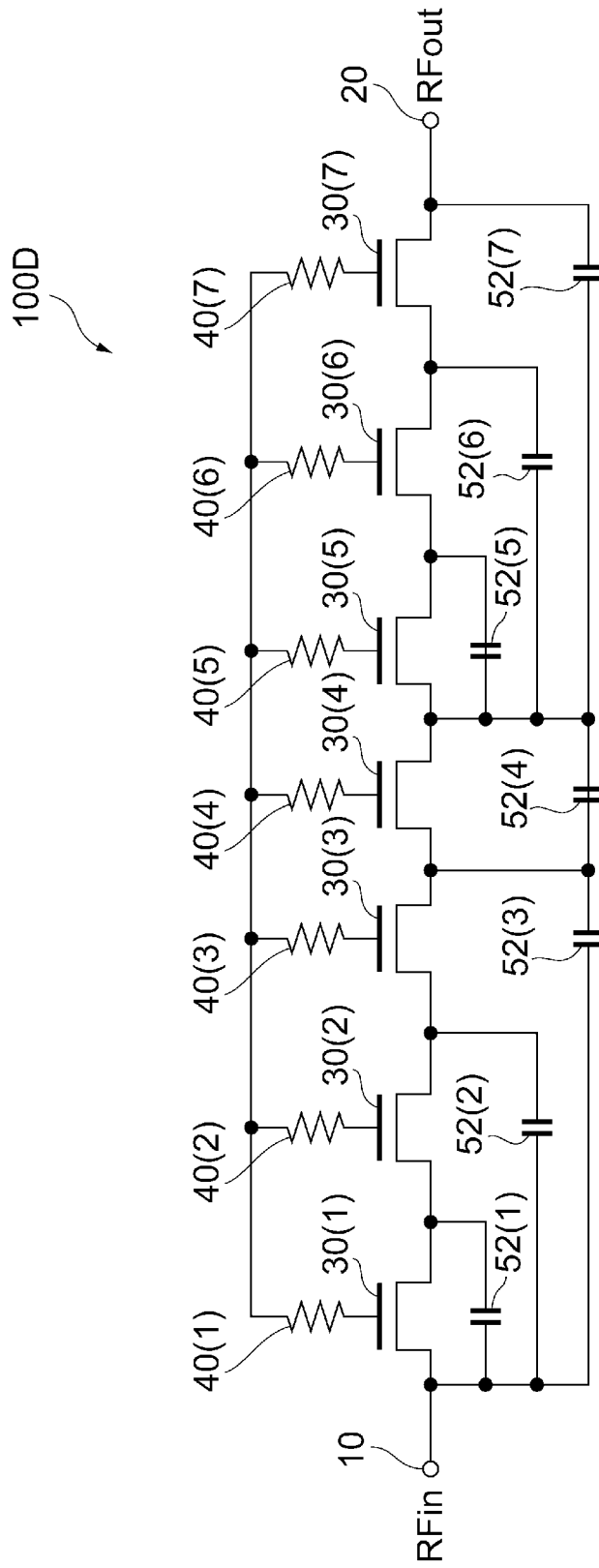


図 5

[図6]

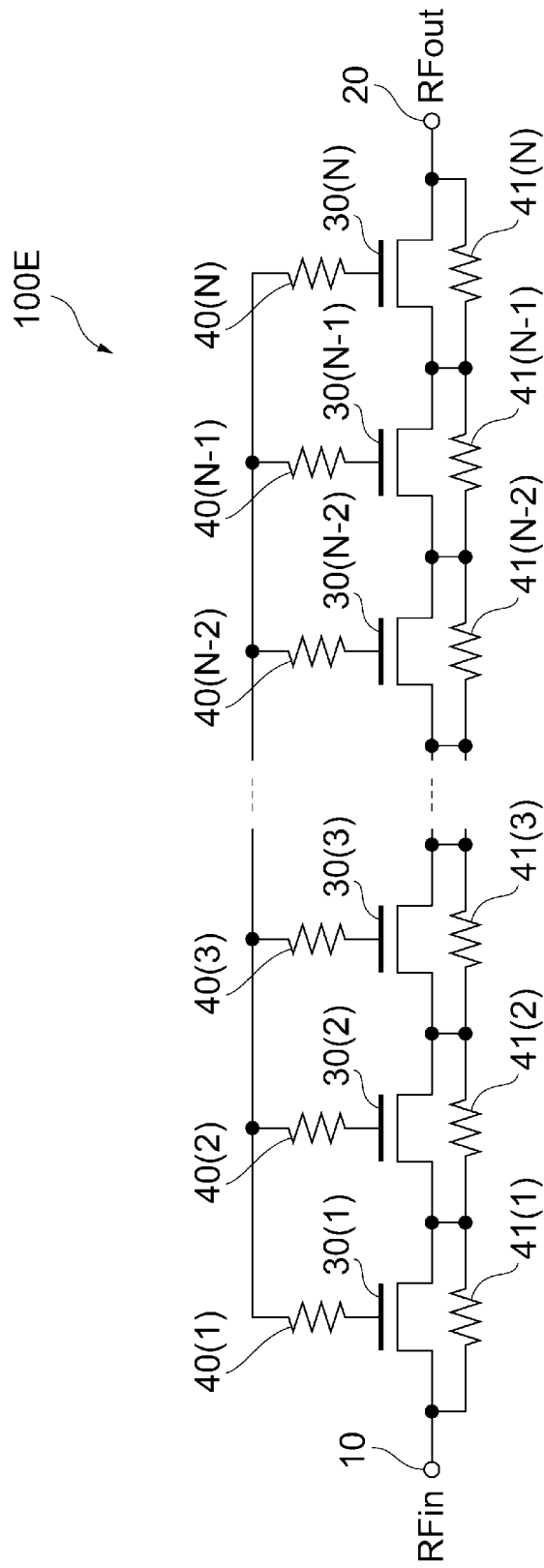
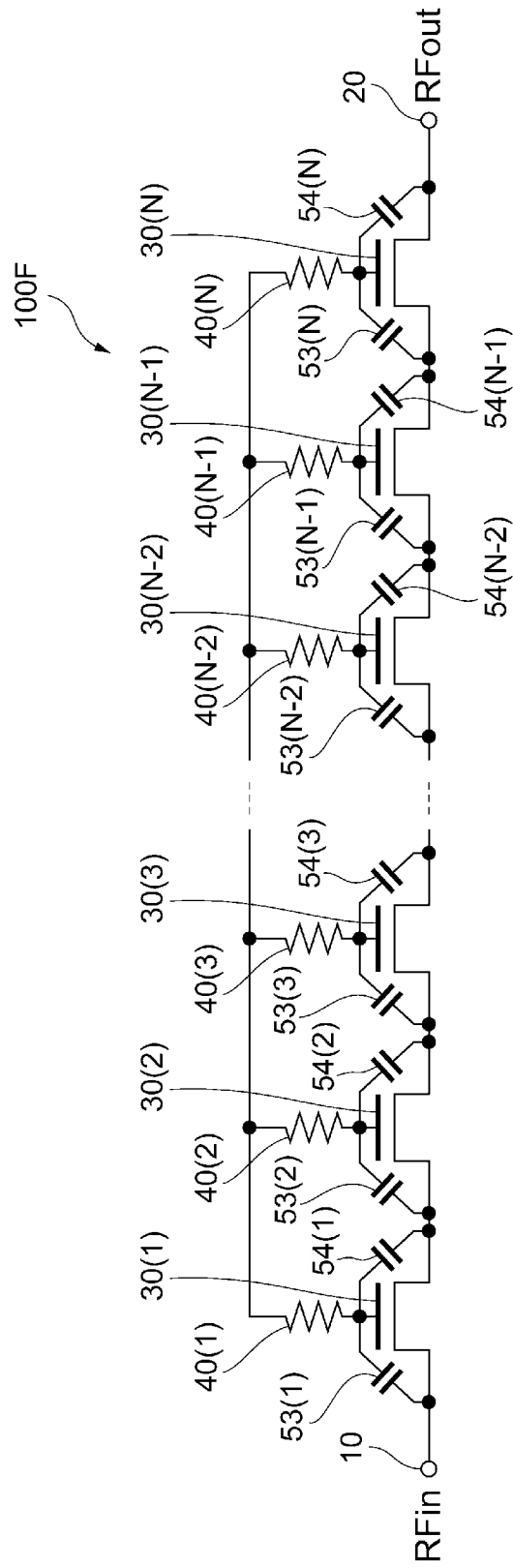


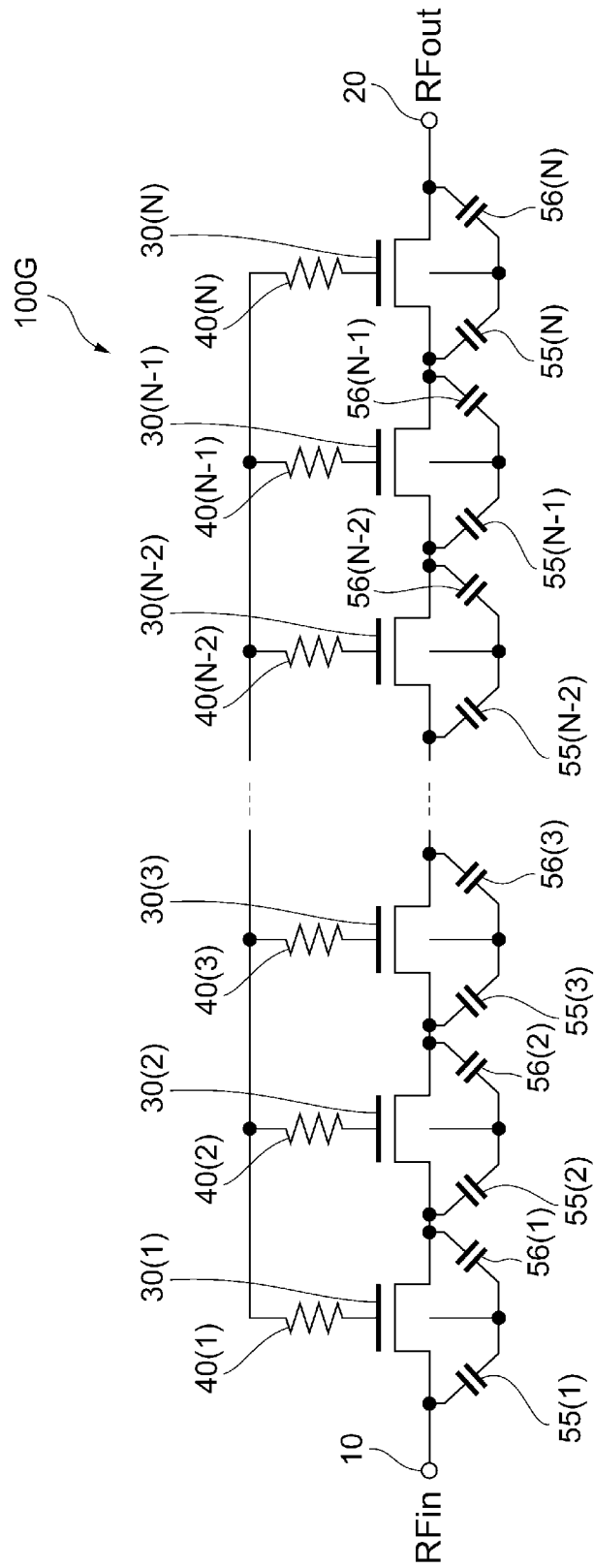
図 6

[図7]



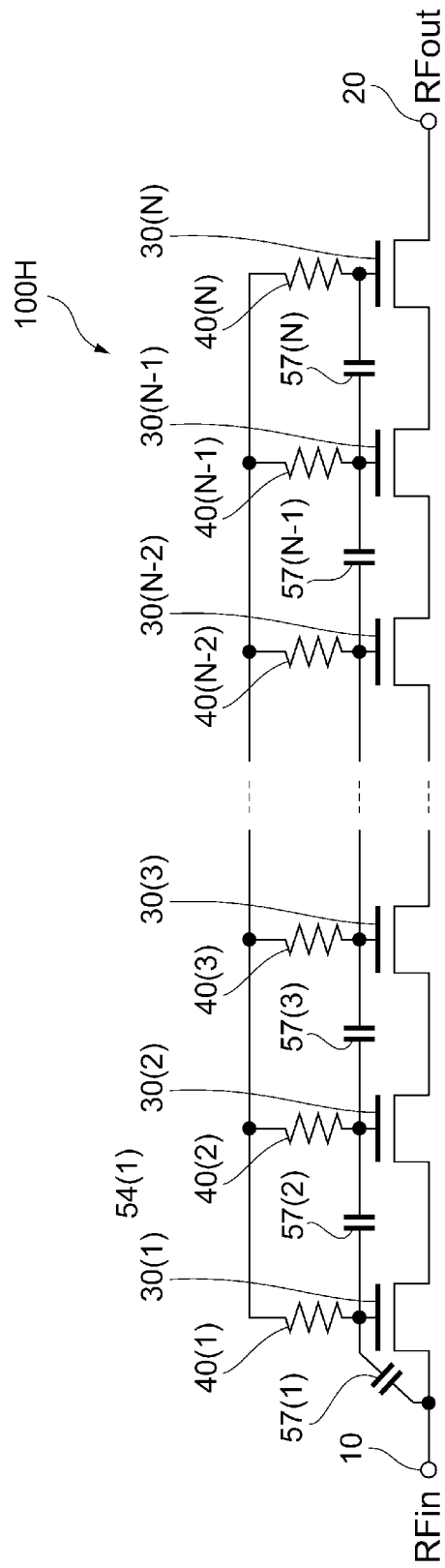
[図7]

[図8]



[図8]

[図9]



[図9]

[図10]

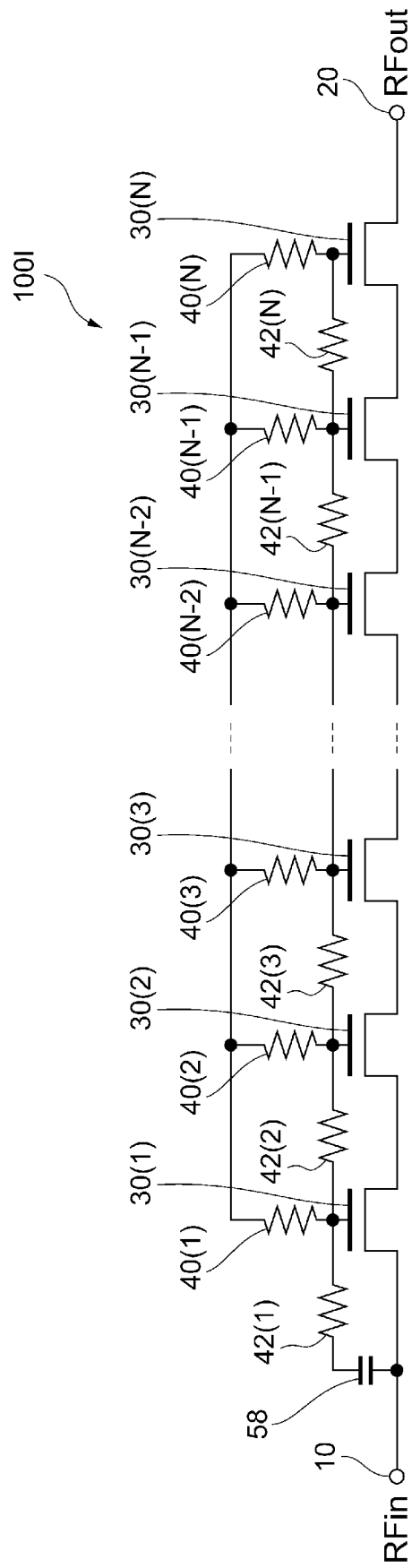


図 10

[図11]

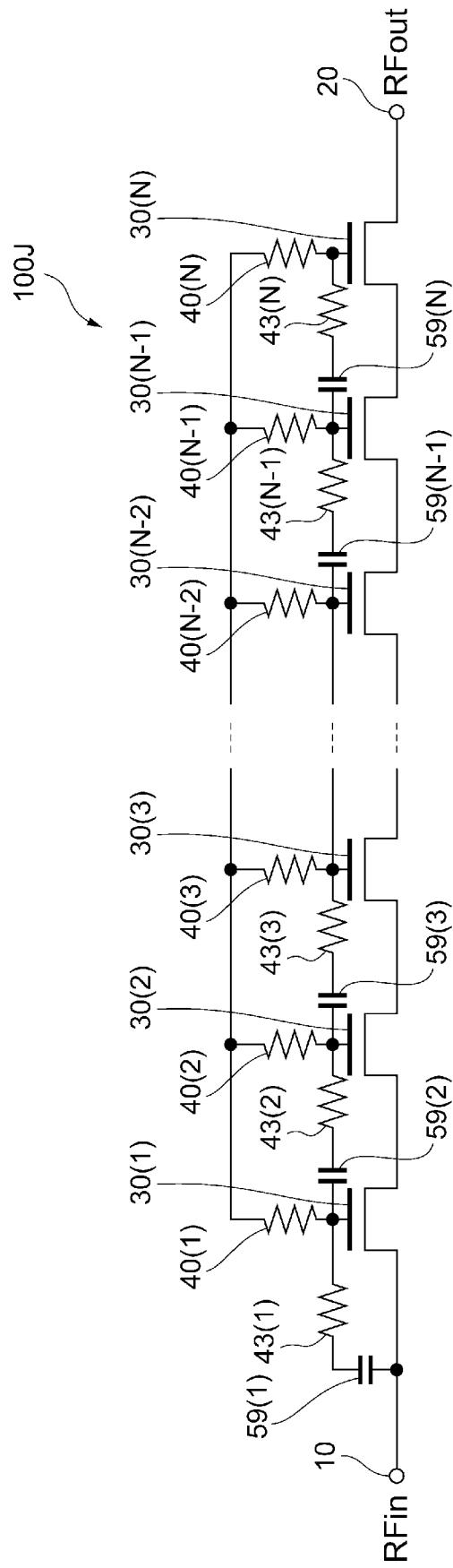


図 11

[図12]

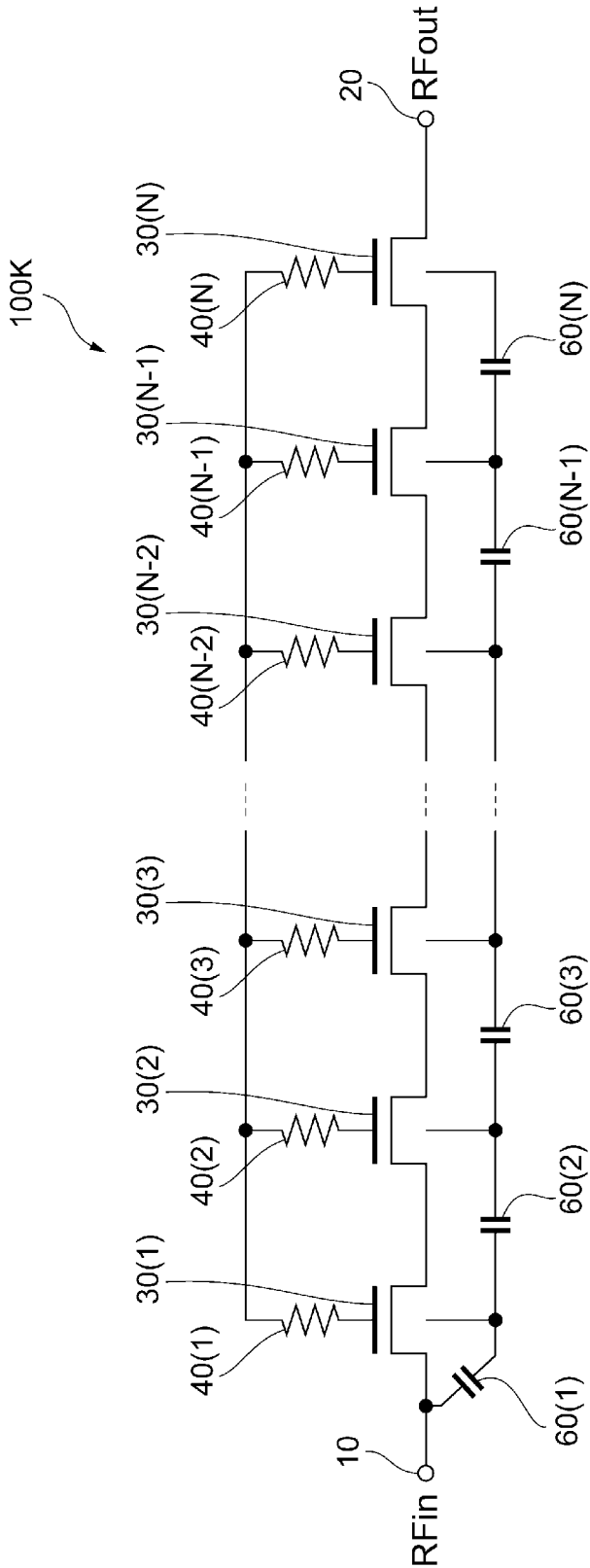


図 1 2

[図13]

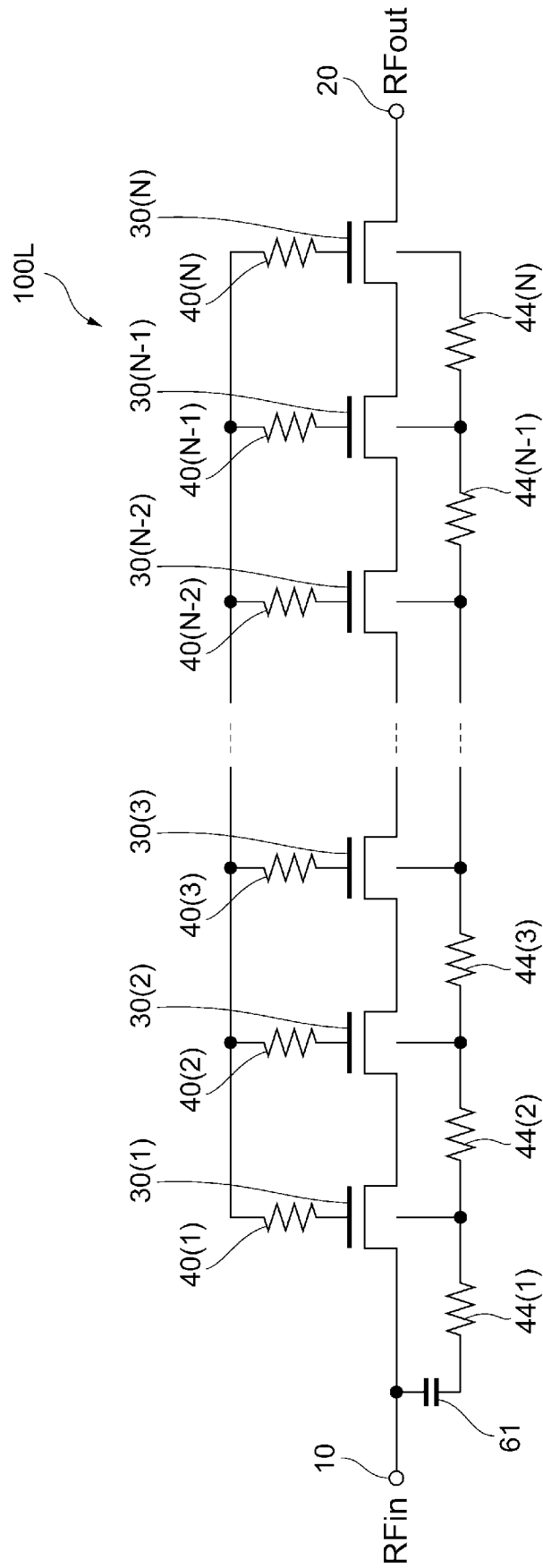
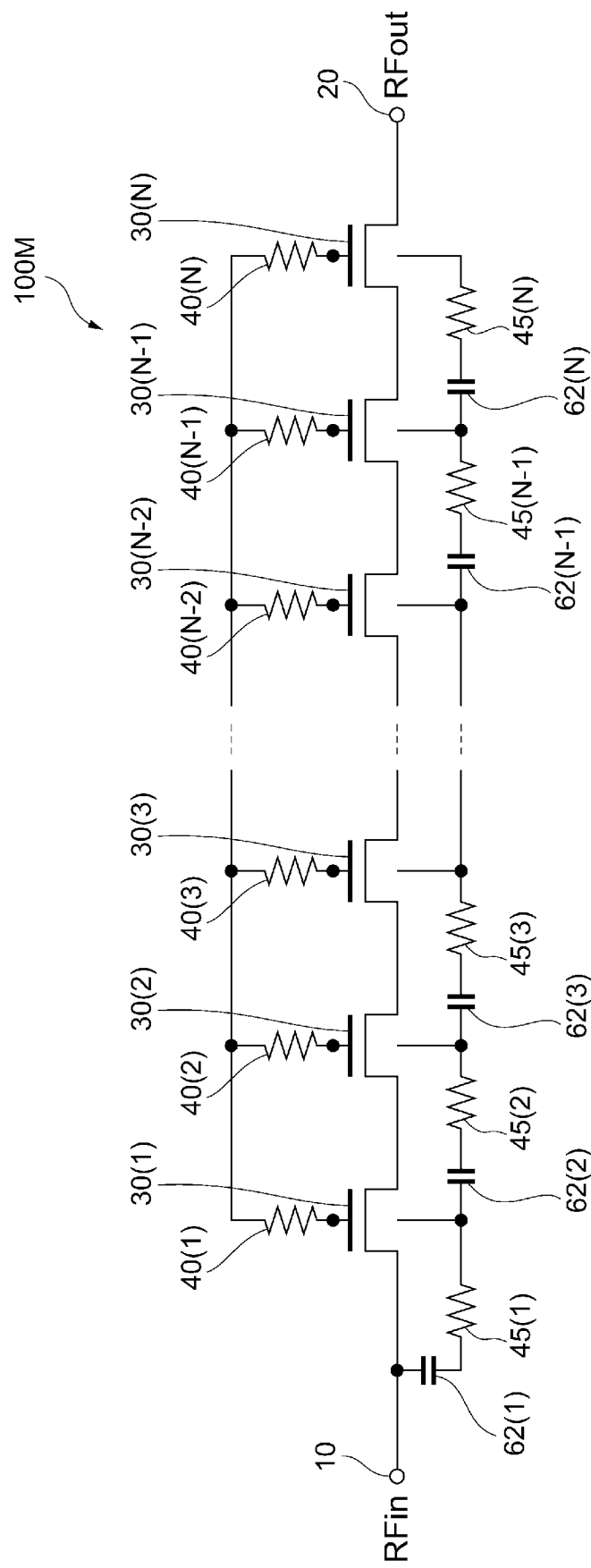


図 13

41 ✕



[図15]

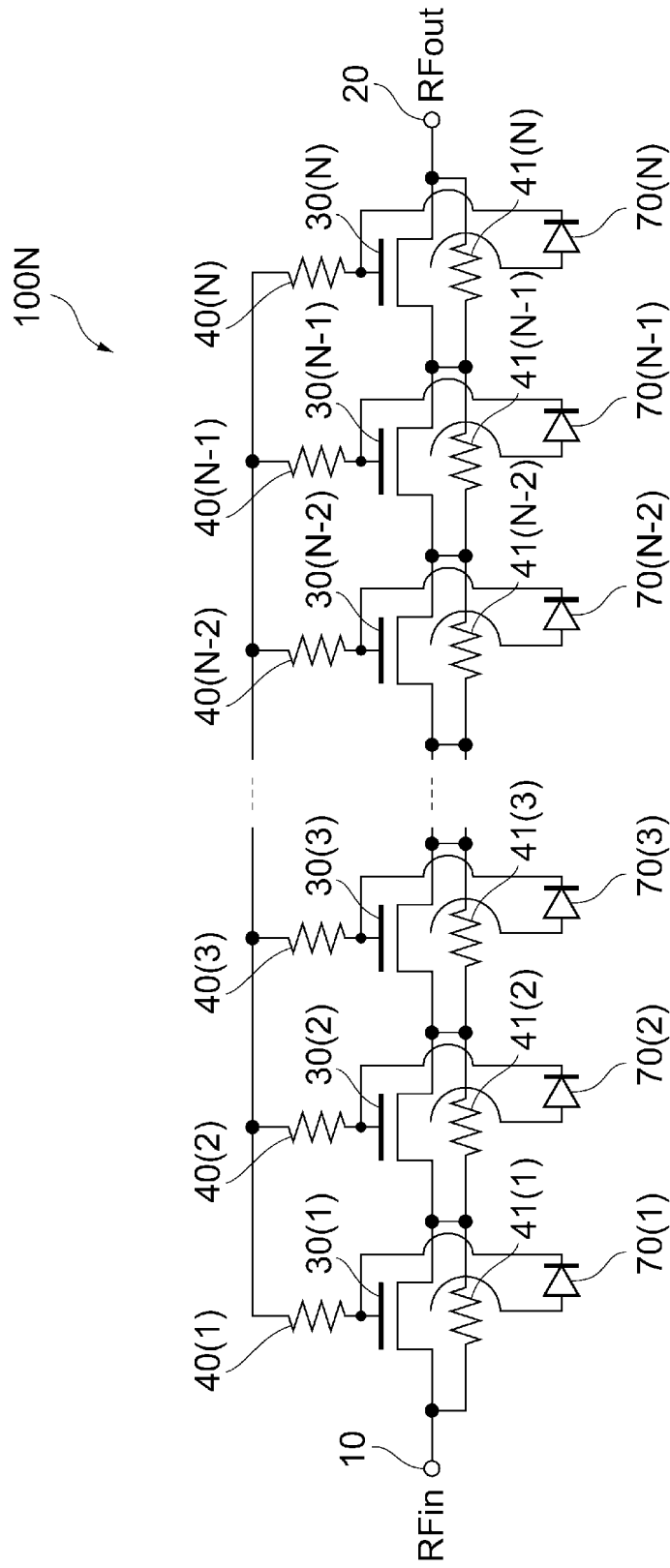


図 15

[図16]

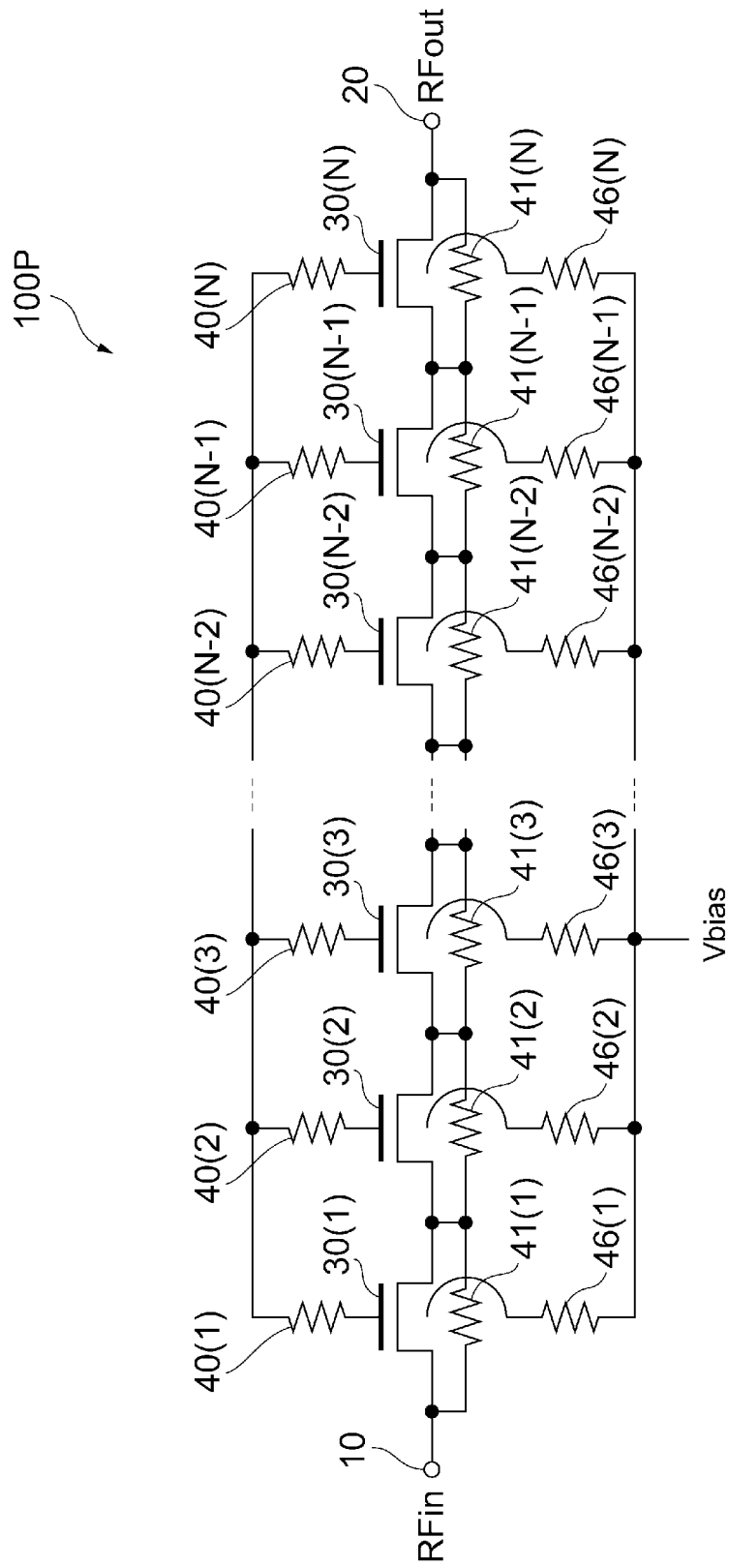


図 16

[図17]

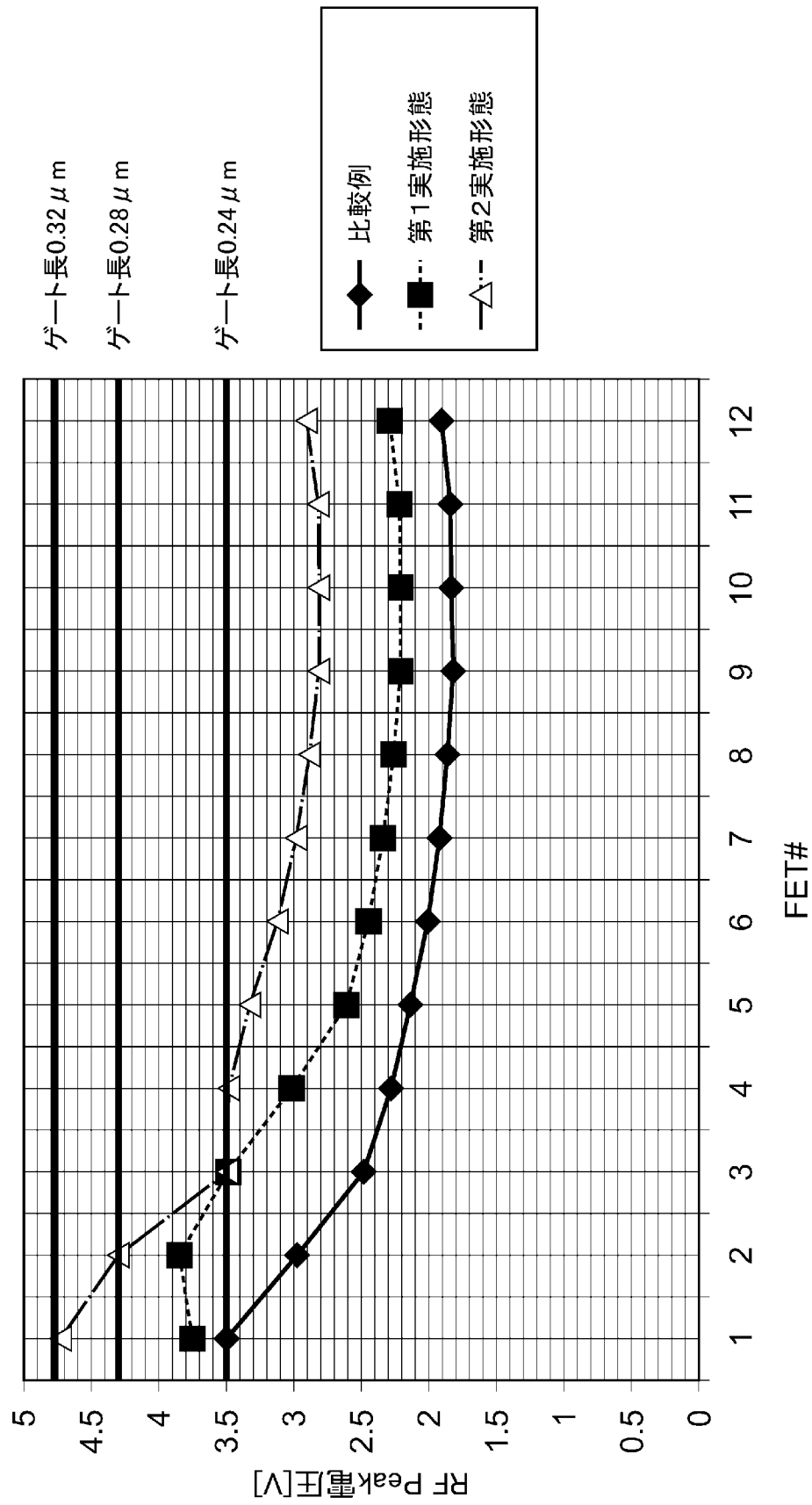


図 17

[図18]

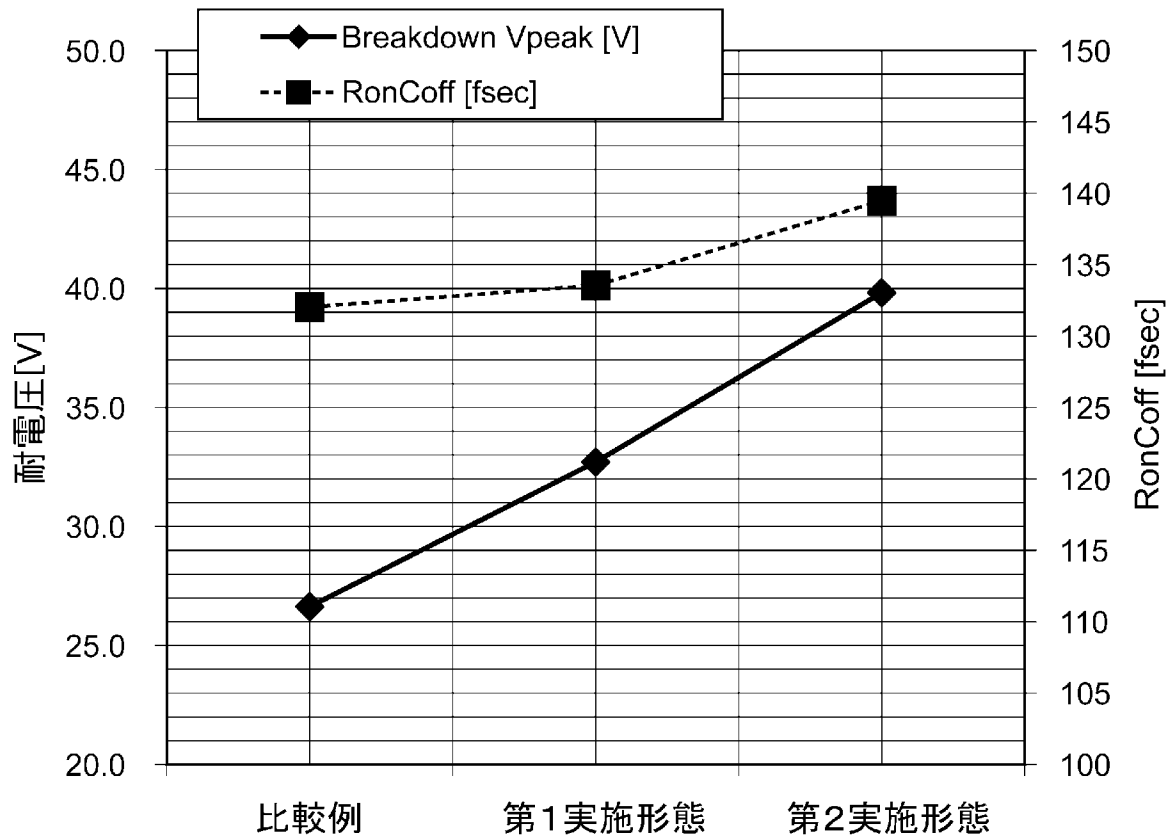


図 1 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002160

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K17/687 (2006.01) i, H03H7/48 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K17/687, H03H7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2015-115884 A (RENESAS ELECTRONICS CORPORATION) 22 June 2015, fig. 2, 4, 5, 10, 12, 13, paragraphs [0074], [0076], [0079] (Family: none)	1-3, 13, 14 4-12, 15
Y	JP 2011-249466 A (RENESAS ELECTRONICS CORPORATION) 08 December 2011, fig. 11, 27, 29, paragraph [0167] & US 2011/0294445 A1, fig. 11, 27, 29, paragraph [0216] & CN 102299702 A	4, 6, 7, 15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12.04.2018

Date of mailing of the international search report
24.04.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002160

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2014/0312958 A1 (PEREGRINE SEMICONDUCTOR CORPORATION) 23 October 2014, fig. 31 & JP 2011-515832 A & WO 2009/108391 A1	5
Y	JP 2015-523810 A (SKYWORKS SOLUTIONS, INC.) 13 August 2015, fig. 28-30, 36, 38, 39 & WO 2014/011510 A2, fig. 28-30, 36, 38, 39 & US 2014/0009203 A1 & EP 2870694 A2 & KR 10-2015-0034767 A & CN 104604135 A	8-11
Y	JP 2016-171498 A (TOSHIBA CORPORATION) 23 September 2016, fig. 1 & US 2016/0269025 A1, fig. 1	12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/687(2006.01)i, H03H7/48(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/687, H03H7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2015-115884 A (ルネサスエレクトロニクス株式会社) 2015.06.22, 図 2, 4, 5, 10, 12, 13, 段落 [0074], [0076], [0079] (ファミリーなし)	1-3, 13, 14 4-12, 15
Y	JP 2011-249466 A (ルネサスエレクトロニクス株式会社) 2011.12.08, 図 11, 27, 29, 段落 [0167] & US 2011/0294445 A1, 図 11, 27, 29, 段落 [0216] & CN 102299702 A	4, 6, 7, 15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

12.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2014/0312958 A1 (PEREGRINE SEMICONDUCTOR CORPORATION) 2014.10.23, 図 31 & JP 2011-515832 A & WO 2009/108391 A1	5
Y	JP 2015-523810 A (スカイワークス ソリューションズ, インコー ポレイテッド) 2015.08.13, 図 28-30, 36, 38, 39 & WO 2014/011510 A2, 図 28-30, 36, 38, 39 & US 2014/0009203 A1 & EP 2870694 A2 & KR 10-2015-0034767 A & CN 104604135 A	8-11
Y	JP 2016-171498 A (株式会社東芝) 2016.09.23, 図 1 & US 2016/0269025 A1, 図 1	12