

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 3 月 3 日 (2016.3.3)

【公表番号】特表 2015-532534 (P2015-532534A)

【公表日】平成 27 年 11 月 9 日 (2015.11.9)

【年通号数】公開・登録公報 2015-069

【出願番号】特願 2015-535786 (P2015-535786)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 21/82 F

H 0 1 L 21/88 J

H 0 1 L 25/08 C

【手続補正書】

【提出日】平成 28 年 1 月 12 日 (2016.1.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の集積回路 (I C) ダイと、

前記第 1 の I C ダイに対してスタック型配置にある第 2 の I C ダイであって、前記第 2 の I C ダイにおける基板貫通ビア (T S V) によって前記第 1 の I C ダイに電氣的に結合するように構成された入力 / 出力 (I / O) ノードを有する第 2 の I C ダイと、

前記 I / O ノードに電氣的に結合するように構成された前記第 2 の I C ダイのアクティブ表面上のヒューズと、

を含み、

前記ヒューズは、静電放電 (E S D) 電流サージがグラウンドに直接行き、前記第 2 のダイの増幅器回路をバイパスすることを可能にし、前記 E S D 電流サージによって生じるダメージから前記増幅器回路を保護するように構成されており、

前記増幅器回路は、前記 I / O ノードをグラウンドから電氣的に切断し、前記ヒューズを閉状態から開状態に遷移させるためのヒューズ破断電流を生成し、且つ前記 I / O ノードで出力信号を提供及び / または入力信号を受け取るように構成されている、マルチチップモジュール。

【請求項 2】

前記ヒューズは、前記第 1 の I C ダイを前記第 2 の I C ダイに電氣的に結合することに対応して起こる前記 E S D によって生じるダメージから前記第 2 の I C ダイを保護するよ

うに構成される、請求項 1 に記載のマルチチップモジュール。

【請求項 3】

前記ヒューズは、前記 I / O ノードに結合された第 1 の端子と、グラウンドに結合された第 2 の端子とを含む、請求項 1 に記載のマルチチップモジュール。

【請求項 4】

前記ヒューズは、閉状態である場合、前記 I / O ノードからグラウンドへの短絡回路パスを提供する、請求項 1 に記載のマルチチップモジュール。

【請求項 5】

前記増幅器回路は、増幅器入力端子および / または増幅器出力端子を含み、前記増幅器出力端子および前記増幅器入力端子のうちの 1 つは、前記 I / O ノードに電氣的に結合するように構成される、請求項 1 に記載のマルチチップモジュール。

【請求項 6】

前記ヒューズは、50 マイクロ秒 (μs) ~ 200 μs 続く 1 ミリアンペア (mA) ~ 100 mA のパラメータ、10 μs ~ 200 μs 続く 5 mA ~ 100 mA のパラメータ、または 10 μs ~ 200 μs 続く 10 mA ~ 100 mA のパラメータを有する前記ヒューズ破断電流に応答して前記閉状態から前記開状態に遷移する、請求項 1 に記載のマルチチップモジュール。

【請求項 7】

前記ヒューズは、前記 ESD によって生成された、前記 I / O ノードにおける前記電流サージに
応答して閉状態のままであり、前記第 2 の IC ダイの前記増幅器回路によって生成されたヒューズ破断電流に
応答して開状態に遷移する、請求項 1 に記載のマルチチップモジュール。

【請求項 8】

前記ヒューズは、ダイオードが無い ESD 保護回路の一部である、請求項 1 に記載のマルチチップモジュール。

【請求項 9】

前記ヒューズは、金属ヒューズまたはポリシリコンヒューズである、請求項 1 に記載のマルチチップモジュール。

【請求項 10】

前記ヒューズは、開状態である場合、前記 I / O ノードとグラウンドとの間に 10 メガオームよりも大きい
かまたはそれに等しい抵抗値を提供する、請求項 1 に記載のマルチチップモジュール。

【請求項 11】

前記マルチチップモジュールは、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯電話、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および / またはラップトップコンピュータのうちの少なくとも 1 つに組み込まれる、請求項 1 に記載のマルチチップモジュール。

【請求項 12】

前記ヒューズが開状態になり、前記 I / O ノードがグラウンドから電氣的に切断されるとき、前記 I / O ノードに電氣的に結合された I / O バッファは、前記 I / O ノードを経て前記出力信号を提供および / または前記入力信号を受け取る、請求項 1 に記載のマルチチップモジュール。

【請求項 13】

前記第 1 の IC ダイが前記第 2 の IC ダイに電氣的且つ物理的に結合されるとき、前記 ESD 電流サージが起こらず、且つ前記ヒューズが前記閉状態のままである場合、前記 I / O バッファは前記ヒューズを前記閉状態から前記開状態へ遷移させる電流の流れを生成する、請求項 12 に記載のマルチチップモジュール。

【請求項 14】

マルチチップモジュールを製造する方法であって、
第 1 の集積回路 (IC) ダイを提供するステップと、

前記第 1 の IC ダイに対してスタック型配置にある第 2 の集積回路ダイを提供するステップと、

前記第 2 の IC ダイに基板貫通ビア (TSV) を提供し、前記 TSV を経て、前記第 2 の IC ダイの入力 / 出力 (I/O) ノードから前記第 1 の IC ダイへの電氣的パスを提供するステップと、

前記第 2 の IC ダイのアクティブ表面上にヒューズを形成するステップとを含み、

前記ヒューズは、前記 I/O ノードに電氣的に結合されており、静電放電 (ESD) 電流サージがグラウンドに直接行き、前記第 2 のダイの増幅器回路をバイパスすることを可能にし、前記 ESD 電流サージによって生じるダメージから前記増幅器回路を保護しており

、前記増幅器回路は、前記 I/O ノードをグラウンドから電氣的に切断し、前記ヒューズを閉状態から開状態に遷移させるためのヒューズ破断電流を生成し、且つ前記 I/O ノードで出力信号を提供および / または入力信号を受け取るように構成されている、方法。

【請求項 15】

前記ヒューズは、前記第 1 の IC ダイを前記第 2 の IC ダイに電氣的に結合することに応答して起こる前記 ESD によって生じるダメージから前記第 2 の IC ダイを保護する、請求項 14 に記載の方法。

【請求項 16】

前記ヒューズの第 1 の端子を前記 I/O ノードに結合するステップと、前記ヒューズの第 2 の端子をグラウンドに結合するステップとをさらに含む、請求項 14 に記載の方法。

【請求項 17】

前記ヒューズが閉状態である間、前記 I/O ノードからグラウンドへの短絡回路パスを提供するステップをさらに含む、請求項 14 に記載の方法。

【請求項 18】

前記増幅器回路は、増幅器出力端子および / または増幅器入力端子を含み、前記増幅器出力端子および前記増幅器入力端子のうちの 1 つは、前記 I/O ノードに電氣的に結合されている、請求項 14 に記載の方法。

【請求項 19】

前記ヒューズ破断電流は、50 マイクロ秒 (μs) ~ 200 μs 続く 1 ミリアンペア (mA) ~ 100 mA のパラメータ、10 μs ~ 200 μs 続く 5 mA ~ 100 mA のパラメータ、または 10 μs ~ 200 μs 続く 10 mA ~ 100 mA のパラメータを有する、請求項 14 に記載の方法。

【請求項 20】

前記ヒューズは、前記 ESD によって生成された、前記 I/O ノードにおける電流サージに応答して閉状態であり、前記第 2 の IC ダイの増幅器回路によって生成されたヒューズ破断電流に応答して開状態である、請求項 14 に記載の方法。

【請求項 21】

前記マルチチップモジュールは、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、モバイルフォン、スマートフォン、携帯情報端末、固定位置端末、タブレットコンピュータ、および / またはラップトップコンピュータのうちの少なくとも 1 つに組み込まれる、請求項 14 に記載の方法。

【請求項 22】

前記ヒューズが開状態になり、前記 I/O ノードがグラウンドから電氣的に切断されるとき、前記 I/O ノードに電氣的に結合された I/O バッファは、前記 I/O ノードを経て前記出力信号を提供および / または前記入力信号を受け取る、請求項 14 に記載の方法。

【請求項 23】

前記第 1 の I C ダイが前記第 2 の I C ダイに電氣的且つ物理的に結合されるとき、前記 E S D 電流サージが起こらず、且つ前記ヒューズが前記閉状態のままである場合、前記 I / O バッファは前記ヒューズを前記閉状態から前記開状態へ遷移させる電流の流れを生成する、請求項 2 2 に記載の方法。

【請求項 2 4】

第 1 の集積回路 (I C) ダイと、
前記第 1 の I C ダイに対してスタック型配置にあり、入力 / 出力 (I / O) ノードを有する第 2 の I C ダイと、

前記第 1 の I C ダイに電氣的に結合するように前記第 2 の I C ダイの前記 I / O ノードを構成するための手段と、

静電放電 (E S D) 電流サージがグランドへ直接行き、前記第 2 の I C ダイの増幅器回路をバイパスすることを可能にすることによって、前記 E S D 電流サージによって生じるダメージから前記増幅器回路を保護するための手段であって、前記第 2 の I C ダイのアクティブ表面上に配置された保護するための手段と、を含み、

前記増幅器回路は、前記 I / O ノードをグランドから電氣的に切断し、保護するための前記手段を有効状態から無効状態に遷移させるためのヒューズ破断電流を生成するように、且つ前記 I / O ノードで出力信号を提供及び / または入力信号を受け取るように構成されている、マルチチップモジュール。

【請求項 2 5】

保護するための前記手段は、前記第 1 の I C ダイを前記第 2 の I C ダイに電氣的に結合することに応答して起こる前記 E S D によって生じるダメージから前記第 2 の I C ダイの前記増幅器回路を保護するように構成されている、請求項 2 4 に記載のマルチチップモジュール。

【請求項 2 6】

前記第 2 の I C ダイの前記増幅器回路を保護するための前記手段は、前記 I / O ノードに結合された第 1 の端子と、グランドに結合された第 2 の端子とを有するヒューズである、請求項 2 4 に記載のマルチチップモジュール。

【請求項 2 7】

前記ヒューズは、閉状態である場合、前記 I / O ノードからグランドへの短絡回路パスを提供する、請求項 2 6 に記載のマルチチップモジュール。

【請求項 2 8】

前記ヒューズは、前記 E S D によって生成された、前記 I / O ノードにおける電流サージに応答して閉状態のままであり、前記増幅器回路によって生成されたヒューズ破断電流に応答して開状態に遷移する、請求項 2 6 に記載のマルチチップモジュール。

【請求項 2 9】

前記ヒューズが開状態になり、前記 I / O ノードがグランドから電氣的に切断されるとき、前記 I / O ノードに電氣的に結合された I / O バッファは、前記 I / O ノードを経て前記出力信号を提供および / または前記入力信号を受け取る、請求項 2 4 に記載のマルチチップモジュール。

【請求項 3 0】

前記第 1 の I C ダイが前記第 2 の I C ダイに電氣的且つ物理的に結合されるとき、前記 E S D 電流サージが起こらず、且つ前記ヒューズが前記閉状態のままである場合、前記 I / O バッファは前記ヒューズを前記閉状態から前記開状態へ遷移させる電流の流れを生成する、請求項 2 9 に記載のマルチチップモジュール。