



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0084164
(43) 공개일자 2010년07월23일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
G11C 17/18 (2006.01)

(21) 출원번호 10-2010-7009304

(22) 출원일자(국제출원일자) 2008년09월18일
심사청구일자 없음

(85) 번역문제출일자 2010년04월28일

(86) 국제출원번호 PCT/US2008/076750

(87) 국제공개번호 WO 2009/058486

국제공개일자 2009년05월07일

(30) 우선권주장

11/926,348 2007년10월29일 미국(US)

(71) 출원인

프리스케일 세미컨덕터, 인크.

미국 텍사스 (우편번호 78735) 오스틴 월리암 캐
논 드라이브 웨스트 6501

(72) 별명자

친달로어, 고리샨카르 엘.

미국 78749 텍사스주 오스틴 사우텔레 레인 9101

(74) 대리인

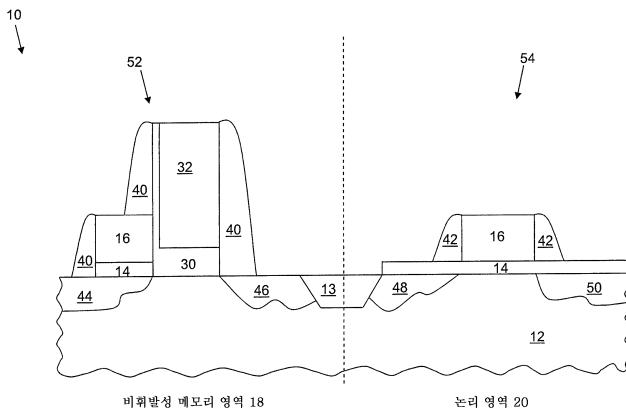
양영준, 백만기

전체 청구항 수 : 총 20 항

(54) N VM 회로를 논리 회로와 통합하는 방법

(57) 요 약

NVM(Non-Volatile Memory) 회로(18)와 논리 회로(20)를 통합하는 방법이 제공된다. 본 방법은 기판(12)의 NVM 영역과 논리 영역상에 제1 게이트 재료층(16)을 증착하는 단계를 포함한다. 본 방법은 서로를 덮는 질화물, 산화물 및 질화물(ARC층)을 포함하는 다중 인접 회생층(22, 24, 26)을 증착하는 단계를 더 포함한다. 다중 인접 회생층(22, 24, 26)은 NVM 영역에서 메모리 트랜지스터의 선택 게이트(16) 및 제어 게이트(32)를 패터닝하는데 사용되고, 다중 인접 회생층(22, 24, 26) 중 ARC층(22)은 논리 영역(20)에서 논리 트랜지스터의 게이트(16)를 패터닝하는데 사용된다.

대 표 도 - 도13

특허청구의 범위

청구항 1

제1 정의 영역 및 제1 정의 영역으로부터 전기적으로 분리되는 제2 정의 영역을 갖춘 기판을 제공하는 단계;

상기 제1 정의 영역 및 상기 제2 정의 영역 양자에 상기 기판을 덮는(overlying) 제1 게이트 재료층을 제공하는 단계;

상기 제1 게이트 재료층을 덮는 다중 인접 희생층(multiple adjoining sacrificial layers)을 제공하는 단계;

상기 다중 인접 희생층을 사용해 상기 제1 정의 영역에 트랜지스터 제어 전극들을 형성하는 단계 - 상기 인접 희생층들 중 적어도 하나는 완전히 제거되지 않음 -;

상기 인접 희생층들 중 적어도 하나를 사용해 상기 제2 정의 영역에 트랜지스터 제어 전극을 패터닝하는 단계; 및

상기 제1 정의 영역 및 상기 제2 정의 영역 양자에서 트랜지스터 형성을 완료하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 인접 희생층들 중 적어도 하나는 상기 제2 정의 영역에서의 상기 트랜지스터 제어 전극에 바로 인접하는 (immediately adjacent) 방법.

청구항 3

제1항에 있어서,

상기 다중 인접 희생층은 제2 질화물층을 덮는 산화물층을 덮는 제1 질화물층을 더 포함하는 방법.

청구항 4

제1항에 있어서,

상기 제1 정의 영역은 비휘발성 메모리 셀들을 구현하기 위한 비휘발성 메모리 영역을 포함하고, 상기 제2 정의 영역은 논리 기능들을 구현하는 트랜지스터들을 구현하기 위한 논리 영역을 포함하는 방법.

청구항 5

제1항에 있어서,

상기 제1 정의 영역은 최소 포토리소그래피 제한에 대응하는 양만큼 상기 제2 정의 영역으로부터 전기적으로 분리되는 방법.

청구항 6

제1항에 있어서,

상기 다중 인접 희생층 중 적어도 하나는 CMP(chemical mechanical polishing)에서 사용하기 위한 연마 정지층을 포함하고, 상기 다중 인접 희생층 중 적어도 하나는 화학적 에칭에서 사용하기 위한 에칭 정지층을 포함하며, 상기 다중 인접 희생층 중 적어도 하나는 ARC(anti-reflective coating)층을 포함하는 방법.

청구항 7

제1항에 있어서,

상기 다중 인접 희생층은 상기 제1 정의 영역 및 상기 제2 정의 영역에 대한 프로세싱의 완료시에 완전히 제거되고,

상기 기판을 덮는 ARC층;

상기 ARC층을 덮는 산화물층; 및

상기 산화물층을 덮는 질화물층을 더 포함하는 방법.

청구항 8

기판상에 형성되어 분리 영역에 의해 분리되는 제1 영역 및 제2 영역을 포함하는 집적 회로를 형성하는 방법으로서,

상기 제1 영역 및 상기 제2 영역 양자에 상기 기판을 덮는 제1 게이트 전극 재료층을 형성하는 단계;

상기 제1 영역 및 상기 제2 영역에 임의의 장치들을 형성하기에 앞서, 상기 제1 영역 및 상기 제2 영역 양자에 상기 제1 게이트 전극 재료층을 덮는 복수개 희생층을 형성하는 단계;

상기 복수개 희생층을 사용해 상기 제1 영역에 제1 장치 유형을 형성하는 단계; 및

상기 복수개 희생층 중 적어도 하나를 사용해 상기 제2 영역에 제2 장치 유형을 형성하는 단계

를 포함하는 방법.

청구항 9

제8항에 있어서,

상기 제2 영역에서의 상기 제2 장치 유형에 대응하는 게이트 전극들을 형성하기에 앞서, 상기 복수개 희생층을 상기 제1 영역으로부터 제거하는 단계를 더 포함하는 방법.

청구항 10

제8항에 있어서,

상기 제2 장치 유형을 형성하는데 사용되는 상기 복수개 희생층 중 적어도 하나는 상기 제1 게이트 전극 재료층에 바로 인접하는 방법.

청구항 11

제8항에 있어서,

상기 제2 장치 유형을 형성하는데 사용되는 상기 복수개 희생층 중 적어도 하나는 ARC층인 방법.

청구항 12

제11항에 있어서,

상기 ARC층은 상기 제2 영역에 형성된 상기 제2 장치 유형에 대응하는 게이트 전극을 패터닝하는데 사용되는 방법.

청구항 13

제8항에 있어서,

상기 복수개 희생층은 상기 제2 영역에 형성된 상기 제2 장치 유형에 대응하는 게이트 전극을 패터닝하는데 사용되는 ARC층, 상기 제1 영역 및 상기 제2 영역 양자에 형성된 폴리실리콘층의 연마를 정지시키는데 사용되는 연마 정지층, 및 상기 제1 영역 및 상기 제2 영역 양자에서 상기 연마 정지층을 에칭하는 것을 정지시키는데 사용되는 에칭 정지층을 포함하는 방법.

청구항 14

제8항에 있어서,

상기 제1 영역은 메모리 영역이고, 상기 제2 영역은 논리 영역인 방법.

청구항 15

제14항에 있어서,

상기 제1 장치 유형은 제어 게이트 및 선택 게이트를 포함하고, 상기 제2 장치 유형은 하나의 게이트만을 포함하는 방법.

청구항 16

기판상에 형성되어 분리 영역에 의해 분리되는 메모리 영역 및 논리 영역을 포함하는 집적 회로를 형성하는 방법으로서,

상기 메모리 영역 및 상기 논리 영역 양자에 상기 기판을 덮는 제1 게이트 전극 재료층을 형성하는 단계;

상기 메모리 영역 및 상기 논리 영역에 임의의 장치들을 형성하기에 앞서, 상기 메모리 영역 및 상기 논리 영역 양자에 상기 제1 게이트 전극 재료층을 덮는 복수개 희생층을 형성하는 단계;

상기 복수개 희생층을 사용해 상기 메모리 영역에 비휘발성 메모리 장치를 형성하는 단계; 및

상기 복수개 희생층 중 적어도 하나를 사용해 상기 논리 영역에 논리 장치를 형성하는 단계 - 상기 논리 장치를 형성하는데 사용되는 상기 복수개 희생층 중 적어도 하나는 상기 논리 영역에 대응하는 게이트 전극을 패터닝하는데 사용되는 ARC층임 -;

를 포함하는 방법.

청구항 17

제16항에 있어서,

상기 논리 영역에 상기 논리 장치에 대응하는 상기 게이트 전극을 형성하기에 앞서, 상기 복수개 희생층을 상기 메모리 영역으로부터 제거하는 단계를 더 포함하는 방법.

청구항 18

제16항에 있어서,

상기 논리 장치를 형성하는데 사용되는 상기 복수개 희생층 중 적어도 하나는 상기 제1 게이트 전극 재료층에 바로 인접하는 방법.

청구항 19

제16항에 있어서,

상기 복수개 희생층은 상기 메모리 영역 및 상기 논리 영역 양자에 형성된 폴리실리콘층의 연마를 정지시키는데 사용되는 연마 정지층, 및 상기 메모리 영역 및 상기 논리 영역 양자에서 상기 연마 정지층을 예칭하는 것을 정지시키는데 사용되는 예칭 정지층을 포함하는 방법.

청구항 20

제19항에 있어서,

상기 ARC층은 질소를 포함하고, 상기 연마 정지층은 질소를 포함하며, 상기 예칭 정지층은 산소를 포함하는 방법.

명세서**기술분야**

[0001] 이 명세서는 일반적으로 집적 회로 제작에 관한 것으로서, 좀더 구체적으로는, 집적 회로 설계를 제작함에 있어서 NVM(Non-Volatile Memory) 회로를 논리 회로와 통합하는 것에 관한 것이다.

배경기술

[0002] 집적 회로 설계 분야에서는, SoC(System-on-chip) 장치가 흔히 사용된다. "SoC"라는 용어는, 논리(logic), 프로그램 가능 부분들, I/O, 휘발성 메모리 및 비휘발성 메모리를 포함하는, 여러 블록 유형을 단일 집적 회로에 통합하는 장치를 의미한다.

[0003] 부동-게이트 기반(floating-gate based) 메모리가 SoC 설계에서의 비휘발성 메모리로 흔히 사용된다. SoC에 임베디드되는 부동-게이트 기반 메모리의 스케일링 제한(scaling limitations)을 극복하기 위해, 현재는 TFS(thin film storage) 메모리가 사용되고 있다. TFS 메모리에서, 전하(charge)는 나노크리스탈로 널리 알려진 실리콘 크리스탈로 이루어진 얇은 절연막에 저장된다.

[0004] SoC에서의 TFS(Thin Film Semiconductor) 메모리와 논리 회로의 통합은 2개의 게이트 에칭(gate etches)을 요구하는데, 하나는 TFS 영역에서의 선택 게이트를 위한 것이고, 다른 하나는 논리 영역에서의 논리 또는 주변 트랜지스터의 게이트를 위한 것이다. 논리 또는 주변 트랜지스터는 CD(critical dimension)를 가지며 아주 작기 때문에, 패터닝을 복잡하게 한다. 한가지 접근 방법에서는, 게이트 산화물상에 증착되어 트랜지스터의 게이트 치수에 대한 CD 제어를 실현하는 BARC(bottom anti-reflective coating)층을 사용해, 아주 작은 트랜지스터의 게이트가 패터닝된다. BARC는 높은 절도를 가지므로, BARC층은 증착하기가 어렵다. 더 나아가, SoC에서의 메모리 영역과 논리 영역 사이에 높이 차이가 있는 경우, 프로세스는 좀더 복잡해진다. 또한, SoC에서의 메모리 영역과 논리 영역 사이의 물리적 거리가 작으면, 비평면의 아주 두꺼운 BARC층이 논리 영역의 게이트 산화물상에 증착되는데, 이는 에칭하기에 어렵다. 또한, 두꺼운 BARC층은 지나치게 반사 방지적(anti-reflective)이므로, 두꺼운 BARC층을 사용하는 트랜지스터 게이트의 패터닝은 복잡한 프로세스가 된다. 이러한 비평면성 문제를 해결하기 위해서는, 분리 영역이라고 하는, 메모리 영역과 논리 영역 사이의 거리가 커져야 한다. 그러나, 분리 영역 증가는 SoC 설계에서의 레이아웃 비효율성을 수반한다.

발명의 내용

해결하려는 과제

[0005] 작은 치수의 트랜지스터를 패터닝하기 위한 다른 접근 방법은 보통의 ARC(anti-reflective coating) 또는 질화물의 증착을 포함한다. 그러나, 비평면성 문제 때문에 이후 프로세스에서 그것을 에칭하기가 어렵다.

[0006] SoC에서 NVM 회로와 논리 회로를 통합하면서, 이러한 문제를 극복하고 프로세스 복잡도를 감소시키기 위한 방법이 필요하다.

과제의 해결 수단

[0007] 본 발명의 실시예에서, 방법은 전기적으로 서로 분리되는 제1 정의 영역 및 제2 정의 영역을 가진 기판을 제공한다. 또한, 본 방법은 제1 정의 영역 및 제2 정의 영역 양자에 기판을 덮는(overlying) 제1 게이트 재료층을 제공한다. 더 나아가, 본 방법은 제1 게이트 재료층을 덮는 다중 인접 희생층(multiple adjoining sacrificial layers)을 제공한다. 더 나아가, 본 방법은 다중 인접 희생층을 사용해, 인접한 희생층 중 적어도 하나가 완전히 제거되지 않은 제1 정의 영역에 트랜지스터 제어 전극을 형성한다. 추가적으로, 본 방법은 인접한 희생층 중 하나를 사용해 제2 정의 영역에 트랜지스터 제어 전극을 패터닝한다. 마지막으로, 본 방법은 제1 정의 영역과 제2 정의 영역 모두에서의 트랜지스터 형성을 완료한다.

[0008] 본 발명의 다른 실시예에서는, 집적 회로 형성 방법이 제공된다. 집적 회로는, 기판상에 형성되고 분리 영역에 의해 분리되는 제1 영역 및 제2 영역을 포함한다. 본 방법은 제1 영역 및 제2 영역 양자에 기판을 덮는 제1 게이트 전극 재료층을 형성하는 단계를 포함한다. 더 나아가, 본 방법은, 제1 영역 및 제2 영역에 어떤 장치를 형성하기에 앞서, 제1 영역 및 제2 영역 양자에 제1 게이트 전극 재료층을 덮는 복수개 희생층을 형성한다. 또한, 본 방법은 복수개 희생층을 사용해 제1 영역에 제1 장치 유형을 형성하는 단계를 포함한다. 더 나아가, 본 방법은 복수개 희생층을 사용해 제2 영역에 제2 장치 유형을 형성하는 단계를 포함한다.

[0009] 또 다른 실시예에서도, 집적 회로 형성 방법이 제공된다. 집적 회로는, 기판상에 형성되고 분리 영역에 의해 분리되는 메모리 영역 및 논리 영역을 포함한다. 본 방법은 메모리 영역 및 논리 영역 양자에 기판을 덮는 제1 게이트 전극 재료층을 형성하는 단계를 포함한다. 본 방법은, 메모리 영역 및 논리 영역에 어떤 장치를 형성하기에 앞서, 메모리 영역 및 논리 영역 양자에 제1 게이트 전극 재료층을 덮는 복수개 희생층을 형성하는 단계를 더 포함한다. 또한, 본 방법은 복수개 희생층을 사용해 메모리 영역에 비휘발성 메모리 장치를 형성하는 단계를 포함한다. 또한, 본 방법은 복수개 희생층 중 적어도 하나를 사용해 논리 영역에 논리 장치를 형성하는 단

계를 포함한다. 논리 장치를 형성하는데 사용되는 복수개 희생층 중 적어도 하나는 논리 영역에서 논리 장치에 대응하는 게이트 전극을 패터닝하는데 사용되는 ARC(anti-reflective coating)층이다.

도면의 간단한 설명

[0010]

본 발명의 바람직한 실시예에 대한 다음의 상세한 설명은 첨부된 도면과 함께 읽을 때 좀더 잘 이해될 것이다. 본 발명은 유사한 참조 번호가 유사한 구성 요소를 지시하는 첨부 도면에 의해 제한되는 것이 아니라 일례로써 설명된다. 도면의 구성 요소는 간략화 및 명료화를 위해 예시되며 반드시 크기대로 예시될 필요는 없다.

도 1은, 본 발명의 실시예에 따른, 기판을 덮는 유전체 재료층 및 게이트 재료층을 갖춘 반도체 장치의 일부의 단면을 예시하고;

도 2는, 본 발명의 실시예에 따른, 다중 인접 희생층을 증착한 이후의 도 1의 반도체 장치를 예시하며;

도 3은, 본 발명의 실시예에 따른, 패터닝된 포토레지스트층을 증착한 이후의 도 2의 반도체 장치를 예시하고;

도 4는, 본 발명의 실시예에 따른, 희생층 및 제1 게이트 재료층을 에칭한 이후의 도 3의 반도체 장치를 예시하며;

도 5는, 본 발명의 실시예에 따른, 희생층상에 전하 저장 스택을 증착한 이후의 도 4의 반도체 장치를 예시하고;

도 6은, 본 발명의 실시예에 따른, 제2 게이트 재료층을 증착한 이후의 도 5의 반도체 장치를 예시하며;

도 7은, 본 발명의 실시예에 따른, 연마 정지층에 이를 때까지 제2 게이트 재료층을 관통하여 연마한 이후의 도 6의 반도체 장치를 예시하고;

도 8 내지 도 11은, 본 발명의 실시예에 따른, 도 7의 반도체 장치의 NVM 영역에서의 선택 게이트 및 제어 게이트의 형성을 예시하며;

도 12는, 본 발명의 실시예에 따른, 논리 영역에서 논리 트랜지스터의 게이트를 패터닝하기 위해 포토레지스트 마스크를 증착한 이후의 도 11의 반도체 장치를 예시하고;

도 13은, 본 발명의 실시예에 따른, 메모리 영역에 메모리 트랜지스터를 그리고 논리 영역에 논리 트랜지스터를 형성하기 위한 최종적인 프로세싱 단계를 예시한다.

당업자라면, 도면의 구성 요소는 간략화 및 명료화를 위해 예시되고 반드시 크기대로 예시될 필요는 없다는 것을 알 수 있을 것이다. 예를 들어, 도면에서의 일부 구성 요소의 치수는 본 발명의 실시예에 대한 이해를 돋기 위해 다른 구성 요소에 비해 과장될 수 있다.

발명을 실시하기 위한 구체적인 내용

[0011]

첨부 도면의 상세한 설명은 본 발명의 현재적으로 바람직한 실시예에 대한 설명이고 본 발명이 실시될 수 있는 유일한 형태를 표현하는 것은 아니다. 동일 또는 균등 기능이, 본 발명의 정신 및 범위내에 포함되는 상이한 실시예에 의해 실현될 수도 있다는 것을 이해할 수 있어야 한다.

[0012]

도 1 내지 도 13은, 본 발명의 다양한 실시예에 따른, NVM(Non-Volatile Memory) 회로와 논리 회로를 통합하는 단계 동안의 반도체 웨이퍼의 일부의 단면을 예시한다.

[0013]

이제 도 1을 참조하면, 본 도면은 집적 회로 다이라고 하는 반도체 장치(10)의 일부의 단면을 예시한다. 반도체 장치(10)는 트렌치 분리(13)에 의해 분리되는 NVM 영역(18) 및 논리 영역(20)을 갖춘 기판(12)을 포함한다. 도 1은 기판(12)을 덮는(overlying) 유전체층(14) 및 제1 게이트 재료층(16)을 나타낸다. 기판(12)은, 갈륨 비화물, 실리콘, 게르마늄, SOI(silicon-on-insulator), 단결정 실리콘, 또는 전자 장치를 형성하는데 통상적으로 사용되는 임의의 다른 재료와 같은, 모든 반도체 재료 또는 재료의 조합일 수 있다. 도 1에 표시된 바와 같이, 트렌치 분리(13)가 반도체 장치(10)에 형성된다. 트렌치 분리(13)는 반도체 장치(10)의 제1 정의 영역과 제2 정의 영역을 전기적으로 분리하는 데에 요구된다. 제1 정의 영역은 비휘발성 메모리 셀을 구현하는데 사용되는 NVM 영역(18)을 포함하고, 제2 정의 영역은 논리 기능을 구현하는 트랜지스터를 구현하는데 사용되는 논리 영역(20)을 포함한다. 본 발명의 일 실시예에서, NVM 영역(18)은 최소 포토리소그래피 제한(minimum photolithography limit)에 대응하여 트렌치 분리(13)에 의해 논리 영역(20)으로부터 전기적으로 분리된다. 트렌치 분리(13)는, 흔히 트렌치 산화물이라고 하는, 임의 산화물일 수 있다.

- [0014] 그 다음, 기판(12)상에 유전체층(14)이 증착된다. 유전체층(14)은 실리콘 산화물, 알루미늄 산화물 및 탄탈륨 산화물과 같은 산화물, 실리콘 질화물과 같은 질화물, 티타늄 이산화물, 지르코늄 이산화물 등과 이것들의 임의 조합일 수 있다. 유전체층(14)은 기존의 CVD(chemical vapor deposition) 기술, PVD(physical vapor deposition) 기술, ALD(atomic layer deposition) 기술, 또는 이것들의 조합을 사용해 증착(deposit)될 수 있다. 유전체층(14)은 실리콘 이산화물, 실리콘 질화물, 실리콘 옥시나이트라이드(silicon oxynitride), (예를 들어, k가 7보다 큰) 하이-k 재료, 또는 이것들의 임의 조합으로 이루어진 하나 이상의 막들을 포함할 수 있다.
- [0015] 그 다음, 유전체층(14)상에 제1 게이트 재료층(16)이 증착된다. 제1 게이트 재료층(16)은, 폴리실리콘, 비정질 실리콘(Si), 게르마늄(Ge), 또는 SiGe 등과 같은 임의 재료 또는 이것들의 임의 조합일 수 있다. 제1 게이트 재료층(16)은 기존의 CVD를 사용해 증착될 수 있거나 다른 프로세스에 의해 증착될 수도 있다.
- [0016] 일 실시예에서는, 모든 프로세싱 단계 및 NVM 영역(18)과 논리 영역(20)에서의 트랜지스터 형성을 완료한 후, 제1 게이트 재료층(16)이 NVM 영역(18)에서의 메모리 트랜지스터를 위한 선택 게이트로서 동작한다. 제1 게이트 재료층(16)은 논리 영역(20)에서 논리 트랜지스터를 위한 게이트 전극으로도 동작한다.
- [0017] 이제 도 2를 참조하면, 제1 게이트 재료층(16)상의 다중 인접 희생층의 증착은 차례로 ARC(anti-reflective coating)층(22), 에칭 정지층(24), 및 연마 정지층(26)의 증착을 포함한다. ARC층(22)이 제1 게이트 재료층(16)상에 형성된다. 바람직한 실시예에서, ARC층(22)은 질화물(예를 들어, TiN), 실리콘 질화물과 같은 금속-실리콘 질화물(예를 들어, $Ta_aSi_bN_c$), 금속 함유 질화물, 또는 이것들의 임의 조합이다. 바람직한 실시예에서, ARC층(22)은 기존의 CVD 기술을 사용해 약 155 Å의 두께를 갖도록 증착된다. ARC층(22)은 논리 영역(20)에서 트랜지스터의 게이트를 패터닝하기 위한 반사 방지 코팅으로 사용된다.
- [0018] ARC층(22)이 증착된 후, 에칭 정지층(24)이 형성된다. 에칭 정지층(24)은 SiO_2 와 같은 산화물 등일 수 있다. 일 실시예에서, 에칭 정지층(24)은 80 Å의 두께를 가진 UDOX(ultra-dense oxide layer)이다. 에칭 정지층(24)은 연마 정지층(26)으로부터 ARC층(22)을 분리하는데 사용된다. 에칭 정지층(24)은 에칭 프로세스에서 연마 정지층(26)을 에칭하는 것을 정지시키는데 사용된다. 이와 같이, 에칭 정지층(24)은 제작 동안 수행된 다양한 프로세스로부터 ARC층(22)이 노출되는 것을 방지한다. ARC층(22)은 논리 영역(20)에서 논리 트랜지스터의 게이트 전극을 패터닝하는데 사용될 것이다.
- [0019] 일 형태에서, 연마 정지층(26)은 CVD를 사용해 에칭 정지층(24) 두께의 약 5배 두께를 갖도록 증착된다. 연마 정지층(26)은 SiN , $SiON$ 등과 같은 임의 질화물 또는 옥시나이트라이드일 수 있다. 연마 정지층(26)은 CMP 프로세스에서 연마를 정지시키는데 사용된다. 본 발명에서, 연마 정지층은 NVM 영역(18)에서 메모리 트랜지스터 용 선택 게이트를 패터닝하기 위한 반사 방지 코팅으로 사용된다.
- [0020] 일 형태에서, ARC층(22)은 질소를 포함하고, 에칭 정지층(24)은 산소를 포함하며, 연마 정지층(26)은 질소를 포함한다.
- [0021] 도 3은 연마 정지층(26)상에 증착되는 포토레지스트 재료로 이루어진 패터닝된 포토레지스트층(28)을 묘사한다. 패터닝된 포토레지스트층(28)은 기존의 리소그래피 기술, 예를 들어, 스판-코팅 기술을 사용해 증착된다. 포토레지스트 재료는 리소그래피 적용에 적합한 다양한 포토레지스트 재료를 포함할 수 있다. 포토레지스트 재료는 통상적으로 기반 재료(matrix material) 또는 합성 수지, 감광제(sensitizer) 또는 억제제(inhibitor), 및 용제를 포함한다. 패터닝된 포토레지스트층(28)의 재료는 양성 포토레지스트 재료 또는 음성 포토레지스트 재료일 수 있다.
- [0022] 도 4에 예시된 바와 같이, 패터닝된 포토레지스트층(28)을 마스크로 사용해 에칭이 수행된다. 에칭은 연마 정지층(26), 에칭 정지층(24), ARC층(22), 및 제1 게이트 재료층(16)을 관통해 에칭하도록 수행된다. 일 실시예에서, 에칭은 건식 에칭 기술을 사용해 수행된다. 패터닝된 포토레지스트층(28)은 에칭 프로세스 이후에 제거된다. 일 실시예에서, 포토레지스트는, RCA 클린, 피라나 클린(piranha clean) 등과 같은, 기존의 습식 클리닝 프로세스를 사용해 제거된다. 다른 실시예에서, 포토레지스트는, 애싱(ashing), 용제 클리닝 등과 같은, 기존의 스트리핑 프로세스(striping processes)를 사용하는 것에 의해 제거된다.
- [0023] 도 5에 표시된 바와 같이, 유전체층(14)의 노출된 영역이 에칭되고, 패터닝된 반도체 장치(10)상에 전하 저장 스택(30)이 증착된다. 전하 저장 스택(30)은 한 층 또는 한 층 이상의 전하 저장 재료이다. 일 실시예에서, 전하 저장 스택(30)은 기존의 증착 기술, 예를 들어, CVD, PECVD(Plasma-enhanced CVD), LPCVD(Low-pressure CVD) 등을 사용해 증착된다. 일 실시예에서, 전하 저장 스택(30)은 산화물 사이에 샌드위치된 나노크리스탈층

이다. 다른 실시예에서, 전하 저장 스택(30)은 산화물 사이에 샌드위치된 질화물이다. 또 다른 실시예에서, 전하 저장 스택(30)은 폴리실리콘층인데, ONO(oxide-nitride-oxide)층이 뒤따라 온다. 바람직한 실시예에서, 전하 저장 스택(30)은 산화물 사이에 샌드위치된 나노크리스탈층이다.

[0024] 본 발명의 실시예에서는, 패터닝된 반도체 장치(10)상에 전하 저장 스택(30)을 증착하는 대신, NVM 영역(18)의 패터닝된 메모리 트랜지스터를 위한 부동 게이트로서 동작하는 폴리실리콘층이 증착된다.

[0025] 도 6을 참조하면, NVM 영역(18) 및 논리 영역(20)상에 제2 게이트 재료층(32)이 증착된다. 제2 게이트 재료층(32)은 전하 저장 스택(30)의 노출된 영역을 채우도록 증착되고 두꺼운 층으로 전하 저장 스택(30)을 덮는다. 제2 게이트 재료층(32)은 금속, 폴리실리콘, 또는 그 둘의 임의 조합일 수 있다. 제2 게이트 재료층(32)은, LPCVD(low pressure chemical vapor deposition), PECVD(plasma-enhanced chemical vapor deposition) 등과 같은, 기존 방법을 사용해 증착된다.

[0026] 도 7은 제2 게이트 재료층(32)을 연마한 후의 반도체 장치(10)를 나타낸다. 연마는 제2 게이트 재료층(32) 및, 연마 정지층(26)을 덮는 전하 저장 스택(30)을 제거하도록 수행된다. 제2 게이트 재료층(32)은, CMP(chemical mechanical polishing)와 같은, 종래 기술을 사용해 연마된다. 일 실시예에서, 제2 게이트 재료층(32)은, 기존의 에칭 프로세스를 사용하는 것에 의해, 연마 정지층(26)이 노출될 때까지 에칭된다.

[0027] 도 8에 따르면, 포토레지스트 재료로 이루어진 포토레지스트 마스크(34)가 증착된다. 그 다음, 노출된 영역으로부터 제2 게이트 재료층(32)이 제거된다. 일 실시예에서, 제2 게이트 재료층(32)은, 비등방성 건식 에칭(non-isotropic dry etch)과 같은, 선택적 건식 에칭 프로세스를 사용하는 것에 의해 제거된다.

[0028] 도 9는 도 8의 반도체 장치(10)상에 증착된 포토레지스트 재료로 이루어진 포토레지스트 마스크(36)를 예시한다. 그 다음, 노출된 영역은 건식 에칭 프로세스를 사용해 에칭된다. 본 프로세스에서, 노출된 연마 정지층(26), 에칭 정지층(24), ARC층(22), 및 제1 게이트 재료층(16)이 도 8의 반도체 장치(10)로부터 제거된다.

[0029] 도 10에 예시된 바와 같이, 도 9의 반도체 장치의 연마 정지층(26)은, 비등방성 기술과 같은, 기존의 건식 에칭 프로세스를 사용해 선택적으로 에칭된다. 건식 에칭은, 제2 게이트 재료층(32)은 영향을 받지 않으면서 연마 정지층(26)은 에칭 제거되는 식으로 이루어진다.

[0030] 도 11에 예시된 바와 같이, 도 10의 반도체 장치(10)에 대해 습식 에칭 프로세스가 수행된다. 일 형태에서, 습식 에칭 프로세스는, HF(hydrofluoric) 에칭과 같은, 기존의 습식 에칭 프로세스이다. 습식 에칭 프로세스에 사용될 수 있는 다른 산으로는 H₃PO₄, H₂SO₄, KOH, H₂O₂, 및 HCl을 들 수 있지만, 그것으로 제한되는 것은 아니다. 습식 에칭 프로세스는 에칭 정지층(24), 전하 저장 스택(30)의 노출된 영역, 및 노출된 유전체층(14)을 제거한다. 그에 따라, 습식 에칭 프로세스의 완료시에, NVM 영역(18)에서의 선택 게이트 및 제어 게이트 형성이 완료된다.

[0031] 도 12는, 논리 영역(20)에서 논리 트랜지스터의 게이트를 패터닝하기 위해 증착되는, 포토레지스트 재료로 이루어진 포토레지스트 마스크(38)를 예시한다. 여기에서, 논리 트랜지스터의 게이트는 ARC층(22)을 사용해 패터닝된다. 노출된 ARC층(22) 및 제1 게이트 재료층(16)은 건식 에칭 프로세스를 사용해 도 11의 반도체 장치(10)의 논리 영역(20)으로부터 제거된다.

[0032] 논리 트랜지스터의 게이트가 ARC층(22)을 사용해 패터닝되므로, 본 패터닝에서는 논리 트랜지스터의 게이트를 패터닝하기 위해 게이트 산화물상에 BARC층을 증착할 필요가 없다. 더 나아가, BARC를 증착하는 동안의 비평면성 문제를 감소시키기 위해 트렌치 분리(13)는 크게 만들어진다. NVM 영역(18)과 논리 영역(20) 사이의 트렌치 분리(13)는 최소 포토리소그래피 제한과 연관될 수 있으므로, 집적 회로에서 상당량의 공간이 절약될 수 있다.

[0033] 이제 도 13을 참조하면, 포토레지스트 마스크(38) 및 ARC층(22)이 도 12의 반도체 장치(10)로부터 제거된다. 한 세트의 스페이서(40, 42)가 NVM 영역(18)의 제1 게이트 재료층(16) 및 제2 게이트 재료층(32) 주위에 그리고 논리 영역(20)의 제1 게이트 재료층(16) 주위에 각각 형성된다. 스페이서(40, 42) 세트는 기판상에, 산화물, 질화물, 옥시나이트라이드 등과 같은, 절연층을 증착하고 절연층 일부를 에칭하는 것에 의해 형성될 수 있다. 메모리 트랜지스터(52)를 위한 소스(44) 및 드레인(46)이 NVM 영역(18)에 형성된다. 논리 트랜지스터(54)를 위한 소스(48) 및 드레인(50)이 논리 영역(20)에 형성된다. 소스(44, 48) 및 드레인(46, 50)은 기존의 도핑 프로세스에 의해 각각 형성된다. 이와 같이, NVM 영역(18)에서는, 메모리 트랜지스터(52)가 형성되고, 논리 영역(20)에서는, 논리 트랜지스터(54)가 형성된다. 제1 게이트 재료층(16)은 NVM 영역(18)의 메모리 트랜지스터(52)를 위한 선택 게이트로서 동작하고 제2 게이트 재료층(32)은 NVM 영역(18)의 메모리 트랜지스터(52)를 위한

제어 게이트로서 동작한다. 제1 게이트 재료층(16)은 논리 영역(20)의 논리 트랜지스터(54)를 위한 게이트로도 동작한다.

[0034] 여기에서 사용되는 바와 같이, NVM 영역, 제1 정의 영역, 및 제1 영역이란 용어는 반도체 장치(10)에서의 메모리 영역을 표현하고, 논리 영역, 제2 정의 영역, 및 제2 영역이란 용어는 반도체 장치(10)에서의 논리 영역을 표현한다.

[0035] 여기에서 사용되는 바와 같이, "제1 게이트 재료층" 및 "제1 게이트 전극 재료"란 용어는 NVM 영역(18)에서의 선택 게이트 뿐만 아니라 논리 영역(20)에서의 게이트 전극을 표현한다. "제2 게이트 재료층" 및 "제2 게이트 전극 재료"란 용어는 NVM 영역(18)에서의 제어 게이트를 표현한다.

[0036] 여기에서 사용되는 바와 같이, "제1 장치 유형" 및 "메모리 트랜지스터"란 용어는 메모리 영역에서의 트랜지스터를 표현하고, "제2 장치 유형" 및 "논리 트랜지스터"란 용어는 논리 영역에서 논리 기능을 수행하는데 사용되는 트랜지스터를 표현한다.

[0037] 여기에서 설명되는 구조는 질화물, 산화물, 및 질화물(ARC층)의 스택을 포함하는 다중 희생층을 이용해 메모리 회로 영역에서의 메모리 트랜지스터의 선택 게이트 및 논리 회로 영역에서의 논리 트랜지스터의 게이트 전극을 패터닝한다. 이와 같이, NVM 및 논리 장치의 통합에 따른 프로세스 복잡도는 크게 감소된다. 논리 영역에서의 게이트 전극을 패터닝하기 위해 BARC층을 사용하는 대신에, 본 발명은 질화물/산화물/질화물 스택으로부터의 ARC층을 이 목적에 사용한다. 이 때문에, 트렌치 분리 영역의 사이즈가 커질 필요가 없어 SoC에서의 최적 공간 이용을 유도한다. 더 나아가, 본 발명은 NVM 메모리의 SoC로의 심리스 통합(seamless integration)을 가능하게 한다.

[0038] 일 형태에서는, 제1 정의 영역 및 제1 정의 영역으로부터 전기적으로 분리되는 제2 정의 영역을 가진 기판을 제공하는 것에 의해 NVM 회로와 논리 회로를 통합하는 방법이 제공된다. 제1 정의 영역 및 제2 정의 영역 양자에 기판을 덮는 제1 게이트 재료층이 제공된다. 제1 게이트 재료층을 덮는 다중 인접 희생층이 제공된다. 다중 인접 희생층은, 인접 희생층들 중 적어도 하나가 완전히 제거되지 않은 제1 정의 영역에 트랜지스터 제어 전극을 형성하도록 제공된다. 인접한 희생층 중 적어도 하나는 제2 정의 영역에서 트랜지스터 제어 전극을 패터닝하는데 사용된다. 제1 정의 영역 및 제2 정의 영역 양자에서의 트랜지스터 형성이 완료된다.

[0039] 다른 형태에서는, 인접한 희생층 중 적어도 하나가 제2 정의 영역에서의 트랜지스터 제어 전극과 밀착하여 인접하다. 또 다른 형태에서, 다중 인접 희생층은 제2 질화물층을 덮는 산화물층을 덮는 제1 질화물층을 더 포함한다. 또 다른 형태에서, 제1 정의 영역은 비휘발성 메모리 셀을 구현하기 위한 비휘발성 메모리 영역을 포함하고, 제2 정의 영역은 논리 기능을 구현하는 트랜지스터를 구현하기 위한 논리 영역을 포함한다. 또 다른 형태에서, 제1 정의 영역은 최소 포토리소그래피 제한에 대응하는 양만큼 제2 정의 영역으로부터 전기적으로 분리된다. 또 다른 형태에서, 다중 인접 희생층 중 적어도 하나는 CMP(chemical mechanical polishing)에서 사용하기 위한 연마 정지층을 포함하고, 다중 인접 희생층 중 적어도 하나는 화학적 에칭에서 사용하기 위한 에칭 정지층을 포함하며, 다중 인접 희생층 중 적어도 하나는 ARC(anti-reflective coating)층을 포함한다. 또 다른 형태에서, 다중 인접 희생층은 제1 정의 영역 및 제2 정의 영역의 프로세싱 완료시에 완전히 제거된다. 일 형태에서, 다중 인접 희생층은 기판을 덮는 ARC층, ARC층을 덮는 산화물층, 및 산화물층을 덮는 질화물층을 포함한다.

[0040] 또 다른 형태에서는, 기판상에 형성되어 분리 영역에 의해 분리되는 제1 영역 및 제2 영역을 포함하는 집적 회로 형성 방법이 제공된다. 제1 영역 및 제2 영역 양자에 기판을 덮는 제1 게이트 전극 재료층이 형성된다. 제1 영역 및 제2 영역에 어떤 장치를 형성하기에 앞서, 제1 영역 및 제2 영역 양자에 제1 게이트 전극 재료층을 덮는 복수개 희생층이 형성된다. 복수개 희생층은 제1 영역에서 제1 장치 유형을 형성하는데 사용된다. 복수개 희생층 중 적어도 하나는 제2 영역에서 제2 장치 유형을 형성하는데 사용된다.

[0041] 또 다른 형태에서는, 제2 영역에 제2 장치 유형에 대응하는 게이트 전극을 형성하기에 앞서, 제1 영역으로부터 복수개 희생층이 제거된다. 또 다른 형태에서는, 복수개 희생층 중 제1 게이트 전극 재료층에 밀착하여 인접한 적어도 하나가 제2 장치 유형을 형성하는데 사용된다. 또 다른 형태에서는, 제2 장치 유형을 형성하는데 사용되는 복수개 희생층 중 적어도 하나가 ARC층이다. 또 다른 형태에서는, 제2 영역에 제2 장치 유형에 대응하는 게이트 전극을 패터닝하는데 사용되는 ARC층이 형성된다. 또 다른 형태에서, 복수개 희생층은 제2 영역에 형성된 제2 장치 유형에 대응하는 게이트 전극을 패터닝하는데 사용되는 ARC층, 제1 영역 및 제2 영역 양자에 형성된 폴리실리콘층의 연마를 정지시키는데 사용되는 연마 정지층, 그리고 제1 영역 및 제2 영역 양자에서 연마 정

지층을 예칭하는 것을 정지시키는데 사용되는 예칭 정지층을 포함한다. 또 다른 형태에서, 제1 영역은 메모리 영역이고 제2 영역은 논리 영역이다. 또 다른 형태에서, 제1 장치 유형은 제어 게이트 및 선택 게이트를 포함하고, 제2 장치 유형은 하나의 게이트만을 포함한다.

[0042] 또 다른 형태에서는, 기판상에 형성되어 분리 영역에 의해 분리되는 메모리 영역 및 논리 영역을 포함하는 집적 회로 형성 방법이 제공된다. 메모리 영역 및 논리 영역 양자에 기판을 덮는 제1 게이트 전극 재료층이 형성된다. 메모리 영역 및 논리 영역에 어떤 장치를 형성하기에 앞서, 메모리 영역 및 논리 영역 양자에 제1 게이트 전극 재료층을 덮는 복수개 희생층이 형성된다. 복수개 희생층은 메모리 영역에 비휘발성 메모리 장치를 형성하는데 사용된다. 복수개 희생층 중 적어도 하나는 논리 영역에 논리 장치를 형성하는데 사용되는데, 이 경우, 논리 장치를 형성하는데 사용되는 복수개 희생층 중 적어도 하나는 논리 영역에 대응하는 게이트 전극을 패터닝하는데 사용되는 ARC층이다. 또 다른 형태에서는, 논리 영역에 논리 장치에 대응하는 게이트 전극을 형성하기에 앞서, 복수개 희생층이 메모리 영역으로부터 제거된다. 또 다른 형태에서, 논리 장치를 형성하는데 사용되는 복수개 희생층 중 적어도 하나는 제1 게이트 전극 재료층에 밀착하여 인접하다. 또 다른 형태에서, 복수개 희생층은 메모리 영역 및 논리 영역 양자에 형성된 폴리실리콘층의 연마를 정지시키는데 사용되는 연마 정지층을 그리고 메모리 영역 및 논리 영역 양자에서 연마 정지층을 예칭하는 것을 정지시키는데 사용되는 예칭 정지층을 포함한다. 또 다른 형태에서, ARC층은 질소를 포함하고, 연마 정지층도 질소를 포함하며, 예칭 정지층은 산소를 포함한다.

[0043] 일반적인 설명 또는 일례로서 앞서 설명된 모든 활동이 요구되는 것은 아니라는 것, 특정 활동의 일부는 불필요 할 수도 있다는 것, 그리고 설명된 활동에 추가하여 하나 이상의 추가 활동이 수행될 수도 있다는 것에 유의해야 한다. 더 나아가, 활동이 열거되는 순서가 반드시 활동이 수행되는 순서일 필요는 없다.

[0044] 하나 이상의 어떤 혜택, 하나 이상의 다른 장점, 하나 이상의 문제에 대한 하나 이상의 해결책, 또는 이것들의 임의 조합이 하나 이상의 특정 실시예와 관련하여 상술되었다. 그러나, 어떤 혜택, 장점, 또는 해결책을 발생 시킬 수 있거나 좀 더 명확하게 할 수 있는 혜택, 장점, 문제에 대한 해결책, 또는 어떤 요소가 어떤 청구항 또는 모든 청구항의 중요하거나, 필요하거나, 필수적인 특징 또는 요소로 간주되어서는 안된다.

[0045] 앞서 설명된 주제는 한정적인 것이 아니라 예시적인 것으로 간주되어야 하고, 첨부된 청구항은 본 발명의 범위 내에 해당되는 그러한 모든 변경, 향상, 및 다른 실시예를 포괄하기 위한 것이다. 따라서, 법에 의해 허용되는 최대 한도까지, 본 발명의 범위는 다음 청구항 및 그것의 균등물의 허용 가능한 최대 해석에 의해 판정되어야 하고, 앞서 말한 상세한 설명에 의해 한정되거나 제한되지 않을 것이다.

부호의 설명

[0046] 10 : 반도체 장치

12 : 기판

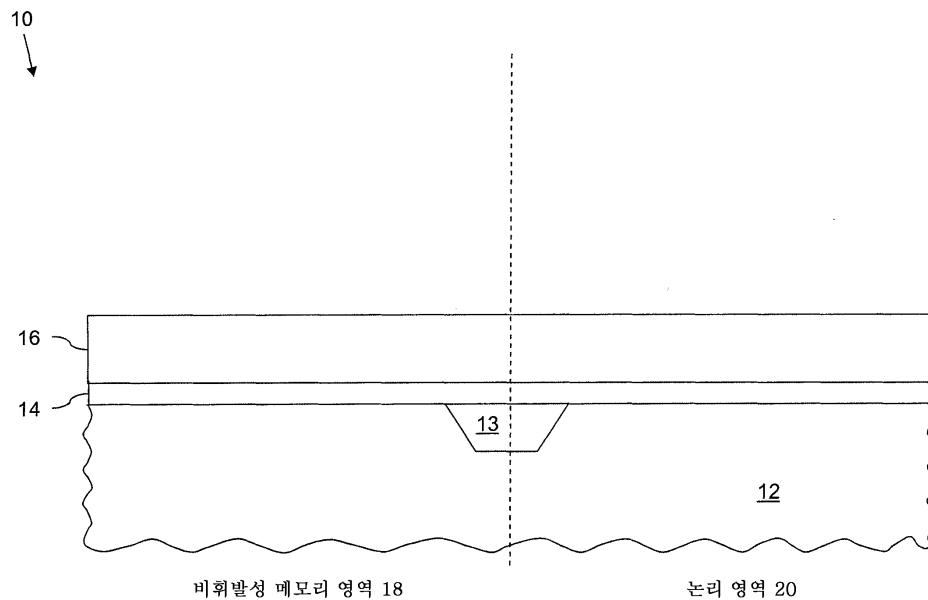
13 : 트렌치 분리

14 : 유전체층

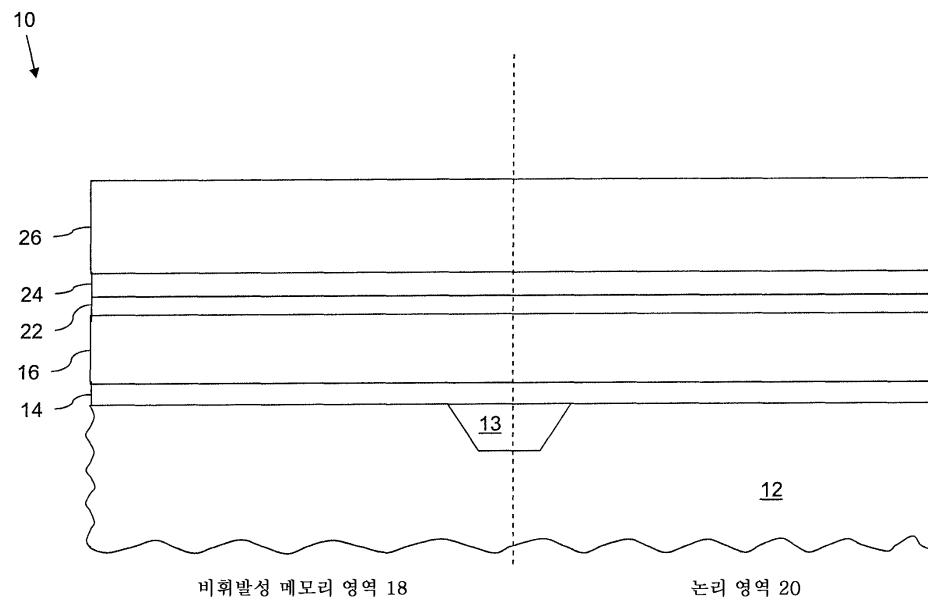
16 : 제1 게이트 재료층

도면

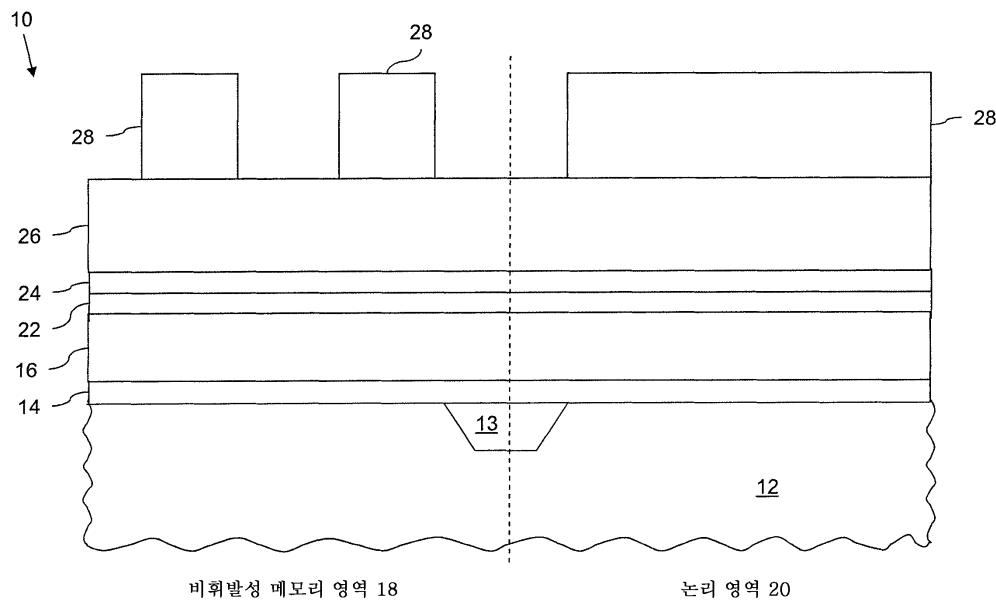
도면1



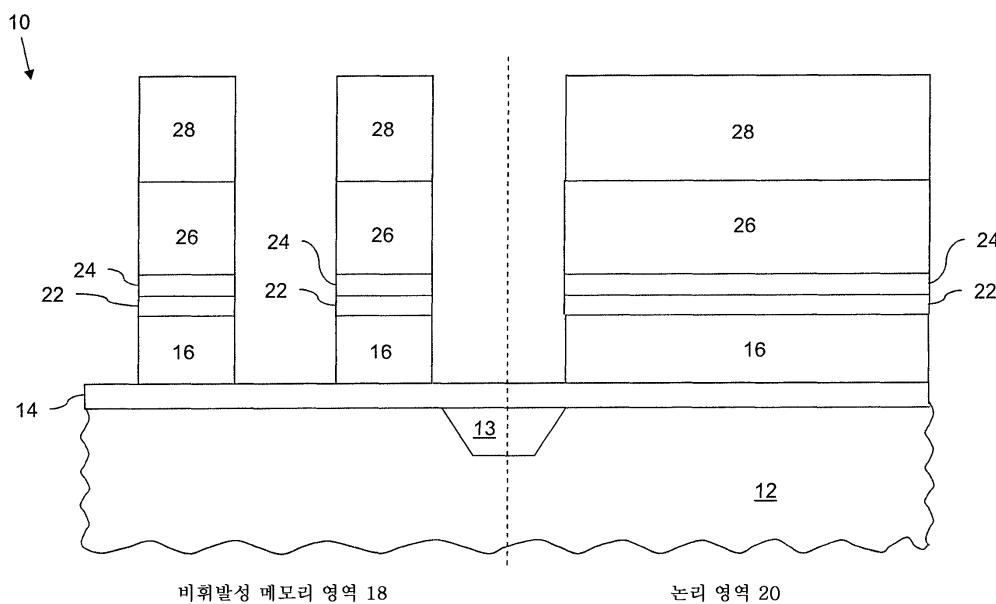
도면2



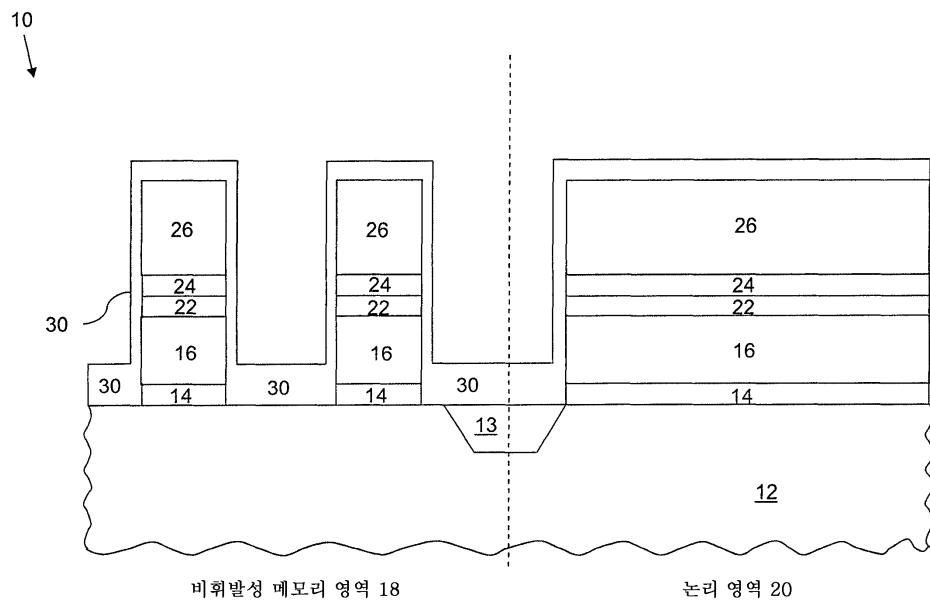
도면3



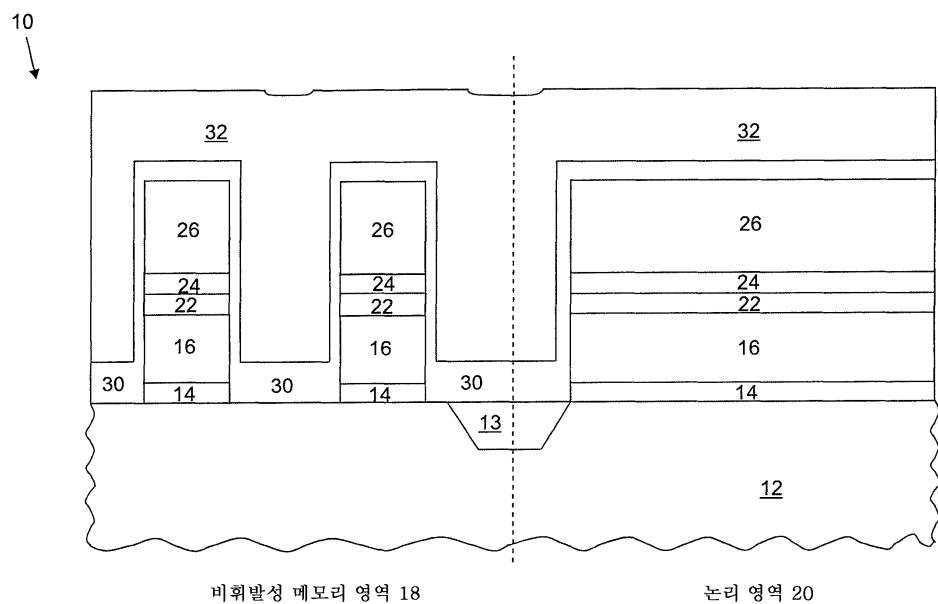
도면4



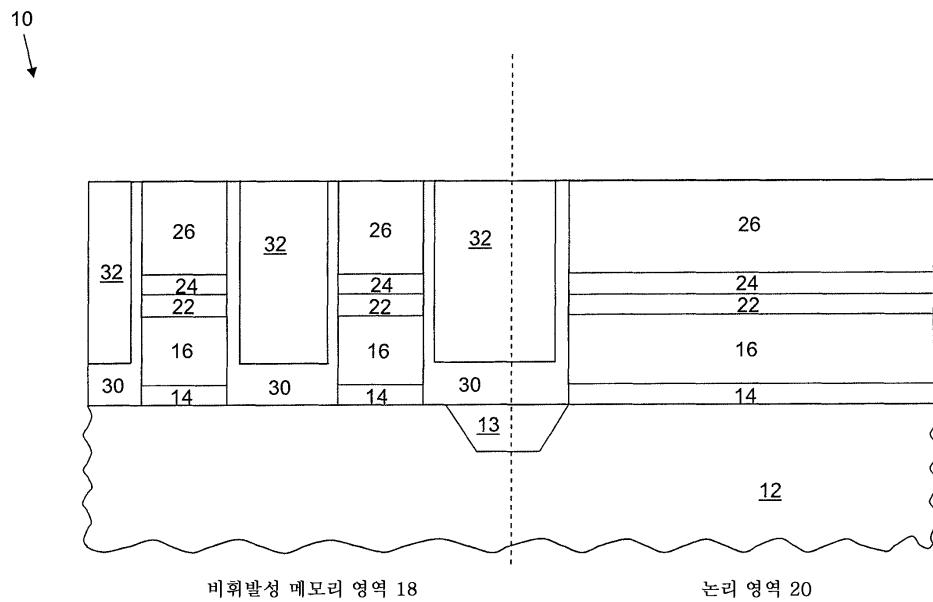
도면5



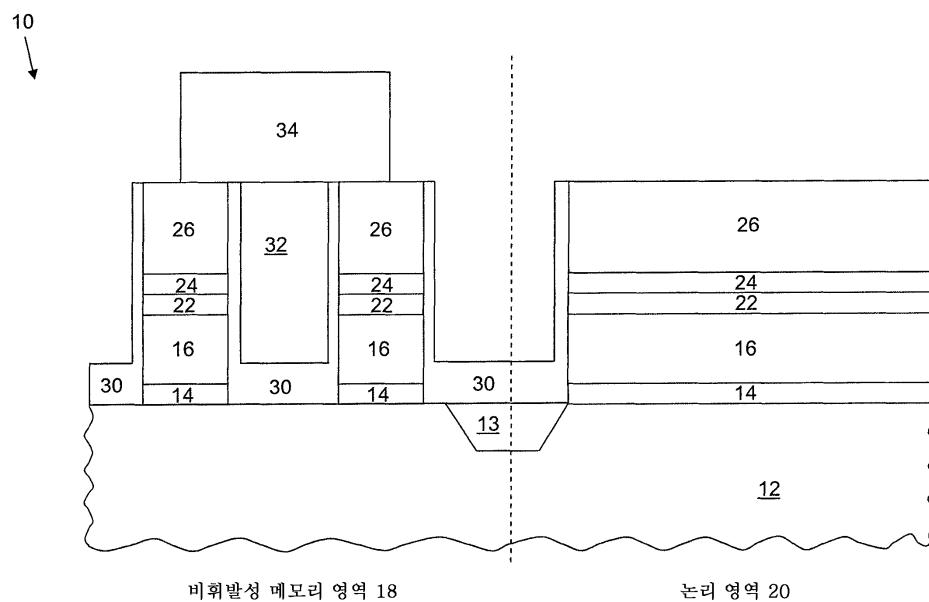
도면6



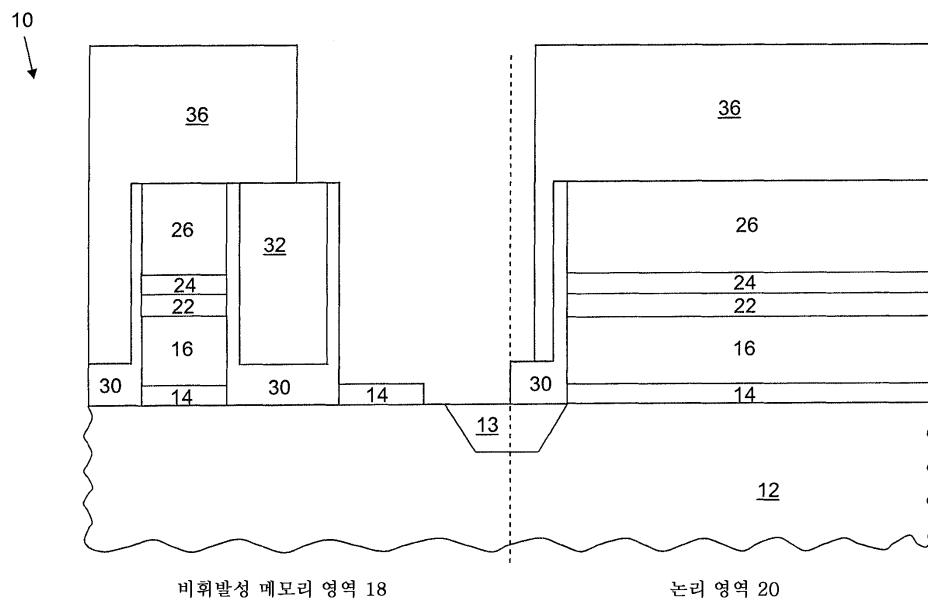
도면7



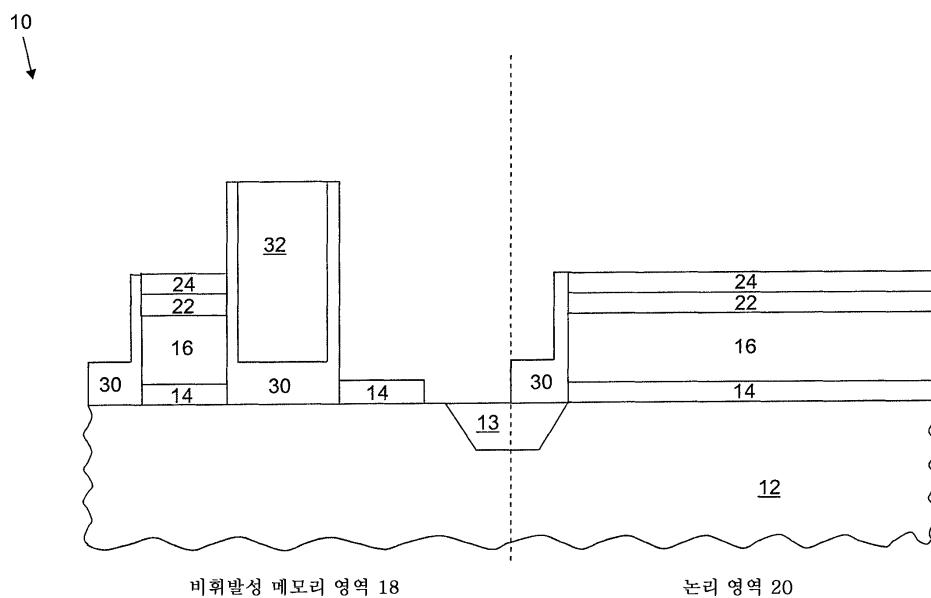
도면8



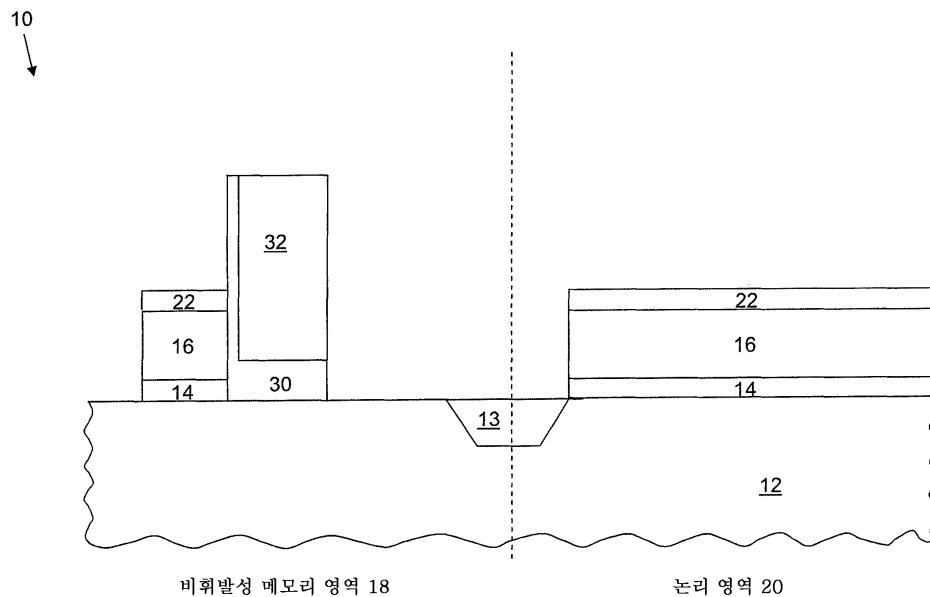
도면9



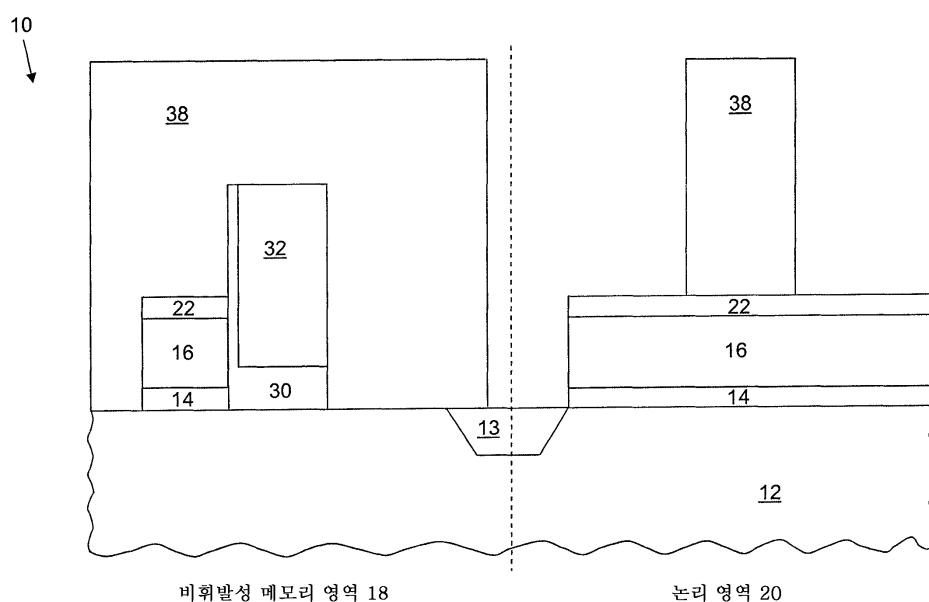
도면10



도면11



도면12



도면13

