



(21)申請案號：100110258

(22)申請日：中華民國 100 (2011) 年 03 月 25 日

(51)Int. Cl. : G06F13/42 (2006.01)

G06F13/16 (2006.01)

(30)優先權：2011/03/08 美國

13/043,334

(71)申請人：擎泰科技股份有限公司 (中華民國) SKYMEDI CORPORATION (TW)

新竹市力行一路 10 之 1 號 6 樓

(72)發明人：劉幸和 LIU, HSINGHO (TW) ; 熊福嘉 SHONE, FU JA (TW) ; 鄭莊 CHENG,

CHUANG (TW) ; 鄧宇軒 TANG, YU SHUEN (TW)

(74)代理人：陳達仁

申請實體審查：有 申請專利範圍項數：14 項 圖式數：3 共 19 頁

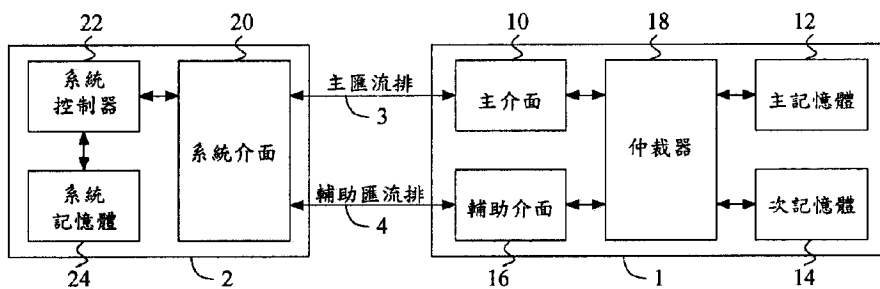
(54)名稱

內嵌式記憶體系統

EMBEDDED MEMORY SYSTEM

(57)摘要

一種內嵌式記憶體系統。主介面藉由主匯流排而與電子系統進行通訊。記憶體共用輔助介面藉由記憶體共用輔助匯流排而與電子系統進行通訊。仲裁器進行主介面、記憶體共用輔助介面、主記憶體和次記憶體之間的仲裁。藉此，電子系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取主記憶體或次記憶體；且內嵌式記憶體系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取電子系統之系統記憶體。



1：內嵌式記憶體系統

2：電子系統

3：主匯流排

4：輔助匯流排

10：主介面

12：主記憶體

14：次記憶體

16：輔助介面

18：仲裁器

20：系統介面

22：系統控制器

24：系統記憶體



(21)申請案號：100110258

(22)申請日：中華民國 100 (2011) 年 03 月 25 日

(51)Int. Cl. : G06F13/42 (2006.01)

G06F13/16 (2006.01)

(30)優先權：2011/03/08 美國

13/043,334

(71)申請人：擎泰科技股份有限公司 (中華民國) SKYMEDI CORPORATION (TW)

新竹市力行一路 10 之 1 號 6 樓

(72)發明人：劉幸和 LIU, HSINGHO (TW) ; 熊福嘉 SHONE, FU JA (TW) ; 鄭莊 CHENG, CHUANG (TW) ; 鄧宇軒 TANG, YU SHUEN (TW)

(74)代理人：陳達仁

申請實體審查：有 申請專利範圍項數：14 項 圖式數：3 共 19 頁

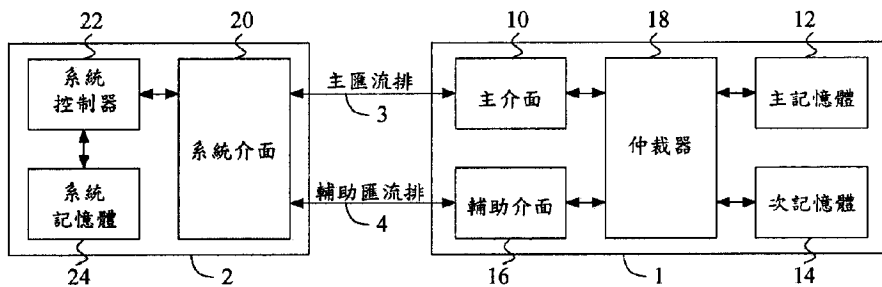
(54)名稱

內嵌式記憶體系統

EMBEDDED MEMORY SYSTEM

(57)摘要

一種內嵌式記憶體系統。主介面藉由主匯流排而與電子系統進行通訊。記憶體共用輔助介面藉由記憶體共用輔助匯流排而與電子系統進行通訊。仲裁器進行主介面、記憶體共用輔助介面、主記憶體和次記憶體之間的仲裁。藉此，電子系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取主記憶體或次記憶體；且內嵌式記憶體系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取電子系統之系統記憶體。



- 1：內嵌式記憶體系統
- 2：電子系統
- 3：主匯流排
- 4：輔助匯流排
- 10：主介面
- 12：主記憶體
- 14：次記憶體
- 16：輔助介面
- 18：仲裁器
- 20：系統介面
- 22：系統控制器
- 24：系統記憶體

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係有關一種內嵌式記憶體系統，特別是一種記憶卡，其揮發性記憶體可與一電子系統共用。

【先前技術】

[0002] 記憶卡，例如安全數位 (Secured Digital, SD) 卡，為一種非揮發性記憶體裝置，可適用於電子系統（例如行動電話），不需要電源而能保持資料。

[0003] 現今的記憶卡通常配置有揮發性記憶體，例如動態隨機存取記憶體 (DRAM)，用以暫存資料。上述的電子系統通常也配置有揮發性或非揮發性記憶體，用以儲存暫時資料。

[0004] 記憶卡內的揮發性記憶體通常不會充分被使用到，而具有有限資源的電子系統（例如行動電話）則經常發生記憶體空間短缺的情形，因而影響其操作速度。另一方面，過時的記憶卡可能缺乏記憶體空間，而新的記憶卡則具有大量的記憶體。當記憶體空間缺乏的情形係根據其操作狀態而動態地發生在記憶卡與電子系統其中之一，此時將使記憶體空間問題變得更為複雜。

[0005] 對於上述任一種情形，一方的記憶體空間剩餘並無法有助於另一方的記憶體空間短缺，因而造成記憶體的浪費。此問題之無法解決主要在於記憶體與電子系統之間缺乏適當的通訊機制，用以分享剩餘的記憶體空間。

[0006] 鑑於傳統記憶卡與電子系統整體無法有效地使用其記

憶體資源，因此，亟需提出一種新穎機制，於記憶卡與電子系統之間動態地分享其記憶體資源。

【發明內容】

[0007] 鑑於上述，本發明實施例的目的之一在於提出一種內嵌式記憶體系統，於內嵌式記憶體系統與電子系統之間有效地協同記憶體的分享。

[0008] 根據本發明實施例，內嵌式記憶體系統包含主介面、記憶體共用輔助介面、主記憶體、次記憶體及仲裁器。主介面藉由主匯流排而與電子系統進行通訊。記憶體共用輔助介面藉由記憶體共用輔助匯流排而與電子系統進行通訊。仲裁器進行主介面、記憶體共用輔助介面、主記憶體和次記憶體之間的仲裁。藉此，電子系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取主記憶體或次記憶體；且內嵌式記憶體系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取電子系統之系統記憶體。

【實施方式】

[0009] 第一圖之方塊圖顯示本發明實施例之內嵌式記憶體系統1及電性耦接之電子系統2。在本實施例中，內嵌式記憶體系統1可以為內嵌式多媒體卡（embedded Multi-MediaCard, eMMC）或安全數位（Secured Digital, SD）卡，也可以為固態碟（solid-state drive），但不以此為限。電子系統2可為系統單晶片（system on chip, SOC）或系統級封裝（system in package, SIP）。

[0010] 內嵌式記憶體系統1包含主介面10，其藉由主匯流排3及其協定而與系統介面20進行通訊。以內嵌式多媒體卡（eMMC）為例，主介面10、系統介面20及主匯流排3遵守eMMC，因而得以於內嵌式記憶體系統1與電子系統2之間進行資料交換。內嵌式記憶體系統1包含主記憶體12，其通常為非揮發性記憶體，例如快閃記憶體。除了主記憶體12，內嵌式記憶體系統1還包含次記憶體14，在本實施例中為揮發性記憶體，例如動態隨機存取記憶體（DRAM）。電子系統2通常包含一系統控制器22（例如微處理器）及系統記憶體24（例如動態隨機存取記憶體或快閃記憶體）。

[0011] 根據本實施例的特徵之一，內嵌式記憶體系統1包含記憶體共用輔助介面（簡稱“輔助介面”）16，其藉由記憶體共用輔助匯流排（簡稱“輔助匯流排”）4而得以和系統介面20進行通訊。

[0012] 根據本實施例的另一特徵，內嵌式記憶體系統1包含仲裁器18，用以進行主介面10、輔助介面16、主記憶體12和次記憶體14之間的仲裁。藉此，電子系統2可藉由主介面10（及其主匯流排3）或輔助介面16（及其輔助匯流排4）而存取主記憶體12或次記憶體14。另一方面，內嵌式記憶體系統1，例如記憶體控制器（未顯示），可藉由主介面10（及其主匯流排3）或輔助介面16（及其輔助匯流排4）而存取系統記憶體24。

[0013] 根據本實施例的架構，記憶體資源，亦即主記憶體12、次記憶體14及系統記憶體24，可有效地共用於內嵌式

記憶體系統1與電子系統2。為了避免記憶體資源當中的一些重要或保護區域被不當入侵而產生不正常操作，仲裁器18可藉由輔助匯流排4以控制記憶體資源的存取限制範圍。

[0014] 在本實施列中，主匯流排3遵守非專屬協定（公共或授權協定），例如eMMC；然而輔助匯流排4則遵守專屬協定，其可依據特定應用來設計。在本實施例中，輔助匯流排4傳送位址信號、資料信號及命令信號。位址信號與資料信號的信號格式可類似或相同於傳統協定。在本實施例中，電子系統2及內嵌式記憶體系統1藉由命令信號，使用信號交換（handshaking）方式以建立通訊交談。本實施例的命令信號包含請求信號（其自主機或主控端發出）及回應信號（其自從屬端發出）。電子系統2及內嵌式記憶體系統1的其中之一方可作為主控端，而另一方則作為從屬端。

[0015] 第二A圖顯示一通信態樣之請求信號req與回應信號ack的時序圖。當主控端於時間a將請求信號req變為高信號準位（例如將其準位拉高），從屬端則於時間b回應一高信號準位的回應信號ack，此時開始進行資料的傳輸。於時間c，請求信號變為低信號準位（例如將其準位拉低），因而結束資料傳輸，而從屬端則回應一低信號準位的回應信號ack，因而完成一完整資料傳輸。

[0016] 第二B圖顯示另一通信態樣之請求信號req與回應信號ack的時序圖。在這個例子中，當從屬端的緩衝器（未顯示）已滿或已空時，從屬端分別於時間c及e將回應信號

ack變為低信號準位，用以暫時中斷資料傳輸。當上述暫時狀態消失後，從屬端可於時間d和f將回應信號再次變為高信號準位，以恢復資料傳輸。

[0017] 第二C圖顯示又一通信態樣之請求信號req與回應信號ack的時序圖。在這個例子中，當從屬端正忙於其他更緊急的工作時，從屬端於時間c將回應信號ack變為低信號準位，因而比預期早的終止資料傳輸，且不再恢復資料傳輸。為了避免主控端一直等待，主控端配置有計時器，在預設期間（例如時間c至e）結束後，該計時器會通知主控端的控制器（例如電子系統2的系統控制器22或者內嵌式記憶體系統1的仲裁器18）。因此，主控端於時間e將請求信號req變為低信號準位，因而單向的結束資料的傳輸。

[0018] 根據上述的信號型態，內嵌式記憶體系統1與電子系統2不需使用複雜電路即可有效地達成彼此間的記憶體共用。雖然本實施例使用請求項號req及回應信號ack以結束資料的傳輸，然而，也可藉由單獨的額外終止信號來結束資料的傳輸。

[0019] 第三圖顯示本發明實施例之內嵌式記憶體系統1與電子系統2之間的通訊流程。

[0020] 於步驟31，決定內嵌式記憶體系統1與電子系統2的其中一方為主控端，而另一方則為從屬端。在本實施例中，電子系統2係藉由主匯流排3以決定主控端/從屬端。以eMMC為例，電子系統2藉由eMMC匯流排（亦即主匯流排3

) 以決定主控端/從屬端。

[0021] 當電子系統2作為主控端時，於步驟32A，電子系統2發出高信號準位的請求信號req（第二A圖的時間a），用以請求仲裁器12以共用次記憶體14或主記憶體12；內嵌式記憶體系統1則回應高信號準位的回應信號ack（第二A圖的時間b），因而開始主控端與從屬端之間的資料傳輸。

[0022] 接著，於步驟33A，主控端（亦即電子系統2）可藉由低信號準位的請求信號req（第二A圖的時間c）以結束資料傳輸；或者，從屬端（亦即內嵌式記憶體系統1）可暫時中斷並恢復資料傳輸（第二B圖）；或者，從屬端可比預期早的終止資料傳輸（第二C圖）。此外，電子系統2可依需求，藉由主匯流排3檢查主匯流排3相應的一些協定（例如eMMC）專屬暫存器，用以檢查內嵌式記憶體系統1的狀態（例如，忙碌或中斷狀態）。

[0023] 類似的情形，當內嵌式記憶體系統1作為主控端時，於步驟32B，內嵌式記憶體系統1藉由仲裁器12發出高信號準位的請求信號req（第二A圖的時間a），用以請求共用系統記憶體24；電子系統2則回應高信號準位的回應信號ack（第二A圖的時間b），因而開始主控端與從屬端之間的資料傳輸。

[0024] 接著，於步驟33B，主控端（亦即內嵌式記憶體系統1）可藉由低信號準位的請求信號req（第二A圖的時間c）以結束資料傳輸；或者，從屬端（亦即電子系統2）可暫時中斷並恢復資料傳輸（第二B圖）；或者，從屬端可比

預期早的終止資料傳輸（第二C圖）。此外，電子系統2可依需求，藉由主匯流排3檢查主匯流排3相應的一些協定（例如eMMC）專屬暫存器，用以檢查內嵌式記憶體系統1的狀態（例如，忙碌或中斷狀態）。

[0025] 以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

[0026] 第一圖之方塊圖顯示本發明實施例之內嵌式記憶體系統及電性耦接之電子系統。

第二A圖顯示一通信態樣之請求信號與回應信號的時序圖。

第二B圖顯示另一通信態樣之請求信號與回應信號的時序圖。

第二C圖顯示又一通信態樣之請求信號與回應信號的時序圖。

第三圖顯示本發明實施例之內嵌式記憶體系統與電子系統之間的通訊流程。

【主要元件符號說明】

[0027] 1 內嵌式記憶體系統
10 主介面
12 主記憶體
14 次記憶體
16 輔助介面

18	仲裁器
2	電子系統
20	系統介面
22	系統控制器
24	系統記憶體
3	主匯流排
4	輔助匯流排
31-33B	步驟
req	請求信號
ack	回應信號



Intellectual
Property
Office

專利案號：100110258



日期：100年03月25日

發明專利說明書

※申請案號：100110258

※IPC分類：

※申請日：100.3.25

G06F 13/42 (2006.01)

一、發明名稱：

G06F 13/16 (2006.01)

內嵌式記憶體系統

EMBEDDED MEMORY SYSTEM

二、中文發明摘要：

一種內嵌式記憶體系統。主介面藉由主匯流排而與電子系統進行通訊。記憶體共用輔助介面藉由記憶體共用輔助匯流排而與電子系統進行通訊。仲裁器進行主介面、記憶體共用輔助介面、主記憶體和次記憶體之間的仲裁。藉此，電子系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取主記憶體或次記憶體；且內嵌式記憶體系統可藉由記憶體共用輔助介面及記憶體共用輔助匯流排而存取電子系統之系統記憶體。

三、英文發明摘要：

An embedded memory system is disclosed. A main interface is configured to communicate with an electronic system via a main bus. A memory-sharing auxiliary interface is configured to communicate with the electronic system via a memory-sharing auxiliary bus. An arbiter is configured to arbitrate among the main interface, the memory-sharing auxiliary interface, a primary memory and a secondary memory. Accordingly, the electronic system is capable of sharing either the primary memory or the secondary memory via the memory-sharing auxiliary interface and the memory-sharing auxiliary bus, and the embedded memory system is capable of sharing a system memory of the electronic system via the memory-sharing auxiliary interface and the memory-

201237635

sharing auxiliary bus.



Department of
Property
Services
Office

七、申請專利範圍：

1. 一種內嵌式記憶體系統，包含：

一主介面，藉由一主匯流排而與一電子系統進行通訊；

一記憶體共用輔助介面，藉由一記憶體共用輔助匯流排而與該電子系統進行通訊；

一主記憶體；

一次記憶體；及

一仲裁器，用以進行該主介面、該記憶體共用輔助介面、該主記憶體和該次記憶體之間的仲裁，藉此，該電子系統可藉由該記憶體共用輔助介面及該記憶體共用輔助匯流排而存取該主記憶體或該次記憶體；該內嵌式記憶體系統可藉由該記憶體共用輔助介面及該記憶體共用輔助匯流排而存取該電子系統之一系統記憶體。

2. 如申請專利範圍第1項所述之內嵌式記憶體系統，其中該內嵌式記憶體系統為一記憶卡或固態碟。

3. 如申請專利範圍第2項所述之內嵌式記憶體系統，其中該記憶卡為一內嵌式多媒體卡（eMMC）或一安全數位（SD）卡。

4. 如申請專利範圍第1項所述之內嵌式記憶體系統，其中該電子系統為一系統單晶片（SOC）或一系統級封裝（SIP）。

5. 如申請專利範圍第1項所述之內嵌式記憶體系統，其中該主記憶體為一非揮發性記憶體且該次記憶體為一揮發性記憶體。

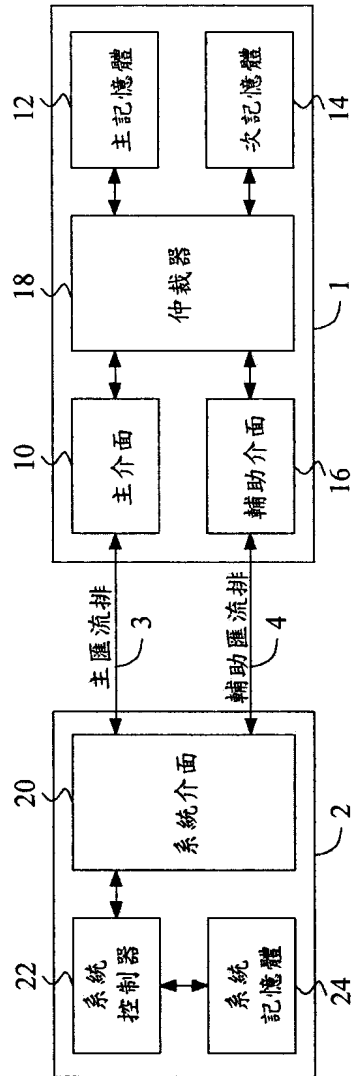
- 6 . 如申請專利範圍第1項所述之內嵌式記憶體系統，其中該記憶體共用輔助匯流排傳送位址信號、資料信號及命令信號。
- 7 . 如申請專利範圍第6項所述之內嵌式記憶體系統，其中該命令信號包含自一主控端發出一請求信號，以及自一從屬端發出一回應信號；其中該電子系統及該內嵌式記憶體系統的其中之一方作為該主控端，而另一方則作為該從屬端。
- 8 . 如申請專利範圍第7項所述之內嵌式記憶體系統，其中該主控端或該從屬端係由該電子系統藉由該主匯流排所決定。
- 9 . 如申請專利範圍第7項所述之內嵌式記憶體系統，其中該主控端將該請求信號變為高信號準位，接著，由該從屬端將該回應信號變為高信號準位，因而開始資料傳輸。
- 10 . 如申請專利範圍第9項所述之內嵌式記憶體系統，當該主控端將該請求信號變為低信號準位，接著，該從屬端將該回應信號變為低信號準位，因而結束該資料傳輸。
- 11 . 如申請專利範圍第9項所述之內嵌式記憶體系統，當該從屬端將該回應信號變為低信號準位以中斷該資料傳輸，接著，該從屬端將該回應信號變為高信號準位以恢復該資料傳輸。
- 12 . 如申請專利範圍第9項所述之內嵌式記憶體系統，當該從屬端將該回應信號變為低信號準位，但未再將其變為高信號準位，因而比預期早終止該資料傳輸。
- 13 . 如申請專利範圍第12項所述之內嵌式記憶體系統，其中該主控端包含一計時器，於該從屬端比預期早終止該資料傳

輸之後，於一預設期間到達時，該計時器會通知該主控端。

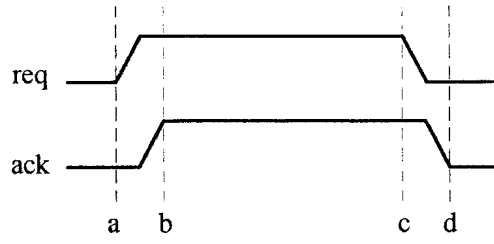
- 14 . 如申請專利範圍第9項所述之內嵌式記憶體系統，其中該電子系統藉由該主匯流排，檢查該主匯流排相應的至少一協定專屬暫存器，用以檢查該內嵌式記憶體系統的狀態。



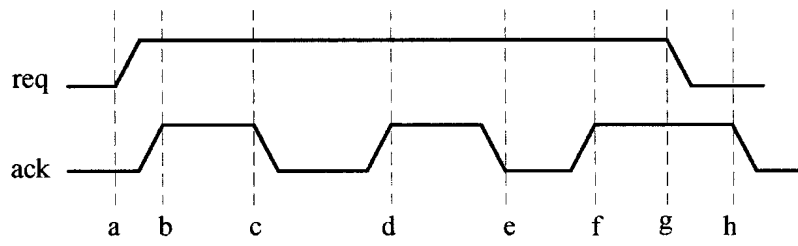
八、圖式：



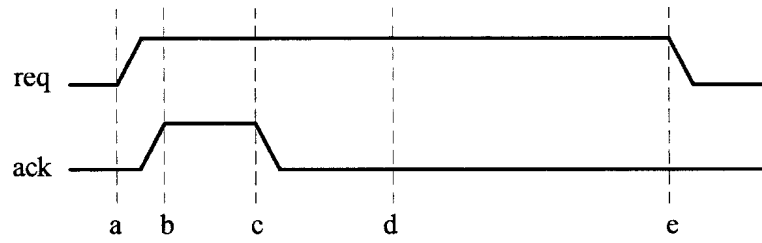
第一圖



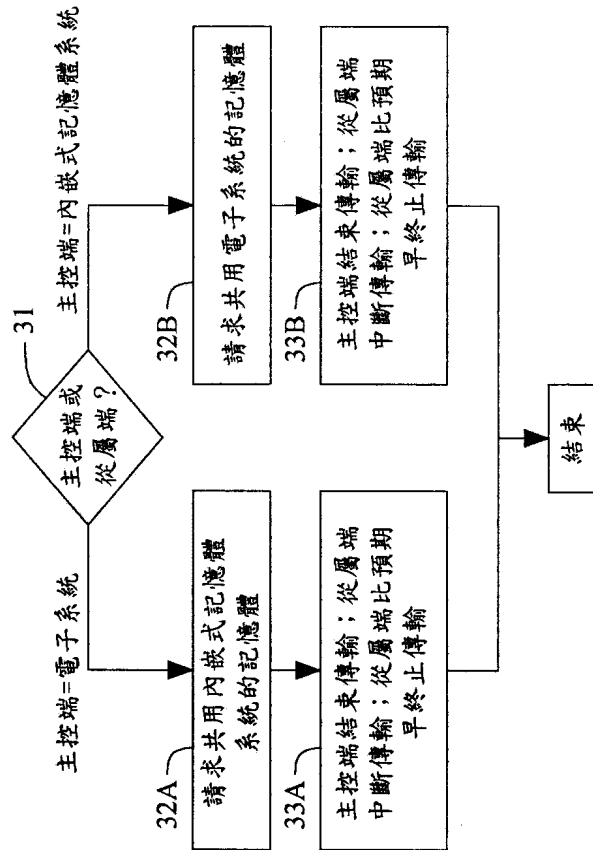
第二A圖



第二B圖



第二C圖



第三圖

四、指定代表圖：

(一)本案指定代表圖為：第一圖

(二)本代表圖之元件符號簡單說明：

- | | |
|----|----------|
| 1 | 內嵌式記憶體系統 |
| 10 | 主介面 |
| 12 | 主記憶體 |
| 14 | 次記憶體 |
| 16 | 輔助介面 |
| 18 | 仲裁器 |
| 2 | 電子系統 |
| 20 | 系統介面 |
| 22 | 系統控制器 |
| 24 | 系統記憶體 |
| 3 | 主匯流排 |
| 4 | 輔助匯流排 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：