



(12) 发明专利申请



(10) 申请公布号 CN 119234284 A

(43) 申请公布日 2024. 12. 31

(21) 申请号 202380042054.1

(22) 申请日 2023.04.26

(30) 优先权数据

2022-117486 2022.07.22 JP

(85) PCT国际申请进入国家阶段日

2024.11.21

(86) PCT国际申请的申请数据

PCT/JP2023/016530 2023.04.26

(87) PCT国际申请的公布数据

W02024/018719 JA 2024.01.25

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 臼井主纪 泽田隆司

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

专利代理师 李国华

(51) Int.Cl.

H01G 4/30 (2006.01)

H01G 4/35 (2006.01)

权利要求书2页 说明书18页 附图11页

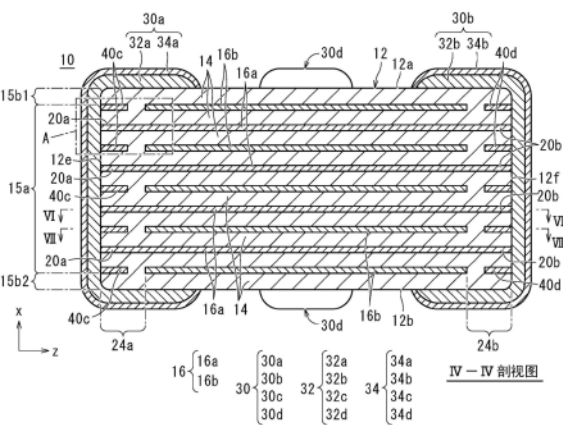
(54) 发明名称

层叠陶瓷电子部件

(57) 摘要

提供一种防止陶瓷层间的剥离的层叠陶瓷电子部件。本发明涉及的层叠陶瓷电子部件是层叠陶瓷电子部件(10),具备:层叠体(12),包含被层叠的多个陶瓷层(14)和被层叠的多个内部电极层(16),且包含在层叠方向(x)上相对的第1主面(12a)以及第2主面(12b)、在与层叠方向(x)正交的宽度方向(y)上相对的第1侧面(12c)以及第2侧面(12d);和在与层叠方向(x)以及宽度方向(y)正交的长度方向(z)上相对的第1端面(12e)以及第2端面(12f);和多个外部电极(30),其特征在于,多个内部电极层(16)具有:第1内部电极层(16a),与多个陶瓷层(14)交替地层叠,且在第1端面(12e)以及第2端面(12f)露出;和第2内部电极层(16b),与多个陶瓷层(14)交替地层叠,且在第1侧面(12c)以及第2侧面(12d)露出,还具有虚设电极(40),该虚设电极(40)与第1内部电极层(16a)以及第2内部电极层(16b)分离地配置,且从第1端面(12e)、第2端面(12f)、第1侧面

(12c)以及第2侧面(12d)之中的任一个露出,多个外部电极(30)具备:第1外部电极(30a)以及第2外部电极(30b),与第1内部电极层(16a)连接;和第3外部电极(30c)以及第4外部电极(30d),与第2内部电极层(16b)连接,在虚设电极(40)中,从虚设电极(40)的露出部(42)朝向层叠体(12)的中央分离了50%以上的区域(44)的导电成分的线覆盖率小于50%。



1. 一种层叠陶瓷电子部件, 具备层叠体和多个外部电极, 所述层叠体包含被层叠的多个陶瓷层和被层叠的多个内部电极层, 并且包含在层叠方向上相对的第1主面以及第2主面、在与所述层叠方向正交的宽度方向上相对的第1侧面以及第2侧面、和在与所述层叠方向以及所述宽度方向正交的长度方向上相对的第1端面以及第2端面, 其中,

所述多个内部电极层具有:

第1内部电极层, 与所述多个陶瓷层交替地层叠, 且在所述第1端面以及所述第2端面露出; 和

第2内部电极层, 与所述多个陶瓷层交替地层叠, 且在所述第1侧面以及所述第2侧面露出,

还具有虚设电极, 该虚设电极与所述第1内部电极层以及所述第2内部电极层分离地配置, 且从所述第1端面、所述第2端面、所述第1侧面以及所述第2侧面之中的任一个露出,

所述多个外部电极具备:

第1外部电极以及第2外部电极, 与所述第1内部电极层连接; 和

第3外部电极以及第4外部电极, 与所述第2内部电极层连接,

在所述虚设电极中, 从所述虚设电极的露出部朝向所述层叠体的中央分离了50%以上的区域的导电成分的线覆盖率小于50%。

2. 根据权利要求1所述的层叠陶瓷电子部件, 其中,

所述虚设电极在配置所述第1内部电极层的陶瓷层上, 在所述第1侧面以及所述第2侧面之中的至少任意一方露出。

3. 根据权利要求1或2所述的层叠陶瓷电子部件, 其中,

所述虚设电极在配置所述第2内部电极层的陶瓷层上, 在所述第1端面以及所述第2端面之中的至少任意一方露出。

4. 根据权利要求1至3中任一项所述的层叠陶瓷电子部件, 其中,

所述虚设电极的所述层叠方向的厚度小于所述第1内部电极层以及所述第2内部电极层的所述层叠方向的厚度。

5. 根据权利要求1至4中任一项所述的层叠陶瓷电子部件, 其中,

所述虚设电极的所述层叠方向的厚度为所述第1内部电极层以及所述第2内部电极层的所述层叠方向的厚度的75%以上且95%以下。

6. 根据权利要求3所述的层叠陶瓷电子部件, 其中,

所述第2内部电极层具有: 第2对置部, 与所述第1内部电极层对置; 第3引出部, 从所述第2对置部延伸, 且引出到所述第1侧面; 和第4引出部, 从所述第2对置部延伸, 且引出到所述第2侧面,

在所述第1侧面或者所述第2侧面露出的所述虚设电极的所述层叠体的所述宽度方向的长度, 是所述第2内部电极层的所述第3引出部以及所述第2内部电极层的所述第4引出部的所述层叠体的所述宽度方向的长度的50%以上且60%以下。

7. 根据权利要求1至6中任一项所述的层叠陶瓷电子部件, 其中,

在所述第1侧面或者所述第2侧面露出的所述虚设电极的所述层叠体的长度方向的中央部, 位于从在所述第1侧面或者所述第2侧面露出的所述第2内部电极层的所述层叠体的长度方向的中央部起3%以内。

8. 根据权利要求1至7中任一项所述的层叠陶瓷电子部件, 其中,
在所述虚设电极中, 空隙的面积相对于从所述虚设电极的所述露出部朝向所述层叠体的中央分离了50%以上的区域的面积的比例为50%以上且80%以下。

层叠陶瓷电子部件

技术领域

[0001] 本发明涉及层叠陶瓷电子部件。

背景技术

[0002] 近年来,伴随智能手机等便携式电话机等的高性能化,存在层叠陶瓷电子部件的小型化的要求。例如,层叠陶瓷电容器是交替地层叠内部电极层和陶瓷层且通过层叠片数、陶瓷层的厚度而具有希望的静电电容的层叠陶瓷电子部件。

[0003] 在专利文献1公开了一种层叠陶瓷电容器,具有交替地层叠有电介质层(陶瓷层)和内部电极层的元件主体(层叠体)。

[0004] 但是,在专利文献1所记载的层叠陶瓷电容器的构造中,内部电极层的平面面积小于陶瓷层的平面面积,存在除了内部电极层的向上述元件主体的端面的引出部分之外的、内部电极层的周缘部与陶瓷层之间所形成的台阶。由于该台阶的影响,内部电极层弯曲,存在容易产生内部电极层间的短路、高温负荷可靠性的下降这样的问题点。特别是,电介质层(陶瓷层)的厚度越薄、内部电极层和电介质层(陶瓷层)的层叠数越多,就越容易产生内部电极层间的短路,存在可靠性下降的倾向。

[0005] 因此,为了消除上述问题点,已知在外层部配置具有与在除了内部电极层的向层叠体的端面的引出部分之外的、内部电极层的周缘部与陶瓷层之间所形成的台阶相应的厚度的虚设电极。

[0006] 在先技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2006-73623号公报

发明内容

[0009] 发明要解决的问题

[0010] 然而,由于在虚设电极也流过电流,因此存在电流路径变长、ESR以及ESL增加这样的问题。此外,由于存在虚设电极,从而陶瓷层与虚设电极的固定力变差,因此有可能产生陶瓷层间的剥离。

[0011] 因此,本发明的目的在于,提供一种防止陶瓷层间的剥离的层叠陶瓷电子部件。

[0012] 用于解决问题的技术方案

[0013] 本发明涉及的层叠陶瓷电子部件,具备层叠体和多个外部电极,所述层叠体包含被层叠的多个陶瓷层和被层叠的多个内部电极层,并且包含在层叠方向上相对的第1主面以及第2主面、在与层叠方向正交的宽度方向上相对的第1侧面以及第2侧面、和在与层叠方向以及宽度方向正交的长度方向上相对的第1端面以及第2端面,其特征在于,多个内部电极层具有:第1内部电极层,与多个陶瓷层交替地层叠,且在第1端面以及第2端面露出;和第2内部电极层,与多个陶瓷层交替地层叠,且在第1侧面以及第2侧面露出,还具有虚设电极,该虚设电极与第1内部电极层以及第2内部电极层分离地配置,且从第1端面、第2端面、第1

侧面以及第2侧面之中的任一个露出,多个外部电极具备:第1外部电极以及第2外部电极,与第1内部电极层连接;和第3外部电极以及第4外部电极,与第2内部电极层连接,在虚设电极中,从虚设电极的露出部朝向层叠体的中央分离了50%以上的区域的导电成分的线覆盖率小于50%。

[0014] 根据本发明涉及的层叠陶瓷电子部件,在虚设电极中,从虚设电极的露出部朝向层叠体的中央分离了50%以上分离的区域的导电成分的线覆盖率小于50%,由此陶瓷层能够经由空隙而接合,因此引起陶瓷层间的接合强度的提高以及耐湿可靠性的提高。此外,通过空隙使得电流不易流到虚设电极的前端,能够缩短电流路径,因此还引起ESL的下降。

[0015] 发明效果

[0016] 根据本发明,能够提供一种防止陶瓷层间的剥离的层叠陶瓷电子部件。

[0017] 本发明的上述目的、其他目的、特征以及优点根据参照附图进行的以下的具体实施方式的说明将会更加明确。

附图说明

[0018] 图1是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的外观立体图。

[0019] 图2是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的俯视图。

[0020] 图3是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的主视图。

[0021] 图4是图1涉及的线IV-IV处的剖视图。

[0022] 图5是图1涉及的线V-V处的剖视图。

[0023] 图6是图4涉及的线VI-VI处的剖视图。

[0024] 图7是图4涉及的线VII-VII处的剖视图。

[0025] 图8的(a)是图6所示的C部放大图,是示出层叠体的侧面侧的虚设电极的结构图。图8的(b)是图7所示的D部放大图,是示出层叠体的端面侧的虚设电极的结构图。

[0026] 图9是说明虚设电极中的线覆盖率的测定区域的图。

[0027] 图10是图4所示的A部放大图。

[0028] 图11是图5所示的B部放大图。

[0029] 图12是图6所示的C部放大图。

[0030] 图13是图7所示的D部放大图。

[0031] 图14是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的制造方法中的内部电极层以及虚设电极的印刷图案的图,(a)是制作具有在第1侧面、第2侧面、第1端面以及第2端面露出的虚设电极的层叠陶瓷电容器时的印刷图案,(b)是制作具有在第1侧面以及第2侧面露出的虚设电极的层叠陶瓷电容器时的印刷图案,(c)是制作具有在第1端面以及第2端面露出的虚设电极的层叠陶瓷电容器时的印刷图案。

具体实施方式

[0032] 1.层叠陶瓷电子部件

[0033] 对作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器10进行说明。图1是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的外观立体图。图2是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的俯视图。图3是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的左视图。图4是图1涉及的线IV-IV处的剖视图。图5是图1涉及的线V-V处的剖视图。图6是图4涉及的线VI-VI处的剖视图。图7是图4涉及的线VII-VII处的剖视图。图8的(a)是图6所示的C部放大图,是示出层叠体的侧面侧的虚设电极的结构图。图8的(b)是图7所示的D部放大图,是示出层叠体的端面侧的虚设电极的结构图。图9是说明虚设电极中的线覆盖率的测定区域的图。图10是图4所示的A部放大图。图11是图5所示的B部放大图。图12是图6所示的C部放大图。图13是图7所示的D部放大图。图14是示出作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器的制造方法中的内部电极层以及虚设电极的印刷图案的图,(a)是制作具有在第1侧面、第2侧面、第1端面以及第2端面露出的虚设电极的层叠陶瓷电容器时的印刷图案,(b)是制作具有在第1侧面以及第2侧面露出的虚设电极的层叠陶瓷电容器时的印刷图案,(c)是制作具有在第1端面以及第2端面露出的虚设电极的层叠陶瓷电容器时的印刷图案。

[0034] 层叠陶瓷电容器10具有:层叠体12,包含被层叠的多个陶瓷层14、和层叠在陶瓷层14上的多个内部电极层16,且包含在层叠方向x上相对的第1主面12a以及第2主面12b、在与层叠方向x正交的宽度方向y上相对的第1侧面12c以及第2侧面12d、和在与层叠方向x以及宽度方向y正交的长度方向z上相对的第1端面12e以及第2端面12f;和多个外部电极30,与内部电极层16连接。

[0035] 将包含层叠体12和外部电极30的层叠陶瓷电容器10的长度方向z的尺寸设为 L_M 尺寸。 L_M 尺寸优选为0.4mm以上且1.6mm以下。将包含层叠体12和外部电极30的层叠陶瓷电容器10的宽度方向y的尺寸设为 W_M 尺寸。 W_M 尺寸优选为0.2mm以上且1.0mm以下。将包含层叠体12和外部电极30的层叠陶瓷电容器10的层叠方向x的尺寸设为 T_M 尺寸。 T_M 尺寸优选为0.2mm以上且1.0mm以下。

[0036] (层叠体)

[0037] 层叠体12具有多个被层叠的陶瓷层14、和层叠在陶瓷层14上的多个内部电极层16。进而,层叠体12具有在层叠方向x上相对的第1主面12a以及第2主面12b、在与层叠方向x正交的宽度方向y上相对的第1侧面12c以及第2侧面12d、和在与层叠方向x以及宽度方向y正交的长度方向z上相对的第1端面12e以及第2端面12f。

[0038] 层叠体12具有长方体形状。此外,层叠体12优选在角部以及棱线部带有圆形。另外,所谓角部,是层叠体12的相邻的3个面相交的部分,所谓棱线部,是层叠体12的相邻的2个面相交的部分。此外,也可以在第1主面12a以及第2主面12b、第1侧面12c以及第2侧面12d、和第1端面12e以及第2端面12f的一部分或全部形成有凹凸等。

[0039] 层叠体12具有:有效层部15a,在将第1主面12a以及第2主面12b彼此连结的层叠方向x上,多个内部电极层16隔着陶瓷层14而对置地配置;第1外层部15b1,由位于第1主面12a与多个内部电极层16之中最靠第1主面12a侧的内部电极层16之间的多个陶瓷层14形成;和第2外层部15b2,由位于第2主面12b与多个内部电极层16之中最靠第2主面12b侧的内部电极层16之间的多个陶瓷层14形成。

[0040] 第1外层部15b1位于层叠体12的第1主面12a侧,是位于第1主面12a与最靠近第1主

面12a的内部电极层16之间的多个陶瓷层14的集合体。

[0041] 第2外层部15b2位于层叠体12的第2主面12b侧,是位于第2主面12b与最靠近第2主面12b的内部电极层16之间的多个陶瓷层14的集合体。

[0042] 而且,被第1外层部15b1以及第2外层部15b2夹着的区域是有效层部15a。

[0043] 另外,层叠体12具有位于后述的第1内部电极层16a的第1对置部18a以及第2内部电极层16b的第2对置部18b的宽度方向y的一端与第1侧面12c之间、以及后述的第1内部电极层16a的第1对置部18a以及第2内部电极层16b的第2对置部18b的宽度方向y的一端与第2侧面12d之间,且包含第2内部电极层16b的第3引出部20c以及第4引出部20d的层叠体12的侧部(W间隙)22a、22b。

[0044] 此外,层叠体12具有位于后述的第1内部电极层16a的第1对置部18a以及第2内部电极层16b的第2对置部18b的长度方向z的一端与第1端面12e之间、以及后述的第1内部电极层16a的第1对置部18a以及第2内部电极层16b的第2对置部18b的长度方向z的一端与第2端面12f之间,且包含第1内部电极层16a的第1引出部20a以及第2引出部20b的层叠体12的端部(L间隙)24a、24b。

[0045] 作为陶瓷层14的材料,例如,能够由电介质材料形成。作为电介质材料,例如,能够使用包含 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 等主要成分的电介质陶瓷。此外,也可以使用在这些主要成分中添加了Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物等副成分的材料。

[0046] 被层叠的陶瓷层14的片数没有特别限定,但优选包括第1外层部15b1以及第2外层部15b2在内为4片以上且1000片以下。此外,陶瓷层14的厚度优选为 $0.4\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。

[0047] 层叠体12的尺寸没有特别限定。将层叠体12的连结第1端面12e以及第2端面12f的长度方向z的尺寸设为L尺寸。L尺寸优选为 0.4mm 以上且 1.6mm 以下。将层叠体12的连结第1侧面12c以及第2侧面12d的宽度方向y的尺寸设为W尺寸。W尺寸优选为 0.2mm 以上且 1.0mm 以下。将层叠体12的连结第1主面12a以及第2主面12b的层叠方向x的尺寸设为T尺寸。T尺寸优选为 0.2mm 以上且 1.0mm 以下。

[0048] (内部电极层)

[0049] 内部电极层16具有第1内部电极层16a和第2内部电极层16b。

[0050] 第1内部电极层16a配置在多个陶瓷层14上。此外,第1内部电极层16a引出到第1端面12e以及第2端面12f。第1内部电极层16a具有位于层叠体12的内部第1对置部18a、与第1对置部18a连接且引出到第1端面12e的第1引出部20a、和引出到第2端面12f的第2引出部20b。

[0051] 第1内部电极层16a的第1对置部18a的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0052] 第1内部电极层16a的第1引出部20a以及第2引出部20b的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0053] 第2内部电极层16b配置在多个陶瓷层14上。此外,第2内部电极层16b引出到第1侧面12c以及第2侧面12d。第2内部电极层16b具有位于层叠体12的内部第2对置部18b、与第

2对置部18b连接且引出到第1侧面12c的第3引出部20c、和引出到第2侧面12d的第4引出部20d。

[0054] 第2内部电极层16b的第2对置部18b的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0055] 第2内部电极层16b的第3引出部20c以及第4引出部20d的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0056] 第1内部电极层16a以及第2内部电极层16b例如能够由Ni、Cu、Ag、Pd、Au等金属、Ag-Pd合金等包含这些金属的至少一种的合金等适当的导电材料构成。

[0057] 此外,第1内部电极层16a的片数没有特别限定,但例如优选为1片以上且500片以下。第2内部电极层16b的片数没有特别限定,但例如优选为1片以上且500片以下。优选第1内部电极层16a以及第2内部电极层16b的片数合计为2片以上且1000片以下。

[0058] 第1内部电极层16a的厚度没有特别限定,但例如优选为0.4 μm 以上且0.8 μm 以下。

[0059] 此外,第2内部电极层16b的厚度没有特别限定,但例如优选为0.4 μm 以上且0.8 μm 以下。

[0060] 在本实施方式中,第1内部电极层16a的第1对置部18a以及第2内部电极层16b的第2对置部18b彼此隔着陶瓷层14而对置,由此形成电容,显现出电容器的特性。

[0061] 另外,在层叠体12中使用了压电体陶瓷的情况下,层叠陶瓷电子部件作为陶瓷压电元件而发挥功能。作为压电陶瓷材料的具体例子,例如,可列举PZT(锆钛酸铅)系陶瓷材料等。

[0062] 此外,在层叠体12中使用了半导体陶瓷的情况下,层叠陶瓷电子部件作为热敏电阻元件而发挥功能。作为半导体陶瓷材料的具体例子,例如,可列举尖晶石系陶瓷材料等。

[0063] 此外,在层叠体12中使用了磁性体陶瓷的情况下,层叠陶瓷电子部件作为电感器元件而发挥功能。此外,在作为电感器元件而发挥功能的情况下,内部电极层成为线圈状的导体。作为磁性体陶瓷材料的具体例子,例如,可列举铁氧体陶瓷材料等。

[0064] 即,本实施方式涉及的层叠陶瓷电子部件通过适当变更层叠体12的材料以及构造,不仅能作为层叠陶瓷电容器10,还能作为陶瓷压电元件、热敏电阻元件、或电感器元件而适宜地发挥功能。

[0065] (虚设电极)

[0066] 虚设电极40与第1内部电极层16a以及第2内部电极层16b分离地配置,从第1端面12e、第2端面12f、第1侧面12c以及第2侧面12d之中的任一个露出。虚设电极40若在第1端面12e、第2端面12f、第1侧面12c以及第2侧面12d的任一个露出,则能够用虚设电极40将存在台阶的部分填补与第1内部电极层16a以及第2内部电极层16b的厚度相应的量,因此能够减小内部电极层16以及陶瓷层14的压制时的形变,此外,能够确保压密。

[0067] 在本实施方式中,虚设电极40具有第1虚设电极40a、第2虚设电极40b、第3虚设电极40c、和第4虚设电极40d。

[0068] 在与配置第1内部电极层16a的陶瓷层14相同的平面上,配置有与第1内部电极层16a分离地配置并且在第1侧面12c露出的第1虚设电极40a。此外,第1虚设电极40a隔着陶瓷

层14与第2内部电极层16b的第3引出部20c对置。

[0069] 第1虚设电极40a的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0070] 在与配置第1内部电极层16a的陶瓷层14相同的平面上,配置有与第1内部电极层16a分离地配置并且在第2侧面12d露出的第2虚设电极40b。此外,第2虚设电极40b隔着陶瓷层14与第2内部电极层16b的第4引出部20d对置。

[0071] 第2虚设电极40b的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0072] 在与配置第2内部电极层16b的陶瓷层14相同的平面上,配置有与第2内部电极层16b分离地配置并且在第1端面12e露出的第3虚设电极40c。此外,第3虚设电极40c隔着陶瓷层14与第1内部电极层16a的第1引出部20a对置。

[0073] 第3虚设电极40c的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0074] 在与配置第2内部电极层16b的陶瓷层14相同的平面上,配置有与第2内部电极层16b分离地配置并且在第2端面12f露出的第4虚设电极40d。此外,第4虚设电极40d隔着陶瓷层14与第2内部电极层16b的第2引出部20b对置。

[0075] 第4虚设电极40d的形状没有特别限定,但优选为俯视矩形形状。不过,也可以将俯视拐角部圆化,或者将拐角部形成为俯视倾斜(锥状)。此外,也可以是随着去往某方向而带有倾斜的俯视锥状。

[0076] 第1虚设电极40a以及第2虚设电极40b优选在与配置第1内部电极层16a的陶瓷层14相同的平面上,在第1侧面12c以及第2侧面12d之中的至少任意一方露出。此外,第1虚设电极40a以及第2虚设电极40b进一步优选在与配置第1内部电极层16a的陶瓷层14相同的平面上,在第1侧面12c以及第2侧面12d双方都露出。通过像这样构成,能够减小在压制层叠体12时产生的形变。

[0077] 第3虚设电极40c以及第4虚设电极40d优选在与配置第2内部电极层16b的陶瓷层14相同的平面上,在第1端面12e以及第2端面12f之中的至少任意一方露出。此外,第3虚设电极40c以及第4虚设电极40d进一步优选在与配置第2内部电极层16b的陶瓷层14相同的平面上,在第1端面12e以及第2端面12f双方都露出。通过像这样构成,能够减小在压制层叠体12时产生的形变。

[0078] 在虚设电极40中作为导电成分而包含导电材料。虚设电极40的导电材料例如能够由Ni、Cu、Ag、Pd、Au等金属、Ag-Pd合金等包含这些金属的至少一种的合金等适当的导电材料构成。

[0079] 虚设电极40在从虚设电极40的露出部42朝向层叠体12的中心分离了50%以上的虚设电极40的端部区域44设置有线覆盖率为50%以下的区域。例如,如图8的(a)所示,第1虚设电极40a在从第1虚设电极40a的露出部42a朝向层叠体12的中心分离了50%以上的区域设置有线覆盖率为50%以下的第1虚设电极40a的端部区域44a。同样地,第2虚设电极40b

在从第2虚设电极40b的露出部42b朝向层叠体12的中心分离了50%以上的区域设置有线覆盖率为50%以下的第2虚设电极40b的端部区域44b。此外,如图8的(b)所示,第3虚设电极40c在从第3虚设电极40c的露出部42c朝向层叠体12的中心分离了50%以上的区域设置有线覆盖率为50%以下的第2虚设电极40b的端部区域44c。同样地,第4虚设电极40d在从第4虚设电极40d的露出部42d朝向层叠体12的中心分离了50%以上的区域设置有线覆盖率为50%以下的第4虚设电极40d的端部区域44d。

[0080] 在此,所谓线覆盖率,表示实际存在虚设电极的导电成分的总长度相对于虚设电极40的总长度之比。

[0081] 接着,说明线覆盖率的测定方法。首先,在第1虚设电极40a以及第2虚设电极40b的情况下,进行研磨直到层叠体12的长度方向z的1/2为止,使WT剖面露出。此外,在第3虚设电极40c以及第4虚设电极40d的情况下,进行研磨直到层叠体12的宽度方向y的1/2为止,使LT剖面露出。接着,用数字显微镜(基恩士公司制VHX)对WT剖面或LT剖面进行拍摄。接着,利用图像处理软件(MVTec公司制HALCON)对各剖面图像进行图像识别。在WT剖面的情况下,测定区域F优选设为宽度方向y为 $5\mu\text{m}$ 、层叠方向x为 $30\mu\text{m}$ 的四边形区域。此外,在LT剖面的情况下,测定区域F优选设为长度方向z为 $5\mu\text{m}$ 、层叠方向x为 $30\mu\text{m}$ 的四边形区域。通过实际存在虚设电极的导电成分的总长度相对于该区域内的虚设电极40的总长度之比来算出覆盖率。因此,所谓线覆盖率为50%以下的区域,是实际存在虚设电极的导电成分的总长度相对于虚设电极40的总长度之比为50%以下的区域。例如,图9示出WT剖面中的第1虚设电极40a的线覆盖率的测定区域 F_1 至 F_N 。在测定区域 F_1 至 F_N 中,通过算出第1虚设电极40a的总长度和存在第1虚设电极40a的导电成分的总长度来进行线覆盖率的测定。

[0082] 通过像这样在虚设电极的端部区域44设置线覆盖率为50%以下的区域,从而陶瓷层14彼此能够经由空隙46而接合,因此具有引起陶瓷层14之间的接合强度的提高以及耐湿可靠性的提高的效果。此外,通过空隙46使得不易流到虚设电极40的端部区域44的前端,能够缩短电流路径,因此具有还引起ESL的下降的效果。进而,在水分从外部侵入的情况下,通过使水分选择性地集中于线覆盖率为50%以下的虚设电极40的端部区域44,从而具有确保有效层部15a的耐湿可靠性的效果。

[0083] 此外,空隙46的面积相对于虚设电极40的端部区域44的面积的比例优选为50%以上且80%以下。通过空隙46的面积相对于虚设电极40的端部区域44的面积的比例为50%以上,从而陶瓷层14能够经由空隙46而接合,因此具有引起陶瓷层14之间的接合强度的提高以及耐湿可靠性的提高的效果。进而,在水分从外部侵入的情况下,通过使水分选择性地集中于线覆盖率为50%以下的虚设电极40的端部区域44,从而具有确保有效层部15a的耐湿可靠性的效果。此外,通过空隙46的面积相对于虚设电极40的端部区域44的面积的比例为80%以下,从而通过空隙46使得电流路径不再流到虚设电极40的端部区域44的前端,能够缩短电流路径,因此具有引起ESL的下降的效果。另一方面,若空隙46的面积相对于虚设电极40的端部区域44的面积的比例为80%以上,则由于内部电极层16的厚度和虚设电极40的厚度不同,在内部电极层16与虚设电极40之间产生的台阶变大,因此在压制时产生因台阶被压入而导致的层叠体12的层叠方向x的厚度局部地较薄的部位,耐湿可靠性下降的风险变大。

[0084] 在此,将第1内部电极层16a的层叠方向x的厚度设为 t_1 、将第2内部电极层16b的层

叠方向x的厚度设为 t_2 。此外,将第1虚设电极40a的层叠方向x的厚度设为 t_3 ,将第2虚设电极40b的层叠方向x的厚度设为 t_4 ,将第3虚设电极40c的层叠方向x的厚度设为 t_5 ,将第4虚设电极40d的层叠方向x的厚度设为 t_6 。

[0085] 优选虚设电极40的厚度 t_3 、 t_4 、 t_5 、 t_6 形成得比内部电极层16的厚度 t_1 、 t_2 薄。更具体地,优选虚设电极40的厚度 t_3 、 t_4 、 t_5 、 t_6 相对于内部电极层16的厚度 t_1 、 t_2 为75%以上且95%以下。通过虚设电极40的厚度 t_3 、 t_4 、 t_5 、 t_6 相对于内部电极层16的厚度 t_1 、 t_2 为75%以上且95%以下,从而能够充分填补台阶,能够减小内部电极层16以及陶瓷层14的压制时的形变。

[0086] 此外,在第1侧面12c露出的第1虚设电极40a的层叠体12的宽度方向y的长度 w_1 优选为第2内部电极层16b的第3引出部20c的层叠体12的宽度方向y的长度 w_3 的50%以上且60%以下。通过将第1侧面12c露出的第1虚设电极40a的层叠体12的宽度方向y的长度 w_1 设为第2内部电极层16b的第3引出部20c的层叠体12的宽度方向y的长度 w_3 的50%以上且60%以下,从而能够在将电流路径也保持在适当的距离的同时,减小在压制层叠体12时产生的形变。同样地,在第2侧面12d露出的第2虚设电极40b的层叠体12的宽度方向y的长度 w_2 优选为第2内部电极层16b的第4引出部20d的层叠体12的宽度方向y的长度 w_4 的50%以上且60%以下。通过将第2侧面12d露出的第2虚设电极40b的层叠体12的宽度方向y的长度 w_2 设为第2内部电极层16b的第4引出部20d的层叠体12的宽度方向y的长度 w_4 的50%以上且60%以下,从而能够在将电流路径也保持在适当的距离的同时,减小压制层叠体12时产生的形变。

[0087] 进而,在第1侧面12c露出的第1虚设电极40a的层叠体12的长度方向z的中央部 M_1 优选位于从第2内部电极层16b的层叠体12的长度方向z的中央部 M 起3%以内。通过像这样配置,从而虚设电极40和第2内部电极层16b被均匀地压制,因此具有不易产生陶瓷层14之间剥离等构造缺陷的效果。同样地,在第2侧面12d露出的第2虚设电极40b的层叠体12的长度方向z的中央部 M_2 优选位于从第2内部电极层16b的层叠体12的长度方向z的中央部 M 起3%以内。通过像这样配置,从而虚设电极40和第2内部电极层16b被均匀地压制,因此具有不易产生陶瓷层14之间剥离等构造缺陷的效果。

[0088] 此外,在第1端面12e露出的第3虚设电极40c的层叠体12的长度方向z的长度 l_1 优选为第1内部电极层16a的第1引出部20a的层叠体12的长度方向z的长度 l_3 的50%以上且60%以下。通过将第1端面12e露出的第3虚设电极40c的层叠体12的长度方向z的长度 l_1 设为第1内部电极层16a的第1引出部20a的层叠体12的长度方向z的长度 l_3 的50%以上且60%以下,从而能够在将电流路径也保持在适当的距离的同时,减小在压制层叠体12时产生的形变。同样地,在第2端面12f露出的第4虚设电极40d的层叠体12的长度方向z的长度 l_2 优选为第1内部电极层16a的第2引出部20b的层叠体12的长度方向z的长度 l_4 的50%以上且60%以下。通过将第2端面12f露出的第4虚设电极40d的层叠体12的长度方向z的长度 l_2 设为第1内部电极层16a的第2引出部20b的层叠体12的长度方向z的长度 l_4 的50%以上且60%以下,从而能够在将电流路径也保持在适当的距离的同时,减小在压制层叠体12时产生的形变。

[0089] 进而,在第1端面12e露出的第3虚设电极40c的层叠体12的宽度方向y的中央部 N_1 优选位于从第1内部电极层16a的层叠体12的宽度方向y的中央部 N 起3%以内。通过像这样配置,从而虚设电极40和第1内部电极层16a被均匀地压制,因此具有不易产生陶瓷层14之

间剥离等构造缺陷的效果。同样地,在第2端面12f露出的第4虚设电极40d的层叠体12的宽度方向y的中央部 N_2 优选位于从第1内部电极层16a的层叠体12的宽度方向y的中央部N起3%以内。通过像这样配置,从而虚设电极40和第1内部电极层16a被均匀地压制,因此具有不易产生陶瓷层14之间剥离等构造缺陷的效果。

[0090] (外部电极)

[0091] 外部电极30具有第1外部电极30a、第2外部电极30b、第3外部电极30c、和第4外部电极30d。

[0092] 第1外部电极30a配置在第1端面12e上,与第1内部电极层16a连接。此外,第1外部电极30a也可以还配置在第1主面12a的一部分以及第2主面12b的一部分、第1侧面12c的一部分以及第2侧面12d的一部分。

[0093] 第2外部电极30b配置在第2端面12f上,与第1内部电极层16a连接。此外,第2外部电极30b也可以还配置在第1主面12a的一部分以及第2主面12b的一部分、第1侧面12c的一部分以及第2侧面12d的一部分。

[0094] 第3外部电极30c配置在第1侧面12c上,与第2内部电极层16b连接。此外,第3外部电极30c也可以还配置在第1主面12a的一部分以及第2主面12b的一部分。

[0095] 第4外部电极30d配置在第2侧面12d上,与第2内部电极层16b连接。此外,第4外部电极30d也可以还配置在第1主面12a的一部分以及第2主面12b的一部分。

[0096] 第1外部电极30a、第2外部电极30b、第3外部电极30c以及第4外部电极30d优选分别具有基底电极层32和镀覆层34。

[0097] 换言之,第1外部电极30a优选具有第1基底电极层32a和第1镀覆层34a。第2外部电极30b优选具有第2基底电极层32b和第2镀覆层34b。第3外部电极30c优选具有第3基底电极层32c和第3镀覆层34c。第4外部电极30d优选具有第4基底电极层32d和第4镀覆层34d。

[0098] 基底电极层32具有第1基底电极层32a、第2基底电极层32b、第3基底电极层32c、和第4基底电极层32d。基底电极层32包含从烧附层、导电性树脂层、薄膜层等选择的至少1个。

[0099] 首先,对由烧附层形成基底电极层32的情况进行说明。烧附层包含玻璃成分和金属成分。烧附层的玻璃成分包含从B、Si、Ba、Mg、Al、Li等选择的至少1种。此外,作为烧附层的金属成分,例如,包含从Cu、Ni、Ag、Pd、Ag-Pd合金、Au等选择的至少1种。进而,烧附层也可以是多层。

[0100] 烧附层是将包含玻璃成分以及金属成分的导电性膏涂敷于层叠体12并进行烧附而得到的。烧附层可以是对具有内部电极层16以及陶瓷层14的层叠小片和涂敷于层叠小片的导电性膏同时进行烧成而得到的,也可以是对具有内部电极层16以及陶瓷层14的层叠小片进行烧成而得到层叠体12之后涂敷导电性膏并进行烧附而得到的。另外,在对具有内部电极层16以及陶瓷层14的层叠小片和涂敷于层叠小片的导电性膏同时进行烧成的情况下,优选对取代玻璃成分而添加了陶瓷成分的材料进行烧附来形成。

[0101] 位于第1端面12e以及第2端面12f的第1烧附层以及第2烧附层的将第1主面12a以及第2主面12b连结的层叠方向x的中央部的、第1烧附层以及第2烧附层的将第1端面12e以及第2端面12f连结的长度方向z的厚度(端面中央厚度)例如优选为 $5\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下。

[0102] 此外,在第1主面12a的一部分或第2主面12b的一部分也设置烧附层的情况下,位于第1主面12a上或第2主面12b上的第1烧附层以及第2烧附层的将第1端面12e以及第2端面

12f连结的长度方向z的中央部的、第1烧附层以及第2烧附层的将第1主面12a以及第2主面12b连结的层叠方向x的厚度例如优选为5 μm 以上且10 μm 以下。

[0103] 接着,对由导电性树脂层形成基底电极层32的情况进行说明。导电性树脂层在烧附层上配置为覆盖烧附层,或者也可以不设置烧附层而直接配置在层叠体12上。此外,导电性树脂层可以完全覆盖在烧附层上,也可以覆盖烧附层的一部分。进而,导电性树脂层也可以为多层。

[0104] 导电性树脂层包含热固化性树脂以及金属。导电性树脂层由于包含热固化性树脂,因此例如与镀覆膜、包含导电性膏的烧成物的烧附层相比富有柔软性。因此,即使在对层叠陶瓷电容器10施加了物理冲击、起因于热循环的冲击的情况下,导电性树脂层也作为缓冲层发挥功能,能够防止在层叠陶瓷电容器10产生裂纹。

[0105] 作为导电性树脂层所包含的金属,能够使用Ag、Cu、Ni、Sn、Bi或包含它们的合金。此外,也能够使用在金属粉的表面进行了Ag涂覆的金属粉。在使用在金属粉的表面进行了Ag涂覆的金属粉时,作为金属粉优选使用Cu、Ni、Sn、Bi或它们的合金粉。作为在导电性金属中使用Ag的导电性金属粉的理由,是由于Ag在金属之中电阻率最低所以适合于电极材料,且Ag是贵金属所以不氧化而耐候性高。此外,是由于能够在保持上述的Ag的特性的同时,使母材的金属变得廉价。

[0106] 进而,作为导电性树脂层所包含的金属,也能够使用对Cu、Ni实施了抗氧化处理的金属。另外,作为导电性树脂层所包含的金属,也能够使用在金属粉的表面涂覆了Sn、Ni、Cu的金属粉。在使用在金属粉的表面涂覆了Sn、Ni、Cu的金属粉时,作为金属粉优选使用Ag、Cu、Ni、Sn、Bi或它们的合金粉。

[0107] 导电性树脂层所包含的金属主要承担导电性树脂层的通电性。具体地,通过导电性填料彼此接触,从而在导电性树脂层内部形成通电路径。

[0108] 导电性树脂层所包含的金属能够使用球形状、扁平状等的金属,但优选混合使用球形状金属粉和扁平状金属粉。

[0109] 作为导电性树脂层的树脂,例如,能够使用环氧树脂、酚醛树脂、氨基甲酸乙酯树脂、硅酮树脂、聚酰亚胺树脂等公知的各种热固化性树脂。其中,耐热性、耐湿性、密接性等优异的环氧树脂是最适合的树脂之一。

[0110] 此外,在导电性树脂层中优选与热固化性树脂一起包含固化剂。作为固化剂,在使用环氧树脂作为基础树脂的情况下,作为环氧树脂的固化剂,能够使用酚系、胺系、酸酐系、咪唑系、活性酯系、酰胺酰亚胺系等公知的各种化合物。

[0111] 导电性树脂层的厚度最厚的部分例如优选为5 μm 以上且30 μm 以下。

[0112] 接着,对由薄膜层形成基底电极层32的情况进行说明。在作为基底电极层32而设置薄膜层的情况下,薄膜层通过溅射法或蒸镀法等薄膜形成法而形成。薄膜层是沉积了金属粒子的1 μm 以下的层。

[0113] (镀覆层)

[0114] 镀覆层34包含配置为覆盖第1基底电极层32a的第1镀覆层34a、配置为覆盖第2基底电极层32b的第2镀覆层34b、配置为覆盖第3基底电极层32c的第3镀覆层34c、和配置为覆盖第4基底电极层32d的第4镀覆层34d。

[0115] 作为镀覆层34,例如,包含从Cu、Ni、Sn、Ag、Pd、Ag-Pd合金、Au等选择的至少1种。

[0116] 此外,镀覆层34也可以由多层形成。镀覆层34优选为按照Ni镀覆、Sn镀覆的顺序的2层构造。Ni镀覆层能够防止基底电极层32被安装层叠陶瓷电容器10时的焊料侵蚀。此外,Sn镀覆层能够使安装层叠陶瓷电容器10时的焊料的润湿性提高,能够容易地安装。

[0117] 此外,镀覆层34的每一层的厚度优选为 $4\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。

[0118] 第1外部电极30a、第2外部电极30b、第3外部电极30c以及第4外部电极30d的任一或各自也可以直接在层叠体12的表面形成镀覆层34。即,层叠陶瓷电容器10也可以是包含与第1内部电极层16a和第2内部电极层16b直接电连接的镀覆层34的构造。在这样的情况下,也可以在作为预处理而在层叠体12的表面配设了催化剂之后,直接形成镀覆层34。

[0119] 在不设置基底电极层32而在层叠体12上直接形成镀覆层34的情况下,能够将与削减了基底电极层32的厚度相应的量低高度化即薄型化或者转化为层叠体12的厚度即有效层部15a的厚度,因此能够提高薄型芯片的设计自由度。

[0120] 在层叠体12上直接形成镀覆层34的情况下,镀覆层34优选包含形成在层叠体12的表面的下层镀覆电极、和形成在下层镀覆电极的表面的上层镀覆电极。

[0121] 优选下层镀覆电极以及上层镀覆电极分别包含例如从Cu、Ni、Sn、Pb、Au、Ag、Pd、Bi或Zn等选择的至少1种金属或包含该金属的合金。

[0122] 下层镀覆电极优选使用具有焊料阻挡性能的Ni而形成。此外,上层镀覆电极优选使用焊料润湿性良好的Sn、Au而形成。

[0123] 例如,在第1内部电极层16a以及第2内部电极层16b使用Ni而形成的情况下,下层镀覆电极优选使用与Ni的接合性良好的Cu而形成。另外,上层镀覆电极根据需要而形成即可,第1外部电极以及第2外部电极也可以分别仅由下层镀覆电极构成。

[0124] 在层叠体12上直接形成镀覆层34的情况下,镀覆层34可以将上层镀覆电极作为最外层,也可以在上层镀覆电极的表面进一步形成其他镀覆电极。

[0125] 在层叠体12上直接形成镀覆层34的情况下,镀覆层34的每1层的厚度优选为 $4\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。

[0126] 在层叠体12上直接形成镀覆层34的情况下,镀覆层34优选不包含玻璃。此外,镀覆层34的每单位体积的金属比例优选为99体积%以上。

[0127] 根据图1所示的层叠陶瓷电容器10,在虚设电极40中,从虚设电极40的露出部42朝向层叠体12的中央分离了50%以上的区域44的导电成分的线覆盖率小于50%。通过设为这样的结构,从而陶瓷层14能够经由空隙46而接合,因此能够使陶瓷层14间的接合强度提高,还能够使耐湿可靠性提高。此外,通过空隙46使得电流不再流到虚设电极40的前端,能够缩短电流路径,因此还引起ESL的下降。进而,在水分从外部侵入的情况下,通过使水分选择性地集中于线覆盖率为50%以下的虚设电极40的端部区域44,从而具有确保有效层部15a的耐湿可靠性的效果。

[0128] 此外,图1所示的层叠陶瓷电容器10的虚设电极40(40a、40b)优选在配置第1内部电极层16a的陶瓷层14上,在第1侧面12c以及第2侧面12d之中的至少任意一方露出。由此,能够减小在压制层叠体12时产生的形变。

[0129] 此外,图1所示的层叠陶瓷电容器10的虚设电极40(40c、40d)优选在配置第2内部电极层16b的陶瓷层14上,在第1端面12e以及第2端面12f之中的至少任意一方露出。由此,能够减小在压制层叠体12时产生的形变。

[0130] 此外,图1所示的层叠陶瓷电容器10的虚设电极40的层叠方向x的厚度 t_3 、 t_4 、 t_5 、 t_6 优选小于第1内部电极层16a以及第2内部电极层16b的层叠方向x的厚度 t_1 、 t_2 。进而,图1所示的层叠陶瓷电容器10的虚设电极40的层叠方向x的厚度 t_3 、 t_4 、 t_5 、 t_6 优选为第1内部电极层16a以及第2内部电极层16b的层叠方向x的厚度 t_1 、 t_2 的75%以上且95%以下。由此,能够充分地填补台阶(虚设电极40的层叠方向x的厚度 t_3 、 t_4 、 t_5 、 t_6 与第1内部电极层16a以及第2内部电极层16b的层叠方向x的厚度 t_1 、 t_2 之差),能够减小内部电极层16以及陶瓷层14的压制时的形变。

[0131] 此外,在图1所示的层叠陶瓷电容器10的第1侧面12c或者第2侧面12d露出的虚设电极40a、40b的层叠体12的宽度方向y的长度 w_1 、 w_2 优选为第2内部电极层16b的第3引出部20c以及第2内部电极层16b的第4引出部20d的层叠体12的宽度方向y的长度 w_3 、 w_4 的50%以上且60%以下。由此,能够在将电流路径也保持在适当的距离的同时,减小在压制层叠体12时产生的形变。

[0132] 此外,在图1所示的层叠陶瓷电容器10的第1侧面12c或者第2侧面12d露出的虚设电极40a、40b的层叠体12的长度方向z的中央部 M_1 、 M_2 优选位于从在第1侧面12c或者第2侧面12d露出的第2内部电极层16b的层叠体12的长度方向z的中央部M起3%以内。由此,虚设电极40a、40b和第2内部电极层16b被均匀地压制,因此具有不易产生陶瓷层14之间的剥离等构造缺陷的效果。

[0133] 此外,在图1所示的层叠陶瓷电容器10的虚设电极40中,优选空隙46的面积相对于从虚设电极40的露出部42朝向层叠体12的中央分离了50%以上的区域44的面积的比例为50%以上且80%以下。由此,陶瓷层14能够经由空隙46而接合,因此具有引起陶瓷层14之间的接合强度的提高以及耐湿可靠性的提高的效果。进而,在水分从外部侵入的情况下,通过使水分选择性地集中于线覆盖率为50%以下的虚设电极40的端部区域44,从而具有确保有效层部15a的耐湿可靠性的效果。通过空隙46使得电流路径不再流到虚设电极40的端部区域44的前端,能够缩短电流路径,因此具有引起ESL的下降的效果。

[0134] 2.层叠陶瓷电子部件的制造方法

[0135] 以下,对作为本发明涉及的层叠陶瓷电子部件的一例的层叠陶瓷电容器10的制造方法进行说明。

[0136] 首先,准备电介质片和内部电极以及虚设电极用的导电性膏。电介质片和内部电极以及虚设电极用的导电性膏包含粘合剂以及溶剂。粘合剂以及溶剂能够使用公知的粘合剂以及溶剂。

[0137] 接着,在电介质片上,例如,通过丝网印刷、凹版印刷等以给定的图案印刷内部电极以及虚设电极用的导电性膏。由此,准备形成了内部电极层以及虚设电极的图案的电介质片。更具体地,分别准备用于印刷第1内部电极层16a和第1虚设电极40a及第2虚设电极40b的丝网版、以及用于印刷第2内部电极层16b和第3虚设电极40c及第4虚设电极40d的丝网版,使用能够分别单独地印刷两种丝网版的印刷机,像图14的(a)那样进行印刷,由此能够印刷本发明的内部电极层16以及虚设电极40。另外,在图14的(a)中,示出了本实施方式中的内部电极层以及虚设电极的印刷图案。即,印刷第1内部电极层16a和第1虚设电极40a及第2虚设电极40b的图案80、以及第2内部电极层16b和第3虚设电极40c及第4虚设电极40d的图案82,在后面工序中切割层叠体时,沿着图14的(a)中虚线所示的切割线90进行切割,

由此能够制作具有第1内部电极层16a、第2内部电极层16b、第1虚设电极40a、第2虚设电极40b、第3虚设电极40c以及第4虚设电极40d的层叠体12。

[0138] 另外,在本实施方式中,具有第1虚设电极40a、第2虚设电极40b、第3虚设电极40c以及第4虚设电极40d,但不仅限于此。即,例如,在虽然具有第1虚设电极40a以及第2虚设电极40b,但不具有第3虚设电极40c以及第4虚设电极40d的情况下,像图14的(b)那样印刷第1内部电极层16a、第2内部电极层16b、第1虚设电极40a以及第2虚设电极40b,由此能够形成虽然具有第1虚设电极40a以及第2虚设电极40b,但不具有第3虚设电极40c以及第4虚设电极40d的成为有效层部15a的部分。此外,例如,在虽然不具有第1虚设电极40a以及第2虚设电极40b,但具有第3虚设电极40c以及第4虚设电极40d的情况下,通过像图14的(c)那样印刷第1内部电极层16a、第2内部电极层16b、第3虚设电极40c以及第4虚设电极40d,从而能够形成虽然不具有第1虚设电极40a以及第2虚设电极40b,但具有第3虚设电极40c以及第4虚设电极40d的成为有效层部15a的部分。

[0139] 在此,通过将印刷了内部电极层16以及虚设电极40的片材进行层叠使得得到希望的构造,来形成成为有效层部15a的部分。在本实施方式中通过凹版印刷来印刷内部电极以及虚设电极的图案。

[0140] 接着,通过将未印刷内部电极层的图案的电介质片层叠给定片数来形成成为第1主面12a侧的第1外层部15b1的部分。然后,通过层叠上述准备的成为有效层部15a的部分,并在该成为有效层部15a的部分上层叠给定片数的未印刷内部电极层的图案的电介质片,从而形成成为第2主面12b侧的第2外层部15b2的部分。由此,可制作层叠片。

[0141] 接着,通过等静压压制等手段在层叠方向上对层叠片进行压制来制作层叠块。

[0142] 接下来,将层叠块切割为给定的尺寸,切出层叠小片。此时,也可以通过滚筒研磨等使层叠小片的角部以及棱线部带有圆形。

[0143] 接着,对层叠小片进行烧成,制作层叠体12。烧成温度虽然也取决于陶瓷、内部电极的材料,但优选为900℃以上且1400℃以下。

[0144] 在烧成而得到的层叠体12的第1端面12e上以及第2端面12f上形成第1外部电极30a的第1基底电极层32a、第2外部电极30b的第2基底电极层32b。此外,在烧成而得到的层叠体12的第1侧面12c上以及第2侧面12d上形成第3外部电极30c的第3基底电极层32c、第4外部电极30d的第4基底电极层32d。

[0145] 在作为基底电极层32而形成烧附层的情况下,涂敷包含玻璃成分和金属成分的导电性膏,然后进行烧附处理,形成基底电极层32。此时的烧附处理的温度优选为700℃以上且900℃以下。在本实施方式中,基底电极层32由烧附层形成。

[0146] 在此,作为形成烧附层来作为基底电极层32的方法,能够使用各种各样的方法。例如,第3基底电极层32c以及第4基底电极层32d能够使用从狭缝挤出导电性膏来进行涂敷的工法。在该工法的情况下,通过使导电性膏的挤出量变多,从而能够将第3基底电极层32c以及第4基底电极层32d不仅形成在第1侧面12c上以及第2侧面12d上,还形成到第1主面12a的一部分以及第2主面12b的一部分。

[0147] 此外,也能够使用辊转印法来形成。在辊转印法的情况下,在将基底电极层32不仅形成在第1侧面12c上以及第2侧面12d上,还形成到第1主面12a的一部分以及第2主面12b的一部分的情况下,能够通过增强辊转印时的按压压力来将第3基底电极层32c以及第4基底

电极层32d形成到第1主面12a的一部分以及第2主面12b的一部分。

[0148] 接着,在烧成而得到的层叠体12的第1端面12e上以及第2端面12f上形成第1外部电极30a的第1基底电极层32a以及第2外部电极30b的第2基底电极层32b。第1基底电极层32a以及第2基底电极层32b与第3基底电极层32c以及第4基底电极层32d同样地,在作为基底电极层32而形成烧附层的情况下,涂敷包含玻璃成分和金属成分的导电性膏,然后进行烧附处理,形成基底电极层32。此时的烧附处理的温度优选为700℃以上且900℃以下。

[0149] 在此,作为第1基底电极层32a以及第2基底电极层32b的形成方法,能够使用各种各样的方法。例如,能够使用浸渍等方法,不仅形成在第1端面12e以及第2端面12f,还形成成为延伸到第1主面12a的一部分以及第2主面12b的一部分、第1侧面12c的一部分以及第2侧面12d的一部分。

[0150] 在本实施方式中,第1基底电极层32a以及第2基底电极层32b利用DIP法不仅形成在第1端面12e以及第2端面12f,还形成成为延伸到第1主面12a的一部分以及第2主面12b的一部分、第1侧面12c的一部分以及第2侧面12d的一部分。

[0151] 此外,在本实施方式中,在对第3基底电极层32c以及第4基底电极层32d进行烧成后,对第1基底电极层32a以及第2基底电极层32b进行烧成,但也可以对第1基底电极层32a以及第2基底电极层32b、和第3基底电极层32c以及第4基底电极层32d同时进行烧成。

[0152] 在用导电性树脂层形成基底电极层32的情况下,能够通过以下的方法来形成导电性树脂层。另外,导电性树脂层可以形成在烧附层的表面,也可以不形成烧附层而将导电性树脂层以单体直接形成在层叠体上。

[0153] 作为导电性树脂层的形成方法,将包含热固化性树脂以及金属成分的导电性树脂膏涂敷在烧附层上或者层叠体上,以250℃以上且550℃以下的温度进行热处理,使树脂热固化,从而形成导电性树脂层。此时的热处理时的气氛优选为N₂气氛。此外,为了防止树脂的飞散,并且,防止各种金属成分的氧化,氧浓度优选抑制在100ppm以下。

[0154] 作为导电性树脂膏的涂敷方法,与用烧附层形成基底电极层32的方法同样地,例如,能够利用从狭缝挤出导电性膏来进行涂敷的工法、辊转印法来形成。

[0155] 在用薄膜层来形成基底电极层32的情况下,能够进行掩蔽等,在想要形成基底电极层32的部位通过溅射法或蒸镀法等薄膜形成法形成基底电极层32。由薄膜层形成的基底电极层32设为堆积了金属粒子的1μm以下的层。

[0156] 最后,形成镀覆层34。另外,镀覆层34可以形成在基底电极层32的表面,也可以直接形成在层叠体12上。在本实施方式中,镀覆层34形成在基底电极层32的表面。更详细地,在基底电极层32上形成Ni镀覆层以及Sn镀覆层。在进行镀覆处理时,可以采用电解镀覆、无电解镀覆的任一者。但是,无电解镀覆为了使镀覆析出速度提高,需要进行利用催化剂等的预处理,存在工序复杂化的缺点。因此,通常优选采用电解镀覆。

[0157] 如上这样,能够制造图1中记载的层叠陶瓷电容器10。

[0158] 另外,如以上那样,本发明的实施方式通过前述记载被公开,但本发明并不限于此。

[0159] 即,能够在不脱离本发明的技术思想以及目的的范围对以上说明的实施方式以及各变形例关于机制、形状、材质、数量、位置或配置等施加各种各样的变更,它们包含于本发明。

[0160] 此外,在本实施方式中,对3端子的层叠陶瓷电容器进行了说明,但例如对于2端子的层叠陶瓷电子部件也能够利用。即,层叠陶瓷电子部件具备层叠体和多个外部电极,所述层叠体包含陶瓷层和多个内部电极层,并且包含在层叠方向上相对的第1主面以及第2主面、在与层叠方向正交的宽度方向上相对的第1侧面以及第2侧面、和在与层叠方向以及宽度方向正交的长度方向上相对的第1端面以及第2端面,其中,多个内部电极层具有:第1内部电极层,与多个陶瓷层交替地层叠,在第1端面以及第2端面露出;和第2内部电极层,与多个陶瓷层交替地层叠,在第1侧面以及第2侧面露出,还具有虚设电极,该虚设电极与第1内部电极层以及所述第2内部电极层分离地配置,且从第1端面以及第2端面之中的任一个露出,多个外部电极具备:第1外部电极,配置在第1端面且与第1内部电极层连接;和第2外部电极,配置在第2端面且与第2内部电极层连接,在虚设电极中,从虚设电极的露出部朝向层叠体的中央分离了50%以上的区域的导电成分的线覆盖率小于50%。通过像这样构成,能够防止陶瓷层间的剥离。

[0161] <1>

[0162] 一种层叠陶瓷电子部件,具备层叠体和多个外部电极,所述层叠体包含被层叠的多个陶瓷层和被层叠的多个内部电极层,并且包含在层叠方向上相对的第1主面以及第2主面、在与所述层叠方向正交的宽度方向上相对的第1侧面以及第2侧面、和在与所述层叠方向以及所述宽度方向正交的长度方向上相对的第1端面以及第2端面,其中,

[0163] 所述多个内部电极层具有:

[0164] 第1内部电极层,与所述多个陶瓷层交替地层叠,且在所述第1端面以及所述第2端面露出;和

[0165] 第2内部电极层,与所述多个陶瓷层交替地层叠,且在所述第1侧面以及所述第2侧面露出,

[0166] 还具有虚设电极,该虚设电极与所述第1内部电极层以及所述第2内部电极层分离地配置,且从所述第1端面、所述第2端面、所述第1侧面以及所述第2侧面之中的任一个露出,

[0167] 所述多个外部电极具备:

[0168] 第1外部电极以及第2外部电极,与所述第1内部电极层连接;和

[0169] 第3外部电极以及第4外部电极,与所述第2内部电极层连接,

[0170] 在所述虚设电极中,从所述虚设电极的露出部朝向所述层叠体的中央分离了50%以上的区域的导电成分的线覆盖率小于50%。

[0171] <2>

[0172] 根据<1>所述的层叠陶瓷电子部件,其中

[0173] 所述虚设电极在配置所述第1内部电极层的陶瓷层上,在所述第1侧面以及所述第2侧面之中的至少任意一方露出。

[0174] <3>

[0175] 根据<1>或<2>所述的层叠陶瓷电子部件,其中

[0176] 所述虚设电极在配置所述第2内部电极层的陶瓷层上,在所述第1端面以及所述第2端面之中的至少任意一方露出。

[0177] <4>

[0178] 根据<1>至<3>中任一项所述的层叠陶瓷电子部件,其中

[0179] 所述虚设电极的所述层叠方向的厚度小于所述第1内部电极层以及所述第2内部电极层的所述层叠方向的厚度。

[0180] <5>

[0181] 根据<1>至<4>中任一项所述的层叠陶瓷电子部件,其中

[0182] 所述虚设电极的所述层叠方向的厚度为所述第1内部电极层以及所述第2内部电极层的所述层叠方向的厚度的75%以上且95%以下。

[0183] <6>

[0184] 根据<3>所述的层叠陶瓷电子部件,其中

[0185] 所述第2内部电极层具有:第2对置部,与所述第1内部电极层对置;第3引出部,从所述第2对置部延伸,且引出到所述第1侧面;和第4引出部,从所述第2对置部延伸,且引出到所述第2侧面,

[0186] 在所述第1侧面或者所述第2侧面露出的所述虚设电极的所述层叠体的所述宽度方向的长度为所述第2内部电极层的所述第3引出部以及所述第2内部电极层的所述第4引出部的所述层叠体的所述宽度方向的长度的50%以上且60%以下。

[0187] <7>

[0188] 根据<1>至<6>中任一项所述的层叠陶瓷电子部件,其中

[0189] 在所述第1侧面或者所述第2侧面露出的所述虚设电极的所述层叠体的长度方向的中央部位于从在所述第1侧面或者所述第2侧面露出的所述第2内部电极层的所述层叠体的长度方向的中央部起3%以内。

[0190] <8>

[0191] 根据<1>至<7>中任一项所述的层叠陶瓷电子部件,其中

[0192] 在所述虚设电极中,空隙的面积相对于从所述虚设电极的所述露出部朝向所述层叠体的中央分离了50%以上的区域的面积的比例为50%以上且80%以下。

[0193] 产业上的可利用性

[0194] 本发明涉及层叠陶瓷电子部件,能够作为防止陶瓷层间的剥离的层叠陶瓷电子部件来利用。

[0195] 附图标记说明

[0196] 10 层叠陶瓷电容器;

[0197] 12 层叠体;

[0198] 12a 第1主面;

[0199] 12b 第2主面;

[0200] 12c 第1侧面;

[0201] 12d 第2侧面;

[0202] 12e 第1端面;

[0203] 12f 第2端面;

[0204] 14 陶瓷层;

[0205] 15a 有效层部;

[0206] 15b1 第1外层部;

- [0207] 15b2 第2外层部;
- [0208] 16 内部电极层;
- [0209] 16a 第1内部电极层;
- [0210] 16b 第2内部电极层;
- [0211] 18a 第1对置部;
- [0212] 18b 第2对置部;
- [0213] 20a 第1引出部;
- [0214] 20b 第2引出部;
- [0215] 20c 第3引出部;
- [0216] 20d 第4引出部;
- [0217] 22a、22b 层叠体的侧部(W间隙);
- [0218] 24a、24b 层叠体的端部(L间隙);
- [0219] 30 外部电极;
- [0220] 30a 第1外部电极;
- [0221] 30b 第2外部电极;
- [0222] 30c 第3外部电极;
- [0223] 30d 第4外部电极;
- [0224] 32 基底电极层;
- [0225] 32a 第1基底电极层;
- [0226] 32b 第2基底电极层;
- [0227] 32c 第3基底电极层;
- [0228] 32d 第4基底电极层;
- [0229] 34 镀覆层;
- [0230] 34a 第1镀覆层;
- [0231] 34b 第2镀覆层;
- [0232] 34c 第3镀覆层;
- [0233] 34d 第4镀覆层;
- [0234] 40 虚设电极;
- [0235] 40a 第1虚设电极;
- [0236] 40b 第2虚设电极;
- [0237] 40c 第3虚设电极;
- [0238] 40d 第4虚设电极;
- [0239] 42 虚设电极的露出部;
- [0240] 42a 第1虚设电极的露出部;
- [0241] 42b 第2虚设电极的露出部;
- [0242] 42c 第3虚设电极的露出部;
- [0243] 42d 第4虚设电极的露出部;
- [0244] 44 虚设电极的端部区域;
- [0245] 44a 第1虚设电极的端部区域;

- [0246] 44b 第2虚设电极的端部区域;
- [0247] 44c 第3虚设电极的端部区域;
- [0248] 44d 第4虚设电极的端部区域;
- [0249] 46 空隙;
- [0250] x 层叠方向;
- [0251] y 宽度方向;
- [0252] z 长度方向;
- [0253] L_M 层叠陶瓷电容器的长度方向的尺寸;
- [0254] W_M 层叠陶瓷电容器的宽度方向的尺寸;
- [0255] T_M 层叠陶瓷电容器的层叠方向的尺寸;
- [0256] L 层叠体的长度方向的尺寸;
- [0257] W 层叠体的宽度方向的尺寸;
- [0258] T 层叠体的层叠方向的尺寸;
- [0259] $F_1 \sim F_N$ 测定区域;
- [0260] M 第2内部电极层的长度方向的中央部;
- [0261] M_1 第1虚设电极的长度方向的中央部;
- [0262] M_2 第2虚设电极的长度方向的中央部;
- [0263] N 第1内部电极层的宽度方向的中央部;
- [0264] N_1 第3虚设电极的宽度方向的中央部;
- [0265] N_2 第4虚设电极的宽度方向的中央部;
- [0266] t_1 第1内部电极层的层叠方向的厚度;
- [0267] t_2 第2内部电极层的层叠方向的厚度;
- [0268] t_3 第1虚设电极的层叠方向的厚度;
- [0269] t_4 第2虚设电极的层叠方向的厚度;
- [0270] t_5 第3虚设电极的层叠方向的厚度;
- [0271] t_6 第4虚设电极的层叠方向的厚度;
- [0272] w_1 第1虚设电极的宽度方向的长度;
- [0273] w_2 第2虚设电极的宽度方向的长度;
- [0274] w_3 第3引出部的宽度方向的长度;
- [0275] w_4 第4引出部的宽度方向的长度;
- [0276] l_1 第3虚设电极的长度方向的长度;
- [0277] l_2 第4虚设电极的长度方向的长度;
- [0278] l_3 第1引出部的长度方向的长度;
- [0279] l_4 第2引出部的长度方向的长度。

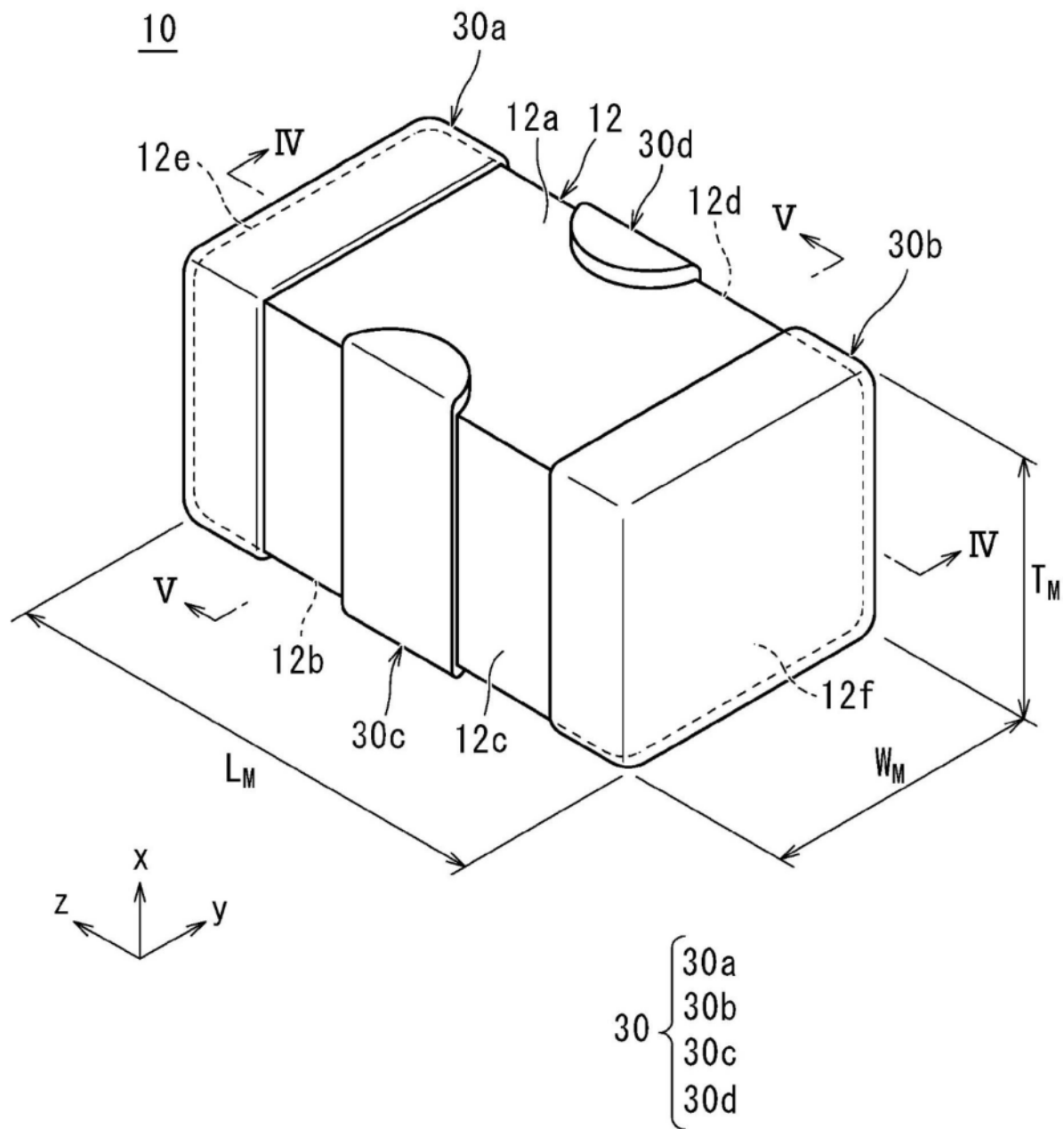


图1

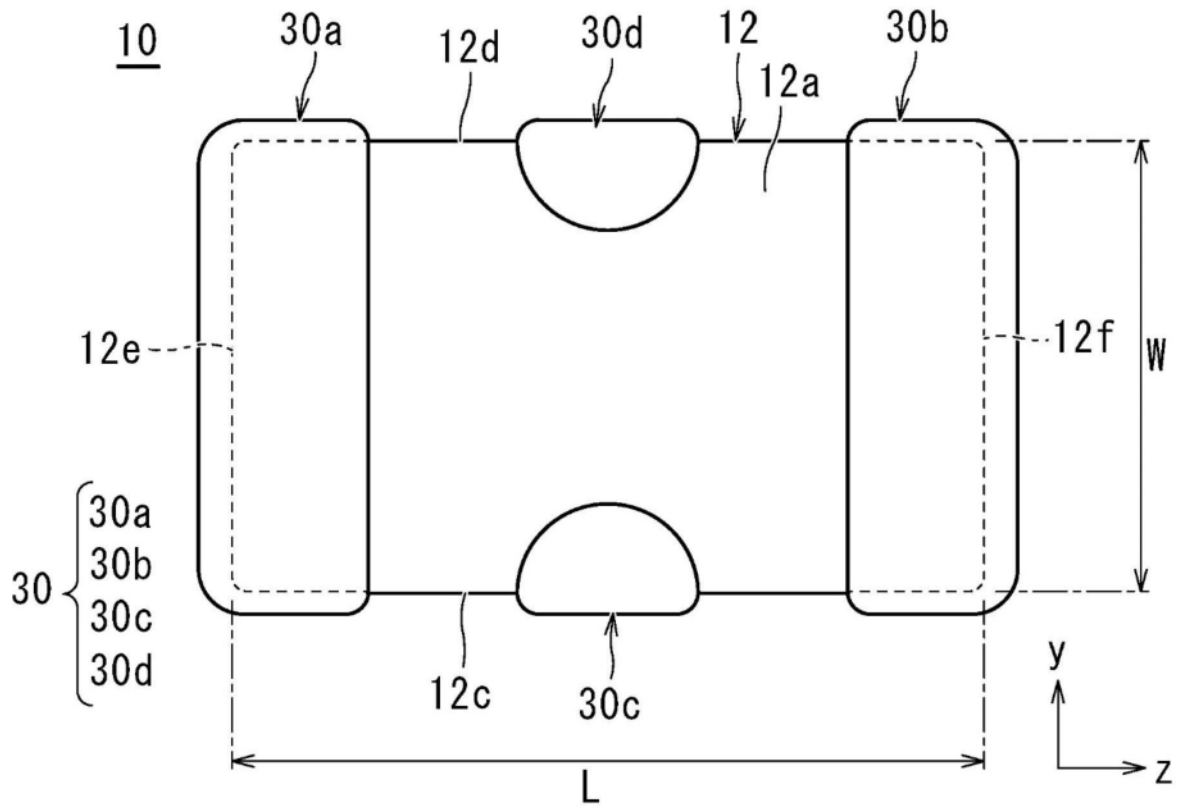


图2

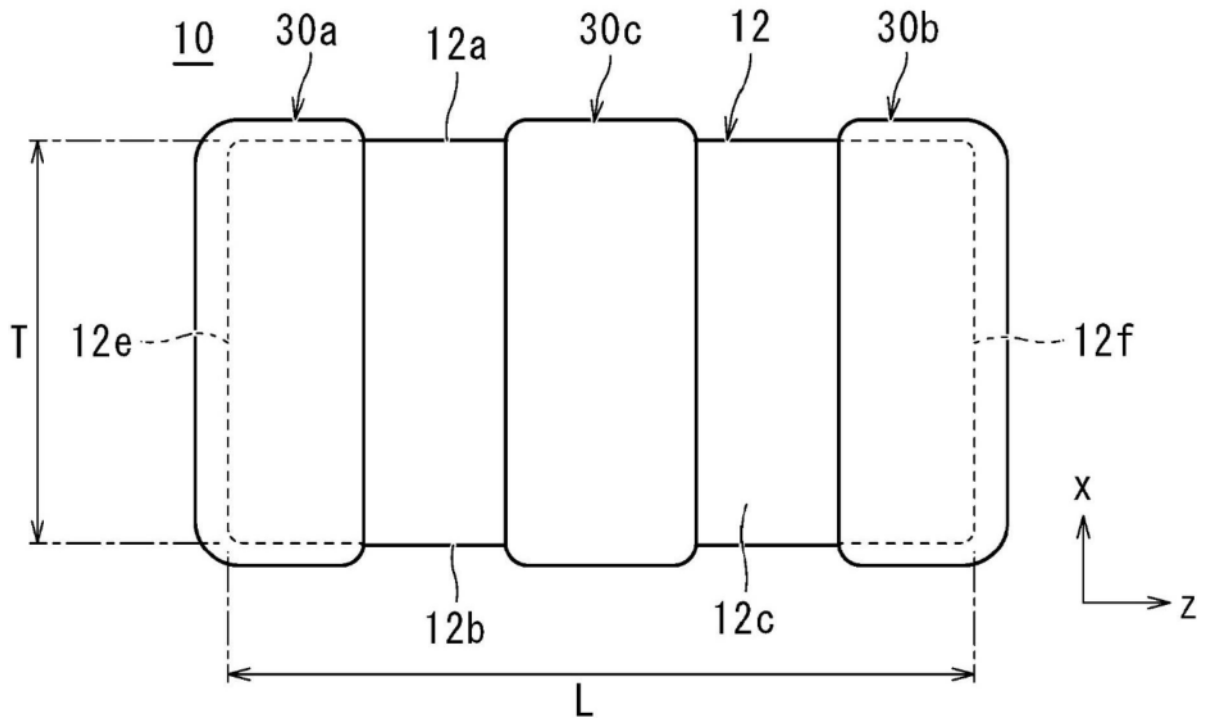


图3

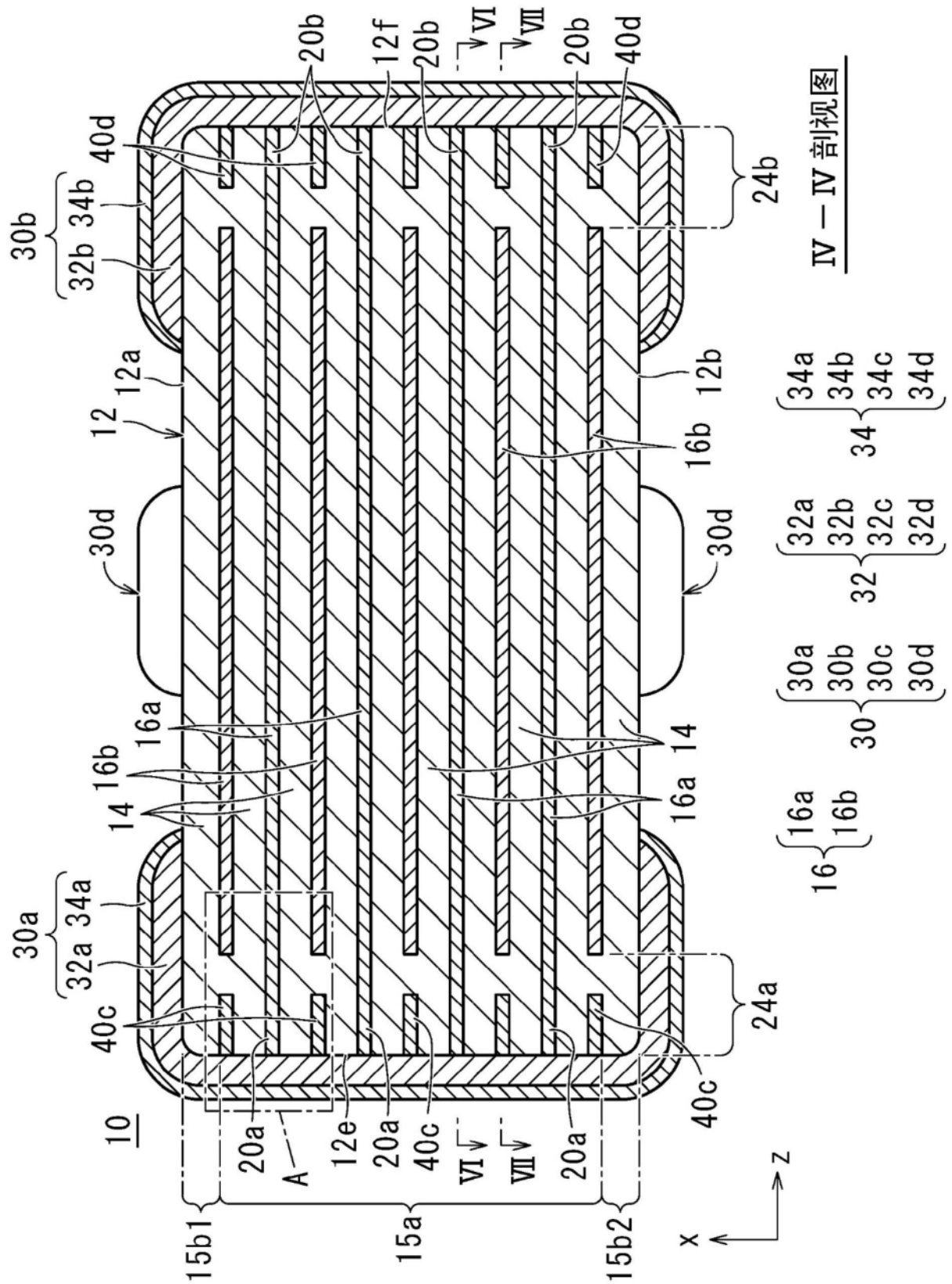
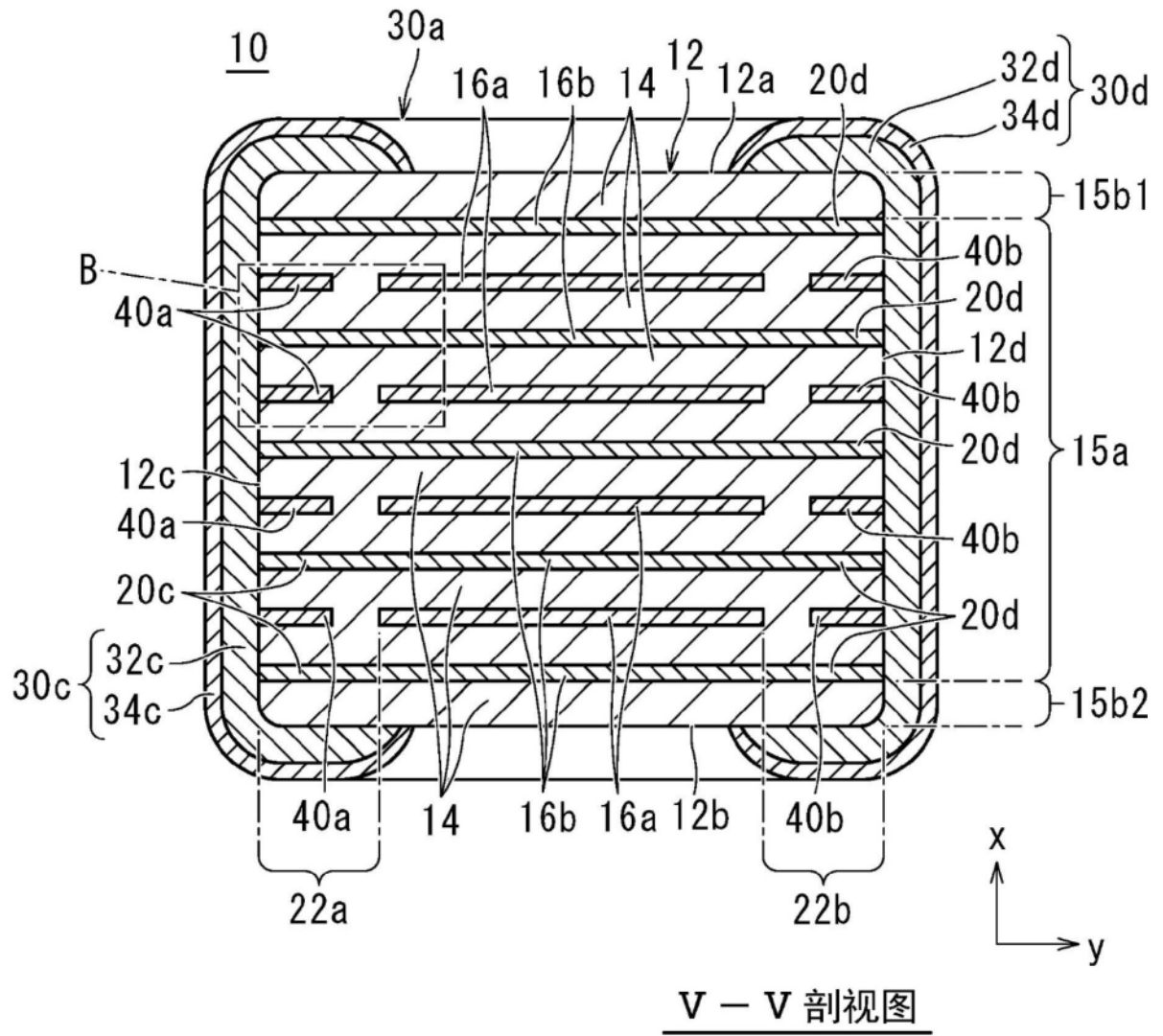


图4



$$\begin{array}{cccc}
 16 & \left\{ \begin{array}{l} 16a \\ 16b \end{array} \right. & 30 & \left\{ \begin{array}{l} 30a \\ 30b \\ 30c \\ 30d \end{array} \right. & 32 & \left\{ \begin{array}{l} 32a \\ 32b \\ 32c \\ 32d \end{array} \right. & 34 & \left\{ \begin{array}{l} 34a \\ 34b \\ 34c \\ 34d \end{array} \right.
 \end{array}$$

图5

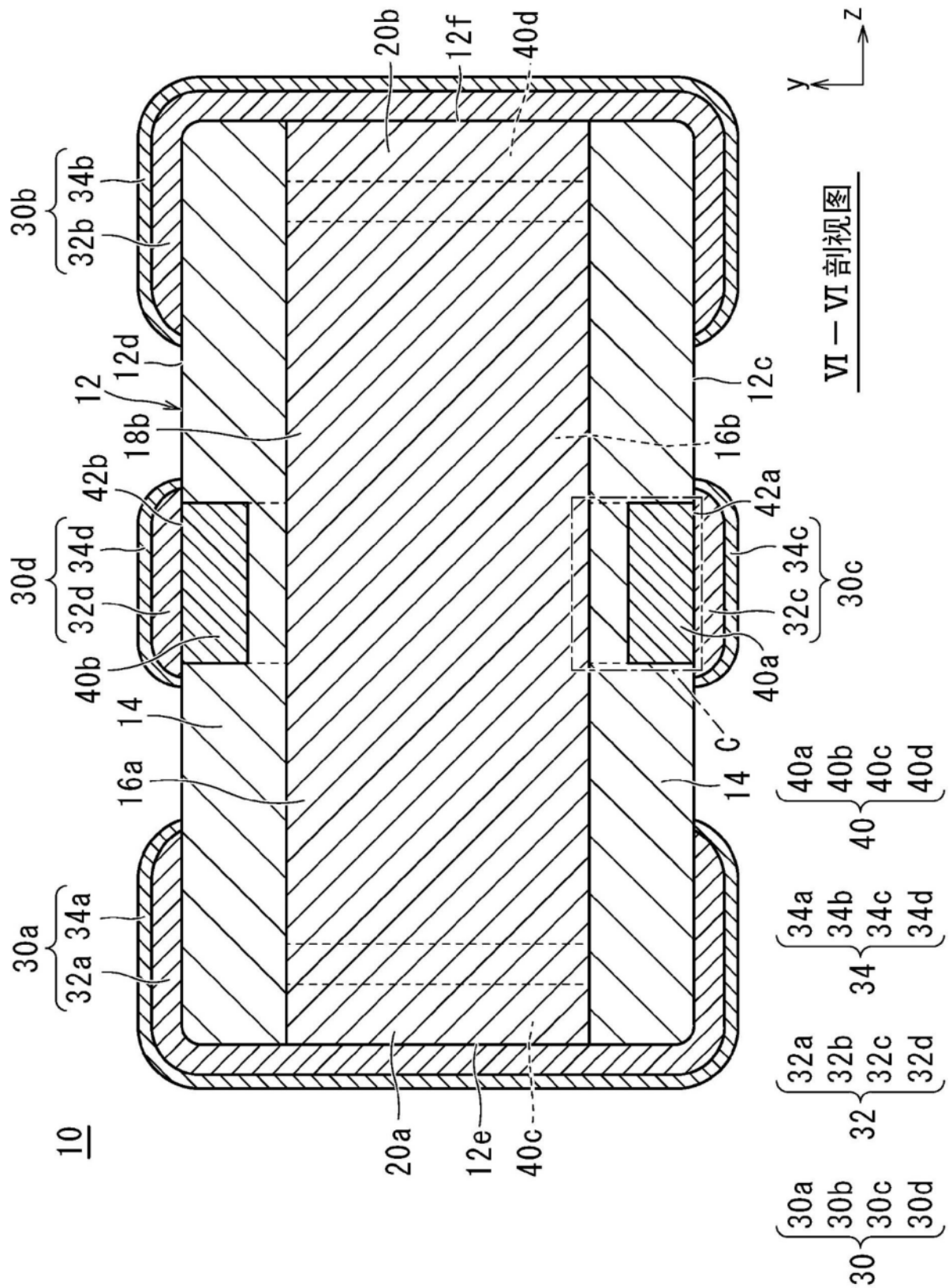


图6

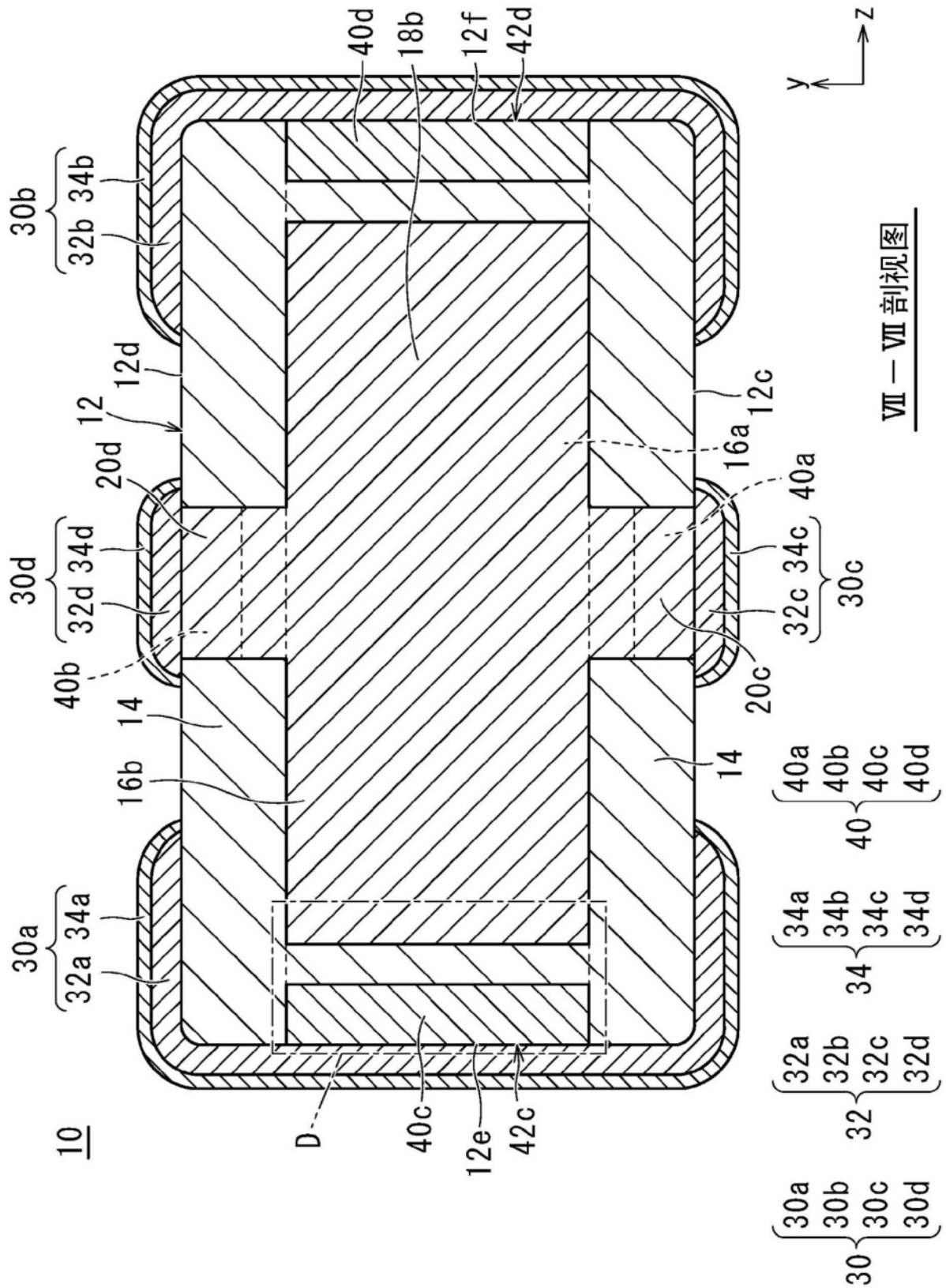


图7

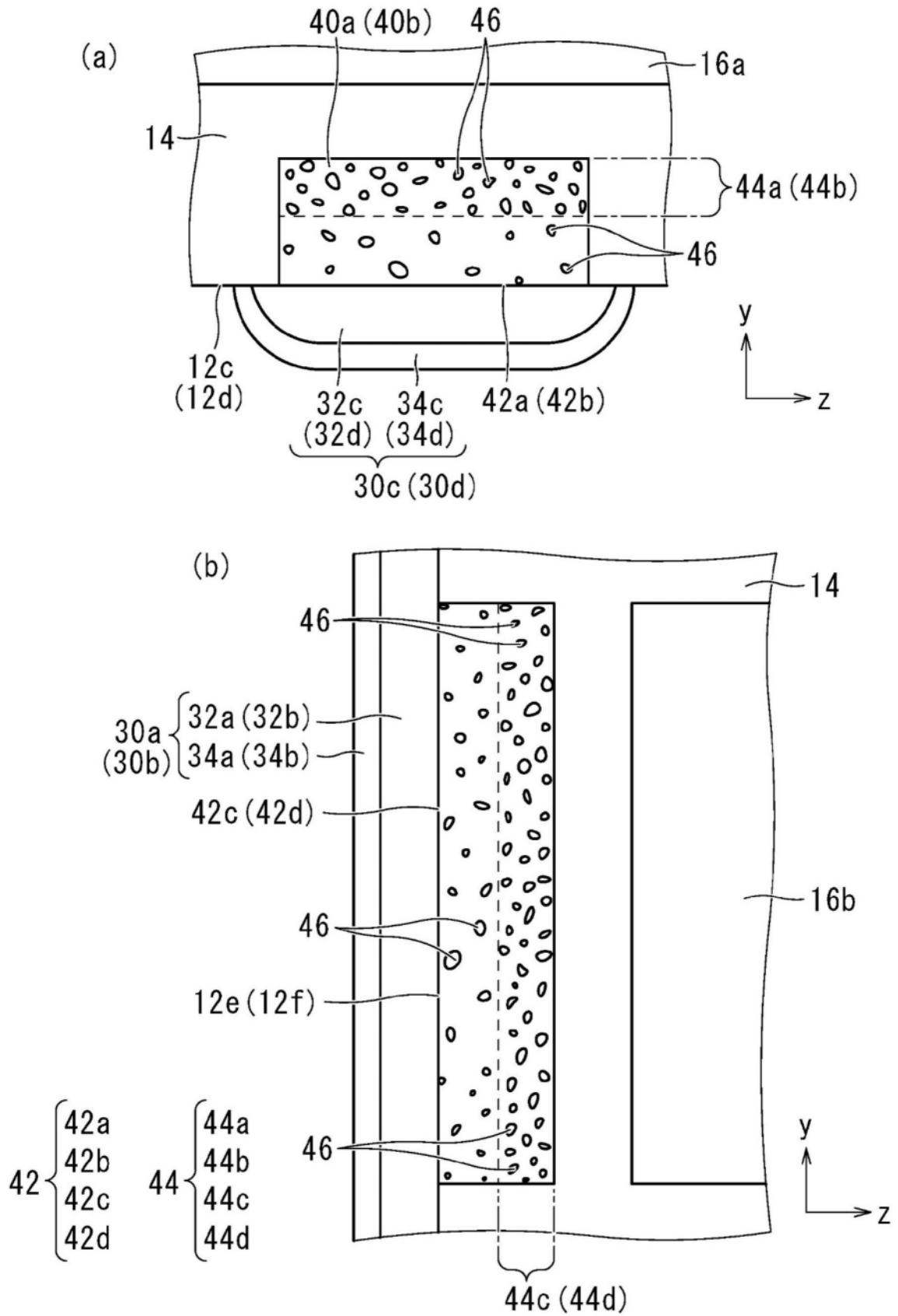


图8

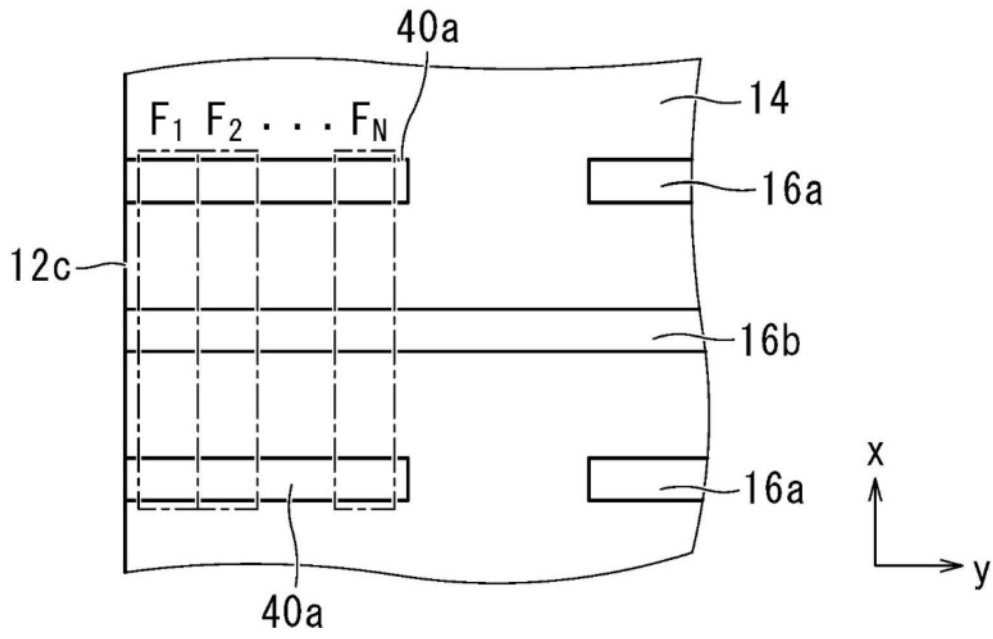


图9

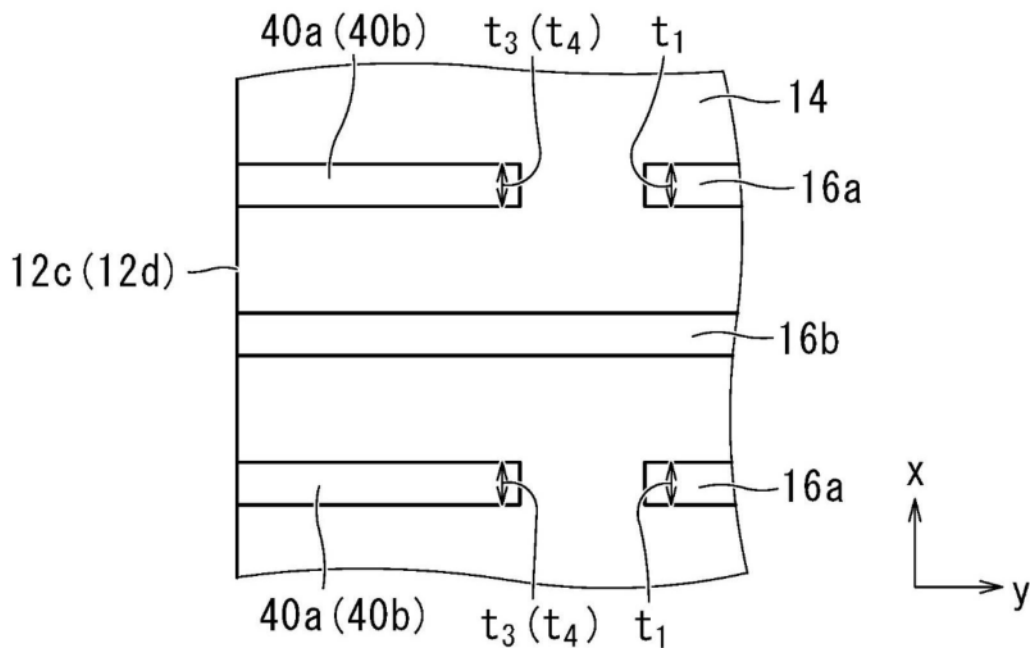


图10

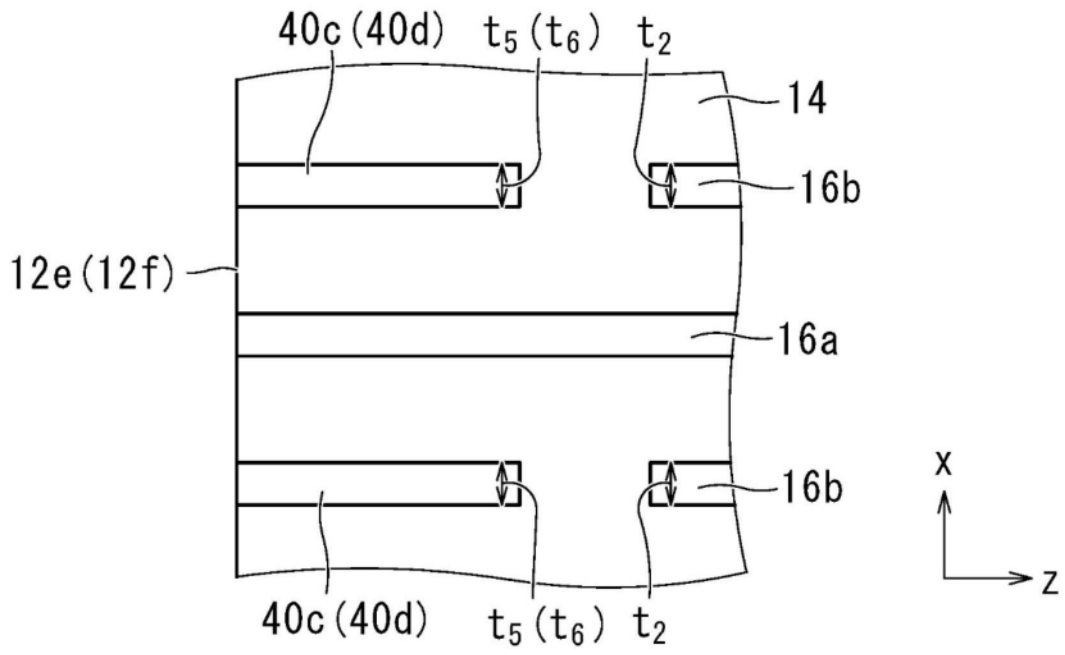


图11

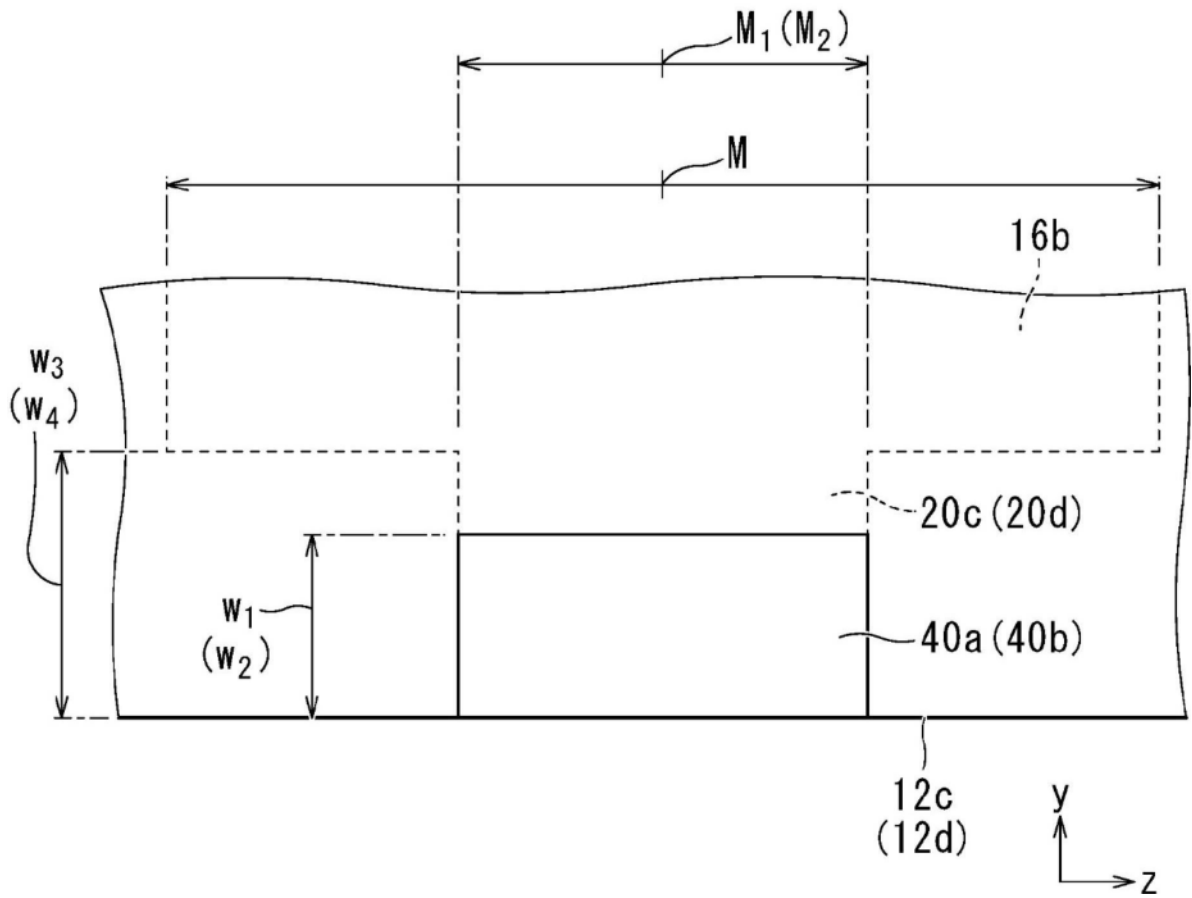


图12

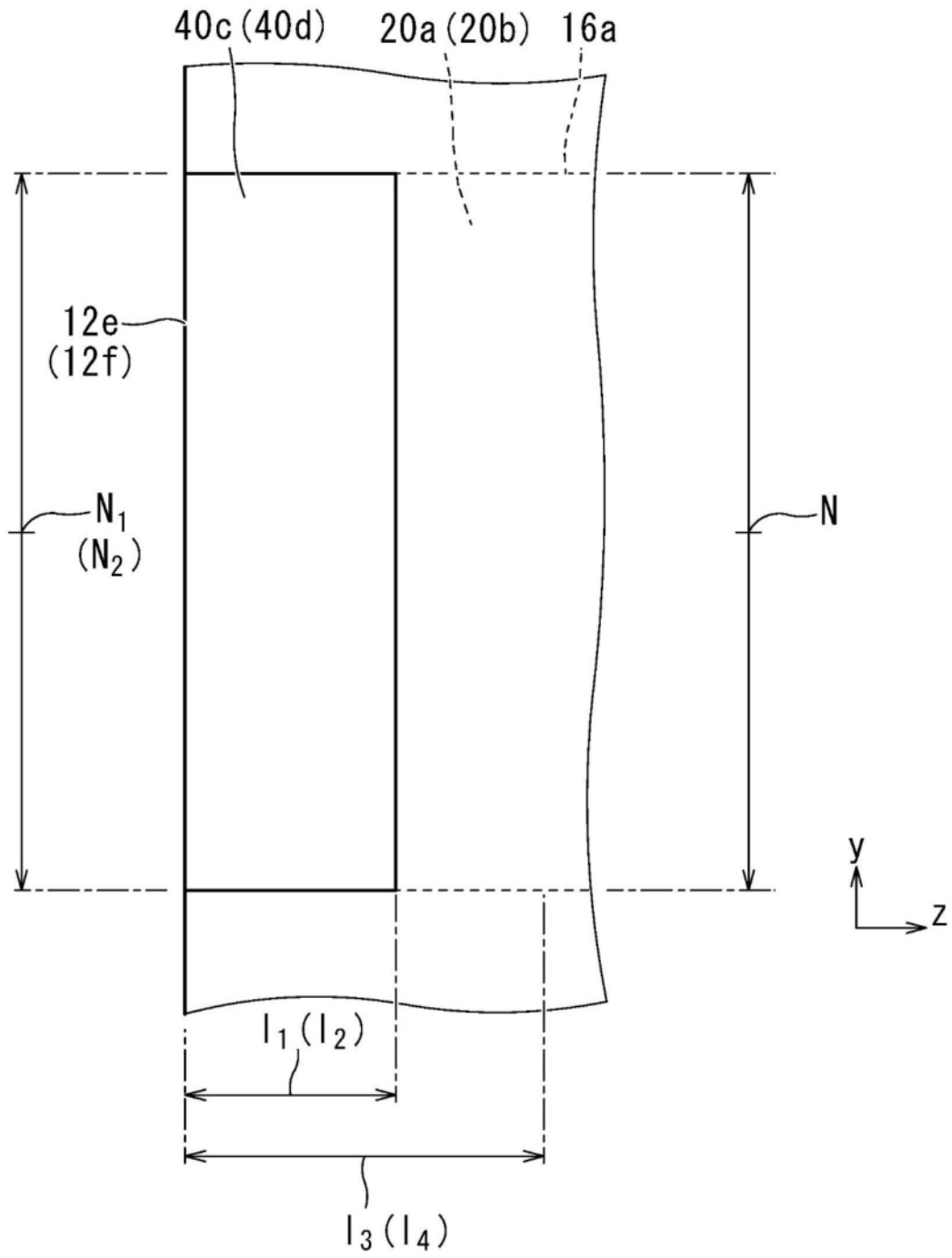


图13

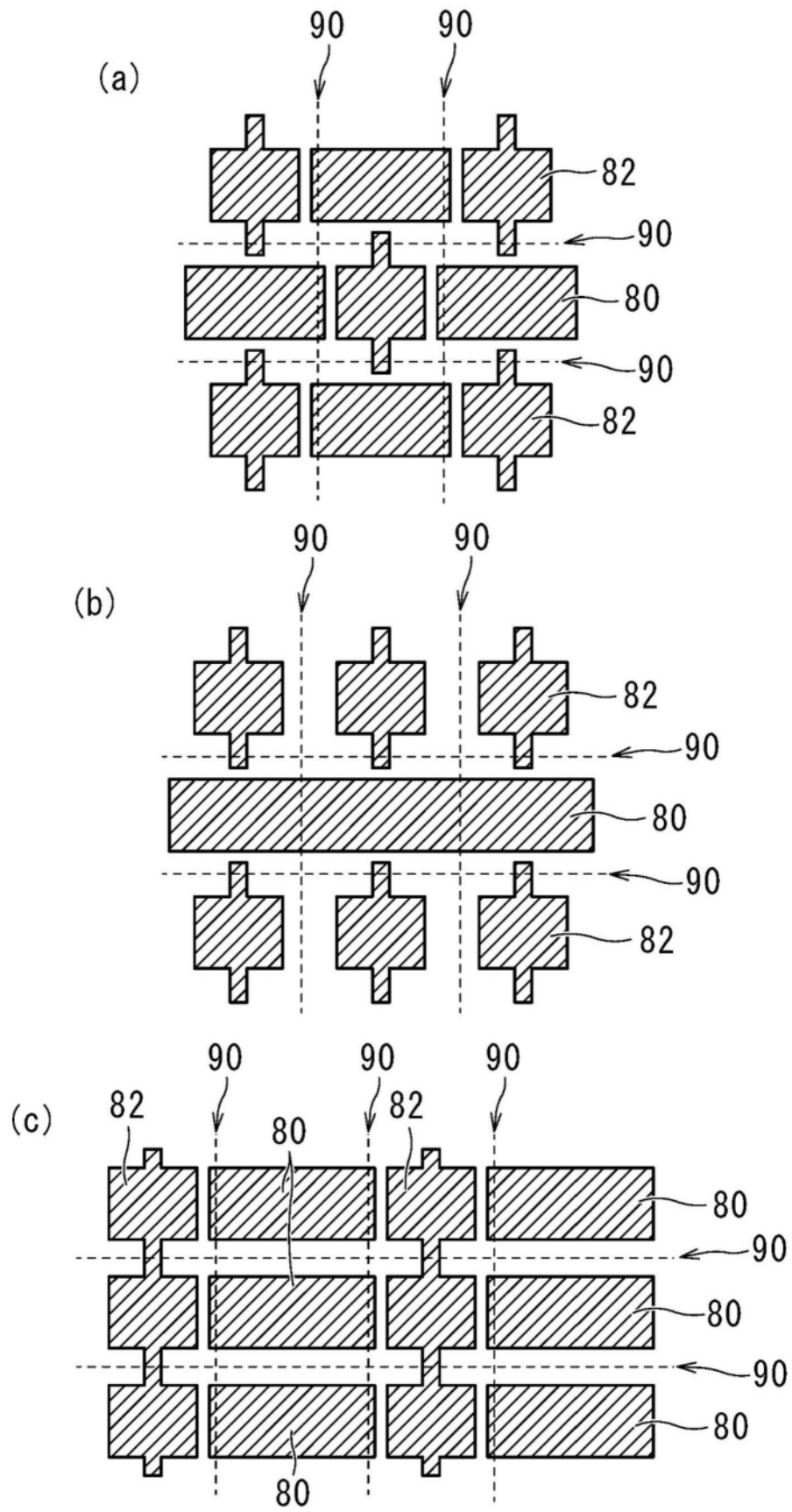


图14