

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】令和 2 年 10 月 22 日 (2020.10.22)

【公表番号】特表 2019-533143 (P2019-533143A)

【公表日】令和 1 年 11 月 14 日 (2019.11.14)

【年通号数】公開・登録公報 2019-046

【出願番号】特願 2019-513900 (P2019-513900)

【国際特許分類】

G 0 1 D 5/244 (2006.01)

G 0 1 D 5/20 (2006.01)

【F I】

G 0 1 D 5/244 B

G 0 1 D 5/20 1 1 0 Q

【手続補正書】

【提出日】令和 2 年 9 月 11 日 (2020.9.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

検出回路であって、

第 1 のセンサ入力と第 1 の平均出力とを有する第 1 の平均化回路であって、前記第 1 の平均出力に結合されて第 1 の静電容量を有する第 1 のキャパシタを含む、前記第 1 の平均化回路と、

前記第 1 のセンサ入力に結合される第 2 のセンサ入力と第 2 の平均出力とを有する第 2 の平均化回路であって、前記第 2 の平均出力に接続されて前記第 1 の静電容量と異なる第 2 の静電容量を有する第 2 のキャパシタを含む、前記第 2 の平均化回路と、

前記第 1 の平均出力に結合される第 1 の入力と、前記第 2 の平均出力に結合される第 2 の入力と、障害信号出力とを有する比較器回路であって、

前記第 1 の平均出力に結合される入力と、第 1 の閾値出力と、第 2 の閾値出力とを有する閾値回路と、

前記第 1 の閾値出力に結合される一方の入力と、前記第 2 の平均出力に結合される他方の入力と、第 1 の比較器出力とを有する第 1 の比較器と、

前記第 2 の閾値出力に結合される一方の入力と、前記第 2 の平均出力に結合される他方の入力と、第 2 の比較器出力とを有する第 2 の比較器と、

前記第 1 の比較器出力に結合される一方の入力と、前記第 2 の比較器出力に結合される他方の入力と、前記障害信号出力とを有する論理ゲートと、

を含む、前記比較器回路と、

を含む、検出回路。

【請求項 2】

請求項 1 に記載の検出回路であって、

前記閾値回路が、前記第 1 の平均出力に結合される入力と、前記第 1 の閾値出力と、前記第 2 の閾値出力とを有するプログラム可能な電圧分圧器を含む、検出回路。

【請求項 3】

請求項 1 に記載の検出回路であって、

前記第 1 の平均化回路が、

前記第1のセンサ入力の1つに結合される入力と、第1の2乗出力とを有する第1の2乗回路と、

前記第1のセンサ入力の別の1つに結合される入力と、第2の2乗出力とを有する第2の2乗回路と、

前記第1の2乗出力と前記第2の2乗出力とに結合される入力と、前記第1のキャパシタに結合される出力とを有する第1の加算回路と、

を有し、

前記第2の平均化回路が、

前記第2のセンサ入力の1つに結合される入力と、第2の2乗出力とを有する第3の2乗回路と、

前記第2のセンサ入力の別の1つに結合される入力と、第4の2乗出力とを有する第4の2乗回路と、

前記第3の2乗出力と前記第4の2乗出力とに結合される入力と、前記第2のキャパシタに結合される出力とを有する第2の加算回路と、

を含む、検出回路。

【請求項4】

請求項3に記載の検出回路であって、

前記第1の平均化回路が、前記第1のキャパシタに結合される入力と、前記第1の加算回路の入力に結合される出力とを有する第5の2乗回路を更に含む、検出回路。

【請求項5】

請求項4に記載の検出回路であって、

前記第2の平均化回路が、前記第2のキャパシタに結合される入力と、前記第2の加算回路の入力に結合される出力とを有する第6の2乗回路を更に含む、検出回路。

【請求項6】

請求項1に記載の検出回路であって、

前記第1の平均化回路と第2の平均化回路と前記比較器回路とがアナログ回路である、検出回路。

【請求項7】

検出回路であって、

回転可能なシャフトに結合されるように適応され、第1及び第2のセンサ出力信号を提供するセンサと、

前記第1及び第2のセンサ出力に結合される第1のセンサ入力と、第1の平均出力とを有する第1の平均化回路であって、

前記第1のセンサ入力に結合されてそれぞれ第1及び第2の2乗出力を有する第1及び第2の2乗回路と、

前記第1及び第2の2乗出力に結合される入力と、第1の加算出力とを有する第1の加算回路と、

第1の静電容量を有し、前記第1の加算出力と前記第1の平均出力とに結合される第1のキャパシタと、

を含む、前記第1の平均化回路と、

前記第1及び第2のセンサ出力に結合される第2のセンサ入力と、第2の平均出力とを有する第2の平均化回路であって、

前記第2のセンサ入力に結合されてそれぞれ第3及び第4の2乗出力を有する第3の2乗回路と、

前記第3及び第4の2乗出力に結合される入力と、第2の加算出力とを有する第2の加算回路と、

前記第1の静電容量と異なる第2の静電容量を有し、前記第2の加算出力と前記第2の平均出力とに結合される第2のキャパシタと、

を含む、前記第2の平均化回路と、

前記第1の加算出力と前記第2の加算出力と閾値入力に結合される入力と、障害出力と

を有する比較器回路と、
を含む、検出回路。

【請求項 8】

請求項 7 に記載の検出回路であって、
前記比較器回路が、
前記第 1 の加算出力に結合される入力と、第 1 の閾値出力と、第 2 の閾値出力とを有する閾値回路と、
前記第 1 の閾値出力に結合される一方の入力と、前記第 2 の平均出力に結合される他方の入力と、第 1 の比較器出力とを有する第 1 の比較器と、
前記第 2 の閾値出力に結合される一方の入力と、前記第 2 の平均出力に結合される他方の入力と、第 2 の比較器出力とを有する第 2 の比較器と、
前記第 1 の比較器出力に結合される一方の入力と、前記第 2 の比較器出力に結合される他方の入力と、前記障害出力に結合される出力とを有する論理ゲートと、
を含む、検出回路。

【請求項 9】

請求項 8 に記載の検出回路であって、
前記閾値回路が、
前記第 1 の加算出力に結合される第 1 のセットの抵抗器とスイッチであって、前記第 1 の閾値出力を有する、前記第 1 のセットの抵抗器とスイッチと、
前記第 2 の加算出力に結合される第 2 のセットの抵抗器とスイッチであって、前記第 2 の閾値出力を有する、前記第 2 のセットの抵抗器とスイッチと、
を含む、検出回路。

【請求項 10】

請求項 9 に記載の検出回路であって、
前記第 1 及び第 2 のセットのスイッチに結合されるプロセッサを更に含む、検出回路。

【請求項 11】

請求項 7 に記載の検出回路であって、
前記第 1 の平均化回路と前記第 2 の平均化回路と前記比較器回路とがアナログ回路である、検出回路。

【請求項 12】

プロセスであって、
第 1 の静電容量を有する第 1 のキャパシタを用いて第 1 の時間ウィンドウに亘って第 1 及び第 2 のセンサ入力を平均化することによって第 1 の回路において第 1 の平均信号を生成することと、
前記第 1 の静電容量と異なる第 2 の静電容量を有する第 2 のキャパシタを用いて前記第 1 の時間ウィンドウより長い第 2 の時間ウィンドウに亘って前記第 1 及び第 2 のセンサ入力を平均化することによって第 2 の回路において第 2 の平均信号を生成することと、
前記第 2 の平均信号を第 1 の閾値電圧と比較して前記第 2 の平均信号を第 2 の閾値電圧と比較することと、
前記第 2 の平均信号が、前記第 1 の閾値電圧よりも大きく、前記第 2 の閾値電圧よりも小さいときに、障害信号を生成することと、
を含む、プロセス。

【請求項 13】

請求項 12 に記載のプロセスであって、
抵抗器とスイッチとを用いて前記第 1 の閾値電圧を設定することと、
抵抗器とスイッチとを用いて前記第 2 の閾値電圧を設定することと、
を更に含む、プロセス。

【請求項 14】

請求項 13 に記載のプロセスであって、
プロセッサからの制御に応答して前記スイッチを開閉することを更に含む、プロセス。

【請求項 15】

請求項 12 に記載のプロセスであって、

前記第 1 の平均信号を生成することと、前記第 2 の平均信号を生成することと、前記比較することと、前記障害信号を生成することとが、アナログ回路のみを用いて行われる、プロセス。