

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 27 年 5 月 28 日 (2015.5.28)

【公開番号】特開 2013-9325 (P2013-9325A)

【公開日】平成 25 年 1 月 10 日 (2013.1.10)

【年通号数】公開・登録公報 2013-002

【出願番号】特願 2012-113557 (P2012-113557)

【国際特許分類】

H 0 3 K 19/096 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 3 K 3/356 (2006.01)

【 F I 】

H 0 3 K 19/096 Z N M B

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

H 0 1 L 27/10 3 2 1

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 3 K 3/356 B

【手続補正書】

【提出日】平成 27 年 4 月 8 日 (2015.4.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の出力信号及び第 2 の出力信号の電位を比較する比較器と、

酸化物半導体層にチャネル形成領域が形成される第 1 の酸化物半導体トランジスタ及びシリコン層にチャネル形成領域が形成される第 1 のシリコントランジスタを有する第 1 のメモリ部と、

第 2 の酸化物半導体トランジスタ及び第 2 のシリコントランジスタを有する第 2 のメモリ部と、

前記第 1 の出力信号及び前記第 2 の出力信号の電位を確定する出力電位確定器と、を有し、

前記第 1 の酸化物半導体トランジスタのソース又はドレインの一方は、前記第 1 のシリコントランジスタのゲートに電氣的に接続されており、

前記第 2 の酸化物半導体トランジスタのソース又はドレインの一方は、前記第 2 のシリコントランジスタのゲートに電氣的に接続されており、

前記第 1 の出力信号は前記比較器及び前記第 1 のメモリ部から出力され、

前記第 2 の出力信号は前記比較器及び前記第 2 のメモリ部から出力されることを特徴とする半導体集積回路。

【請求項 2】

請求項 1 において、

前記比較器は、高電位基準電位と接続され、

前記出力電位確定器は、低電位基準電位と接続されていることを特徴とする半導体集積回路。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のシリコントランジスタ及び前記第 2 のシリコントランジスタは、n チャネル型トランジスタであることを特徴とする半導体集積回路。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の酸化物半導体トランジスタのソース又はドレインの一方及び前記第 1 のシリコントランジスタのゲートと接続する第 1 の保持容量、及び、前記第 2 の酸化物半導体トランジスタのソース又はドレインの一方及び前記第 2 のシリコントランジスタのゲートと接続する第 2 の保持容量が設けられていることを特徴とする半導体集積回路。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の酸化物半導体トランジスタ及び前記第 2 の酸化物半導体トランジスタは、前記第 1 のシリコントランジスタ及び前記第 2 のシリコントランジスタに重畳して形成されることを特徴とする半導体集積回路。

【請求項 6】

高電位基準電位と接続され、第 1 の出力信号及び第 2 の出力信号の電位を比較する比較器と、

酸化物半導体層にチャネル形成領域が形成される第 1 の酸化物半導体トランジスタ及び第 2 の酸化物半導体トランジスタを有する第 1 のメモリ部と、

第 3 の酸化物半導体トランジスタ及び第 4 の酸化物半導体トランジスタを有する第 2 のメモリ部と、

低電位基準電位と接続され、前記第 1 の出力信号及び前記第 2 の出力信号の電位を確定する出力電位確定器と、を有し、

前記第 1 の酸化物半導体トランジスタのソース又はドレインの一方は、前記第 2 の酸化物半導体トランジスタのゲートに電氣的に接続されており、

前記第 3 の酸化物半導体トランジスタのソース又はドレインの一方は、前記第 4 の酸化物半導体トランジスタのゲートに電氣的に接続されており、

前記第 1 の出力信号は前記比較器及び前記第 1 のメモリ部から出力され、

前記第 2 の出力信号は前記比較器及び前記第 2 のメモリ部から出力されることを特徴とする半導体集積回路。

【請求項 7】

請求項 6 において、

前記第 1 の酸化物半導体トランジスタのソース又はドレインの一方及び前記第 2 の酸化物半導体トランジスタのゲートと接続する第 1 の保持容量、及び、前記第 3 の酸化物半導体トランジスタのソース又はドレインの一方及び前記第 4 の酸化物半導体トランジスタのゲートと接続する第 2 の保持容量が設けられていることを特徴とする半導体集積回路。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記比較器は、4 つのトランジスタを有することを特徴とする半導体集積回路。

【請求項 9】

請求項 8 において、

前記比較器のトランジスタのそれぞれは、p チャネル型シリコントランジスタであるこ

とを特徴とする半導体集積回路。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記出力電位確定器は、1つのトランジスタを有することを特徴とする半導体集積回路。

【請求項 11】

請求項 10 において、

前記出力電位確定器のトランジスタは、nチャネル型シリコントランジスタであることを特徴とする半導体集積回路。

【請求項 12】

請求項 10 において、

前記出力電位確定器のトランジスタは、酸化物半導体トランジスタであることを特徴とする半導体集積回路。