

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年5月28日(2015.5.28)

【公開番号】特開2013-9325(P2013-9325A)

【公開日】平成25年1月10日(2013.1.10)

【年通号数】公開・登録公報2013-002

【出願番号】特願2012-113557(P2012-113557)

【国際特許分類】

H 03 K	19/096	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/8242	(2006.01)
H 01 L	27/108	(2006.01)
H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 03 K	3/356	(2006.01)

【F I】

H 03 K	19/096	Z N M B
H 01 L	29/78	6 1 3 B
H 01 L	29/78	6 1 8 B
H 01 L	27/10	3 2 1
H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 03 K	3/356	B

【手続補正書】

【提出日】平成27年4月8日(2015.4.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の出力信号及び第2の出力信号の電位を比較する比較器と、

酸化物半導体層にチャネル形成領域が形成される第1の酸化物半導体トランジスタ及びシリコン層にチャネル形成領域が形成される第1のシリコントランジスタを有する第1のメモリ部と、

第2の酸化物半導体トランジスタ及び第2のシリコントランジスタを有する第2のメモリ部と、

前記第1の出力信号及び前記第2の出力信号の電位を確定する出力電位確定器と、を有し、

前記第1の酸化物半導体トランジスタのソース又はドレインの一方は、前記第1のシリコントランジスタのゲートに電気的に接続されており、

前記第2の酸化物半導体トランジスタのソース又はドレインの一方は、前記第2のシリコントランジスタのゲートに電気的に接続されており、

前記第1の出力信号は前記比較器及び前記第1のメモリ部から出力され、

前記第2の出力信号は前記比較器及び前記第2のメモリ部から出力されることを特徴とする半導体集積回路。

【請求項2】

請求項1において、

前記比較器は、高電位基準電位と接続され、

前記出力電位確定器は、低電位基準電位と接続されていることを特徴とする半導体集積回路。

【請求項3】

請求項1又は請求項2において、

前記第1のシリコントランジスタ及び前記第2のシリコントランジスタは、nチャネル型トランジスタであることを特徴とする半導体集積回路。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1の酸化物半導体トランジスタのソース又はドレインの一方及び前記第1のシリコントランジスタのゲートと接続する第1の保持容量、及び、前記第2の酸化物半導体トランジスタのソース又はドレインの一方及び前記第2のシリコントランジスタのゲートと接続する第2の保持容量が設けられていることを特徴とする半導体集積回路。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1の酸化物半導体トランジスタ及び前記第2の酸化物半導体トランジスタは、前記第1のシリコントランジスタ及び前記第2のシリコントランジスタに重畠して形成されることを特徴とする半導体集積回路。

【請求項6】

高電位基準電位と接続され、第1の出力信号及び第2の出力信号の電位を比較する比較器と、

酸化物半導体層にチャネル形成領域が形成される第1の酸化物半導体トランジスタ及び第2の酸化物半導体トランジスタを有する第1のメモリ部と、

第3の酸化物半導体トランジスタ及び第4の酸化物半導体トランジスタを有する第2のメモリ部と、

低電位基準電位と接続され、前記第1の出力信号及び前記第2の出力信号の電位を確定する出力電位確定器と、を有し、

前記第1の酸化物半導体トランジスタのソース又はドレインの一方は、前記第2の酸化物半導体トランジスタのゲートに電気的に接続されており、

前記第3の酸化物半導体トランジスタのソース又はドレインの一方は、前記第4の酸化物半導体トランジスタのゲートに電気的に接続されており、

前記第1の出力信号は前記比較器及び前記第1のメモリ部から出力され、

前記第2の出力信号は前記比較器及び前記第2のメモリ部から出力されることを特徴とする半導体集積回路。

【請求項7】

請求項6において、

前記第1の酸化物半導体トランジスタのソース又はドレインの一方及び前記第2の酸化物半導体トランジスタのゲートと接続する第1の保持容量、及び、前記第3の酸化物半導体トランジスタのソース又はドレインの一方及び前記第4の酸化物半導体トランジスタのゲートと接続する第2の保持容量が設けられていることを特徴とする半導体集積回路。

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記比較器は、4つのトランジスタを有することを特徴とする半導体集積回路。

【請求項9】

請求項8において、

前記比較器のトランジスタのそれぞれは、pチャネル型シリコントランジスタであるこ

とを特徴とする半導体集積回路。

【請求項 1 0】

請求項 1 乃至 請求項 9 のいずれか一項において、
前記出力電位確定器は、1つのトランジスタを有することを特徴とする半導体集積回路
。

【請求項 1 1】

請求項 1 0において、
前記出力電位確定器のトランジスタは、nチャネル型シリコントランジスタであることを特徴とする半導体集積回路。

【請求項 1 2】

請求項 1 0において、
前記出力電位確定器のトランジスタは、酸化物半導体トランジスタであることを特徴とする半導体集積回路。