



(12) 发明专利申请

(10) 申请公布号 CN 117855237 A

(43) 申请公布日 2024. 04. 09

(21) 申请号 202410023889.9

(22) 申请日 2017.11.15

(30) 优先权数据

2016-231585 2016.11.29 JP

(62) 分案原申请数据

201780053235.9 2017.11.15

(71) 申请人 索尼半导体解决方案公司

地址 日本神奈川县

(72) 发明人 田中章 大竹悠介 若野寿史

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

专利代理师 李晗 姚鹏

(51) Int. Cl.

H01L 27/146 (2006.01)

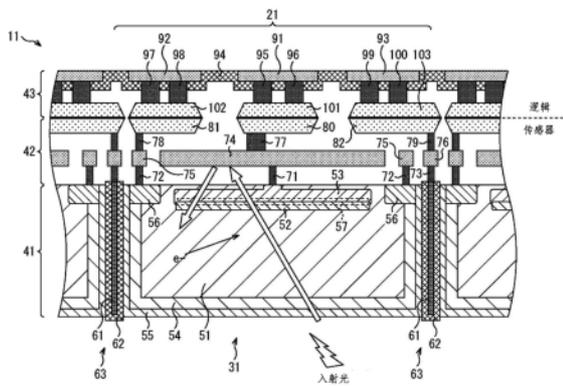
权利要求书1页 说明书13页 附图15页

(54) 发明名称

光检测装置

(57) 摘要

本发明提供一种光检测装置,其包括:逻辑基板,其用于处理光检测信号;传感器基板,其包括至少一个第一像素,所述第一像素包括:雪崩光电二极管,其包括光接收区域、阴极和阳极;和配线层,所述配线层包括:第一配线,其电连接至所述阴极和所述阳极的一者并布置在所述传感器基板中,使得所述配线层位于入射光的离开所述光接收区域的路径中;第二配线,其电连接至所述第一配线;第三配线,其电连接至所述阴极和所述阴极的另一者;和第四配线,其电连接至所述第三配线,其中,包括所述第二配线和所述第四配线的接合部将所述传感器基板电连接至所述逻辑基板。本发明能够改进SPAD像素的特性。



1. 一种光检测装置,其包括:  
逻辑基板,其用于处理光检测信号;  
传感器基板,其包括至少一个第一像素,所述第一像素包括:  
雪崩光电二极管,其包括光接收区域、阴极和阳极;和  
配线层,所述配线层包括:  
第一配线,其电连接至所述阴极和所述阳极的一者并布置在所述传感器基板中,使得所述配线层位于入射光的离开所述光接收区域的路径中;  
第二配线,其电连接至所述第一配线;  
第三配线,其电连接至所述阴极和所述阴极的另一者;和  
第四配线,其电连接至所述第三配线,  
其中,包括所述第二配线和所述第四配线的接合部将所述传感器基板电连接至所述逻辑基板。
2. 根据权利要求1所述的光检测装置,其中,所述传感器基板还包括:  
隔离部,其使所述第一像素与相邻于所述第一像素的第二像素隔离。
3. 根据权利要求2所述的光检测装置,其中,所述接合部还包括:  
所述逻辑基板的配线的第一部分,其接合至所述传感器基板的配线的第二部分。
4. 根据权利要求3所述的光检测装置,其中,所述配线的第二部分包括:  
第五配线,其连接至所述阳极;  
第六配线,其电连接至所述配线层;和  
第七配线,其电连接至所述隔离部。
5. 根据权利要求4所述的光检测装置,其中,所述第七配线被构造为向所述隔离部施加从所述逻辑基板接收的偏置电压。
6. 根据权利要求2所述的光检测装置,其中,所述传感器基板还包括以下的至少一者:  
遮光膜,其位于所述配线层和所述逻辑基板之间;  
透镜,其位于所述光接收区域和所述配线层之间;和  
反射膜,其位于所述光接收区域和所述配线层之间。
7. 一种光检测装置,其包括:  
传感器基板,其包括至少一个第一像素,所述第一像素包括:  
雪崩光电二极管,其包括光接收区域、阴极和阳极;和  
第一配线,其电连接至所述阴极;  
隔离部,其使所述第一像素与相邻于所述第一像素的第二像素隔离;和  
多个配线,其将所述传感器基板接合至逻辑基板,所述多个配线包括:  
第二配线,其电连接至所述阳极;  
第三配线,其电连接至所述第一配线;和  
第四配线,其电连接至所述隔离部,  
其中,所述第一配线与所述第三配线重叠,且所述第一配线大于所述第三配线。

## 光检测装置

[0001] 本申请是申请日为2017年11月15日、发明名称为“传感器芯片和电子装置”的第201780053235.9号专利申请的分案申请。

### 技术领域

[0002] 本发明涉及传感器芯片和电子装置。更具体地,本发明涉及具有特性改进的单光子雪崩二极管 (SPAD) 像素的传感器芯片和电子装置。

### 背景技术

[0003] 近年来,对通过飞行时间 (ToF) 方法测量距离的距离图像传感器的关注越来越多。例如,距离图像传感器可以配置有具有利用互补金属氧化物半导体 (CMOS) 集成电路技术以二维形式布置的多个SPAD像素的像素阵列。在施加有远大于击穿电压的电压的SPAD像素中,入射到高电场PN结区域上的单光子触发雪崩倍增。此时,检测电流瞬时流动的时间,以执行高度精确的距离测量。

[0004] 例如,专利文献1公开了如下技术:由雪崩光电二极管制成的光电二极管阵列被构造在像素间提供隔离,从而减少由高电场区域中的光发射引起的与相邻像素的串扰。

[0005] 另外,专利文献2公开了如下技术:嵌入有形成高电场区域的层的SPAD被偏置耗尽,以改进SPAD像素的灵敏度。

[0006] [引用列表]

[0007] [专利文献]

[0008] [PTL 1]

[0009] JP 2013-48278A

[0010] [PTL 2]

[0011] JP 2015-41746A

[0012] [技术问题]

[0013] 然而,专利文献1公开的结构仅通过使用绝缘膜物理地分离像素来减少光学串扰。在这种情况下,像素的灵敏度还有待提高。

[0014] 另外,专利文献2公开的结构使像素中的高电场区域发光,使得光子进入相邻像素,这导致了与相邻像素中的光子的无意识检测有关的串扰。另外,入射光透射到与光入射平面(背面)相对的平面(表面),并且在该平面(表面)上形成有栅极和配线。这会导致像素灵敏度的下降。

[0015] 鉴于这些问题,需要具有防止(或者可替代地,减小)串扰产生并且增强灵敏度的改进特性的SPAD像素。

### 发明内容

[0016] 已鉴于上述情况提出本发明。因此,本发明的目的是改进SPAD像素的特性。

[0017] [问题的解决方案]

[0018] 根据本发明的第一方面,摄像装置包括具有像素阵列的传感器基板,像素阵列包括至少一个第一像素。第一像素包括雪崩光电二极管,雪崩光电二极管包括光接收区域、阴极和阳极;以及配线层,配线层电连接到阴极并且布置在传感器基板中,使得配线层位于入射光的离开光接收区域的路径中。

[0019] 根据本发明的第二方面,摄像装置包括用于处理图像信号的逻辑基板;包括至少一个第一像素的传感器基板。第一像素包括雪崩光电二极管,雪崩光电二极管包括光接收区域、阴极和阳极;以及配线层,配线层电连接到阴极并且电连接在光接收区域和逻辑基板之间,使得配线层位于入射光的离开光接收区域的路径中。摄像装置包括将传感器基板电连接到逻辑基板的接合部分。

[0020] 根据本发明的第三方面,摄像装置包括具有至少一个第一像素的传感器基板。第一像素包括雪崩光电二极管,雪崩光电二极管包括光接收区域、阴极和阳极;以及配线层,配线层电连接到阴极。摄像装置包括隔离部,隔离部用于使第一像素与相邻于第一像素的第二像素隔离;和多个导电焊盘,导电焊盘用于将传感器基板接合到逻辑基板。多个导电焊盘包括电连接到阳极的第一导电焊盘;电连接到配线层的第二导电焊盘;和电连接到隔离部的第三导电焊盘。

[0021] [本发明的有益效果]

[0022] 根据本发明的上述方面,改进了SPAD像素的特性。

## 附图说明

[0023] 图1是示出根据本发明的一个实施例的传感器芯片的常规配置的框图。

[0024] 图2是以剖面形式示出SPAD像素的第一构造示例的示意图。

[0025] 图3是在配线层中以二维形式示出SPAD像素的第一构造示例的示意图。

[0026] 图4是以剖面形式示出SPAD像素的第二构造示例的示意图。

[0027] 图5是在配线层中以二维形式示出SPAD像素的第二构造示例的示意图。

[0028] 图6是以剖面形式示出SPAD像素的第三构造示例的示意图。

[0029] 图7是在配线层中以二维形式示出SPAD像素的第三构造示例的示意图。

[0030] 图8是以剖面形式示出SPAD像素的第四构造示例的示意图。

[0031] 图9是以剖面形式示出SPAD像素的第五构造示例的示意图。

[0032] 图10是在配线层中以二维形式示出SPAD像素的第五构造示例的示意图。

[0033] 图11是以剖面形式示出SPAD像素的第六构造示例的示意图。

[0034] 图12是以剖面形式示出SPAD像素的第七构造示例的示意图。

[0035] 图13是以剖面形式示出SPAD像素的第八构造示例的示意图。

[0036] 图14是示出距离图像传感器的常规构造的框图。

[0037] 图15是示出如何使用图像传感器的示例的示意图。

## 具体实施方式

[0038] 在下文中,参照附图详细说明了本发明的一些具体实施例。

[0039] (传感器芯片的常规配置)

[0040] 图1是示出根据本发明的一个实施例的传感器芯片的常规配置的框图。

[0041] 在图1中,传感器芯片11由像素阵列部12和偏置电压施加部13构成。

[0042] 像素阵列部12是用于接收通过光学系统收集的光的光接收表面(未示出),像素阵列部12具有以矩阵图案布置在其中的多个SPAD像素21。如图1的右侧所示,每个SPAD像素21均被配置成包括SPAD元件31、p型金属氧化物半导体场效应晶体管(MOSFET)32和CMOS反相器33。

[0043] SPAD元件31当在负极施加有大的负电压 $V_{BD}$ 时形成雪崩倍增区域,由此通过雪崩效应来倍增由入射的单光子产生的电子。当由于通过雪崩效应由SPAD元件31倍增的电子而产生的电压达到负电压 $V_{BD}$ 时,p型MOSFET32执行降压(quenching),该降压涉及通过释放由SPAD元件31倍增的电子而回到初始电压。CMOS反相器33对通过由SPAD元件31倍增的电子产生的电压进行整流,输出关于从进入的单光子的到达时间开始产生脉冲波形的光接收信号(APD OUT)。

[0044] 偏置电压施加部13将偏置电压施加到布置在像素阵列部12中的每个SPAD像素21。

[0045] 通过如上所述配置的传感器芯片11,每个SPAD像素21输出光接收信号,光接收信号被馈送到下级运算处理部(未示出)。例如,运算处理部执行运算处理,以基于脉冲的产生时序(表示来自每个光接收信号的单光子的到达时间)从每个SPAD像素21获得距被摄体的距离。然后,基于所获得的二维排列的距离产生距离图像,每个距离表示通过SPAD像素21中的每一者检测到的距被摄体的距离。

[0046] (SPAD像素的第一构造示例)

[0047] 在下文中,参照图2和图3说明了在传感器芯片11中形成的SPAD像素21的第一构造示例。图2以剖面形式示出SPAD像素21的构造示例。图3在配线层中以二维形式示出SPAD像素21的构造示例。

[0048] 如图2所示,传感器芯片11具有分层结构,在分层结构中堆叠有传感器基板41、传感器侧配线层42和逻辑侧配线层43。逻辑电路板(未示出)堆叠在逻辑侧配线层43上。例如,逻辑电路板被配置成包括图1所示的偏置电压施加部13、p型MOSFET32和CMOS反相器33。例如,传感器芯片11可以通过如下方法制造:在传感器侧配线层42和逻辑侧配线层43经由(在图2中以虚线示出的)接合表面接合到一起之前,在传感器基板41上形成传感器侧配线层42并且在逻辑电路板上形成逻辑侧配线层43。

[0049] 传感器基板41可以是由被控制为具有p型或n型杂质浓度的薄片单晶硅制成的半导体基板。为每个SPAD像素21形成SPAD元件31。图2中的传感器基板41的背面构成了接收光的光接收表面。传感器侧配线层42堆叠在传感器基板41的与其光接收表面相对表面上。

[0050] 传感器侧配线层42和逻辑侧配线层43包括用于馈送施加到SPAD元件31的电压的配线以及用于从传感器基板41取回由SPAD元件31产生的电子的配线。

[0051] SPAD元件31配置成包括N型阱51、P型扩散层52、N型扩散层(或负极)53、空穴累积层54、钉扎层55和高浓度P型扩散层(或阳极)56,所有这些结构均形成在传感器基板41中。在SPAD元件31中,雪崩倍增区域57由耗尽层形成,耗尽层在P型扩散层52和N型扩散层53彼此连接的位置产生。元件51、52、53、56和57中的一者或多者在本文中可称为光接收区域。

[0052] 通过将传感器基板41的杂质浓度控制为n型来形成N型阱51。这样,N型阱51形成电场,以便将通过光电转换在SPAD元件31中产生的电子传输到雪崩倍增区域57。可替代地,通过将传感器基板41的杂质浓度控制为p型,能够用P型阱来替代N型阱51。

[0053] P型扩散层52是形成在传感器基板41的表面附近的并且以大致覆盖SPAD元件31的整个表面的形式形成在N型扩散层53的背面上(图2的下侧)的高浓度P型扩散层(P<sup>+</sup>)。

[0054] N型扩散层53是形成在传感器基板41的表面附近的并且以大致覆盖SPAD元件31的整个表面的形式形成在P型扩散层52的表面上(图2的上侧)的高浓度N型扩散层(N<sup>+</sup>)。N型扩散层53部分地形成以到达传感器基板41的表面的方式突出。这种结构旨在连接用于提供负电压的接触电极71,从而形成雪崩倍增区域57。

[0055] 空穴累积层54是以覆盖N型阱51的侧面和背面的形式形成的用于累积空穴的P型扩散层(P)。另外,空穴累积层54电连接于SPAD元件31的阳极56,以允许偏置调整。例如,这增大了空穴累积层54的空穴浓度并且增强包括钉扎层55的钉扎,从而抑制暗电流的产生。

[0056] 钉扎层55是在空穴累积层54外侧的表面上(即,传感器基板41的背面和与绝缘膜62接触的侧面)形成的高浓度P型扩散层(P<sup>+</sup>)。与空穴累积层54一样,钉扎层55例如抑制了暗电流的产生。

[0057] 高浓度P型扩散层56是以围绕N型阱51的外围的方式形成在传感器基板41的表面附近的高浓度P型扩散层(P<sup>++</sup>)。高浓度P型扩散层56用于与接触电极72连接,接触电极72使空穴累积层54电连接到SPAD元件31的阳极56。

[0058] 雪崩倍增区域57是通过施加到N型扩散层53的大的负电压而在P型扩散层52和N型扩散层53之间的边界表面上形成的高电场区域。这样,雪崩倍增区域57倍增由入射到SPAD元件31上的单光子产生的电子(e<sup>-</sup>)。

[0059] 另外,在传感器芯片11中,在相邻的SPAD元件31之间由金属膜(或反射材料)61和绝缘膜(或绝缘材料)62制成的双结构像素到像素隔离部(或隔离部)63使相邻的SPAD元件31之间绝缘。如图所示,像素到像素隔离部63位于SPAD像素21的外围区域,从而使SPAD像素21与相邻像素隔离。另外,如图所示,绝缘材料62在形成在传感器基板41中的沟槽中围绕反射材料61。如图3所示,在平面图中,隔离部63形成网格图案,以使像素彼此隔离。例如,像素到像素隔离部63能够形成为从传感器基板41的背面贯通到表面。

[0060] 金属膜61是由光反射金属(例如,钨)形成的薄膜。绝缘膜62是诸如二氧化硅(SiO<sub>2</sub>)等具有绝缘特性的膜。例如,金属膜61可以以如下方式嵌入传感器基板41中:用绝缘膜62来覆盖金属膜61的表面,从而形成像素到像素隔离部63。像素到像素隔离部63使相邻的SPAD元件31彼此电气地并且光学地隔离。

[0061] 传感器配线层42被配置成包括接触电极71到73、金属配线(统称为和/或单独称为配线层)74到76、接触电极77到79和金属焊盘80到82。如图所示,金属配线74到76的至少一部分位于入射光的离开光接收区域51、52和/或53的路径中。如图3所示,在平面图中,配线层74位于SPAD像素21的中心部分中并且覆盖接触电极71(和阴极53)。

[0062] 接触电极71将N型扩散层53连接到金属配线74。接触电极72将高浓度P型扩散层56连接到金属配线75。接触电极73将金属膜61连接到金属配线76。

[0063] 例如,如图3所示,金属配线74形成为比雪崩倍增区域57宽,即,至少覆盖雪崩倍增区域57。如图2中的空心箭头所示,金属配线74将透射过SPAD元件31的光反射到SPAD元件31。

[0064] 例如,如图3所示,金属配线75形成为以与高浓度P型扩散层56重叠的方式围绕金属配线74的外围。例如,如图3所示,金属配线76形成为在SPAD像素21的四个角中与金属膜

61连接。

[0065] 接触电极77使金属配线74连接到金属焊盘80。接触电极78使金属配线75连接到金属焊盘81。接触电极79使金属配线76连接到金属焊盘82。

[0066] 金属焊盘80到82分别用于通过构成金属焊盘中的每一者的金属(Cu)电气地或机械地连接到在逻辑侧配线层43中形成的金属焊盘101到103。

[0067] 逻辑侧配线层43被配置为包括电极焊盘91到93、绝缘层94、接触电极95到100和金属焊盘101到103。

[0068] 电极焊盘91到93均用于与逻辑电路板(未示出)连接。绝缘层94使电极焊盘91到93彼此绝缘。

[0069] 接触电极95和96使电极焊盘91连接到金属焊盘101。接触电极97和98使电极焊盘92连接到金属焊盘102。接触电极99和100使电极焊盘93连接到金属焊盘103。

[0070] 金属焊盘101接合于金属焊盘80,金属焊盘102接合于金属焊盘81,并且金属焊盘103接合于金属焊盘82。

[0071] 例如,在上述配线结构中,电极焊盘91经由接触电极95和96、金属焊盘101、金属焊盘80、接触电极77、金属配线74和接触电极71连接到N型扩散层53。因此,在SPAD像素21中,可以从逻辑电路板向电极焊盘91提供施加到N型扩散层53的大的负电压。

[0072] 电极焊盘92被配置成经由接触电极97和98、金属焊盘102、金属焊盘81、接触电极78、金属配线75和接触电极72连接到高浓度P型扩散层56。因此,在SPAD像素21中,电连接到空穴累积层54的SPAD元件31的阳极56连接于电极焊盘92。这使得能够经由电极焊盘92对空穴累积层54进行偏置调节。

[0073] 另外,电极焊盘93被配置成经由接触电极99和100、金属焊盘103、金属焊盘82、接触电极79、金属配线76和接触电极73连接到金属膜61。因此,在SPAD像素21中,从逻辑电路板馈送到电极焊盘93的偏置电压被施加到金属膜61。

[0074] 如上所述,SPAD像素21被配置成使得金属配线74形成比雪崩倍增区域57宽以至少覆盖雪崩倍增区域57,并且使得金属膜61形成贯穿传感器基板41。即,SPAD像素21被配置成使得金属配线74和金属膜61围绕除了SPAD元件的光入射表面之外的SPAD元件31,从而构成反射结构。通过这种结构,SPAD像素21使得金属配线74和金属膜61反射光。这种效应防止(或者可替代地,减少)了光学串扰的产生并且提高了SPAD元件31的灵敏度。

[0075] SPAD像素21也被配置成使得空穴累积层54围绕N型阱51的侧面和底面并且将空穴累积层54电连接到SPAD元件31的阳极56,因此能进行偏置调节。另外,SPAD像素21将偏置电压施加到像素到像素隔离部63的金属膜61,从而形成有助于雪崩倍增区域57中的载流子的电场。

[0076] 根据上述结构,SPAD像素21防止(或者可替代地,减少)了串扰的产生并且提高了SPAD元件31的灵敏度,由此增强了像素的特性。

[0077] (SPAD像素的第二构造示例)

[0078] 在下文中,参照图4和图5说明了传感器芯片11A,其中,形成有作为第二构造示例的SPAD像素21A。图4以剖面方式示出SPAD像素21A的构造示例。图5在配线层中以二维形式示出SPAD像素21A的构造示例。在图4和图5所示的传感器芯片11A和SPAD像素21A中,与图2和图3中的传感器芯片11和SPAD像素21中的组件大致相同的组件由相同的附图标记表示,

并在下文中省略其详细说明。

[0079] 如图4所示,传感器芯片11A的SPAD像素21A与图2中的传感器芯片11的SPAD像素21在结构方面的不同之处在于在传感器侧配线层42A中布置有内透镜111。

[0080] 布置在传感器基板41A和金属配线74之间的内透镜111是朝向传感器基板41A凸出的凸聚光透镜。例如,内透镜111形成为用于将由金属配线74反射的光聚集到SPAD元件31A的中心。

[0081] 如图5所示,在SPAD像素21A中,四个接触电极71A设置在内透镜111外侧的四个角中,从而以绕过内透镜111的方式在N型扩散层53A和金属配线74之间提供连接。以相应于接触电极71A的位置的方式设置在传感器基板41A的SPAD元件31A中的N型扩散层53A部分地形成成为使得突出部分到达传感器基板41的表面。

[0082] 如上文所述地配置SPAD像素21A。例如,透射穿过SPAD元件31A并且被金属配线74反射的略微倾斜的入射光被内透镜111聚集到SPAD元件31A的中心。因此,SPAD像素21A使用内透镜111来提高其聚光效率。这防止(或者可替代地,减少)了串扰的产生,提高了SPAD元件31A的灵敏度,并且由此提高了像素的特性。

[0083] (SPAD像素的第三构造示例)

[0084] 在下文中,参照图6和图7说明了传感器芯片11B,其中形成有作为第三构造示例的SPAD像素21B。图6以剖视方式示出SPAD像素21B的构造示例。图7在配线层中以二维方式示出SPAD像素21B的构造示例。在图6和图7所示的传感器芯片11B和SPAD像素21B中,与图2和图3中的传感器芯片11和SPAD像素21中的组件大致相同的组件由相同的附图标记表示,并在下文中省略其详细说明。

[0085] 如图6所示,传感器芯片11B的SPAD像素21B与图2中的传感器芯片11的SPAD像素21在结构方面的不同之处在于在传感器侧配线层42B中设置有遮光膜121。

[0086] 一方面设置在金属配线74和75之间并且另一方面设置在金属焊盘80到82之间的遮光膜121屏蔽透射穿过金属配线74和75之间的间隙的光。如图7所示,遮光膜121具有贯穿有接触电极77和78的开口。除了开口之外,遮光膜121大致在整个像素上形成。

[0087] 例如,与金属膜61一样,遮光膜121可由光反射金属(例如,钨)形成。如图6中的空心箭头所示,遮光膜121反射透射穿过SPAD元件31并且穿过金属配线74和75之间的间隙的光。

[0088] SPAD像素21B的像素到像素隔离部63B被配置成使得金属膜61B和绝缘膜62B贯穿传感器基板41并且朝向传感器侧配线层42B凸出至达到遮光膜121。金属膜61B电连接到遮光膜121。接触电极79B形成为用于在金属焊盘82和遮光膜121之间提供连接。偏压经由遮光膜121施加到金属膜61B。

[0089] 如上文所述地配置SPAD像素21B。金属膜61B和遮光膜121形成为用于覆盖在其中形成有金属配线74和75的层。这允许透射穿过SPAD元件31的光被可靠地反射。因此,SPAD像素21B利用金属膜61B和遮光膜121防止(或者可替代地,减少)了光泄露到相邻的SPAD元件31。这防止(或者可替代地,减少)了串扰的产生,提高了SPAD元件31A的灵敏度,并且由此提高了像素的特性。

[0090] (SPAD像素的第四构造示例)

[0091] 在下文中,参照图8说明了传感器芯片11C,其中形成有作为第四构造示例的SPAD

像素21C。图8以剖视方式示出SPAD像素21C的构造示例。在图8所示的传感器芯片11C和SPAD像素21C中,与图2中的传感器芯片11和SPAD像素21中的组件大致相同的组件由相同的附图标记表示,并在下文中省略其详细说明。

[0092] 如图8所示,传感器芯片11C的SPAD像素21C与图2中的传感器芯片11的SPAD像素21在结构方面的不同之处在于在传感器基板41C的SPAD元件31C中布置有N型区域131。

[0093] N型区域131被配置成在SPAD元件31C的中心处与P型扩散层52接触。例如,N型区域131形成电势梯度,从而使得在SPAD元件31C中产生的载流子(电子)容易地从外围漂移到中心。即,在SPAD元件31C中,N型杂质被注入到N型阱51中以形成N型区域131作为初始N型区域,N型区域131产生吸引载流子的电场。

[0094] 另外,在SPAD元件31C中,施加到像素到像素隔离部63中的金属膜61的偏置电压使得空穴累积层54和N型阱51被吸引到由偏压引起的电位。这产生了较强的势阱。这进而使得SPAD元件31C能提供比未设置该电位的情况下使得载流子朝向N型区域131漂移的更强的电场。在载流子因此被更容易地吸引到N型区域131的情况下,SPAD元件31C使电子能更有效地到达雪崩倍增区域57。

[0095] 由金属膜61和绝缘膜62构成的像素到像素隔离部63提供双反射结构。可替代地,通过施加到金属膜61的偏置电压的调节,可在SPAD元件31C的外围诱导累积空穴的空穴累积层54。

[0096] 如上文所述地配置SPAD像素21C。例如,当通过向金属膜61施加偏置电压来加强N型区域131中的电势梯度时,由被金属膜61反射的光所产生的极少量载流子被捕捉为信号。因此,这种极少量载流子的捕捉使SPAD像素21C能增强灵敏度,这进而改善了像素的特性。

[0097] (SPAD像素的第五构造示例)

[0098] 在下文中,参照图9和图10说明了传感器芯片11D,其中形成有作为第五构造示例的SPAD像素21D。图9以剖视方式示出SPAD像素21D的构造示例。图10在配线层中以二维方式示出SPAD像素21D的构造示例。在图9和图10所示的传感器芯片11D和SPAD像素21D中,与图2和图3中的传感器芯片11和SPAD像素21中的组件大致相同的组件由相同的附图标记表示,并在下文中省略其详细说明。

[0099] 如图9和图10所示,传感器芯片11D的SPAD像素21D与图2和图3中的传感器芯片11的SPAD像素21在结构方面的不同之处在于在传感器侧配线层42D中布置有反射膜141和142。

[0100] 例如,反射膜141和142形成在传感器基板41的表面上。反射膜141和142均是用作晶体管的栅极电极的多晶硅膜并且提供光反射特性。如图10所示,优选地,反射膜141以至少二维地覆盖雪崩倍增区域57的方式形成为比雪崩倍增区域57更宽。即,当以二维形式示出时,反射膜141形成为与金属配线74重叠。

[0101] 如上文所述地配置SPAD像素21D。透射穿过SPAD元件31的光被反射膜141和142反射,相比于金属配线74,反射膜141和142被布置成更靠近传感器基板41。这减少了透射到传感器侧配线层42D的光。因此,SPAD像素21D利用反射膜141和142有效地围住光。这防止(或者可替代地,减少)了串扰的产生,改善了SAPD元件31的灵敏度,并且由此增强了像素的特性。

[0102] (SPAD像素的第六构造示例)

[0103] 在下文中,参照图11说明了传感器芯片11E,其中形成有作为第六构造示例的SPAD像素21E。图11以剖视方式示出SPAD像素21E的构造示例。在图11所示的传感器芯片11E和SPAD像素21E中,与图2中的传感器芯片11和SPAD像素21中的组件大致相同的组件由相同的附图标记表示,并在下文中省略其详细说明。

[0104] 如图11所示,传感器芯片11E的SPAD像素21E与图2中的传感器芯片11的SPAD像素21在结构方面的不同之处在于传感器基板41E的表面上形成有空穴累积层151。

[0105] 在SPAD像素21E中,以与图10所示的SPAD像素21D大致相同的方式布置反射膜141和142。用于向反射膜141施加偏置电压的配线形成在传感器侧配线层42E和逻辑侧配线层43E中。

[0106] 即,传感器侧配线层42E具有在其中形成的并且彼此连接的接触电极152、金属配线153、接触电极154和金属焊盘155。接触电极152连接于反射膜141。逻辑侧配线层43E具有在其中形成的并且彼此连接的电极焊盘156、接触电极157和158和金属焊盘159。金属焊盘159和金属焊盘155被接合在一起。

[0107] 因此,在SPAD像素21E中,馈送至电极焊盘156的偏置电压被施加到反射膜141。这在传感器基板41E的表面上反射膜141和N型扩散层53之间产生了累积空穴的空穴累积层151。

[0108] 如上文所述配置SPAD像素21E。透射穿过SPAD元件31E的光被反射膜141和142反射。同时,空穴累积层151以避免暴露于雪崩倍增区域57的表面的方式来抑制暗电流。因此,SPAD像素21E防止(或者可替代地,减少)了串扰的产生,改善了SPAD元件31的灵敏度,并抑制了暗电流,这增强了像素的特性。

[0109] (SPAD像素的第七构造示例)

[0110] 在下文中,参照图12说明了传感器芯片11F,其中形成有作为第七构造示例的SPAD像素21F。图12以剖视方式示出SPAD像素21F的构造示例。在图12所示的传感器芯片11F和SPAD像素21F中,与图2中的传感器芯片11和SPAD像素21中的组件大致相同的组件由相同的附图标记表示,并在下文中省略其详细说明。

[0111] 如图12所示,传感器芯片11F的SPAD像素21F与图2中的传感器芯片11的SPAD像素21在结构方面的不同之处在于传感器侧配线层42F具有两层配线结构。

[0112] 即,图2中的传感器芯片11的传感器侧配线层42具有一层配线结构,该一层配线结构具有布置在其中的金属配线74到76。相比之下,传感器芯片11F的传感器侧配线层42F构成了两层配线结构,该两层配线结构具有堆叠在其中的金属配线74到76和金属配线163到165。可替代地,除了两层结构之外,也可以采用多层配线结构。

[0113] 以二维形式来看,金属配线74到76和金属配线163到165被配置成使得金属配线74到76之间的间隙和金属配线163到165之间的间隙不彼此重叠。即,金属配线74到76和金属配线163到165交错地堆叠。

[0114] 与图9中的SPAD像素21D相同,SPAD像素21F具有堆叠在传感器基板41的表面上反射膜141和142。

[0115] 另外,在传感器芯片11F的传感器侧配线层42F中形成有用于使金属配线74连接到金属配线163的接触电极161和162、用于使金属焊盘81连接到金属配线164的接触电极166以及用于使金属焊盘82连接到金属配线165的接触电极167。

[0116] 如上文所述配置SPAD像素21F。透射穿过SPAD元件31的光被反射器(即,金属配线74到76、金属配线163到165和反射膜141和142)反射,反射器以覆盖雪崩倍增区域57的方式层叠在传感器侧配线层42F中。通过这种配置,SPAD像素21F抑制了透射穿过SPAD元件31的光的衍射和漫反射。这防止(或者可替代地,减少)了串扰的产生,改善了SPAD元件31的灵敏度,并且由此增强了像素的特性。

[0117] (SPAD像素的第八构造示例)

[0118] 在下文中,参照图13说明了传感器芯片11G,其中形成有作为第八构造示例的SPAD像素21G。图13以剖视方式示出了SPAD像素21G的构造示例。在图13所示的传感器芯片11G和SPAD像素21G中,与图2中的传感器芯片11和SPAD像素21中的组件大致相同的组件由相同的附图标记表示,并在下文中省略其详细说明。

[0119] 如图13所示,传感器芯片11G的SPAD像素21G与图2中的传感器芯片11的SPAD像素21在结构方面的不同之处在于像素到像素隔离部63G形成为使得它的顶部与传感器基板41的表面(体表面)平齐。

[0120] 在图2的SPAD像素21中,例如,像素到像素隔离部63形成为从传感器基板41的表面略微凸出到传感器侧配线层42中。相比之下,在SPAD像素21G中,构成像素到像素隔离部63G的金属层61G和绝缘膜62G形成为使得它们的顶部与传感器基板41的表面平齐。

[0121] 如上所述,像素到像素隔离部63G的高度可以减小,使得其顶部与传感器基板41的表面齐平,只要其高度减小的像素到像素隔离部63G能够充分抑制串扰的产生即可。即,不需要以从传感器基板41的表面凸出到传感器侧配线层42中的形式来形成像素到像素隔离部63。

[0122] 在如上所述进行配置的SPAD像素21G中,透射穿过SPAD元件31的光被金属配线74反射。这防止(或者可替代地,减少)了串扰的产生,改善了SPAD元件31的灵敏度,并且由此提高了像素的特性。

[0123] 可替代地,与在SPAD像素21G中的一样,使像素到像素隔离部63G的顶部与传感器基板41的表面平齐的配置能够与SPAD像素21A到21F的上述配置中的任一者组合。

[0124] (摄像装置的配置示例)

[0125] 图14是示出作为使用传感器芯片11的电子装置的距离图像传感器的常规配置的框图。

[0126] 如图14所示,距离图像传感器201被配置成包括光学系统202、传感器芯片203、图像处理电路204、监视器205和存储器206。距离图像传感器201通过接收由光源装置211投射(调制或脉冲式照射)到被摄体并由被摄体的表面反射的光来获取相应于到被摄体距离的距离图像。

[0127] 光学系统202被配置为包括一个或多个透镜。光学系统202将图像光(入射光)从被摄体引导到传感器芯片203,使得图像能够形成在传感器芯片203的光接收表面(传感器部分)上。

[0128] 上述实施例中的每一者中的传感器芯片11均可以用作传感器芯片203。向图像处理电路204提供距离信号,该距离信号表示根据从传感器芯片203输出的光接收信号(APD OUT)获得的距离。

[0129] 图像处理电路204进行图像处理,从而基于由传感器芯片203提供的距离信号来产

生距离图像。通过图像处理获得的距离图像(图像数据)被发送到用于显示的监视器205并且被馈送到用于存储(记录)的存储器206。

[0130] 因此所配置的距离图像传感器201利用上述传感器芯片11(例如,借助SPAD像素21的改进的特性)来获得更精确的距离图像。

[0131] (图像传感器的使用示例)

[0132] 图15是示出如何使用上述图像传感器(距离图像传感器)的示例的示意图。

[0133] 上述图像传感器能够在下述的各种情况下使用,例如,通过图像传感器感测包括可见光、红外光、紫外光和X射线的各种类型的光的情况。

[0134] 拍摄用于视觉欣赏的图像的设备,例如数码相机和具有相机功能的移动电话等;

[0135] 交通用的设备,其包括为了确保诸如自动停车等安全驾驶和识别驾驶员的状态,用于拍摄汽车的前方、后方、周围、内部的图像的车载传感器;用于监控行驶车辆及其所经道路的监控相机;以及用于测量车辆间的距离的测距传感器等;

[0136] 拍摄(以反映手势的方式)用户手势的图像以操作诸如电视、冰箱和空调等家用电器的设备;

[0137] 医疗保健用的设备,例如内窥镜和通过接收的红外光来进行血管造影的设备等;

[0138] 安保用的设备,例如用于防止犯罪的监视相机和用于身份认证的相机等;

[0139] 美容用的设备,例如皮肤测量装置和用于拍摄头皮的图像的显微镜等;

[0140] 运动用的设备,例如用于运动的运动相机和可穿戴相机等;以及

[0141] 农业用的设备,例如用于监测田地和农作物的监控相机等。

[0142] 本技术优选地配置如下:

[0143] (1)一种摄像装置,其包括:

[0144] 传感器基板,其包括具有至少一个第一像素的像素阵列,第一像素包括:

[0145] 雪崩光电二极管,其包括光接收区域、阴极和阳极;和

[0146] 配线层,其电连接到阴极并且布置在传感器基板中,使得配线层位于入射光的离开光接收区域的路径中。

[0147] (2)根据(1)所述的摄像装置,其中,传感器基板还包括:

[0148] 隔离部,其位于第一像素的外围区域,以使第一像素与相邻于第一像素的至少一个第二像素隔离。

[0149] (3)根据(2)所述的摄像装置,其中,隔离部还包括:

[0150] 绝缘材料,其使第一像素与第二像素电隔离;和

[0151] 反射材料,其将入射到外围区域的光向光接收区域反射。

[0152] (4)根据(3)所述的摄像装置,其中,隔离部位于传感器基板的沟槽中,并且其中,绝缘材料围绕沟槽中的反射材料。

[0153] (5)根据(4)所述的摄像装置,其中,反射材料是导电的。

[0154] (6)根据(2)所述的摄像装置,其还包括:

[0155] 逻辑基板,其包括一个以上的第一导电焊盘,所述一个以上的第一导电焊盘接合于传感器基板的一个以上的第二导电焊盘。

[0156] (7)根据(6)所述的摄像装置,其中,一个以上的第二导电焊盘包括:

[0157] 第一导电焊盘,其电连接到阳极;

- [0158] 第二导电焊盘,其电连接到配线层;和
- [0159] 第三导电焊盘,其电连接到隔离部并且被配置成用于将来自逻辑基板的偏置电压施加到隔离部。
- [0160] (8) 根据(6)所述的摄像装置,其中,传感器基板还包括:
- [0161] 遮光膜,其位于配线层与一个以上的第二导电焊盘之间。
- [0162] (9) 根据(8)所述的摄像装置,其中,遮光膜包括电连接到隔离部的部分。
- [0163] (10) 根据(2)所述的摄像装置,其中,传感器基板还包括:
- [0164] 透镜,其布置在光接收区域和配线层之间。
- [0165] (11) 根据(2)所述的摄像装置,其中,传感器基板还包括:
- [0166] 反射膜,其位于光接收区域与配线层之间。
- [0167] (12) 根据(2)所述的摄像装置,其中,在平面图中,隔离部形成网格图案,以使第一像素与第二像素和其它周围像素隔离。
- [0168] (13) 根据(12)所述的摄像装置,其中,在平面图中,配线层位于第一像素的中心部分中并且覆盖阴极。
- [0169] (14) 一种摄像装置,其包括:
- [0170] 逻辑基板,其用于处理图像信号;
- [0171] 传感器基板,其包括至少一个第一像素,第一像素包括:
- [0172] 雪崩光电二极管,其包括光接收区域、阴极和阳极;和
- [0173] 配线层,其电连接到阴极,并且电连接在光接收区域和逻辑基板之间,使得配线层位于入射光的离开光接收区域的路径中;以及
- [0174] 接合部,其使传感器基板电连接到逻辑基板。
- [0175] (15) 根据(14)所述的摄像装置,其中,所述传感器基板还包括:
- [0176] 隔离部,其使第一雪崩二极管与相邻于第一像素的至少一个第二像素隔离。
- [0177] (16) 根据(15)所述的摄像装置,其中,接合部包括:
- [0178] 逻辑基板的一个以上的第一导电焊盘,一个以上的第一导电焊盘接合于传感器基板的一个以上的第二导电焊盘。
- [0179] (17) 根据(16)所述的摄像装置,其中,一个以上的第二导电焊盘包括:
- [0180] 第一导电焊盘,其电连接到阳极;
- [0181] 第二导电焊盘,其电连接到配线层;和
- [0182] 第三导电焊盘,其电连接到隔离部。
- [0183] (18) 根据(17)所述的摄像装置,其中,第三导电焊盘被配置成向隔离部施加从逻辑基板接收的偏置电压。
- [0184] (19) 根据(15)所述的摄像装置,其中,传感器基板还包括以下的至少一者:
- [0185] 配线层与逻辑基板之间的遮光膜;
- [0186] 光接收区域与配线层之间的透镜;和
- [0187] 光接收区域与配线层之间的反射膜。
- [0188] (20) 一种摄像装置,其包括:
- [0189] 传感器基板,其包括至少一个第一像素,第一像素包括:
- [0190] 雪崩光电二极管,其包括光接收区域、阴极和阳极;和

- [0191] 配线层,其电连接到阴极;
- [0192] 隔离部,其用于使第一像素与相邻于第一像素的第二像素隔离;以及
- [0193] 多个导电焊盘,其用于将传感器基板接合到逻辑基板,多个导电焊盘包括:
- [0194] 第一导电焊盘,其电连接到阳极;
- [0195] 第二导电焊盘,其电连接到配线层;和
- [0196] 第三导电焊盘,其电连接到隔离部。
- [0197] (21)一种传感器芯片,其包括:
- [0198] 像素阵列部,其被配置成具有多个排列在其中的像素;
- [0199] 雪崩光电二极管元件,其被配置成利用为每个像素提供的高电场区域来倍增载流子;
- [0200] 像素到像素隔离部,其被配置成在其中形成有雪崩光电二极管元件的半导体基板中使相邻的像素彼此隔离;以及
- [0201] 金属配线,其被配置成布置在配线层中,配线层堆叠在半导体基板的与半导体基板的光接收表面相对的表面上,金属配线至少覆盖高电场区域。
- [0202] (22)根据上述段落(21)所述的传感器芯片,其还包括:
- [0203] 内透镜,其被配置成布置在金属配线和半导体基板之间,使得透射穿过雪崩光电二极管元件并且被金属配线反射的光聚集到雪崩光电二极管元件的中心上。
- [0204] (23)根据上述段落(21)或(22)所述的传感器芯片,其中,像素到像素隔离部被配置成从半导体基板的背面贯穿到半导体基板的表面。
- [0205] (24)根据上述段落(21)到(23)中的任一段落所述的传感器芯片,其中,像素到像素隔离部被配置成具有由用于反射光的金属膜和提供绝缘的绝缘膜构成的双结构,像素到像素隔离部被嵌入半导体基板中,使得金属膜的表面被绝缘膜覆盖。
- [0206] (25)根据上述段落(21)到(24)中的任一段落所述的传感器芯片,其中,电压被施加到作为像素到像素隔离部的嵌入半导体基板中的金属膜,所述电压诱导在雪崩光电二极管元件的外围处累积空穴的空穴累积层。
- [0207] (26)根据上述段落(21)到(25)中的任一段落所述的传感器芯片,其中,电压被施加到作为像素到像素隔离部的嵌入半导体基板中的金属膜,所述电压加强了使载流子漂移的电场。
- [0208] (27)根据上述段落(21)到(26)中的任一段落所述的传感器芯片,其中,被配置成用于反射光的反射膜以至少覆盖高电场区域的形式形成在半导体基板的表面上。
- [0209] (28)根据上述段落(27)所述的传感器芯片,其中,电压被施加到反射膜,以在半导体基板的表面附近形成累积空穴的空穴累积层。
- [0210] (29)根据上述段落(27)或(28)所述的传感器芯片,其中,反射膜被配置成在二维观察的情况下与金属配线重叠。
- [0211] (30)根据上述段落(21)到(29)中的任一段落所述的传感器芯片,其中,像素到像素隔离部被配置成使得其顶部与半导体基板的表面大致平齐。
- [0212] (31)一种电子装置,其包括:
- [0213] 传感器芯片,其包括:
- [0214] 像素阵列部,其被配置成具有排列在其中的多个像素;

[0215] 雪崩光电二极管元件,其被配置成利用为每个像素提供的高电场区域来倍增载流子;

[0216] 像素到像素隔离部,其被配置成在其中形成有雪崩光电二极管元件的半导体基板中使相邻的像素彼此隔离;以及

[0217] 金属配线,其被配置成布置在配线层中,配线层堆叠在半导体基板的与半导体基板的光接收表面相对的表面上,金属配线至少覆盖高电场区域。

[0218] 本发明的实施例不限于上述实施例,能够在本发明的精神和范围内对上述实施例进行各种改变或修改。

[0219] [附图标记列表]

[0220] 11 传感器芯片

[0221] 12 像素阵列部

[0222] 13 偏置电压施加部

[0223] 21SPAD像素

[0224] 31SPAD元件

[0225] 32p型MOSFET

[0226] 33CMOS反相器

[0227] 41 传感器基板

[0228] 42 传感器侧配线层

[0229] 43 逻辑侧配线层

[0230] 51N型阱

[0231] 52P型扩散层

[0232] 53N型扩散层

[0233] 54 空穴累积层

[0234] 55 钉扎层

[0235] 56高浓度P型扩散层

[0236] 57 雪崩倍增区域

[0237] 61 金属膜

[0238] 62 绝缘膜

[0239] 63 像素到像素隔离部

[0240] 71到73接触电极

[0241] 74到76金属配线

[0242] 77到79接触电极

[0243] 80到82金属焊盘

[0244] 91到93电极焊盘

[0245] 94绝缘层

[0246] 95到100接触电极

[0247] 101到103金属焊盘

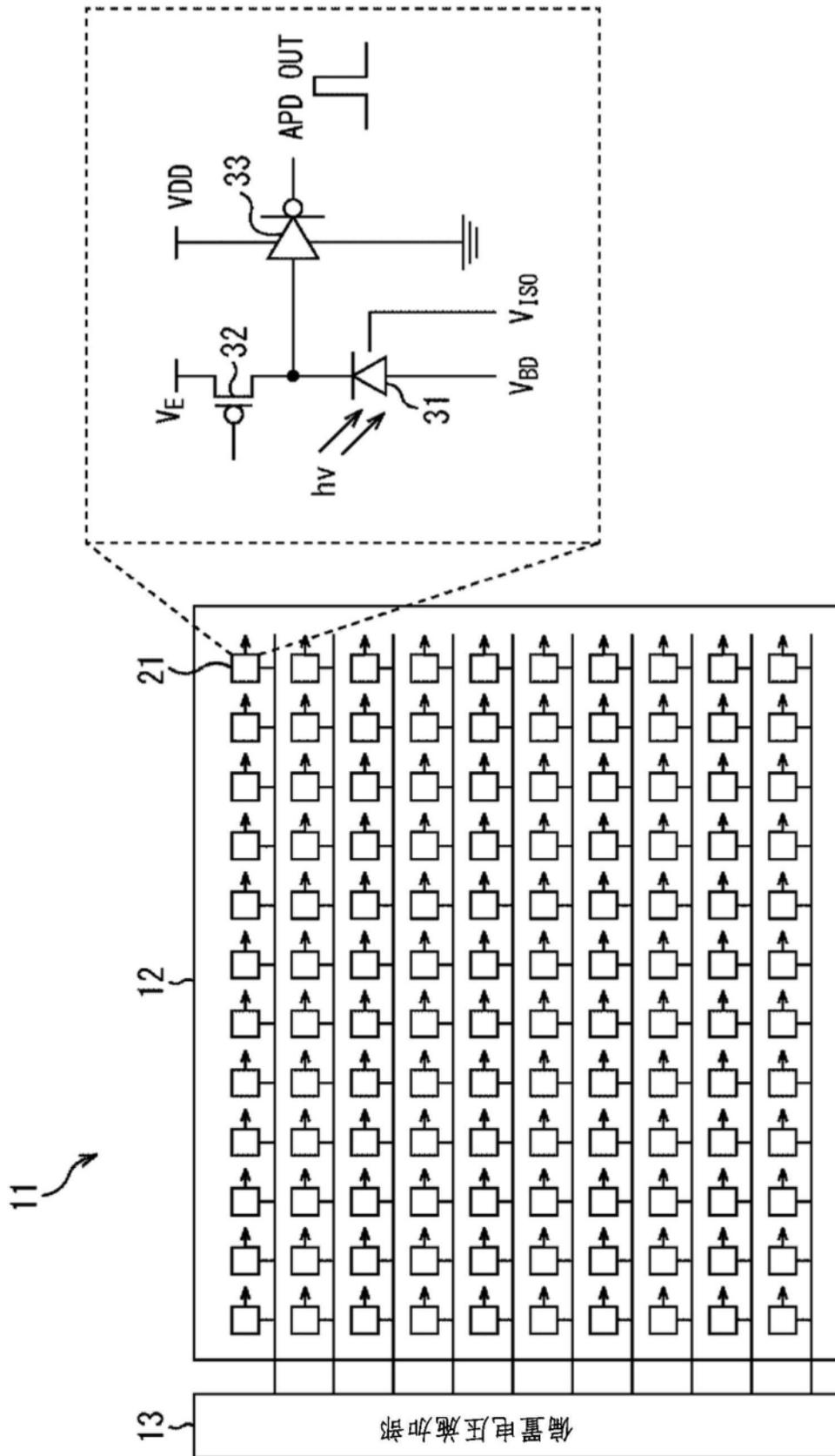


图1

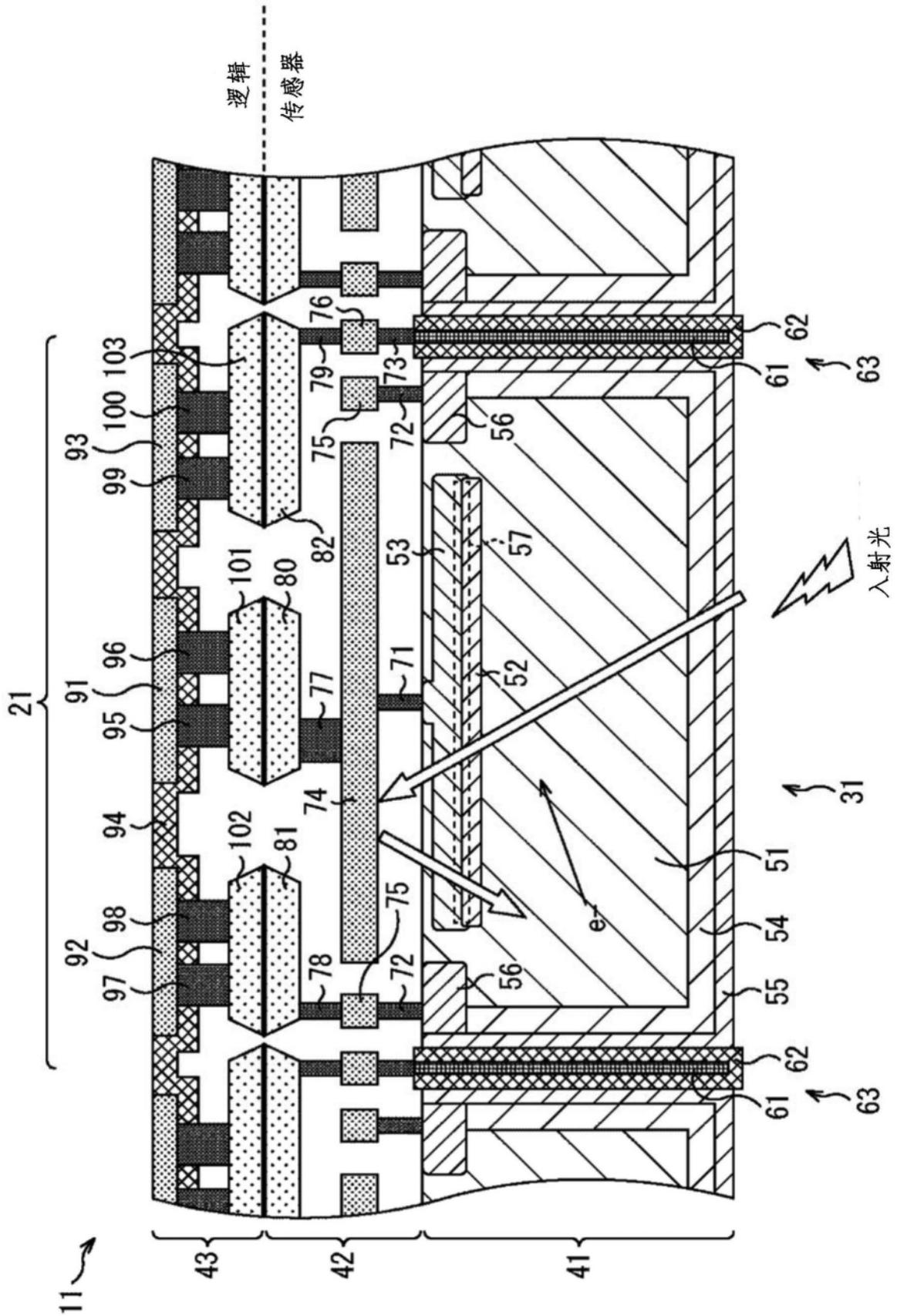


图2

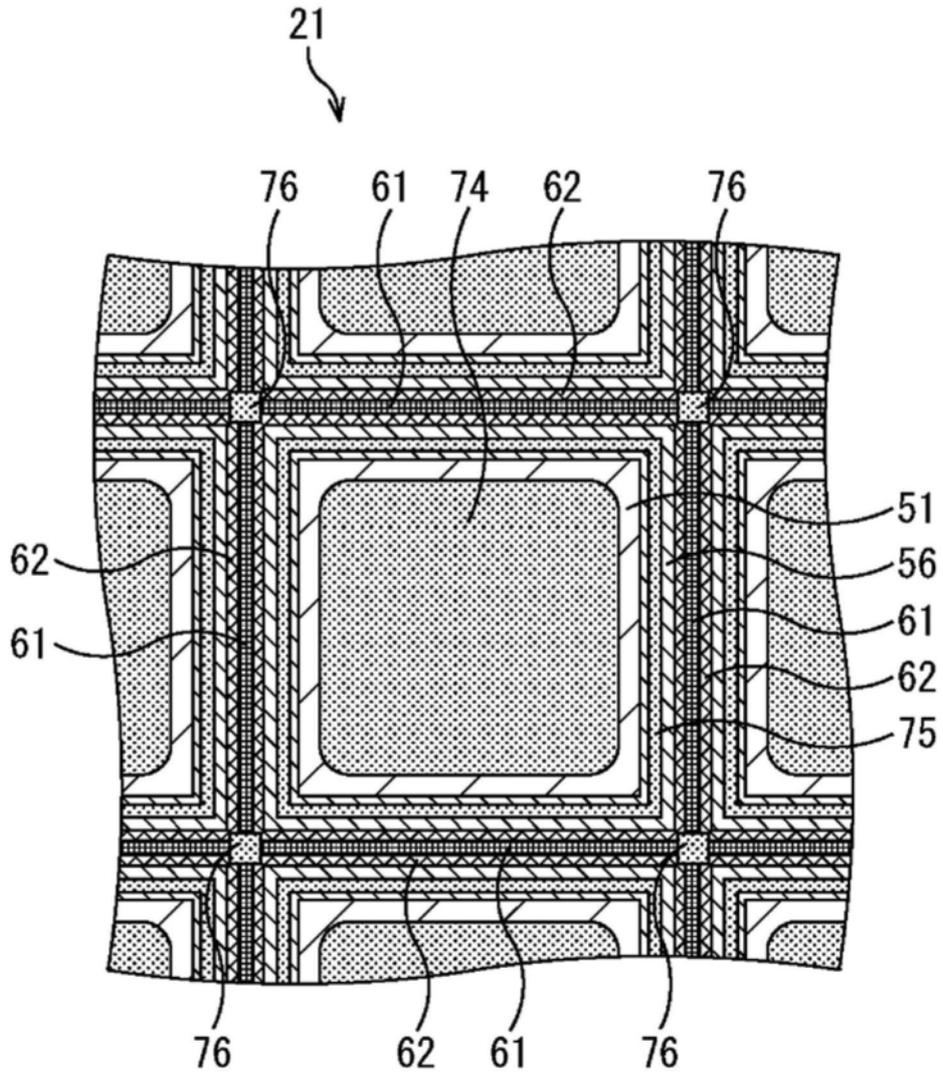


图3

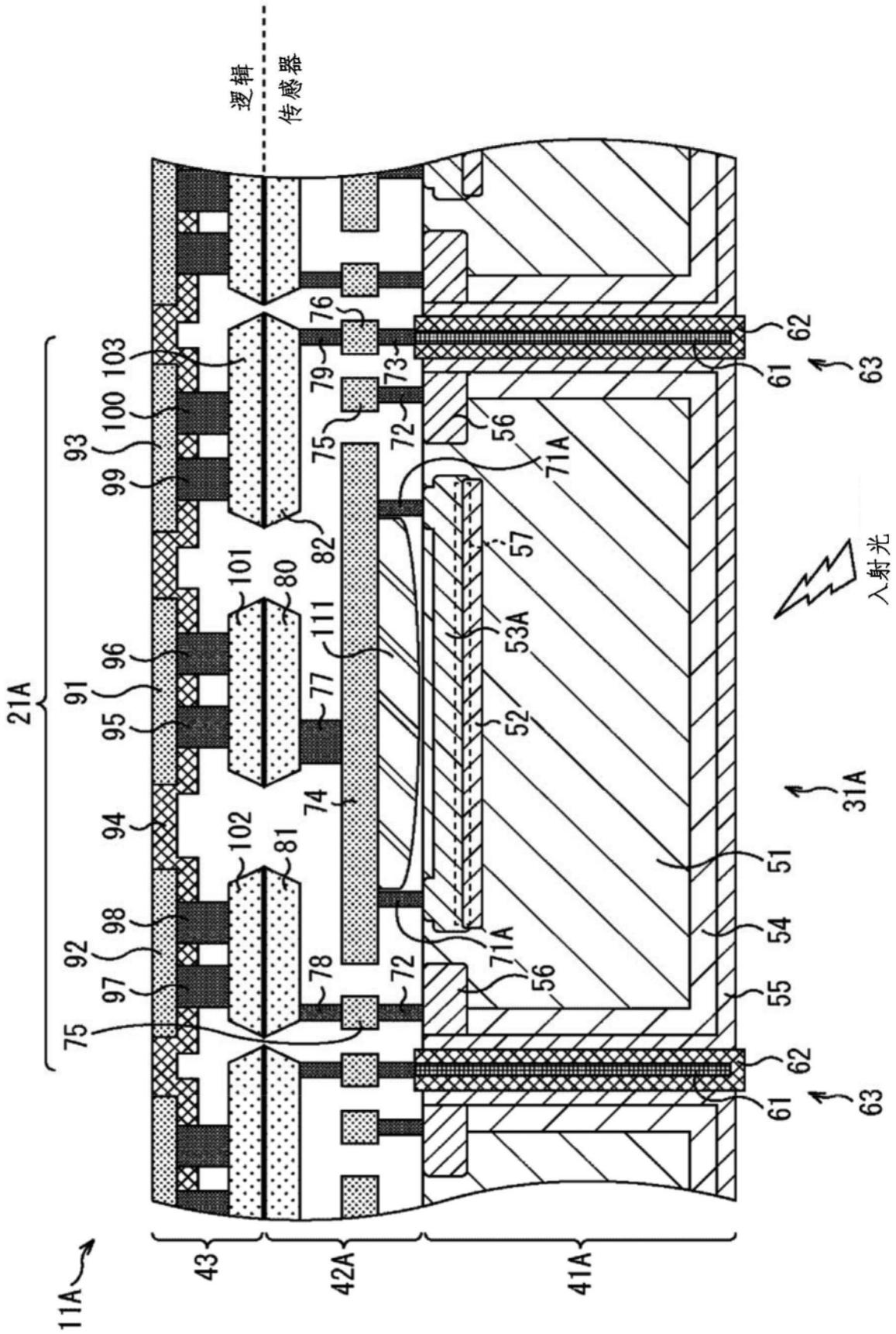


图4

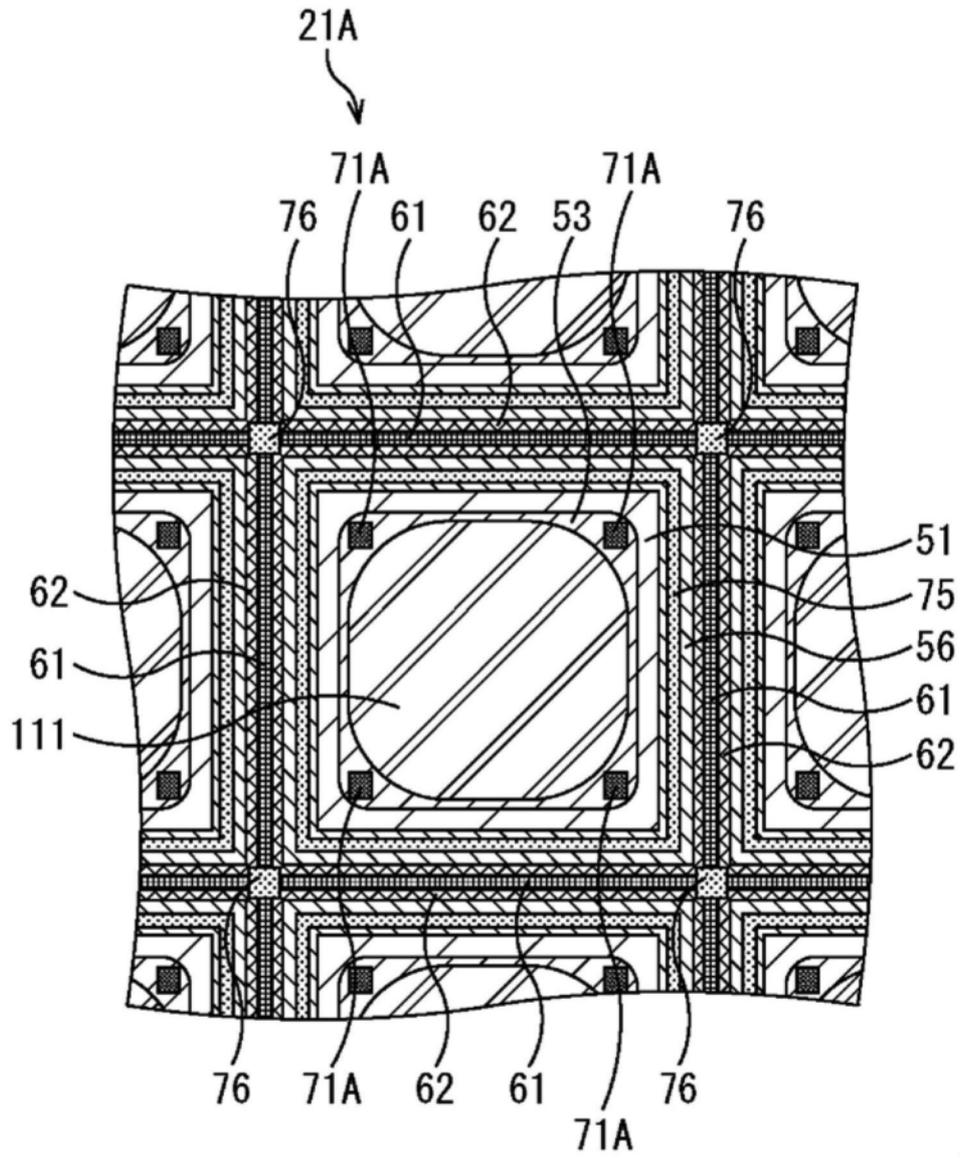


图5

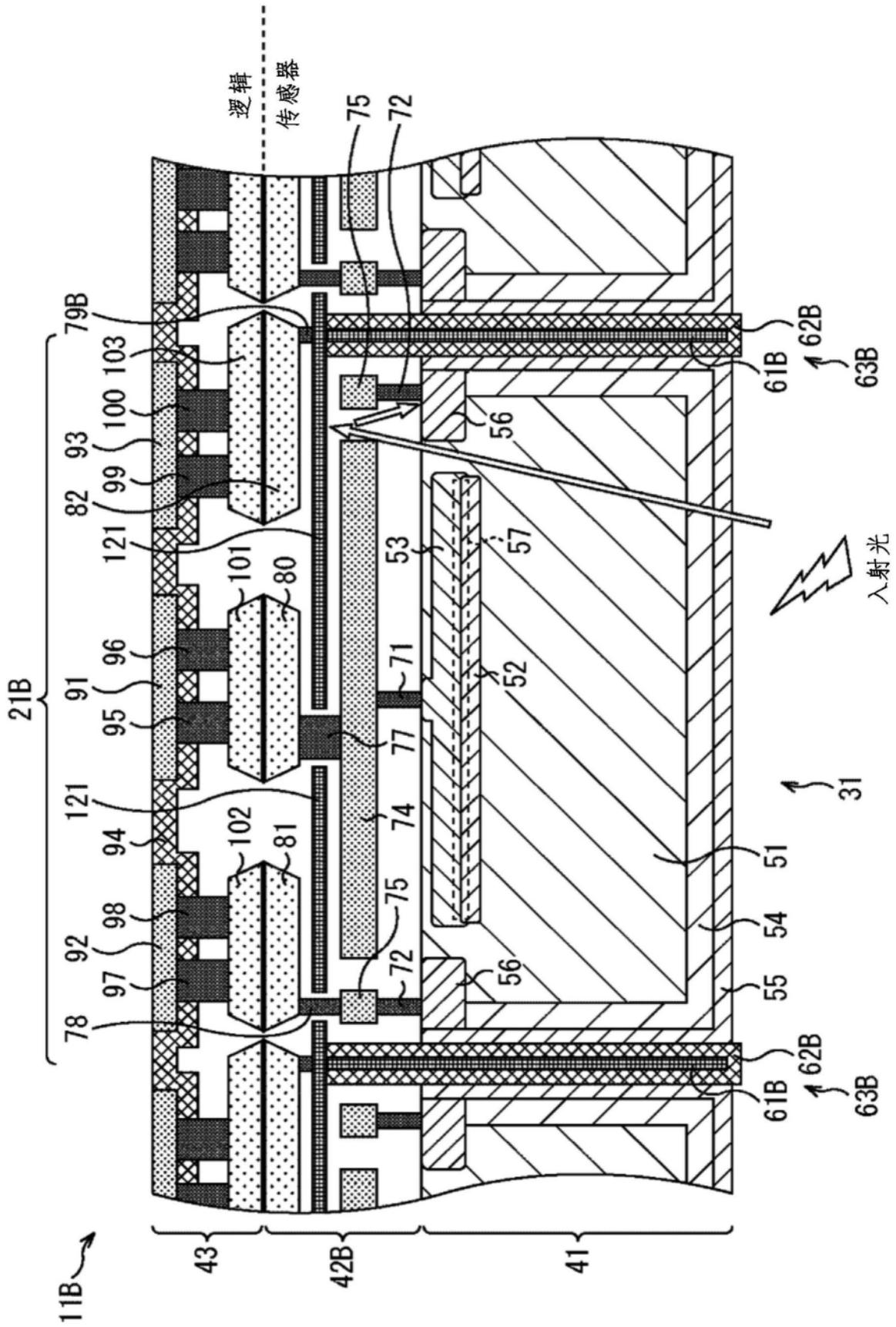


图6

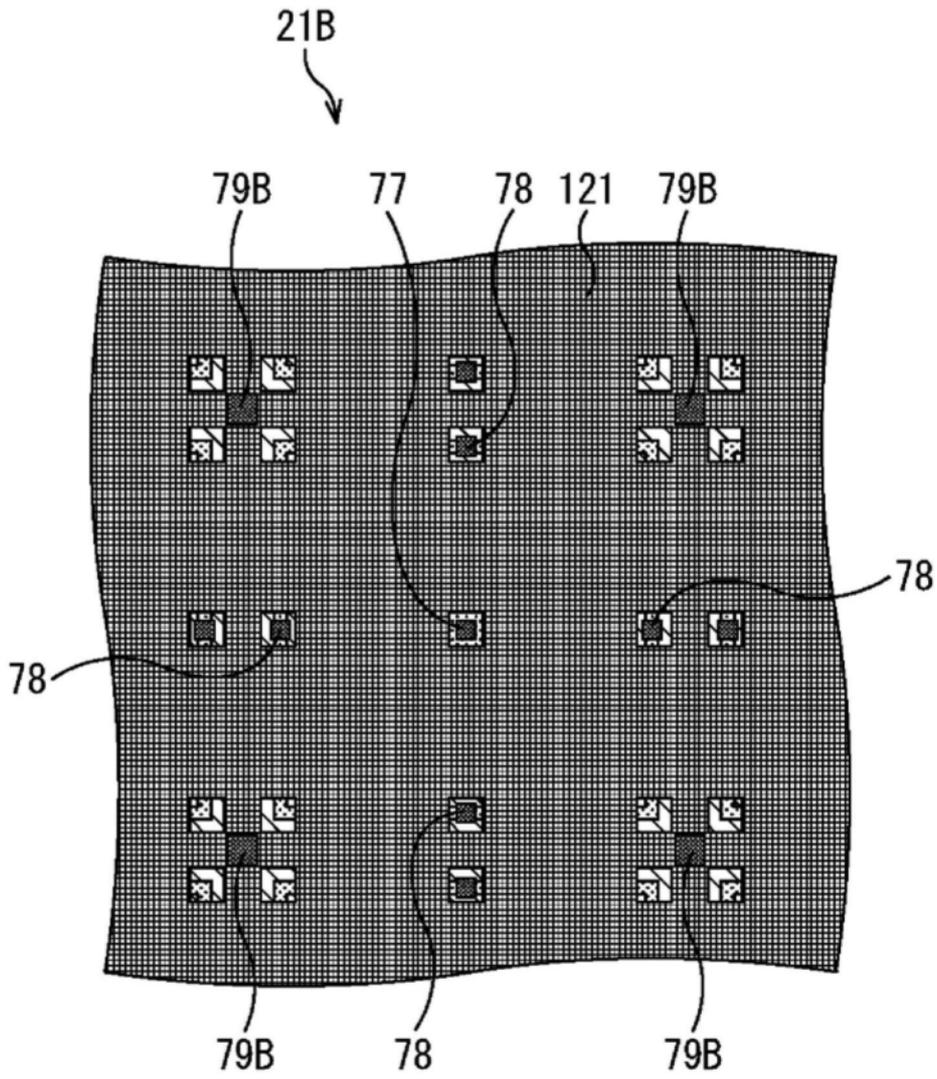


图7

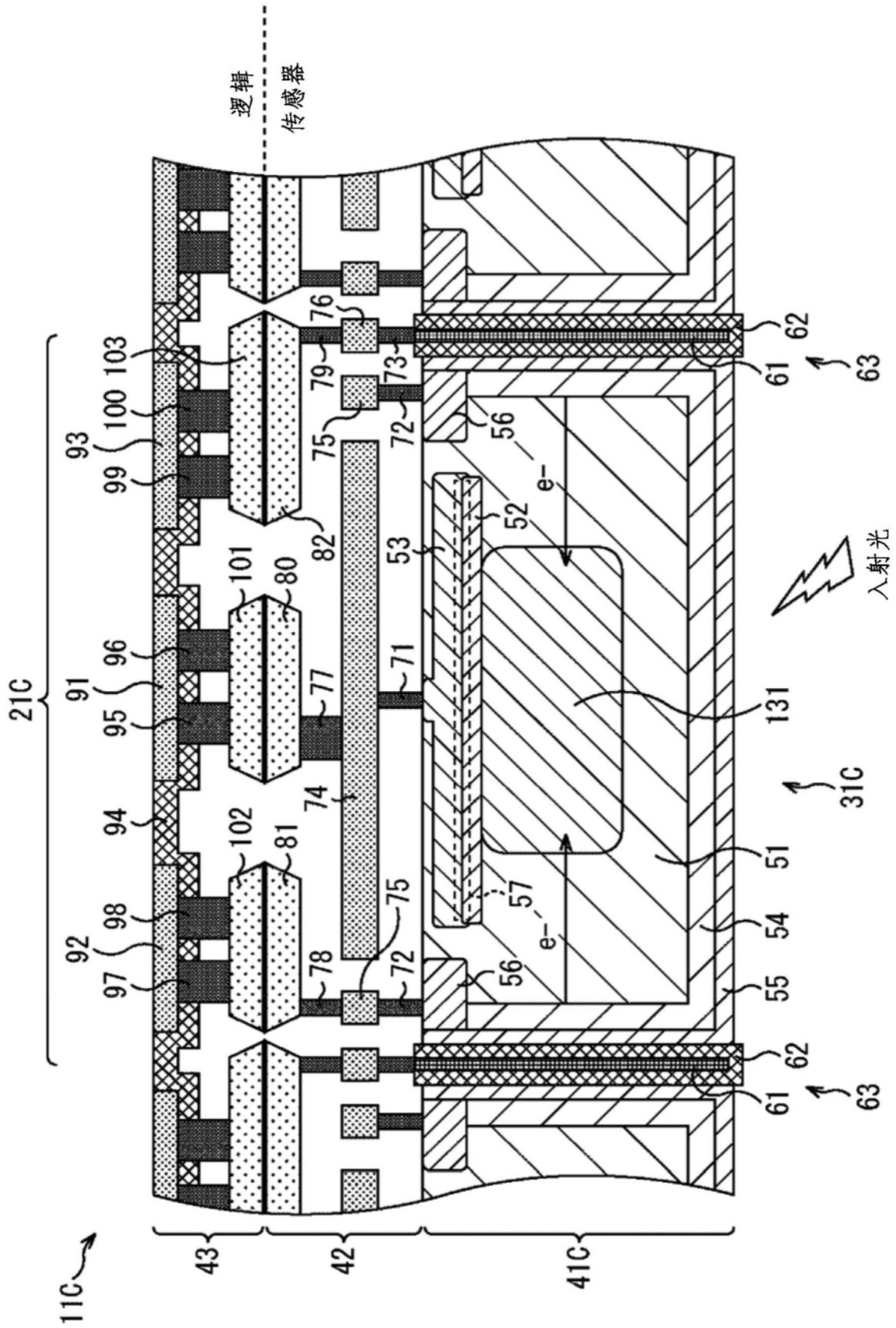


图8

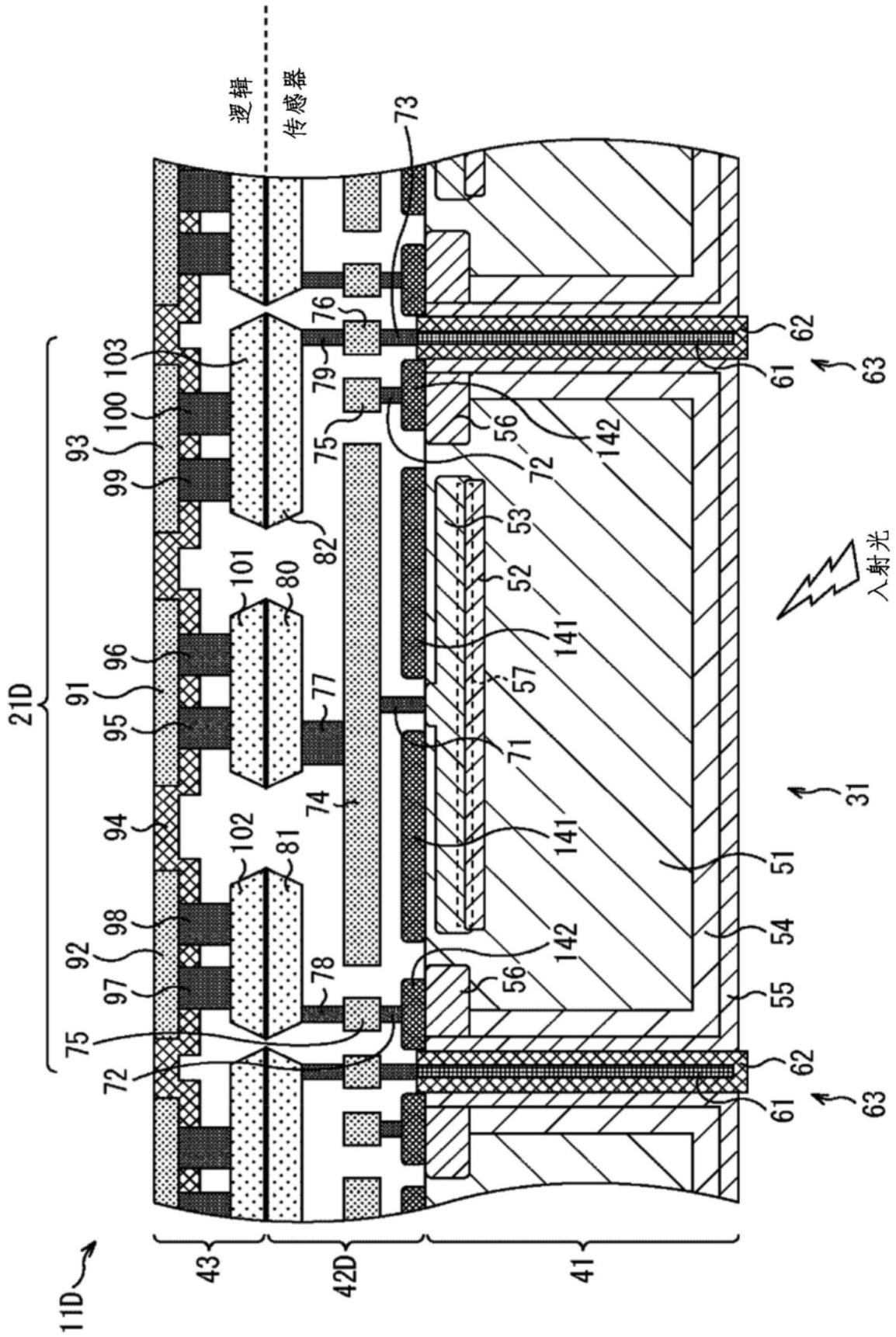


图9

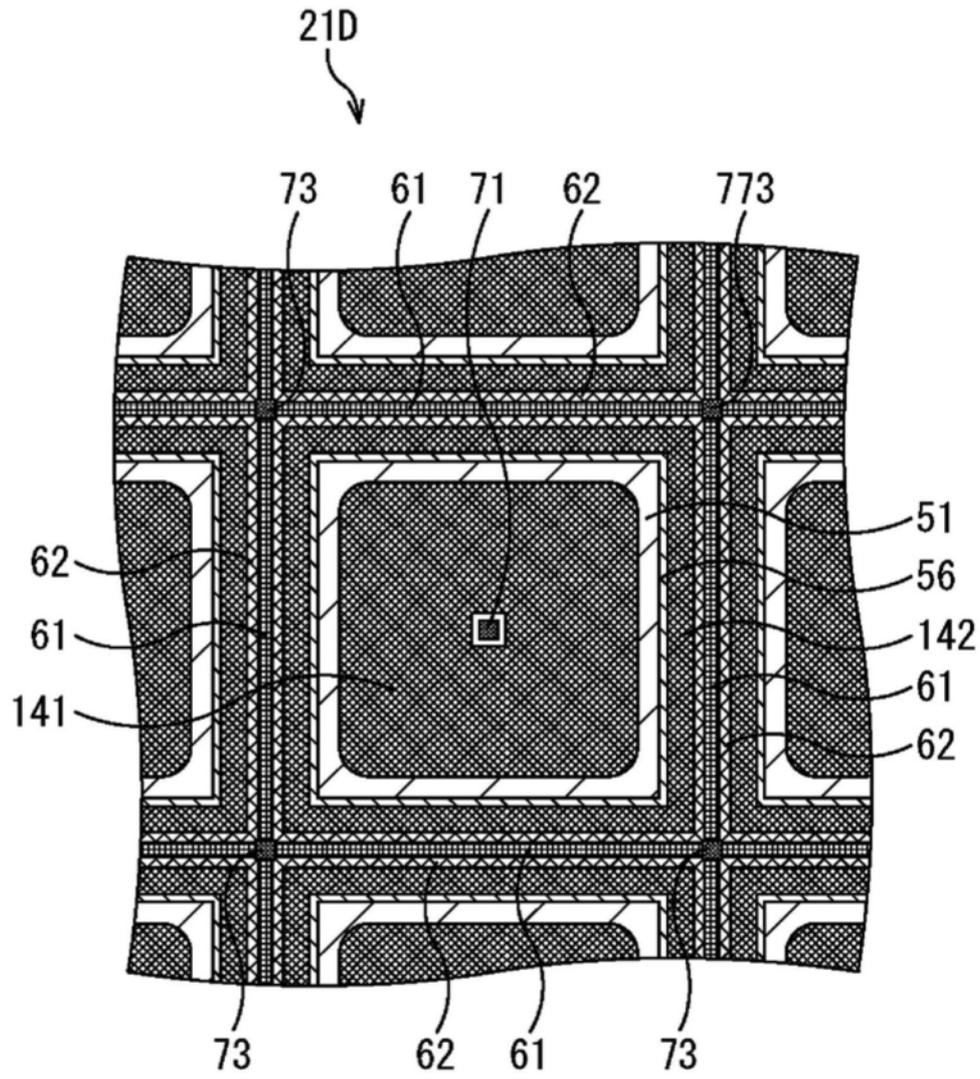


图10

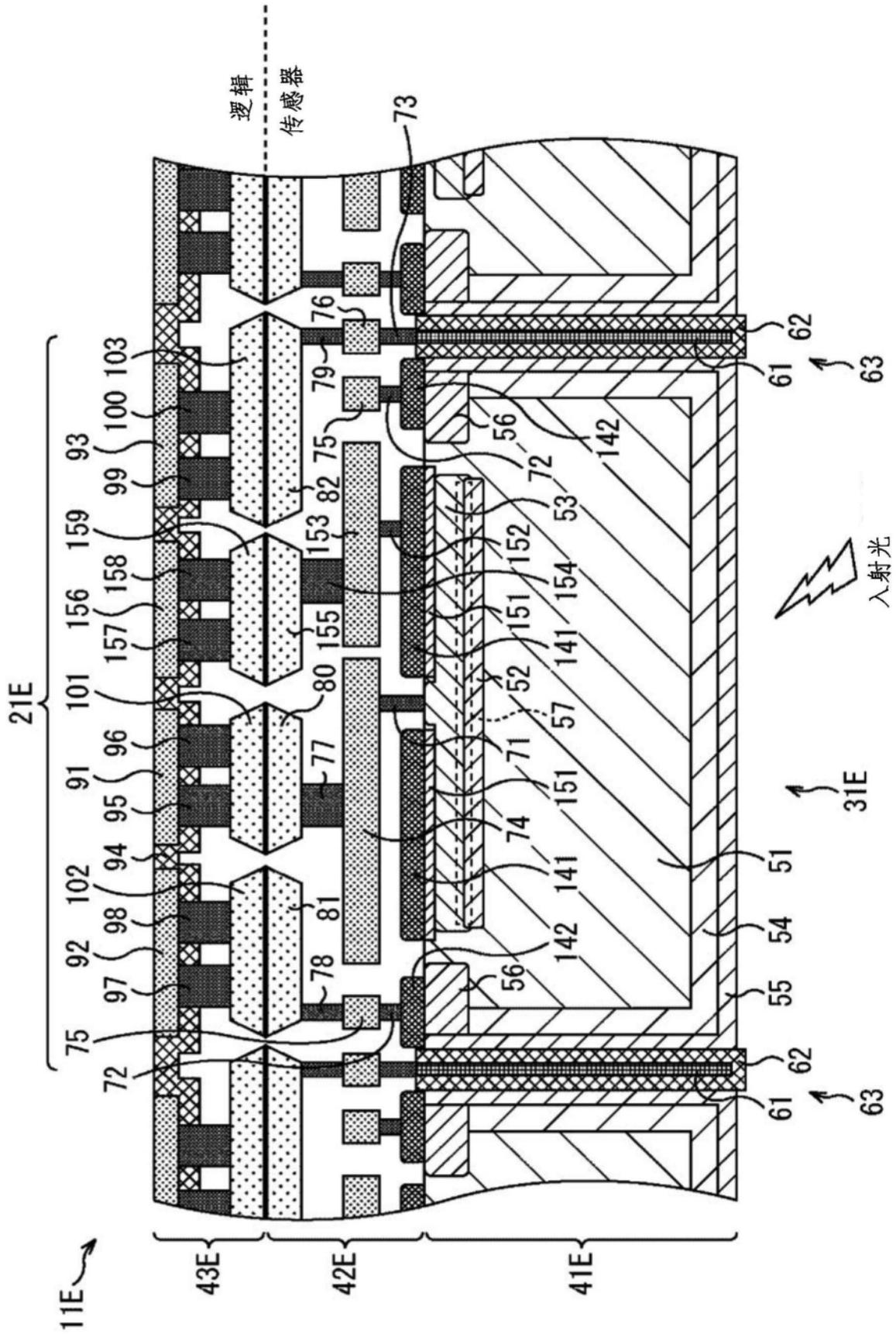


图11

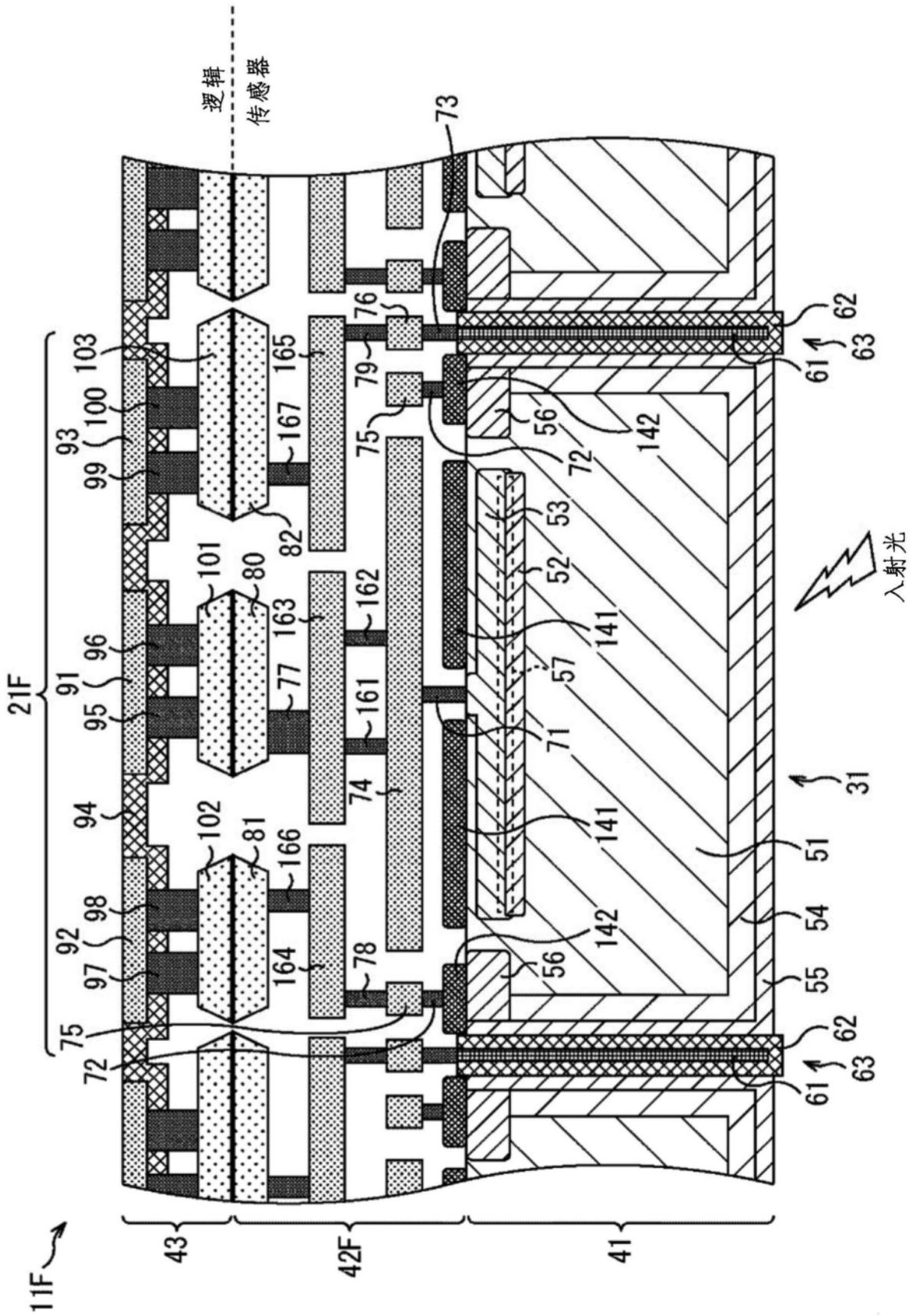


图12

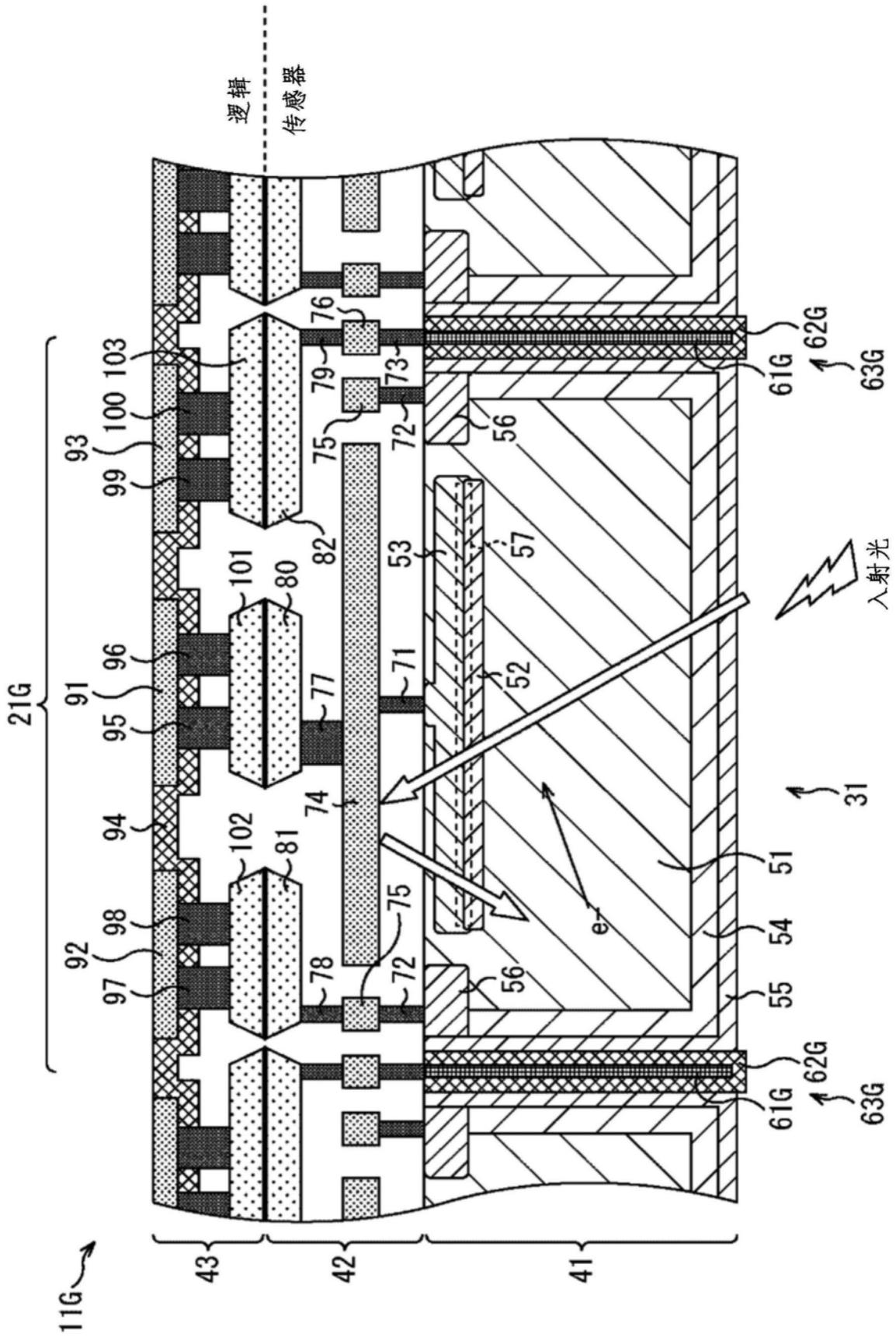


图13

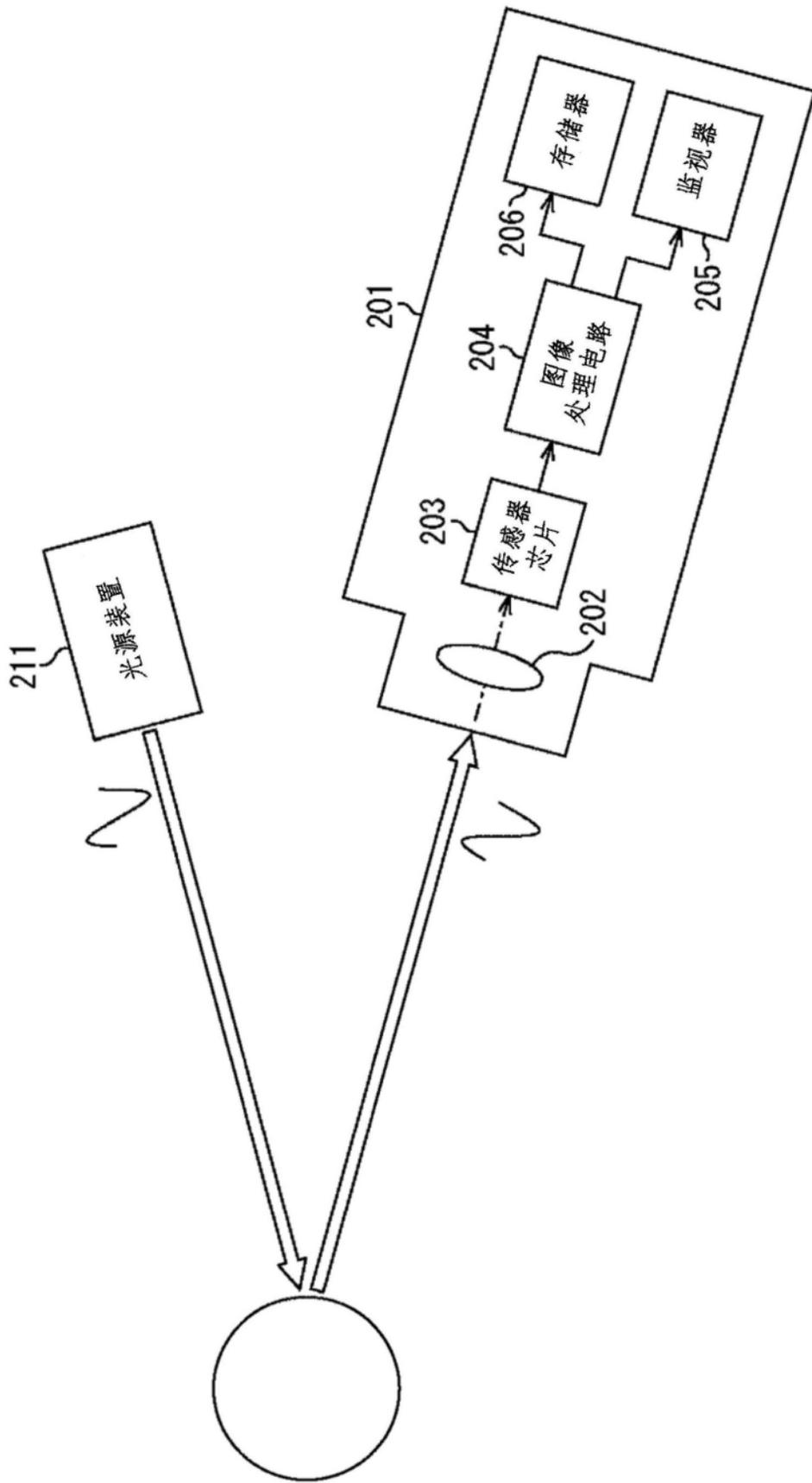


图14

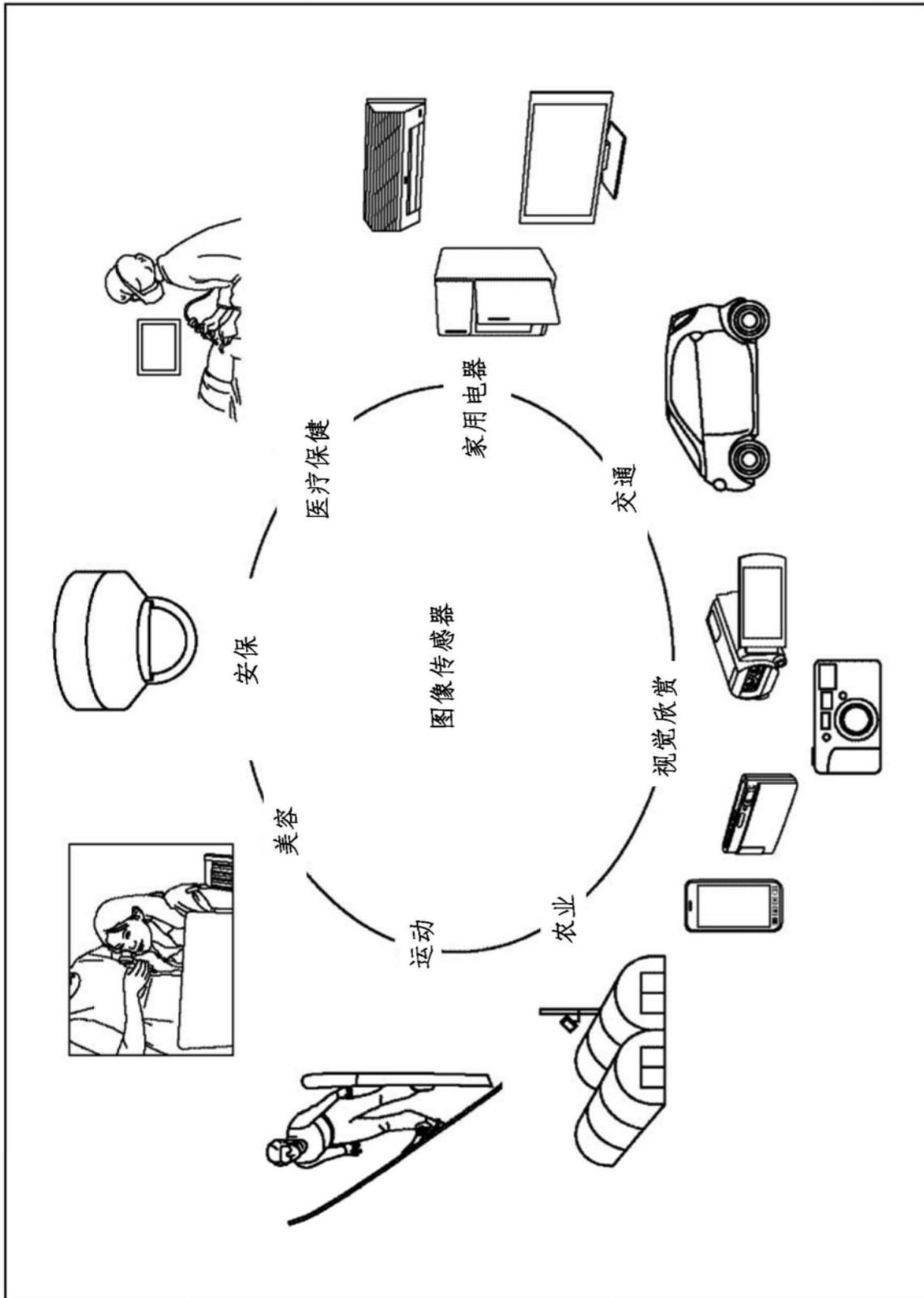


图15