



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년05월31일  
 (11) 등록번호 10-1985020  
 (24) 등록일자 2019년05월27일

(51) 국제특허분류(Int. Cl.)  
 H05K 3/06 (2006.01) C25D 1/00 (2006.01)  
 C25D 5/02 (2006.01) H01L 23/498 (2006.01)  
 H05K 3/18 (2006.01)  
 (21) 출원번호 10-2010-0055592  
 (22) 출원일자 2010년06월11일  
 심사청구일자 2015년04월03일  
 (65) 공개번호 10-2010-0133317  
 (43) 공개일자 2010년12월21일  
 (30) 우선권주장  
 JP-P-2009-140529 2009년06월11일 일본(JP)  
 (56) 선행기술조사문헌  
 JP2008141109 A\*  
 JP2008270346 A\*  
 KR1020070100355 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 신코 텐키 코교 가부시카이가이샤  
 일본국 나가노켄 나가노시 오시마다마치 80  
 (72) 발명자  
 코다니, 코타로  
 일본, 나가노 381-2287, 나가노-시, 오시마다-마  
 치, 80, 신코 텐키 가부시카이가이샤  
 (74) 대리인  
 허용록

전체 청구항 수 : 총 19 항

심사관 : 김상걸

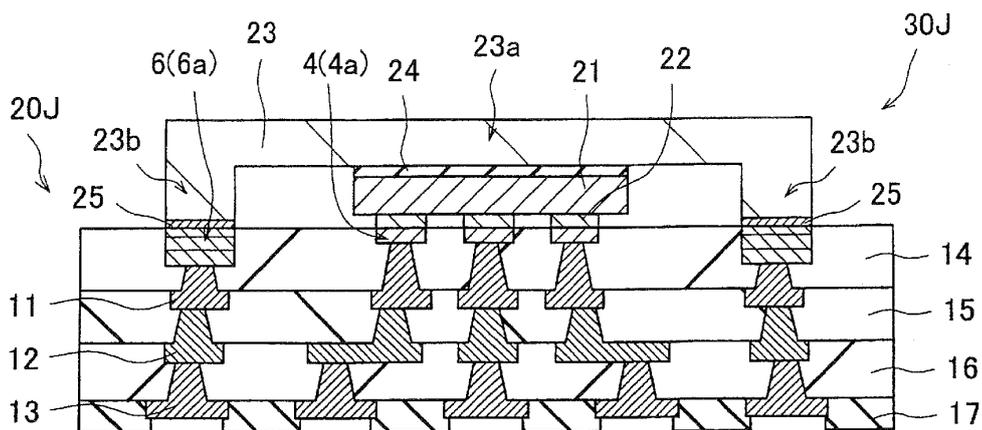
(54) 발명의 명칭 **배선기판의 제조방법**

**(57) 요약**

다양한 부품을 탑재하는 배선기판의 신뢰성을 향상시킨다.

층간 절연층(14)으로부터 노출되는 전극패드(4a, 6a)를 구비하는 배선기판(20J)에 있어서, 전극패드(4a, 6a)는 각각 층간 절연층(14)의 표면과 동일면에서 노출되고, 전극패드마다 노출면의 재질이 상이하다. 배선기판(20J)에는 반도체칩(21) 및 리드(23)가 탑재되고, 반도체칩(21)의 메인면에 형성되어 있는 외부 접속단자(22)와 전극패드(4a)가 전기적으로 접속되고, 리드(23)에 형성되어 있는 접속부(23b)와 전극패드(6a)가 전기적으로 접속되고, 반도체칩(21)의 이면에 리드(23)가 접촉하여 배치된다.

**대표도 - 도11**



## 명세서

### 청구범위

#### 청구항 1

배선기판의 제조방법에 있어서,

(a) 지지판 상에 개구부를 구비하는 제 1 레지스트층을 형성하고, 상기 제 1 레지스트층의 개구부로부터 노출되는 지지판 상에, 상기 지지판으로부터 급전하는 전해 도금에 의해, 제 1 도금막을 형성하고, 이어서 상기 제 1 레지스트층을 제거하는 단계;

(b) 상기 지지판 상에 개구부를 구비하는 제 2 레지스트층을 형성하고, 상기 제 2 레지스트층의 개구부로부터 노출되는 지지판 상에, 상기 지지판으로부터 급전하는 전해 도금에 의해, 제 2 도금막을 형성하고, 이어서 상기 제 2 레지스트층을 제거하는 단계;

(c) 상기 (a), (b) 단계 후에, 상기 제 1 및 제 2 도금막을 피복하는 절연층과, 상기 제 1 및 제 2 도금막과 전기적으로 접속된 배선층을 상기 지지판 상에 적층하고, 배선기판 본체를 형성하는 단계; 및

(d) 상기 (c) 단계 후에, 상기 지지판을 제거하여 상기 배선기판 본체의 지지판 제거면에 상기 제 1 및 제 2 도금막을 노출하고, 상기 제 1 도금막으로 구성되는 제 1 전극 패드 및 상기 제 2 도금막으로 구성되는 제 2 전극 패드를 형성하는 단계를 포함하고,

상기 (c) 단계는,

(c1) 상기 제 1 및 제 2 도금막을 피복하도록 상기 지지판 상에 수지로 이루어지는 상기 절연층을 적층하는 단계;

(c2) 상기 절연층에, 상기 제 1 및 제 2 도금막의 각각에 도달하는 제 1 및 제 2 비아홀을 형성하는 단계; 및

(c3) 상기 절연층 상에, 상기 제 1 비아홀을 통해 상기 제 1 도금막에 접속되고, 상기 제 2 비아홀을 통해 상기 제 2 도금막에 접속되는 상기 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 배선기판의 제조방법.

#### 청구항 2

제 1항에 있어서,

상기 제 1 도금막과 상기 제 2 도금막은 상이한 재료로 구성되는 것을 특징으로 하는 배선기판의 제조방법.

#### 청구항 3

제 1항에 있어서,

상기 지지판은 Ni로 구성되고, 상기 제 1 도금막은 Cu로 구성되고, 상기 제 2 도금막은 Au/Pd/Ni/Cu 또는 Au/Ni/Cu로 구성되는 것을 특징으로 하는 배선기판의 제조방법.

#### 청구항 4

제 1항에 있어서,

상기 지지판 상에는 급전층이 형성되어 있고,

상기 (a) 단계 및 상기 (b) 단계에서는, 상기 급전층을 도금 급전부로서 사용하는 것을 특징으로 하는 배선기판의 제조방법.

#### 청구항 5

제 4항에 있어서,

상기 지지판은 Cu로 구성되고, 상기 급전층은 Ni로 구성되고, 상기 제 1 도금막은 Cu로 구성되고, 상기 제 2 도금막은 Au/Pd/Ni/Cu 또는 Au/Ni/Cu로 구성되는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 6**

제 4항에 있어서,

상기 (a) 단계 또는 상기 (b) 단계에서는, 상기 지지판과 상기 제 1 또는 제 2 도금막 사이에 깊이 조정막을 형성하고,

상기 (d) 단계에서는, 상기 지지판을 제거한 후, 상기 깊이 조정막을 제거하는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 7**

제 6항에 있어서,

상기 지지판은 Cu로 구성되고, 상기 급전층은 Ni로 구성되고, 상기 제 1 도금막은 Cu로 구성되고, 상기 깊이 조정막은 Ni로 구성되고, 상기 깊이 조정막 상의 상기 제 2 도금막은 Au/Pd/Ni/Cu 또는 Au/Ni/Cu로 구성되는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 8**

제 1항에 있어서,

상기 (a) 단계 또는 상기 (b) 단계에서는, 상기 지지판과 상기 제 1 또는 제 2 도금막 사이에 깊이 조정막을 형성하고,

상기 (d) 단계에서는, 상기 지지판을 제거한 후, 상기 깊이 조정막을 제거하는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 9**

제 8항에 있어서,

상기 지지판은 Cu로 구성되고, 상기 깊이 조정막은 Ni로 구성되고, 상기 깊이 조정막 상의 상기 제 1 도금막은 Cu로 구성되고, 상기 제 2 도금막은 Au/Pd/Ni/Cu 또는 Au/Ni/Cu로 구성되는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 10**

제 8항이 있어서,

상기 지지판은 Ni로 구성되고, 상기 깊이 조정막은 Ni로 구성되고, 상기 제 1 도금막은 Cu로 구성되고, 상기 깊이 조정막 상의 상기 제 2 도금막은 Au/Pd/Ni/Cu 또는 Au/Ni/Cu로 구성되는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 11**

제 1항에 있어서,

상기 (a) 단계에서는, 상기 지지판과 상기 제 1 도금막 사이에 제 1 깊이 조정막을 형성하고,

상기 (b) 단계에서는, 상기 지지판과 상기 제 2 도금막 사이에 제 2 깊이 조정막을 형성하고,

상기 (d) 단계에서는, 상기 지지판 및 상기 제 2 깊이 조정막을 제거한 후, 상기 제 1 깊이 조정막을 제거하는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 12**

제 11항에 있어서,

상기 지지판은 Cu로 구성되고, 상기 제 1 깊이 조정막은 Ni로 구성되고, 상기 제 1 깊이 조정막 상의 상기 제 1 도금막은 Cu로 구성되고, 상기 제 2 깊이 조정막은 Cu로 구성되고, 상기 제 2 깊이 조정막 상의 상기 제 2 도금막은 Au/Pd/Ni/Cu 또는 Au/Ni/Cu로 구성되는 것을 특징으로 하는 배선기판의 제조방법.

**청구항 13**

배선기판의 표면이 되는 일방의 면과 그 타방의 면을 구비하고, 수지로 이루어지는 절연층;

상기 절연층으로 피복되는 제 1 및 제 2 전극 패드; 및

상기 절연층의 타방의 면에 적층되는 배선층을 포함하고,

상기 제 1 및 제 2 전극 패드의 표면은 상기 절연층의 일방의 면에 노출되고, 상기 제 1 및 제 2 전극 패드의 이면 및 측면은 상기 절연층으로 피복되고,

상기 절연층의 타방의 면으로부터 상기 제 1 및 제 2 전극 패드의 이면에 각각 도달하는 제 1 및 제 2 비아홀이 형성되고,

상기 배선층은, 상기 제 1 비아홀을 통해 상기 제 1 전극 패드와 전기적으로 접속되고, 상기 제 2 비아홀을 통해 상기 제 2 전극 패드와 전기적으로 접속되고,

상기 제 1 전극 패드와 상기 제 2 전극 패드는 재질이 상이한 도금막으로 구성되고,

반도체 칩의 플립 칩 접속용 패드로서, 상기 배선기판 표면의 중앙부에 복수의 상기 제 1 전극 패드가 마련되고,

리드의 집합용 패드로서, 상기 배선기판 표면의 외주부에 상기 중앙부의 영역을 둘러싸는 프레임 형태의 단일의 상기 제 2 전극 패드가 마련되어 있는 것을 특징으로 하는 배선기판.

**청구항 14**

제 13항에 있어서,

상기 제 1 전극 패드의 표면이 되는 도금막과 상기 제 2 전극 패드의 표면이 되는 도금막은, 재질이 상이한 도금막인 것을 특징으로 하는 배선기판.

**청구항 15**

제 14항에 있어서,

상기 제 1 전극 패드의 이면이 되는 도금막과 상기 제 2 전극 패드의 이면이 되는 도금막은, 재질이 동일한 도금막인 것을 특징으로 하는 배선기판.

**청구항 16**

제 13항 내지 제15항 중 어느 한 항에 있어서,

상기 제 1 전극 패드는, 상기 제 1 전극 패드의 표면에서 순서대로 Au, Pd, Ni, Cu막이 적층된 도금막 또는 Au, Ni, Cu막이 적층된 도금막으로 구성되고,

상기 제 2 전극 패드는, Cu 도금막으로 구성되는 것을 특징으로 하는 배선기판.

**청구항 17**

제 13항 내지 제15항 중 어느 한 항에 있어서,

상기 제 1 전극 패드는, Cu 도금막으로 구성되고,

상기 제 2 전극 패드는, 상기 제 2 전극 패드의 표면에서 순서대로 Au, Pd, Ni, Cu막이 적층된 도금막 또는 Au, Ni, Cu막이 적층된 도금막으로 구성되는 것을 특징으로 하는 배선기판.

**청구항 18**

제 13항 내지 제15항 중 어느 한 항에 있어서,

상기 배선기판 표면에서 상기 제 1 전극 패드의 표면까지의 깊이와, 상기 배선기판 표면에서 상기 제 2 전극 패드의 표면까지의 깊이는 상이한 것을 특징으로 하는 배선기판.

**청구항 19**

제 13항 내지 제15항 중 어느 한 항에 있어서,  
 상기 절연층의 타방의 면 상에, 상기 배선층을 피복하도록 형성된 다른 절연층 및 다른 배선층이 적층되고,  
 상기 다른 절연층 상에, 상기 다른 배선층의 표면을 노출하는 개구부를 구비한 솔더 레지스트층이 형성되고,  
 노출되는 상기 다른 배선층의 표면은, 상기 배선기판 표면의 반대의 이면에 형성되는 다른 전극 패드인 것을 특징으로 하는 배선기판.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 배선기판의 제조기술에 관한 것으로, 특히, 반도체 패키지의 배선기판에 적용하여 유효한 기술에 관한 것이다.

**배경 기술**

[0002] 예를 들면, 서브트랙티브법(subtractive method)에 의해 배선기판 상에 전극패드를 형성하는 경우, 동박 표면에 개구부를 구비하는 레지스트 패턴을 형성하고, 당해 개구부로부터 노출되는 동박을 에칭한 후, 레지스트 패턴을 박리함으로써, 잔존한 동박으로 구성되는 전극패드가 형성된다.

[0003] 또한, 예를 들면, 세미어디티브법(semi-additive method)에 의해 배선기판 상에 전극패드를 형성하는 경우, 우선, 무전해 도금법에 의해 기판 최 표면층의 절연층 상에 시드(seed)막을 형성한 후, 당해 시드막 표면에 개구부를 구비하는 레지스트 패턴을 형성한다. 이어서, 당해 개구부로부터 노출되는 시드막 상에 전해 도금에 의해 전극패드를 형성한 후, 레지스트 패턴을 박리하고, 에칭에 의해 불필요한 시드막을 제거하는 것에 의해, 전해 도금막으로 구성되는 전극패드가 형성된다.

[0004] 이와 같이, 다양한 방법에 의해, 배선기판 상에 전극패드를 형성할 수 있다. 한편, 전극패드를 구비하는 배선기판의 구조, 특히, 기판 최 표면층의 절연층으로 노출되는 전극패드를 구비하는 배선기판의 구조에 관하여, 하기와 같은 선행 기술문헌(특허문헌 1~3)이 추출되었다.

[0005] 일본 특허공개 2005-327780호 공보(특허문헌 1)에는, 모든 하층배선이 베이스 절연막의 요부 깊숙한 곳에 위치하는 반도체 패키지의 배선기판이 개시되어 있다. 이 배선기판에서는 모든 하층배선 상의 에칭하기 쉬운 층이 제거되는 것에 의해, 요부가 형성되어 있다. 당해 노출되어 있는 하층배선의 재질은 모두 동일하고, 동일한 표면처리가 되어 있다고 할 수 있다.

[0006] 일본 특허공개 2002-198462호 공보(특허문헌 2)에는, 절연층의 요부의 저면으로부터 노출되는 전극을 복수로 구비하는 반도체 패키지의 배선기판이 개시되어 있다. 이 배선기판에서는 모든 전극이 배선기판의 하면층으로부터 소정 두께 에칭하여 제거된다. 당해 노출되어 있는 전극의 재질은 모두 동일하고, 동일한 표면처리가 되어 있다고 할 수 있다.

[0007] 일본 특허공개 2007-13092호 공보(특허문헌 3)에는, 솔더 레지스트층의 외측의 면으로부터 함몰된 구조의 전극을 복수로 구비하는 배선기판이 개시되어 있다. 이 배선기판에서는 모든 전극이, 그 위의 전극 높이에 조정층이 에칭되는 것에 의해 함몰된 구조로 되어 있다. 당해 노출되어 있는 전극의 재질은 모두 동일하고, 동일한 표면처리가 되어 있다고 할 수 있다.

**선행기술문헌**

**특허문헌**

- [0008] (특허문헌 0001) 일본 특허공개 2005-327780호 공보(명세서 단락 [0030], [0062], 도 1)
- (특허문헌 0002) 일본 특허공개 2002-198462호 공보(명세서 단락 [0111], 도 2, 도 15)
- (특허문헌 0003) 일본 특허공개 2007-13092호 공보(명세서 단락 [0062]~[0066], 도 3)

**발명의 내용**

**해결하려는 과제**

- [0009] 도 63에 절연층(103)으로부터 노출되는 복수의 전극패드(102)를 구비하는 배선기판(101)을 구비한 반도체 패키지를 나타낸다. 도 63에 나타내는 배선기판(101)에서는 상기 특허문헌 1~3에 기재의 배선기판과 마찬가지로, 복수의 전극패드(102)의 각각의 탑재면이, 절연층(103)에 형성되어 있는 동일 함몰 깊이의 요부(104)로부터 노출되어 있다. 또, 배선기판(101)은 외부 접속단자가 되기도 하는 배선층(105)과, 배선층(105)을 덮는 솔더 레지스트(106)와, 절연층(103)에 형성되어 전극패드(102)와 배선층(105)을 전기적으로 접속시키는 비아(VIA)(107)를 포함하여 구성되어 있다.
- [0010] 배선기판(101)의 전극패드(102)는, 예를 들면, 노출되어 있는 측으로부터 Au 도금막, Ni 도금막, Cu 도금막이 차례로 형성되어 있다. 이 경우, 전극패드(102)는 Au 도금에 의해 표면처리되어 있다고 할 수 있다.
- [0011] 예를 들면, 배선기판(101)의 전극패드(102)측에서 반도체칩이 탑재되는 경우, 전극패드(102)와 반도체칩의 외부 접속단자(예를 들면, 전극 범프)가 전기적으로 접속된다. 또한, 배선기판(101) 상에는 반도체칩 이외에, 반도체칩의 방열을 돕는 방열판(예를 들면, 리드(lid)이나 다른 배선기판, 나아가 칩캐패시터 등의 부품이 탑재되는 경우가 있다.
- [0012] 배선기판(101)에 다양한 부품을 탑재에 즈음하여, 전극패드(102)와의 접속에 있어서 전기적 특성을 향상시키고자 하는 경우나, 산화 등의 부식을 방지하여 신뢰성을 향상시키고자 하는 경우 등의 요구가 있다. 이러한 요구에 대해, 노출면의 재질이 동일한 전극패드(102)를 구비하는 배선기판(101) 상에 반도체칩, 방열판, 다른 배선기판, 전자 부품 등 다양한 부품을 탑재하는 경우, 탑재에 관한 자유도(degree of freedom)가 부족하기 때문에, 반도체 패키지 전체적인 전기적 특성의 저하나 신뢰성의 저하가 사료된다.
- [0013] 또한, 반도체장치의 고기능화, 소형화에 동반하여, 반도체칩을 탑재하는 반도체 패키지(배선기판)도 소형화, 박형화가 요구되고, 그 배선이나 전극패드도 미세화, 협소화가 요구되고 있다. 이러한 요구에 대해, 배선기판(101) 상에 반도체칩, 방열판, 다른 배선기판, 전자 부품 등 다양한 부품을 탑재하는 경우, 단일 재질의 전극패드의 경우, 탑재에 관한 자유도가 부족한 것으로 사료된다.
- [0014] 배선기판(101) 상에 반도체칩, 방열판 등 다양한 부품을 탑재하기 위해서는 배선기판(101)의 복수의 전극패드(102)에, 다양한 부품의 크기가 상이한 외부 접속단자를 접속시키는 경우가 있다. 이 경우, 외부 접속단자에 사용되는, 예를 들면, 뿔납 등의 접속재의 양(量) 제어만에 의해, 배선기판(101)에 반도체칩, 방열판 등이 탑재된다. 예를 들면, 반도체 패키지의 박형화에 관하여, 배선기판(101)의 전극패드(102)와 같이, 모든 탑재면이 최표면으로부터 동일한 깊이에 위치하는 경우, 탑재용 뿔납량에 의해 각종 부품의 접속 높이를 조정해야 하기 때문에, 탑재에 관한 자유도가 적다. 이 때문에, 다양한 부품에 의해 접속하기 위한 뿔납량이 상이하기 때문에, 당해 접속부의 신뢰성이 저하도 사료된다.
- [0015] 본 발명의 목적은 배선기판의 신뢰성을 향상시킬 수 있는 기술을 제공함에 있다. 본 발명의 상기 및 기타의 목적과 신규적인 특징은 본 명세서의 기술 및 첨부 도면에 의해 명백하다.

**과제의 해결 수단**

- [0016] 본 발명의 일 실시형태에 따른 배선기판의 제조방법은, (a) 지지판의 제 1면 상에 제 1 개구부를 구비하는 제 1 레지스트층을 형성하고, 전해 도금법에 의해 상기 제 1 레지스트 개구부에 제 1 도금막을 형성하고, 상기 제 1 레지스트층을 제거하고; (b) 상기 지지판의 제 2면 상에 개구부를 구비하는 제 2 레지스트층을 형성하고, 전해 도금법에 의해 상기 제 2 개구부에 제 2 도금막을 형성하고, 상기 제 2 레지스트층을 제거하고; (c) 상기 제 1 및 제 2 도금막과 전기적으로 접속된 배선층과 절연층을 형성하고; (d) 상기 지지판을 제거하고, 상기 제 1 및 제 2 도금막을 노출시키는 공정을 포함한다.

**발명의 효과**

- [0017] 본 발명의 일 실시형태에 의하면, 배선기판의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0018] 도 1은 본 발명의 제 1 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.

- 도 2는 도 1에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 3은 도 2에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 4는 도 3에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 5는 도 4에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 6은 도 5에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 7은 도 6에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 8은 도 7에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 9는 도 8에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 10은 도 9에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 11은 도 10에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 12는 본 발명의 제 1 실시형태의 변형예에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 13은 본 발명의 제 2 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 14는 도 13에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 15는 도 14에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 16은 도 15에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 17은 도 16에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 18은 도 17에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 19는 본 발명의 제 3 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 20은 도 19에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 21은 도 20에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 22는 도 21에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 23은 도 22에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 24는 도 23에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 25는 도 24에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 26은 도 25에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 27은 도 26에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 28은 도 27에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 29는 도 28에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 30은 도 27의 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 31은 본 발명의 제 4 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 32는 도 31에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 33은 도 32에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 34는 도 33에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 36은 도 34에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 36은 본 발명의 제 5 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 37은 도 36에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.

- 도 38은 도 37에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 39는 도 38에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 40은 도 39에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 41은 도 40에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 42는 본 발명의 제 6 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 43은 도 42에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 44는 도 43에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 45는 도 44에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 46은 도 45에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 47은 도 46에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 48은 본 발명의 제 7 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 49는 도 48에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 50은 도 49에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 51은 도 50에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 52는 도 51에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 53은 도 52에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 54는 본 발명의 제 8 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 55는 도 54에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 56은 도 55에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 57은 도 56에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 58은 도 57에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 59는 도 58에 이어지는 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 60은 본 발명의 제 9 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 61은 본 발명의 제 10 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 62는 본 발명의 제 11 실시형태에 따른 제조공정 중의 반도체 패키지의 모식적인 단면도.
- 도 63은 종래의 반도체 패키지의 모식적인 단면도.

**발명을 실시하기 위한 구체적인 내용**

[0019] 이하, 도면을 참조하여 본 발명의 실시형태를 상세하게 설명한다. 또, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부품에는 동일한 부호를 부여하고, 그 반복되는 설명은 생략하는 경우가 있다.

또한, 본 발명에 있어서의 배선기판은 반도체 패키지, 인터포저, 실장 기판 등에 적용할 수 있고, 특히, 반도체 패키지에 적용하는 것이 바람직하다. 이하의 실시형태에서는 반도체 패키지로서 배선기판을 채용한 경우에 대해 설명한다.

[0020] (제 1 실시형태) 본 실시  
 형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 우선, 도 1에 나타내는 바와 같이, 지지판(1) 상에 지지판(1)과 재질이 상이하고, 도전성을 갖는 급전층(7)을 형성한다. 지지판(1)은, 예를 들면, 500 $\mu$ m 정도 두께의 Cu(동)박(foil)이다. 급전층(7)은, 예를 들면, 도금법에 의해 형성한 1~5 $\mu$ m 정도 두께의 Ni(니켈) 도금막이다. 또, 지지판(1)으로서, Cu박 이외에 각종 금속박을 사용할 수 있다.

[0021] 또, 급전층(7)은 도전성을 갖는 것이면, Al(알루미늄)막 등이어도 좋고, 또한, 예를 들면, 스퍼터법 등에 의해

형성되어도 좋다. 본 실시형태에서는 후공정에서, 급전층(7)을 도금 도통부(Conduction Plate)로서 사용하여 전해 도금법을 진행하기 때문에, 급전층(7)은 도전성을 갖는 것으로 사용하고 있다. 또한, 지지판(1)의 두께는 제조공정 중의 지지판(1)에 휨이 발생하지 않는 정도이면 된다. 지지판(1)의 두께가 너무 얇아서 휨이 발생하면, 예를 들면, 위치 맞춤에 편차가 발생하여 제조 수율이 저하되기 때문이다.

[0022] 다음으로, 도 2에 나타내는 바와 같이, 급전층(7)을 덮도록 지지판(1) 상에 레지스트층(2)(도금 레지스트층)을 형성한 후, 급전층(7)을 노출시키는 개구부(2a)를 레지스트층(2)에 형성한다. 레지스트층(2)은, 예를 들면, 소정 두께의 드라이 필름 레지스트 또는 액상 레지스트에 의해 형성한다. 예를 들면, 급전층(7) 상에 드라이 필름 레지스트를 형성한 후, 당해 드라이 필름 레지스트에 대하여 노광 및 현상을 진행하는 것에 의해, 개구부(2a)를 구비하는 레지스트층(2)이 급전층(7) 상에 형성된다.

[0023] 다음으로, 도 3에 나타내는 바와 같이, 급전층(7)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 급전층(7) 상에 급전층(7)과 재질이 상이한 도금막(4)을 형성한다. 상기 도금막(4)은 전극 패드를 구성하는 것에 포함된다. 또, 지지판(1)에 도전성을 갖는 각종 금속막을 사용한 경우, 급전층(7) 이외에 지지판(1)도 도금 도통부로서 기능을 한다.

[0024] 도금막(4)은, 예를 들면, 10~20 $\mu$ m 정도 두께의 Cu 도금막이다. 본 실시형태에서는 급전층(7)으로서 Ni 도금막을 형성하고 있으므로, 도금막(4)은 그와 상이한 재질인 Cu 도금막을 형성하고 있다. 후공정에서, Ni 도금막으로 구성되는 급전층(7)은 에칭에 의해 제거되지만, 그때 도금막(4)은 잔존시켜 놓으므로, 도금막(4)에는 Ni 도금막과 에칭 레이트가 상이한 재질인 Cu 도금막을 형성하고 있다.

[0025] 다음으로, 도 4에 나타내는 바와 같이, 레지스트층(2)을 제거한다.

[0026] 다음으로, 도 5에 나타내는 바와 같이, 급전층(7)을 덮도록 지지판(1) 상에 레지스트층(5)(도금 레지스트층)을 형성한 후, 급전층(7)을 노출시키는 개구부(5a)를 레지스트층(5)에 형성한다. 여기서의 레지스트층(5)은 지지판(1) 상에 형성되어 있는 도금막(4)을 덮도록 하여, 레지스트층(2)과 동일하게 하여 형성된다. 일례로서, 개구부(5a)가 틀이나 테 형상으로 형성되어도 좋다.

[0027] 다음으로, 도 6에 나타내는 바와 같이, 급전층(7)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 급전층(7) 상에 급전층(7) 및 도금막(4)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 전극패드를 구성하는 것에 포함된다. 또, 지지판(1)에 도전성을 갖는 각종 금속막을 사용한 경우, 급전층(7) 이외에 지지판(1)도 도금 도통부로서 기능을 한다.

[0028] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는 지지판(1)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)(Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 급전층(7)으로서 Ni 도금막, 및 도금막(4)으로서 Cu 도금막을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다.

[0029] 후공정에서, Ni 도금막으로 구성되는 급전층(7)은 에칭에 의해 제거되지만, 그때 도금막(6)은 잔존시켜 놓으므로, 에칭 스톱퍼로서, 도금막(6)의 지지판(1)측에는 에칭 레이트가 상이한 재질인 Au 도금막을 형성하고 있다. 또, 상기한 바와 같이, 급전층(7)의 에칭 때에는 도금막(4)도 잔존시켜 놓으므로, 도금막(4)으로서, 급전층(7)의 Ni 도금막과 에칭 레이트가 상이한 재질인 Cu 도금막을 형성하고 있다.

[0030] 본 실시형태에서는 도금막(6)을 형성할 때에, 도금막(4)과도 재질이 상이한 도금막(6)을 형성하고 있다. 도금막(4)으로서 Cu 도금막을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 Au 도금막을 형성하고 있다. 후공정에서는 이들 도금막(4, 6)은 배선기판의 전극패드로서 사용된다. 이에 의해, 예를 들면, 배선기판 상에 탑재되는 다양한 부품의 외부 접속단자에 대응하는 재질이 상이한 표면처리가 시행된 전극패드를 형성할 수 있게 된다.

[0031] 또, 급전층(7)과 에칭 레이트가 상이한 재질인 도금막이 형성되어 있으면, 그 이후에 형성되는 도금막의 재질은 전극패드로서 구성할 수 있는 것이면, 급전층(7)과 동일한 재질이어도 좋다. 본 실시형태의 도금막(6)은 급전층(7)의 재질을 Ni 도금막으로 하고 있으므로, 급전층(7)과 에칭 레이트가 상이한 재질인 Au 도금막을 지지판(1)측에 형성하고, 그 이후는 Ni 도금막, Cu 도금막을 형성하는 것에 의해 구성되는 적층막으로 하고 있다.

[0032] 다음으로, 도 7에 나타내는 바와 같이, 레지스트층(5)을 제거한다.

[0033] 다음으로, 도 8에 나타내는 바와 같이, 도금막(4) 및 도금막(6)과 전기적으로 접속된 배선층을 형성한다. 이 배선층은, 예를 들면, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하여 구성되는 빌드업 배선층이다.

즉, 도금막(4, 6)과 전기적으로 접속된 배선층과 절연층을 적층하여 배선기판 본체를 형성한다.

- [0034] 우선, 지지판(1) 상에 형성되어 있는 도금막(4) 및 도금막(6)을 덮도록 층간 절연층(14)을 형성한 후, 도금막(4) 및 도금막(6)에 도달하는 비아(VIA)홀을 형성하고, 당해 비아홀을 개재하여 도금막(4) 및 도금막(6)과 전기적으로 접속되는 배선(11)을 형성한다.
- [0035] 층간 절연층(14)은, 예를 들면, 에폭시계 수지나 폴리이미드계 수지 등의 수지 필름으로 형성한다. 또한, 상기 비아홀은, 예를 들면, 도금막(4) 및 도금막(6)을 스토퍼로서 사용한 레이저나 드라이 에칭에 의해, 도금막(4) 및 도금막(6)에 도달하여 층간 절연층(14)에 형성되는 개구부이다.
- [0036] 또한, 배선(11)은, 예를 들면, 세미어디티브법에 의해 형성된다. 우선, 상기 비아홀 내 및 층간 절연층(14) 상에 무전해 도금 등에 의해 시드층(미도시)을 형성한 후, 배선(11)이 형성되는 영역에 개구부가 마련된 레지스트층(미도시)을 형성한다. 그 다음, 상기 시드층을 도금 도통부에 사용한 전해 도금법에 의해, 상기 레지스트층의 개구부 내에, 예를 들면, Cu 도금막을 형성한다. 그 다음, 상기 레지스트층을 박리한 후, 상기 Cu 도금막을 마스크로 하여 상기 시드층을 에칭한다. 이에 의해, 비아홀 내에 형성된 비아와 층간 절연층(14) 상에 형성된 배선 패턴 및 상기 Cu 도금막으로 구성되는 배선(11)이 형성된다.
- [0037] 이어서, 층간 절연층(14) 및 배선(11)의 형성 공정과 동일한 공정을 반복하는 것에 의해, 층간 절연층(14) 상에 형성되어 있는 배선(11)을 덮도록 층간 절연층(15)을 형성한 후, 배선(11)에 도달하는 비아홀을 형성하고, 당해 비아홀을 개재하여 배선(11)과 전기적으로 접속되는 배선(12)을 형성한다.
- [0038] 이어서, 층간 절연층(14) 및 배선(11)의 형성 공정과 동일한 공정을 반복하는 것에 의해, 층간 절연층(15) 상에 형성되어 있는 배선(12)을 덮도록 층간 절연층(16)을 형성한 후, 배선(12)에 도달하는 비아홀을 형성하고, 당해 비아홀을 개재하여 배선(12)과 전기적으로 접속되는 배선(13)을 형성한다. 이에 의해, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하여 구성되는 배선층(빌드업 배선층)이 형성된다.
- [0039] 이어서, 층간 절연층(16) 상에 배선(13)의 표면을 노출시키는 개구부를 구비하는 솔더 레지스트(17)를 형성한다. 솔더 레지스트(17)는, 예를 들면, 층간 절연층(16) 상에 필름 형태의 레지스트를 형성한 후, 당해 레지스트에 대하여 노광 및 현상을 진행하는 것에 의해 형성된다. 또, 솔더 레지스트(17)로부터 노출되어 있는 부분의 배선(13)은 전극패드로서 사용되고, 솔더 레지스트(17)에 의해, 외부 접속단자와의 접속시의 쇼트(단락)가 방지 및 보호된다.
- [0040] 이어서, 노출되어 있는 배선(13)에 대하여 보호 등을 위한 표면처리를 한다. 도식되지 않지만, 노출되어 있는 배선(13) 상에는 OSP(Organic Solder Preservative)막, 무전해 Ni/Pd/Au 도금막, 또는 무전해 Ni/Au 도금막이 형성된다. Au막이 배선기판의 외부에 노출되도록 무전해 Ni/Pd/Au 도금막 또는 무전해 Ni/Au 도금막이 노출된 배선(13) 상에 형성된다.
- [0041] 다음으로, 도 9에 나타내는 바와 같이, 지지판(1)을 제거한다. 지지판(1)에 Cu박을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(1)을 제거한다. 급전층(7)에 지지판(1)의 Cu박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭 때에, Ni 도금막으로 구성되는 급전층(7)은 제거되지 않는다.
- [0042] 다음으로, 도 10에 나타내는 바와 같이, 급전층(7)을 제거한다. 급전층(7)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 급전층(7)을 제거한다. 도금막(4)에 급전층(7)의 Ni 도금막과 에칭 레이트가 상이한 Cu 도금막이 형성되어 있으므로, 급전층(7)의 제거 때에 도금막(4)은 제거되지 않고 잔존한다. 또한, 도금막(6)의 노출측에 급전층(7)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 급전층(7)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 이들 도금막(4, 6)의 노출면이 층간 절연층(14)의 표면과 동일면(플랫)으로 되어 있다.
- [0043] 또, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다. 또한, 전극패드의 노출면을 보호하는 등의 필요가 있을 경우, 도금막(4) 상에, 예를 들면, OSP막을 형성해도 좋다. 이에 의해, 배선기판 본체의 지지판 제거면에 도금막(4, 6)을 노출시키게 된다.
- [0044] 이와 같이 하여, 반도체 패키지의 배선기판(20J)이 형성된다. 배선기판(20J)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(4a)가 형성되어 있다. 또한, 배선기판(20J)의 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(6a)가 영역(A)을 둘러싸고 프레임 형태

로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조). 배선기판(20J)에서는, 층간 절연층(14)으로부터 노출되어 있는 전극패드(4a)와 전극패드(6a)의 재질이 상이하게 표면처리되어 있고, 전극패드(4a)의 재질은 Cu(Cu 도금막)이고, 전극패드(6a)의 재질은 Au(Au 도금막)이다.

[0045] 본 배선기판(20J)은 일반적인 배선기판이 구비하는 코어기판 대신에, 지지판(1)을 사용하여 형성된 코어레스 기판이다. 본 실시형태에서는, 지지판(1)에 대한 표면처리, 즉 복수회의 패터닝과 복수회의 도금을 하는 것에 의해, 지지판(1)이 제거된 배선기판(20J)(코어레스 기판) 표면의 도금막(4, 6) 노출면을 상이한 재질로 형성할 수 있다.

[0046] 또한, 본 실시형태에서는 급전층(7)을 도금 도통부로 하고 있으므로, 일반적인 배선기판과 같이 별도로 도금 도통부(버스라인(Bus line))를 형성할 필요가 없고(버스레스(Busless)화), 나중에 버스를 제거 또는 절단하는 공정을 삭감할 수 있어, 비용도 줄일 수 있다. 또한, 전극패드(6a)의 도금막(6) 형성 때에 전극패드(4a)(도금막(4))부에 도금이 부착되지 않도록 마스크를 할 필요가 없으므로, 도금 마스크재에 의한 도금액의 오염을 방지할 수도 있다. 또한, 버스 형성을 위한 배선을 확보할 필요도 없으므로, 전극패드(4a) 6a의 파인 피치화를 피할 수 있다.

[0047] 다음으로, 도 11에 나타내는 바와 같이, 배선기판(20J) 상에 반도체칩(21)을 탑재한다. 반도체칩(21)의 메인면(소자형성면)에는 내부소자와 전기적으로 접속되어 있는 골드 범프나 솔더 범프 등의 외부 접속단자(22)가 형성되어 있다. 이 외부 접속단자(22)와 배선기판(20J)의 전극패드(4a)가 전기적으로 접속되어, 배선기판(20J) 상에 반도체칩(21)이 플립 칩 실장된다. 언더필수지가 상기 배선기판(20J)과 상기 반도체칩(21)의 사이에 마련되어도 좋다.

[0048] 이어서, 배선기판(20J) 상에 방열 기능을 갖는 도전성 리드(23)(예를 들면, 구리나 알루미늄 등의 금속으로 구성됨)를 탑재한다. 이 리드(23)는 방열판으로서 사용하지만, 방열 기능 이외에, 기준 전위(GND)와 접속하여 회로 동작의 안정화나 외부 노이즈 차단용으로 사용해도 좋다. 반도체칩(21)의 이면(메인면과 반대인 면)과 커버부(23a)가 그리스(24)를 개재하여 접촉되고, 또한, 커버부(23a)의 외주에서 프레임 형태로 돌기되어 있는 접속부(23b)와 배선기판(20J)의 전극패드(6a)가, 예를 들면, 땀납(25)을 개재하여 전기적으로 접속되어, 배선기판(20J) 상에 리드(23)가 접합되어 있다. 이에 의해, 반도체칩(21)과 리드(23)는 반도체칩(21)의 이면에 그리스(24)를 개재하여 리드(23)가 접촉하여 탑재되고, 리드(23)에 의해 반도체칩(21)이 커버되어 있다. 리드(23)가 방열판으로 사용될 때에 전극패드(6a)는 GND에 전기적으로 접촉될 필요가 없고, 이 경우에는 리드(23)는 전극패드(6a)에 기계적으로 접속되어 있다.

[0049] 이와 같이, 배선기판(20J)에는, 반도체칩(21)이나 리드(23)가 탑재되어 있다. 반도체칩(21)은 반도체칩(21)의 메인면에 형성되어 있는 외부 접속단자(22)와 전극패드(4a)가 전기적으로 접속되어 배선기판(20J)에 탑재되어 있다. 또한, 리드(23)는 반도체칩(21)을 덮도록, 리드(23)에 형성되어 있는 접속부(23b)와 전극패드(6a)가 전기적으로 접속되어 배선기판(20J)에 탑재되어 있다.

[0050] 이상에 의하여, 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20J)을 구비하는 반도체 패키지(30J)가 형성된다. 반도체장치의 고기능화, 소형화에 동반하여, 반도체칩을 탑재하는 반도체 패키지도 소형화, 박형화가 요구되고 있다. 이 배선기판(20J)은, 소정 두께를 갖는 코어기판 대신에, 후공정에서 제거되는 지지판(1)을 사용하여 형성된 코어레스 기판이므로, 박형화(예를 들면, 170~200 $\mu$ m 정도)할 수 있다. 따라서, 반도체 패키지(30J)를 소형화, 박형화할 수 있다.

[0051] 또한, 본 실시형태에 따른 배선기판(20J)에서는, 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질로 표면처리된 전극패드(4a, 6a)에 사용할 수 있다. 본 실시형태에서는, 반도체칩(21)과의 접속에는, 전기신호의 전달성을 양호하게 하기 위하여, 전극패드(4a)의 노출면의 재질에, 예를 들면, Cu를 사용하고 있다. 또한, 리드(23)와의 접속에 사용하는 전극패드(6a)의 노출면의 재질에 산화를 방지하고, 땀납의 접속성을 향상하기 위하여, 예를 들면, Au를 사용하고 있다. 이와 같이, 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30J)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0052] 또, 본 실시형태에서는 Cu박 지지판(1) 상에 Ni 도금막 급전층(7)을 형성하고, 당해 급전층(7)을 도금 도통부로서 사용하였지만, 도전성 지지판(1)으로서 Ni박을 사용한 경우에는, 급전층(7)을 형성하지 않고 배선기판(20J)을 형성할 수 있다. 상기한 제조공정과 동일하게 하여, Ni박 지지판(1) 상에 개구부(2a)를 구비하는 레지스트층(2)을 직접 형성하고, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의

지지판(1) 상에 지지판(1)과 재질이 상이한 도금막(4)을 형성한 후, 레지스트층(2)을 제거한다.

[0053] 이어서, Ni 박 지지판(1) 상에 개구부(5a)를 구비하는 레지스트층(5)을 형성하고, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 지지판(1) 상에 지지판(1) 및 도금막(4)과 재질이 상이한 도금막(6)을 형성한 후, 레지스트층(5)을 제거한다. 그 다음, 도 12에 나타내는 바와 같이, 도금막(4) 및 도금막(6)과 전기적으로 접속되고, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하여 구성되는 배선층(빌드업 배선층)이 형성된다. 그 다음, Ni 박 지지판(1)을, 예를 들면, 에칭에 의해 제거한 후, 도 10, 도 11에 나타난 제조공정을 거치는 것에 의해, 상기한 배선기판(20J)을 구비하는 반도체 패키지(30J)를 형성할 수 있다.

[0054] (제 2 실시형태) 상기 제 1 실시형태에서는,  
 1 실시형태에서는, 전극패드마다 노출면의 재질을 상이하게 하기 위하여, 도 10에 나타내는 바와 같이, 영역(A)에 있어서 반도체칩(21)과 접속되는 전극패드(4a)의 표면에 Cu 도금막을 노출시키고, 영역(B)에 있어서 리드(23)와 접속되는 전극패드(6a)의 표면에 Au 도금막을 노출시키는 경우에 대해 설명했다. 본 실시형태에서는, 도 17에 나타내는 바와 같이, 영역(A)에 있어서 반도체칩(21)과 접속되는 전극패드(6a)의 표면에 Au 도금막을 노출시키고, 영역(B)에 있어서 리드(23)와 접속되는 전극패드(4a)의 표면에 Cu 도금막을 노출시키는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.

[0055] 본 실시형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 상기 제 1 실시형태에서 도 1, 도 2를 참조하여 설명한 제조공정 후, 도 13에 나타내는 바와 같이, 급전층(7)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 급전층(7) 상에 급전층(7)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 전극패드를 구성하는 것에 포함된다.

[0056] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는 지지판(1)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)(Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 급전층(7)으로서 Ni 도금막을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다.

[0057] 이어서, 레지스트층(2)을 제거한 후, 도 14에 나타내는 바와 같이, 지지판(1) 상에 개구부(5a)를 구비하는 레지스트층(5)을 형성한다. 그 다음, 급전층(7)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 급전층(7) 상에 급전층(7)과 재질이 상이한 도금막(4)(Cu 도금막)을 형성한다. 상기 도금막(4)은 전극패드를 구성하는 것에 포함된다.

[0058] 이어서, 레지스트층(5)을 제거한 후, 도 15에 나타내는 바와 같이, 도금막(4) 및 도금막(6)을 덮도록, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하는 배선층(빌드업 배선층)을 형성한다. 즉, 도금막(4, 6)과 전기적으로 접속된 배선층과 절연층을 적층하여 배선기판 본체를 형성한다.

[0059] 다음으로, 도 16에 나타내는 바와 같이, 지지판(1)을 제거한다. 지지판(1)에 Cu박을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(1)을 제거한다. 급전층(7)에 지지판(1)의 Cu 박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭 때에, Ni 도금막으로 구성되는 급전층(7)은 제거되지 않는다.

[0060] 다음으로, 도 17에 나타내는 바와 같이, 급전층(7)을 제거한다. 급전층(7)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 급전층(7)을 제거한다. 도금막(4)에 급전층(7)의 Ni 도금막과 에칭 레이트가 상이한 Cu 도금막이 형성되어 있으므로, 급전층(7)의 제거 때에 도금막(4)은 제거되지 않고 잔존한다. 또한, 도금막(6)의 노출측에 급전층(7)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 급전층(7)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 이에 의해, 배선기판 본체의 지지판 제거면에 도금막(4, 6)을 노출시키게 된다.

[0061] 이와 같이 하여, 반도체 패키지의 배선기판(20K)이 형성된다. 배선기판(20K)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(6a)가 형성되어 있다. 또한, 배선기판(20K)의 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(4a)가 영역(A)을 둘러싸고 프레임 형태로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조). 배선기판(20K)에서는, 층간 절연층(14)으로부터 노출되어 있는 전극패드(4a)와 전극패드(6a)의 재질이 상이하게 되어 있고, 전극패드(4a)의 재질은 Cu(Cu 도금막)이고, 전극패드(6a)의 재질은 Au(Au 도금막)이다.

[0062] 다음으로, 상기 제 1 실시형태에서 도 11을 참조하여 설명한 제조공정을 진행하는 것에 의해, 도 18에 나타내는

바와 같이, 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20K)을 구비하는 반도체 패키지(30K)가 형성된다.

[0063] 본 실시형태에 따른 배선기판(20K)에서는, 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 본 실시형태에서는, 반도체칩(21)과의 접속에 사용하는 전극패드(6a)의 노출면의 재질에 산화를 방지하고, 땀납의 접속성을 향상하기 위하여, 예를 들면, Au를 사용하고 있다. 또한, 리드(23)와의 접속에는 열전달성을 양호하게 하기 위하여, 전극패드(4a)의 노출면의 재질에 예를 들면, Cu를 사용하고 있다. 이와 같이, 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30K)의 신뢰성 등을 향상시킬 수 있다. 또, 상기 제 1 실시형태의 변형예(도 12 참조)와 동일하게, 지지판(1)과 전극패드(4a, 6a)의 도금막의 재질을 상이하게 하는 것은, 본 실시형태에도 적용할 수 있다. 즉, 도전성 지지판(1)으로서 Ni박을 사용한 경우에는, 급전층(7)을 형성하지 않고 배선기판(20K)을 형성할 수 있다.

[0064] (제 3 실시형태) 상기 제 1 실시형태에서는, 전극패드마다 노출면의 재질을 상이하게 한 배선기판(20J)으로서, 도 10에 나타내는 바와 같이, 영역(A)에 있어서 반도체칩(21)과 접속되는 전극패드(4a)로서 Cu 도금막을 노출시키고, 영역(B)에 있어서 리드(23)와 접속되는 전극패드(6a)로서 Au 도금막을 노출시키는 경우에 대해 설명했다. 본 실시형태에서는, 도 27에 나타내는 바와 같이, 배선기판(20A)의 중앙부의 영역(A)에서는 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면으로 하고, 배선기판(20A)의 외주부의 영역(B)에서는 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 하고 있는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.

[0065] 본 실시형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 우선, 도 19에 나타내는 바와 같이, 도전성 지지판(1) 상에 개구부(2a)를 구비하는 레지스트층(2)을 형성한다. 도전성 지지판(1)은, 예를 들면, 500 $\mu$ m 정도 두께의 Cu(동)박이다. 레지스트층(2)은, 예를 들면, 소정 두께의 드라이 필름 레지스트 또는 액상 레지스트에 의해 형성한다. 예를 들면, 지지판(1) 상에 드라이 필름 레지스트를 형성한 후, 당해 드라이 필름 레지스트에 대하여 노광 및 현상을 진행하는 것에 의해 개구부(2a)를 구비하는 레지스트층(2)이 지지판(1) 상에 형성된다.

[0066] 또, 지지판(1)은 도전성을 갖는 것이면, Al(알루미늄)박 등이어도 좋다. 본 실시형태에서는, 후공정에서, 지지판(1)을 도금 도통부로서 사용하여 전해 도금법을 진행하기 때문이다. 또한, 지지판(1)의 두께는 제조공정 중의 지지판(1)에 힘이 발생하지 않는 정도이면 된다. 지지판(1)의 두께가 너무 얇아서 힘이 발생하면, 예를 들면, 위치 맞춤에 편차가 발생하고, 제조 수율이 저하되기 때문이다. 본 실시형태에서는, 후공정에서, 지지판(1)을 Cu박으로 하고 그것을 에칭에 의해 제거하므로, 지지판(1)의 두께는, 힘이 발생하지 않고, 에칭 시간이 짧은 두께가 바람직하다.

[0067] 다음으로, 도 20에 나타내는 바와 같이, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 지지판(1) 상에 지지판(1)과 재질이 상이한 깊이 조정막(3)을 형성한다. 깊이 조정막(3)은, 예를 들면, 10~20 $\mu$ m 정도 두께의 Ni(니켈) 도금막이다. 본 실시형태에서는, 지지판(1)으로서 Cu박을 사용하고 있으므로, 깊이 조정막(3)은 그와 상이한 재질인 Ni 도금막을 사용하고 있다. 후공정에서, Cu박으로 구성되는 지지판(1)은 에칭에 의해 제거되지만, 그때 깊이 조정막(3)은 잔존시켜 놓으므로, 깊이 조정막(3)에는 Cu박과 에칭 레이트가 상이한 재질인 Ni 도금막을 사용하고 있다.

[0068] 이어서, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 깊이 조정막(3) 상에 깊이 조정막(3)과 재질이 상이한 도금막(4)을 형성한다. 상기 도금막(4)은 깊이 조정막(3)과 상이하고, 전극패드를 구성하는 것에 포함된다.

[0069] 도금막(4)은, 예를 들면, 10~20 $\mu$ m 정도 두께의 Cu 도금막이다. 본 실시형태에서는, 깊이 조정막(3)으로서 Ni 도금막을 형성하고 있으므로, 도금막(4)은 그와 상이한 재질인 Cu 도금막을 형성하고 있다. 후공정에서, Ni 도금막으로 구성되는 깊이 조정막(3)은 에칭에 의해 제거되지만, 그때 도금막(4)은 잔존시켜 놓으므로, 도금막(4)에는 Ni 도금막과 에칭 레이트가 상이한 재질인 Cu 도금막을 형성하고 있다.

[0070] 또, 도금막(4)은, 예를 들면, Ni 도금막으로 구성되는 깊이 조정막(3)과 상이한 재질이면, Au(금) 도금막, Pd(파라듐) 도금막 등이어도 좋고, Cu 도금막, Au 도금막, Pd 도금막을 포함하는 적층막이어도 좋다. 또한, 깊이 조정막(3)의 에칭 때에 도금막(4)이 잔존하면 되므로, 예를 들면, Ni 도금막으로 구성되는 깊이 조정막(3) 상에 깊이 조정막(3)과 상이한 재질인 Cu 도금막(이 경우, 에칭 스톱퍼가 됨)을 형성한 후, 그 위에 깊이 조정막(3)

과 동일한 재질인 Ni 도금막을 형성한 적층막으로 하여도 좋다.

- [0071] 다음으로, 도 21에 나타내는 바와 같이, 레지스트층(2)을 제거한다.
- [0072] 다음으로, 도 22에 나타내는 바와 같이, 지지판(1) 상에 개구부(5a)를 구비하는 레지스트층(5)을 형성한다. 여기서의 레지스트층(5)은, 지지판(1) 상에 형성되어 있는 깊이 조정막(3) 및 도금막(4)을 덮도록 하여, 레지스트층(2)과 동일하게 하여 형성된다.
- [0073] 다음으로, 도 23에 나타내는 바와 같이, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 지지판(1) 상에 지지판(1)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 전극 패드를 구성하는 것에 포함된다.
- [0074] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는, 지지판(1)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)/Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 지지판(1)으로서 Cu막을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다. 후공정에서, Cu막으로 구성되는 지지판(1)은 에칭에 의해 제거되지만, 그때 도금막(6)은 잔존시켜 놓으므로, 에칭 스톱퍼로서, 도금막(6)의 지지판(1)측에는 에칭 레이트가 상이한 재질인 Au 도금막을 형성하고 있다.
- [0075] 여기서, 본 실시형태에서는, 도금막(6)을 형성할 때, 도금막(4)과도 재질이 상이한 도금막(6)을 형성하고 있다. 도금막(4)으로서 Cu 도금막을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 Au 도금막을 형성하고 있다. 후공정에는, 이들 도금막(4, 6)은 배선기판의 전극패드로서 사용된다. 이에 의해, 예를 들면, 배선기판 상에 탑재되는 다양한 부품의 외부 접속단자에 대응되는 재질이 상이한 전극패드를 형성할 수 있게 된다.
- [0076] 다음으로, 도 24에 나타내는 바와 같이, 레지스트층(5)을 제거한다.
- [0077] 다음으로, 도 25에 나타내는 바와 같이, 도금막(4) 및 도금막(6)과 전기적으로 접속된 배선층을 형성한다. 이 배선층은, 예를 들면, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하여 구성되는 빌드업 배선층이다. 즉, 도금막(4, 6)과 전기적으로 접속된 배선층과 절연층을 적층하여 배선기판 본체를 형성한다.
- [0078] 우선, 지지판(1) 상에 형성되어 있는 깊이 조정막(3)/도금막(4), 및 도금막(6)을 덮도록 층간 절연층(14)을 형성한 후, 깊이 조정막(3)/도금막(4), 및 도금막(6)에 도달하는 비아(VIA)홀을 형성하고, 당해 비아홀을 개재하여 도금막(4) 및 도금막(6)과 전기적으로 접속되는 배선(11)을 형성한다.
- [0079] 층간 절연층(14)은, 예를 들면, 에폭시계 수지나 폴리이미드계 수지 등의 수지 필름으로 형성한다. 또한, 상기 비아홀은, 예를 들면, 도금막(4) 및 도금막(6)을 스톱퍼로서 사용한 레이저나 드라이 에칭에 의해, 도금막(4) 및 도금막(6)에 도달하여 층간 절연층(14)에 형성되는 개구부이다.
- [0080] 또한, 배선(11)은, 예를 들면, 세미어디티브법에 의해 형성된다. 우선, 상기 비아홀 내 및 층간 절연층(14) 상에 무전해 도금 등에 의해 시드층(미도시)을 형성한 후, 배선(11)이 형성되는 영역에 개구부가 마련된 레지스트층(미도시)을 형성한다. 그 다음, 상기 시드층을 도금 도통부에 사용한 전해 도금법에 의해, 상기 레지스트층의 개구부 내에, 예를 들면, Cu 도금막을 형성한다. 그 다음, 상기 레지스트층을 박리한 후, 상기 Cu 도금막을 마스크로 하여 상기 시드층을 에칭한다. 이에 의해, 상기 Cu 도금막으로 구성되는 배선(11)이 형성된다.
- [0081] 이어서, 층간 절연층(14) 및 배선(11)의 형성 공정과 동일한 공정을 반복하는 것에 의해, 층간 절연층(14) 상에 형성되어 있는 배선(11)을 덮도록 층간 절연층(15)을 형성한 후, 배선(11)에 도달하는 비아홀을 형성하고, 당해 비아홀을 개재하여 배선(11)과 전기적으로 접속되는 배선(12)을 형성한다.
- [0082] 이어서, 층간 절연층(14) 및 배선(11)의 형성 공정과 동일한 공정을 반복하는 것에 의해, 층간 절연층(15) 상에 형성되어 있는 배선(12)을 덮도록 층간 절연층(16)을 형성한 후, 배선(12)에 도달하는 비아홀을 형성하고, 당해 비아홀을 개재하여 배선(12)과 전기적으로 접속되는 배선(13)을 형성한다. 이에 의해, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하여 구성되는 배선층(빌드업 배선층)이 형성된다.
- [0083] 이어서, 층간 절연층(16) 상에 배선(13)의 표면을 노출시키는 개구부를 구비하는 솔더 레지스트(17)를 형성한다. 솔더 레지스트(17)는, 예를 들면, 층간 절연층(16) 상에 필름 형태의 레지스트를 형성한 후, 당해 레지스트에 대하여 노광 및 현상을 진행하는 것에 의해 형성된다. 또, 솔더 레지스트(17)로부터 노출되어 있는 부분의 배선(13)은 전극패드로서 사용되고, 솔더 레지스트(17)에 의해, 외부 접속단자와의 접속시의 쇼트(단락)가 방지 및 보호된다.

- [0084] 이어서, 노출되어 있는 배선(13)에 대하여 보호 등을 위한 표면처리를 한다. 도시하지 않지만, 노출되어 있는 배선(13) 상에는, OSP(Organic Solder Preservative)막, 무전해 Ni/Pd/Au 도금막, 또는 무전해 Ni/Au 도금막이 형성된다.
- [0085] 다음으로, 도 26에 나타내는 바와 같이, 지지판(1)을 제거한다. 지지판(1)에 Cu박을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(1)을 제거한다. 또, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다. 또, 배선기판 본체의 지지판 제거면에 도금막(4, 6)을 노출시키게 된다.
- [0086] 깊이 조정막(3)에 지지판(1)의 Cu박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 지지판(1)의 제거 때에 깊이 조정막(3) 및 도금막(4)은 제거되지 않고 잔존한다. 이에 의해, 깊이 조정막(3)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.
- [0087] 또한, 도금막(6)의 지지판(1)측에 지지판(1)의 Cu박과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 지지판(1)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 이에 의해, 도금막(6)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.
- [0088] 다음으로, 도 27에 나타내는 바와 같이, 깊이 조정막(3)을 제거하는 것에 의해, 도금막(4) 상에 요부(18)를 형성한다. 또, 전극패드의 노출면을 보호하는 등의 필요가 있을 경우, 도금막(4) 상에, 예를 들면, OSP막을 형성해도 좋다.
- [0089] 깊이 조정막(3)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 깊이 조정막(3)을 제거한다. 도금막(6)의 노출측에 깊이 조정막(3)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 깊이 조정막(3)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 또, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다.
- [0090] 층간 절연층(14)에 형성된 요부(18)의 저면에는 도금막(4)이 노출되어 있다. 요부(18)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(3)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막(3)의 두께를 10~20 $\mu$ m 정도로 한 경우, 요부(18)의 깊이도 10~20 $\mu$ m 정도가 된다. 또, 깊이 조정막(3)의 두께를 너무 얇게 한 경우, 요부(18)가 형성되지 않고, 도금막(4)의 노출면을 층간 절연층(14)의 표면과 실질적으로 동일면(플랫)으로 할 수도 있다.
- [0091] 이와 같이 하여, 반도체 패키지의 배선기판(20A)이 형성된다. 도 30은 배선기판(20A)을 모식적으로 나타내는 평면도이다. 또, 상기 도 30의 X-X선에 대응하여, 이상에서 설명한 도 19~도 27, 후술되는 도 28~도 29에 제조공정 중의 반도체 패키지의 단면이 도시되어 있다.
- [0092] 본 실시형태에서는, 도 30에 있어서, 부호 A가 나타내는 영역을 칩 탑재 영역으로 하고, 부호 B가 나타내는 영역을 리드 탑재 영역으로 하고 있다. 배선기판(20A)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(4a)가 형성되어 있다. 또한, 배선기판(20A)의 중앙부에 인접한 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(6a)가 영역(A)을 둘러싸고 프레임 형태로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조).
- [0093] 본 배선기판(20A)은 일반적인 배선기판이 구비하는 코어기판 대신에, 지지판(1)을 사용하여 형성된 코어레스 기판이다. 본 실시형태에서는 지지판(1)에 대한 표면처리, 즉 복수회의 패터닝과 복수회의 도금을 하는 것에 의해, 지지판(1)이 제거된 배선기판(20A)(코어레스 기판) 표면의 도금막(4, 6) 노출면에, 서로 다른 임의의 단차를 형성할 수 있다.
- [0094] 서로 다른 임의의 단차에 대해 설명한다. 본 실시형태에서는 층간 절연층(14)으로부터 도금막(6)의 노출면까지의 깊이가 없고, 도금막(6)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우를 나타내지만, 이러한 경우를 포함하여 층간 절연층(14)으로부터의 도금막(6)의 노출면의 깊이를 단차(깊이가 있음)로 설명하고 있다.
- [0095] 배선기판(20A)은 도금막(4)으로 구성되는 전극패드(4a) 및 도금막(6)으로 구성되는 전극패드(6a)를 구비하고 있고, 전극패드(4a) 및 전극패드(6a)는 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 배선기판(20A)의 영역(A)은 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 또한, 배선기판(20A)의 영역(B)은 전극패드(6a)의 노출면이 층간 절연층(14)의 표

면과 동일면이고, 플랫폼 형태로 형성되어 있다. 이들 깊이의 차이에 의해, 전극패드(4a)와 전극패드(6a) 형성 부분의 배선기판(20A)에 상이한 단차를 형성할 수 있다.

- [0096] 또한, 본 실시형태에서는 지지판(1)을 도금 도통부로 하고 있으므로, 별도로 도금 도통부(버스라인(Bus line))를 형성할 필요가 없고(버스레스화), 나중에 버스를 제거 또는 절단하는 공정을 삭감할 수 있어, 비용도 줄일 수 있다. 또한, 전극패드(6a)의 도금막(6) 형성 때에 전극패드(4a)(도금막(4))부에 도금이 부착되지 않도록 마스크를 할 필요가 없으므로, 도금 마스크재에 의한 도금액의 오염을 방지할 수도 있다. 또한, 버스 형성을 위한 배선을 확보할 필요도 없으므로, 전극패드(4a, 6a)의 파인 피치화를 피할 수 있다.
- [0097] 다음으로, 도 28에 나타내는 바와 같이, 배선기판(20A) 상에 반도체칩(21)을 탑재한다. 반도체칩(21)의 메인면(소자형성면)에는 내부소자와 전기적으로 접속되어 있는 골드 범프나 솔더 범프 등의 외부 접속단자(22)가 형성되어 있다. 이 외부 접속단자(22)와 배선기판(20A)의 전극패드(4a)가 전기적으로 접속되어, 배선기판(20A) 상에 반도체칩(21)이 플립 칩 실장된다.
- [0098] 다음으로, 도 29에 나타내는 바와 같이, 배선기판(20A) 상에 방열 기능을 갖는 도전성 리드(23)를 탑재한다. 이 리드(23)는 방열판으로서 사용하지만, 방열 기능 이외에, 기준 전위(GND)와 접속하여 회로 동작의 안정화나, 외부 노이즈의 차단용으로 사용해도 좋다.
- [0099] 도 29에 나타내는 리드(23)는 평면 직사각형 모양의 커버부(23a)와, 커버부(23a)의 외주에서 프레임 형태로 돌기되어 있는 접속부(23b)를 포함한 사각형으로 되어 있다. 반도체칩(21)의 이면(메인면과 반대인 면)과 커버부(23a)가 그리스(24)를 개재하여 접촉되고, 또한, 접속부(23b)와 배선기판(20A)의 전극패드(6a)가, 예를 들면, 뿔납(25)을 개재하여 전기적으로 접속되어, 배선기판(20A) 상에 리드(23)가 접합되어 있다. 이에 의해, 반도체칩(21)과 리드(23)는 반도체칩(21)의 이면에 그리스(24)를 개재하여 리드(23)가 접촉하여 탑재되고, 사각형으로 되어 있는 리드(23)의 내부에서 반도체칩(21)이 커버되어 있다.
- [0100] 이와 같이, 배선기판(20A)에는 반도체칩(21)이나 리드(23)가 탑재되어 있다. 반도체칩(21)은 반도체칩(21)의 메인면에 형성되어 있는 외부 접속단자(22)와 전극패드(4a)가 전기적으로 접속되어 배선기판(20A)에 탑재되어 있다. 또한, 사각형의 리드(23)는 반도체칩(21)을 덮도록, 리드(23)에 형성되어 있는 접속부(23b)와 전극패드(6a)가 전기적으로 접속되어 배선기판(20A)에 탑재되어 있다.
- [0101] 이상에 의하여, 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20A)을 구비하는 반도체 패키지(30A)가 형성된다. 반도체장치의 고기능화, 소형화에 동반하여, 반도체칩을 탑재하는 반도체 패키지도 소형화, 박형화가 요구되고 있다. 이 배선기판(20A)은 소정 두께를 갖는 코어기판 대신에, 후공정에서 제거되는 지지판(1)을 사용하여 형성된 코어레스 기판이므로, 박형화(예를 들면, 170~200 $\mu$ m 정도)할 수 있다. 따라서, 반도체 패키지(30A)를 소형화, 박형화할 수 있다.
- [0102] 반도체 패키지의 박형화의 관점에서, 배선기판에 다양한 부품을 탑재하는 경우, 도 63을 참조하여 설명한 바와 같이, 배선기판(101)의 전극패드(102)의 모든 탑재면(노출면)이 최 표면으로부터 동일한 깊이에 위치하는 경우, 탑재용의 뿔납(접속재)의 양에 의해 부품의 접속 높이를 조정해야 한다.
- [0103] 하지만, 본 실시형태에서는, 뿔납량의 조정 이외에, 전극패드의 탑재면(노출면)의 깊이 제어를 더하는 것에 의해, 배선기판의 부품 탑재 자유도를 높이고 있다. 구체적으로, 예를 들면, 도 29에 나타내는 바와 같이, 전극패드(4a, 6a)가 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있으므로, 배선기판(20A) 상에 다양한 부품(반도체칩(21) 및 리드(23))을 탑재할 수 있는 자유도를 높일 수 있다.
- [0104] 이에 의해, 반도체 패키지(30A)의 박형화에 있어서는 배선기판(20A)에 탑재하는 다양한 부품의 높이 조정을 전극패드(4a, 6a)의 탑재면(노출면)의 깊이 제어에 중점을 두고, 배선기판(20A)과 다양한 부품의 접속에 있어서는, 뿔납(접속재)의 양 제어에 중점을 둘 수도 있다. 따라서, 배선기판(20A)과 다양한 부품의 접속 강도를 높일 수 있으므로, 반도체 패키지(30A)의 신뢰성을 향상시킬 수 있다.
- [0105] 또한, 본 실시형태에서는 다양한 부품(반도체칩(21) 및 리드(23))에 의해, 전극패드(4a)의 깊이가 전극패드(6a)의 깊이보다 깊고, 전극패드(4a)의 노출면의 면적을 전극패드(6a)의 노출면의 면적보다 작게 하고 있다. 이와 같이, 배선기판(20A)에 탑재하는 다양한 부품에 의해, 전극패드(4a, 6a)의 깊이, 면적을 조정하는 것에 의해, 전극패드(4a, 6a), 외부 접속단자(22), 접속부(23b)에 대한 응력이나 변형이 완화되고, 반도체 패키지(30A)의 신뢰성을 향상시킬 수 있다.
- [0106] 또한, 반도체칩(21)의 외부 접속단자(22)의 높이와 전극패드(4a)의 깊이를 조정함으로써, 전극패드(4a) 상의 요

부(18)에 외부 접속단자(22)를 삽입 고정하여, 배선기판(20A)과 반도체칩(21)을 접속시킬 수 있으므로, 반도체 패키지(30A)의 신뢰성을 향상시킬 수 있다.

[0107] 또한, 본 실시형태에 따른 배선기판(20A)에서는 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용해도 좋다. 본 실시형태에서는 반도체칩(21)과의 접속에는 전기신호의 전달성을 양호하게 하기 위하여, 전극패드(4a)의 노출면의 재질에, 예를 들면, Cu를 사용하고 있다. 또한, 리드(23)와의 접속에 사용하는 전극패드(6a)의 노출면의 재질에 산화를 방지하고, 땀납의 접속성을 높이기 위하여, 예를 들면, Au를 사용하고 있다. 이와 같이, 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30A)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0108] (제 4 실시형태) 상기 제 3 실시형태에서는,  
 도 27에 나타내는 바와 같이 배선기판(20A)의 외주부의 영역(B)에서는, 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우를 나타냈다. 본 실시형태에서는, 도 34에 나타내는 바와 같이 배선기판(20B)의 외주부의 영역(B)에서는, 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(42)의 저면과 동일면으로 되어 있는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.

[0109] 본 실시형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 상기 제 3 실시형태에서 도 19~도 22를 참조하여 설명한 제조공정 후, 도 31에 나타내는 바와 같이, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 지지판(1) 상에 지지판(1)과 재질이 동일한 깊이 조정막(41)을 형성한다. 깊이 조정막(41)은, 예를 들면, 5 $\mu$ m 정도 두께의 Cu 도금막이다. 본 실시형태에서는, 지지판(1)으로서 Cu박을 사용하므로, 깊이 조정막(41)은 그와 동일한 재질의 Cu 도금막을 사용하고 있다. 후공정에서, Cu박으로 구성되는 지지판(1)은 에칭에 의해 제거되지만, 그 에칭 때에 깊이 조정막(41)도 제거하므로, 깊이 조정막(41)에는 Cu박과 동일한 재질인 Cu 도금막을 사용하고 있다.

[0110] 이어서, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 깊이 조정막(41) 상에 깊이 조정막(41)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 깊이 조정막(41)과 상이하고, 전극패드를 구성하는 것에 포함된다.

[0111] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는 지지판(1)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)(Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 깊이 조정막(41)으로서 Cu 도금막을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다. 후공정에서, Cu박으로 구성되는 지지판(1) 및 Cu 도금막으로 구성되는 깊이 조정막(41)은 에칭에 의해 제거되지만, 그 에칭 때에 도금막(6)은 잔존시켜 놓으므로, 에칭 스톱퍼로서, 도금막(6)의 지지판(1)측에는 에칭 레이트가 상이한 재질인 Au 도금막을 형성하고 있다.

[0112] 이어서, 레지스트층(5)을 제거한 후, 도 32에 나타내는 바와 같이, 도금막(4) 및 도금막(6)을 덮도록, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하는 배선층(빌드업 배선층)을 형성한다. 즉, 도금막(4, 6)과 전기적으로 접속된 배선층과 절연층을 적층하여 배선기판 본체를 형성한다.

[0113] 다음으로, 도 33에 나타내는 바와 같이, 지지판(1) 및 깊이 조정막(41)을 제거한다. 지지판(1)에 Cu박 및 깊이 조정막(41)에 Cu 도금막을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(1) 및 깊이 조정막(41)을 제거한다. 또, 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다. 또, 배선기판 본체의 지지판 제거면에 도금막(4, 6)을 노출시키게 된다.

[0114] 깊이 조정막(3)에 지지판(1)의 Cu박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 지지판(1)의 제거 때에 깊이 조정막(3) 및 도금막(4)은 제거되지 않고 잔존한다. 이에 의해, 깊이 조정막(3)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.

[0115] 또한, 도금막(6)의 지지판(1)측에 지지판(1)의 Cu박 및 깊이 조정막(41)의 Cu 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 지지판(1) 및 깊이 조정막(41)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 깊이 조정막(41)을 제거하는 것에 의해, 도금막(6) 상에 요부(42)가 형성되고, 도금막(6)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.

[0116] 이와 같이, 층간 절연층(14)에 형성된 요부(42)의 저면에서는 도금막(6)이 노출되어 있다. 요부(42)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(41)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막

(41)의 두께를 5 $\mu$ m 정도로 한 경우, 요부(42)의 깊이도 5 $\mu$ m 정도가 된다.

- [0117] 다음으로, 도 34에 나타내는 바와 같이, 깊이 조정막(3)을 제거하는 것에 의해, 도금막(4) 상에 요부(18)를 형성한다. 깊이 조정막(3)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 깊이 조정막(3)을 제거한다. 도금막(6)의 노출측에 깊이 조정막(3)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 깊이 조정막(3)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 또, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다.
- [0118] 이와 같이, 층간 절연층(14)에 형성된 요부(18)의 저면에서는 도금막(4)이 노출되어 있다. 요부(18)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(3)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막(3)의 두께를 10~20 $\mu$ m 정도로 한 경우, 요부(18)의 깊이도 10~20 $\mu$ m 정도가 된다.
- [0119] 이와 같이 하여, 반도체 패키지의 배선기판(20B)이 형성된다. 배선기판(20B)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(4a)가 형성되어 있다. 또한, 배선기판(20B)의 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(6a)가 영역(A)을 둘러싸고 프레임 형태로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조).
- [0120] 배선기판(20B)은 도금막(4)으로 구성되는 전극패드(4a) 및 도금막(6)으로 구성되는 전극패드(6a)를 구비하고 있고, 전극패드(4a) 및 전극패드(6a)는 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 배선기판(20B)의 영역(A)은 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 또한, 배선기판(20B)의 영역(B)은 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(42)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 이들 전극패드(4a, 6a)의 노출면의 깊이의 차이에 의해, 전극패드(4a)와 전극패드(6a) 형성 부분의 배선기판(20B)에 상이한 단차를 형성할 수 있다.
- [0121] 다음으로, 상기 제 3 실시형태에서 도 28, 도 29를 참조하여 설명한 제조공정을 진행하는 것에 의해, 도 35에 나타내는 바와 같이 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20B)을 구비하는 반도체 패키지(30B)가 형성된다.
- [0122] 본 실시형태에 따른 반도체 패키지(30B)는 층간 절연층(14)으로부터 노출되는 전극패드(4a, 6a)를 구비하는 배선기판(20B)을 구비하고, 전극패드(4a, 6a)는 각각 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 이에 의해, 배선기판(20B)에 다양한 부품을 탑재하는 자유도가, 접속재의 양 제어 이외에, 전극패드(4a, 6a)의 탑재면(노출면)의 깊이 제어가 더해지는 것에 의해 향상된다. 따라서, 배선기판(20B)과 다양한 부품의 접속 강도를 높일 수 있으므로, 반도체 패키지(30B)의 신뢰성을 향상시킬 수 있다.
- [0123] 또한, 배선기판(20B)에서는 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30B)의 전기적 특성, 신뢰성을 향상시킬 수 있다.
- [0124] (제 5 실시형태) 상기 제 3 실시형태에서는,  
 도 27에 나타내는 바와 같이, 배선기판(20A)의 중앙부의 영역(A)에서는 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면으로 되어 있고, 배선기판(20A)의 외주부의 영역(B)에서는 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우를 나타냈다. 본 실시형태에서는 도 40에 나타내는 바와 같이, 배선기판(20C)의 외주부의 영역(B)에서는 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면으로 되어 있고, 배선기판(20C)의 중앙부의 영역(A)에서는 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.
- [0125] 본 실시형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 상기 제 3 실시형태에서 도 19를 참조하여 설명한 제조공정 후, 도 36에 나타내는 바와 같이, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 지지판(1) 상에 지지판(1)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 전극패드를 구성하는 것에 포함된다.
- [0126] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는 지지판(1)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)(Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 지지판(1)으로서 Cu박을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다. 후공정에서, Cu박으로 구성되는 지지판(1)은 에칭에 의해 제거되지만, 그때 도금막(6)은 잔

존시켜 놓으므로, 에칭 스톱퍼로서, 도금막(6)의 지지판(1)측에는 에칭 레이트가 상이한 재질인 Au 도금막을 형성하고 있다.

- [0127] 이어서, 레지스트층(2)을 제거한 후, 도 37에 나타내는 바와 같이, 지지판(1) 상에 개구부(5a)를 구비하는 레지스트층(5)을 형성한다. 그 다음, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 지지판(1) 상에 지지판(1)과 재질이 상이한 깊이 조정막(3)(Ni 도금막)을 형성한다. 그 다음, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 깊이 조정막(3) 상에 깊이 조정막(3)과 재질이 상이한 도금막(4)(Cu 도금막)을 형성한다. 상기 도금막(4)은 깊이 조정막(3)과 상이하고, 전극패드를 구성하는 것에 포함된다.
- [0128] 이어서, 레지스트층(5)을 제거한 후, 도 38에 나타내는 바와 같이, 도금막(4) 및 도금막(6)을 덧붙여, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하는 배선층(빌드업 배선층)을 형성한다. 즉, 도금막(4, 6)과 전기적으로 접속된 배선층과 절연층을 적층하여 배선기판 본체를 형성한다.
- [0129] 다음으로, 도 39에 나타내는 바와 같이, 지지판(1)을 제거한다. 지지판(1)에 Cu박을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(1)을 제거한다. 또, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다. 또, 배선기판 본체의 지지판 제거면에 도금막(4, 6)을 노출시키게 된다.
- [0130] 깊이 조정막(3)에 지지판(1)의 Cu박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 지지판(1)의 제거 때에 깊이 조정막(3) 및 도금막(4)은 제거되지 않고 잔존한다. 이에 의해, 깊이 조정막(3)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.
- [0131] 또한, 도금막(6)의 지지판(1)측에, 지지판(1)의 Cu박과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 지지판(1)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 이에 의해, 도금막(6)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.
- [0132] 다음으로, 도 40에 나타내는 바와 같이, 깊이 조정막(3)을 제거하는 것에 의해, 도금막(4) 상에 요부(18)를 형성한다. 깊이 조정막(3)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 깊이 조정막(3)을 제거한다. 도금막(6)의 노출측에 깊이 조정막(3)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 깊이 조정막(3)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 또, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다.
- [0133] 층간 절연층(14)에 형성된 요부(18)의 저면에서는 도금막(4)이 노출되어 있다. 요부(18)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(3)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막(3)의 두께를 10~20 $\mu$ m 정도로 한 경우, 요부(18)의 깊이도 10~20 $\mu$ m 정도가 된다.
- [0134] 이와 같이 하여, 반도체 패키지의 배선기판(20C)이 형성된다. 배선기판(20C)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(6a)가 형성되어 있다. 또한, 배선기판(20C)의 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(4a)가 영역(A)을 둘러싸고 프레임 형태로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조).
- [0135] 배선기판(20C)은 도금막(4)으로 구성되는 전극패드(4a) 및 도금막(6)으로 구성되는 전극패드(6a)를 구비하고 있고, 전극패드(4a) 및 전극패드(6a)는 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 배선기판(20C)의 영역(B)은 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 또한, 배선기판(20C)의 영역(A)은 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면이고, 플랫폼 형태로 형성되어 있다. 이들 전극패드(4a, 6a)의 노출면의 깊이의 차이에 의해, 전극패드(4a)와 전극패드(6a) 형성 부분의 배선기판(20C)에 상이한 단차를 형성할 수 있다.
- [0136] 다음으로, 상기 제 3 실시형태에서 도 28, 도 29를 참조하여 설명한 제조공정을 진행하는 것에 의해, 도 41에 나타내는 바와 같이, 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20C)을 구비하는 반도체 패키지(30C)가 형성된다.
- [0137] 본 실시형태에 따른 반도체 패키지(30C)는 층간 절연층(14)으로부터 노출되는 전극패드(4a, 6a)를 구비하는 배선기판(20C)을 구비하고, 전극패드(4a, 6a)는 각각 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 이에 의해, 배선기판(20C)에 다양한 부품을 탑재하는 자유도가, 접속재의 양 제어 이외에, 전극패드

(4a, 6a)의 탑재면(노출면)의 깊이 제어가 더해지는 것에 의해 향상된다. 따라서, 배선기판(20C)과 다양한 부품의 접속 강도를 높일 수 있으므로, 반도체 패키지(30C)의 신뢰성을 향상시킬 수 있다.

[0138] 또한, 배선기판(20C)에서는 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30C)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0139] (제 6 실시형태) 상기 제 3 실시형태에서는, 도 27에 나타내는 바와 같이, 배선기판(20A)의 중앙부의 영역(A)에서는 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면으로 되어 있고, 배선기판(20A)의 외주부의 영역(B)에서는 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우를 나타냈다. 본 실시형태에서는 도 46에 나타내는 바와 같이, 배선기판(20D)의 외주부의 영역(B)에서는 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면으로 되어 있고, 배선기판(20D)의 중앙부의 영역(A)에서는 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(42)의 저면과 동일면으로 되어 있는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.

[0140] 본 실시형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 상기 제 3 실시형태에서 도 19를 참조하여 설명한 제조공정 후, 도 42에 나타내는 바와 같이, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 지지판(1) 상에 지지판(1)과 재질이 동일한 깊이 조정막(41)을 형성한다. 깊이 조정막(41)은, 예를 들면, 5 $\mu$ m 정도 두께의 Cu 도금막이다. 본 실시형태에서는 지지판(1)으로서 Cu박을 사용하므로, 깊이 조정막(41)은 그와 동일한 재질의 Cu 도금막을 사용하고 있다. 후공정에서, Cu박으로 구성되는 지지판(1)은 에칭에 의해 제거되지만, 그 에칭 때에 깊이 조정막(41)도 제거하므로, 깊이 조정막(41)에는 Cu박과 동일한 재질인 Cu 도금막을 사용하고 있다.

[0141] 이어서, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 깊이 조정막(41) 상에 깊이 조정막(41)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 깊이 조정막(41)과 상이하고, 전극패드를 구성하는 것에 포함된다.

[0142] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는 지지판(1)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)(Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 깊이 조정막(41)으로서 Cu 도금막을 형성하고 있으므로, 도금막(6)의 지지판(1)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다.

[0143] 이어서, 레지스트층(2)을 제거한 후, 도 43에 나타내는 바와 같이, 지지판(1) 상에 개구부(5a)를 구비하는 레지스트층(5)을 형성한다. 그 다음, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 지지판(1) 상에 지지판(1)과 재질이 상이한 깊이 조정막(3)(Ni 도금막)을 형성한다. 그 다음, 지지판(1)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 깊이 조정막(3) 상에 깊이 조정막(3)과 재질이 상이한 도금막(4)(Cu 도금막)을 형성한다. 상기 도금막(4)은 깊이 조정막(3)과 상이하고, 전극패드를 구성하는 것에 포함된다.

[0144] 이어서, 레지스트층(5)을 제거한 후, 도 44에 나타내는 바와 같이, 도금막(4) 및 도금막(6)을 덮도록, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하는 배선층(빌드업 배선층)을 형성한다. 즉, 도금막(4, 6)과 전기적으로 접속된 배선층과 절연층을 적층하여 배선기판 본체를 형성한다.

[0145] 다음으로, 도 45에 나타내는 바와 같이, 지지판(1) 및 깊이 조정막(41)을 제거한다. 지지판(1)에 Cu박 및 깊이 조정막(41)에 Cu 도금막을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(1) 및 깊이 조정막(41)을 제거한다. 또, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다. 또, 배선기판 본체의 지지판 제거면에 도금막(4, 6)을 노출시키게 된다.

[0146] 깊이 조정막(3)에 지지판(1)의 Cu박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 지지판(1)의 제거 때에 깊이 조정막(3) 및 도금막(4)은 제거되지 않고 잔존한다. 이에 의해, 깊이 조정막(3)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.

[0147] 또한, 도금막(6)의 지지판(1)측에 지지판(1)의 Cu박 및 깊이 조정막(41)의 Cu 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 지지판(1) 및 깊이 조정막(41)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 깊이 조정막(41)을 제거하는 것에 의해, 도금막(6) 상에 요부(42)가 형성되고, 도금막(6)의 표면(노출면)은

층간 절연층(14)으로부터 노출된다.

- [0148] 이와 같이, 층간 절연층(14)에 형성된 요부(42)의 저면에서는 도금막(6)이 노출되어 있다. 요부(42)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(41)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막(41)의 두께를 5 $\mu$ m 정도로 한 경우, 요부(42)의 깊이도 5 $\mu$ m 정도가 된다.
- [0149] 다음으로, 도 46에 나타내는 바와 같이, 깊이 조정막(3)을 제거하는 것에 의해, 도금막(4) 상에 요부(18)를 형성한다. 깊이 조정막(3)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 깊이 조정막(3)을 제거한다. 도금막(6)의 노출측에 깊이 조정막(3)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 깊이 조정막(3)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다.
- [0150] 이와 같이, 층간 절연층(14)에 형성된 요부(18)의 저면에서는 도금막(4)이 노출되어 있다. 요부(18)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(3)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막(3)의 두께를 10~20 $\mu$ m 정도로 한 경우, 요부(18)의 깊이도 10~20 $\mu$ m 정도가 된다.
- [0151] 이와 같이 하여, 반도체 패키지의 배선기판(20D)이 형성된다. 배선기판(20D)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(6a)가 형성되어 있다. 또한, 배선기판(20D)의 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(4a)가 영역(A)을 둘러싸고 프레임 형태로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조).
- [0152] 배선기판(20D)은 도금막(4)으로 구성되는 전극패드(4a) 및 도금막(6)으로 구성되는 전극패드(6a)를 구비하고 있고, 전극패드(4a) 및 전극패드(6a)는 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 배선기판(20D)의 영역(A)은 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(42)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 또한, 배선기판(20D)의 영역(B)은 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 이들 전극패드(4a, 6a)의 노출면의 깊이의 차이에 의해, 전극패드(4a)와 전극패드(6a) 형성 부분의 배선기판(20D)에 상이한 단차를 형성할 수 있다.
- [0153] 다음으로, 상기 제 3 실시형태에서 도 28, 도 29를 참조하여 설명한 제조공정을 진행하는 것에 의해, 도 47에 나타내는 바와 같이, 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20D)을 구비하는 반도체 패키지(30D)가 형성된다.
- [0154] 본 실시형태에 따른 반도체 패키지(30D)는 층간 절연층(14)으로부터 노출되는 전극패드(4a, 6a)를 구비하는 배선기판(20D)을 구비하고, 전극패드(4a, 6a)는 각각 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 이에 의해, 배선기판(20D)에 다양한 부품을 탑재하는 자유도가, 접속재의 양 제어 이외에, 전극패드(4a, 6a)의 탑재면(노출면)의 깊이 제어가 더해지는 것에 의해 향상된다. 따라서, 배선기판(20D)과 다양한 부품의 접속 강도를 높일 수 있으므로, 반도체 패키지(30D)의 신뢰성을 향상시킬 수 있다.
- [0155] 또한, 배선기판(20D)에서는 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30D)의 전기적 특성, 신뢰성을 향상시킬 수 있다.
- [0156] (제 7 실시형태) 상기 제 3 실시형태에서는,  
 도 27에 나타내는 바와 같이, 배선기판(20A)의 중앙부의 영역(A)에서는 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면으로 되어 있고, 배선기판(20A)의 외주부의 영역(B)에서는 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우를 나타냈다. 본 실시형태에서는, 도 52에 나타내는 바와 같이, 배선기판(20E)의 외주부의 영역(B)에서는 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(54)의 저면과 동일면으로 되어 있고, 배선기판(20E)의 중앙부의 영역(A)에서는 전극패드(4a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.
- [0157] 본 실시형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 우선, 도 48에 나타내는 바와 같이, 도전성 지지판(51)을 준비한 후, 지지판(51)을 도금 도통부로서 사용한 전해 도금법에 의해, 지지판(51)의 한쪽 면에 급전층(52)을 형성한다. 지지판(51)은, 예를 들면, 500 $\mu$ m 정도 두께의 Cu박이다. 또한, 급전층(52)은, 예를 들면, 1~5 $\mu$ m 정도 두께의 Ni 도금막이다.
- [0158] 이어서, 급전층(52) 상에 개구부(2a)를 구비하는 레지스트층(2)을 형성한다. 레지스트층(2)은, 예를 들면, 소정

두께의 드라이 필름 레지스트 또는 액상 레지스트에 의해 형성한다. 예를 들면, 급전층(52) 상에 드라이 필름 레지스트를 형성한 후, 당해 드라이 필름 레지스트에 대하여 노광 및 현상을 진행하는 것에 의해, 개구부(2a)를 구비하는 레지스트층(2)이 급전층(52) 상에 형성된다.

- [0159] 이어서, 지지판(51) 및 급전층(52)을 도금 도통부로서 사용한 전해 도금법에 의해 레지스트층(2)의 개구부(2a)의 급전층(52) 상에 급전층(52)과 재질이 상이한 도금막(4)을 형성한다. 상기 도금막(4)은 전극패드를 구성하는 것에 포함된다.
- [0160] 도금막(4)은, 예를 들면, 10~20 $\mu$ m 정도 두께의 Cu 도금막이다. 본 실시형태에서는 급전층(52)으로서 Ni 도금막을 형성하고 있으므로, 도금막(4)은 그와 상이한 재질인 Cu 도금막을 형성하고 있다. 후공정에서, Ni 도금막으로 구성되는 급전층(52)은 에칭에 의해 제거되지만, 그때 도금막(4)은 잔존시켜 놓으므로, 도금막(4)에는 Ni 도금막과 에칭 레이트가 상이한 재질인 Cu 도금막을 형성하고 있다.
- [0161] 이어서, 레지스트층(2)을 제거한 후, 도 49에 나타내는 바와 같이, 급전층(52) 상에 개구부(5a)를 구비하는 레지스트층(5)을 형성한다. 그 다음, 지지판(51) 및 급전층(52)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부(5a)의 급전층(52) 상에 급전층(52)과 재질이 동일한 깊이 조정막(53)(Ni 도금막)을 형성한다. 그 다음, 지지판(51) 및 급전층(52)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(5)의 개구부 51의 깊이 조정막(53) 상에 깊이 조정막(53)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 전극패드를 구성하는 것에 포함된다.
- [0162] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는 깊이 조정막(53)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)(Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 또, 깊이 조정막(53)으로서 Ni 도금막을 형성하고 있으므로, 도금막(6)의 급전층(52)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다.
- [0163] 이어서, 레지스트층(5)을 제거한 후, 도 50에 나타내는 바와 같이, 도금막(4) 및 도금막(6)을 덮도록, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하는 배선층(빌드업 배선층)을 형성한다. 즉, 도금막(4, 6)과 전기적으로 접속된 배선층과 절연층을 적층하여 배선기판 본체를 형성한다.
- [0164] 다음으로, 도 51에 나타내는 바와 같이, 지지판(51)을 제거한다. 지지판(51)에 Cu박을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(51)을 제거한다. 급전층(52)에 지지판(51)의 Cu박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 지지판(51)의 제거 때에 급전층(52)은 제거되지 않고 잔존한다.
- [0165] 다음으로, 도 52에 나타내는 바와 같이, 급전층(52) 및 깊이 조정막(53)을 제거한다. 급전층(52) 및 깊이 조정막(53)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 급전층(52) 및 깊이 조정막(53)을 제거한다. 또, 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다. 또, 배선기판 본체의 지지판 제거면에 도금막(4, 6)을 노출시키게 된다.
- [0166] 도금막(4)에 급전층(52)의 Ni 도금막과 에칭 레이트가 상이한 Cu 도금막이 형성되어 있으므로, 급전층(52)의 제거 때에 도금막(4)은 제거되지 않고 잔존한다. 이에 의해, 도금막(4)의 표면(노출면)은 층간 절연층(14)의 표면(최 표면)과 동일평면이 되도록 노출된다.
- [0167] 또한, 도금막(6)의 급전층(52)측에 급전층(52) 및 깊이 조정막(53)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 급전층(52) 및 깊이 조정막(53)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 깊이 조정막(53)을 제거하는 것에 의해, 도금막(6) 상에 요부(54)가 형성되고, 도금막(6)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.
- [0168] 층간 절연층(14)에 형성된 요부(54)의 저면에서는 도금막(6)이 노출되어 있다. 요부(54)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(53)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막(53)의 두께를 10 $\mu$ m 정도로 한 경우, 요부(54)의 깊이도 10 $\mu$ m 정도가 된다.
- [0169] 이와 같이 하여, 반도체 패키지의 배선기판(20E)이 형성된다. 배선기판(20E)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(4a)가 형성되어 있다. 또한, 배선기판(20E)의 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(6a)가 영역(A)을 둘러싸고 프레임 형태로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조).
- [0170] 배선기판(20E)은 도금막(4)으로 구성되는 전극패드(4a) 및 도금막(6)으로 구성되는 전극패드(6a)를 구비하고 있

고, 전극패드(4a) 및 전극패드(6a)는 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 배선기판(20E)의 영역(B)은 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(54)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 또한, 배선기판(20E)의 영역(A)은 전극패드(4a)의 노출면이 층간 절연층(14)의 표면과 동일면이고, 플랫폼 형태로 형성되어 있다. 이들 전극패드(4a, 6a)의 노출면의 깊이의 차이에 의해, 전극패드(4a)와 전극패드(6a) 형성 부분의 배선기판(20E)에 상이한 단차를 형성할 수 있다.

[0171] 다음으로, 상기 제 3 실시형태에서 도 28, 도 29를 참조하여 설명한 제조공정을 진행하는 것에 의해, 도 53에 나타내는 바와 같이, 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20E)을 구비하는 반도체 패키지(30E)가 형성된다.

[0172] 본 실시형태에 따른 반도체 패키지(30E)는 층간 절연층(14)으로부터 노출되는 전극패드(4a, 6a)를 구비하는 배선기판(20E)을 구비하고, 전극패드(4a, 6a)는 각각 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 이에 의해, 배선기판(20E)에 다양한 부품을 탑재하는 자유도가, 접속재의 양 제어 이외에, 전극패드(4a, 6a)의 탑재면(노출면)의 깊이 제어가 더해지는 것에 의해 향상된다. 따라서, 배선기판(20E)과 다양한 부품의 접속 강도를 높일 수 있으므로, 반도체 패키지(30E)의 신뢰성을 향상시킬 수 있다.

[0173] 또한, 배선기판(20E)에서는 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30E)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0174] 또, 본 실시형태에서는 지지판(51)으로서 Cu박 및 급전층(52)으로서 Ni 도금막을 사용한 경우에 대해 설명했지만, 지지판(51)으로서 Ni박을 사용한 경우이어도 좋다. 이 경우, Ni박 지지판(51), Ni 도금막 급전층(52), Ni 도금막 깊이 조정막(53)을, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 제거하면, 도 52에 나타낸 상태가 된다. 또, 지지판(51)으로서 Ni박을 사용한 경우, Ni 도금막 급전층(52)은 형성하지 않아도 좋다.

[0175] (제 8 실시형태) 상기 제 3 실시형태에서는, 도 27에 나타내는 바와 같이, 배선기판(20A)의 중앙부의 영역(A)에서는 전극패드(4a)의 노출면이 층간 절연층(14)에 형성된 요부(18)의 저면과 동일면으로 되어 있고, 배선기판(20A)의 외주부의 영역(B)에서는 전극패드(6a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우를 나타냈다. 본 실시형태에서는, 도 58에 나타내는 바와 같이, 배선기판(20F)의 중앙부의 영역(A)에서는 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(54)의 저면과 동일면으로 되어 있고, 배선기판(20F)의 외주부의 영역(B)에서는 전극패드(4a)의 노출면이 층간 절연층(14)의 표면과 동일면으로 되어 있는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.

[0176] 본 실시형태에 따른 반도체 패키지의 제조방법에 대해 도면을 참조하여 설명한다. 우선, 도 54에 나타내는 바와 같이, 도전성 지지판(51)을 준비한 후, 지지판(51)을 도금 도통부로서 사용한 전해 도금법에 의해, 지지판(51)의 한쪽 면에 급전층(52)을 형성한다. 지지판(51)은, 예를 들면, 500 $\mu$ m 정도 두께의 Cu박이다. 또한, 급전층(52)은, 예를 들면, 1~5 $\mu$ m 정도 두께의 Ni 도금막이다.

[0177] 이어서, 급전층(52) 상에 개구부(2a)를 구비하는 레지스트층(2)을 형성한다. 레지스트층(2)은, 예를 들면, 소정 두께의 드라이 필름 레지스트 또는 액상 레지스트에 의해 형성한다. 예를 들면, 급전층(52) 상에 드라이 필름 레지스트를 형성한 후, 당해 드라이 필름 레지스트에 대하여 노광 및 현상을 진행하는 것에 의해 개구부(2a)를 구비하는 레지스트층(2)이 급전층(52) 상에 형성된다.

[0178] 이어서, 지지판(51) 및 급전층(52)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 급전층(52) 상에 급전층(52)과 재질이 동일한 깊이 조정막(53)을 형성한다. 그 다음, 급전층(52)을 도금 도통부로서 사용한 전해 도금법에 의해, 레지스트층(2)의 개구부(2a)의 깊이 조정막(53) 상에 깊이 조정막(53)과 재질이 상이한 도금막(6)을 형성한다. 상기 도금막(6)은 전극패드를 구성하는 것에 포함된다.

[0179] 도금막(6)은 단층막이어도 좋지만, 본 실시형태에서는 깊이 조정막(53)측으로부터 차례로 형성된 Au 도금막(6e)/Ni 도금막(6f)/Cu 도금막(6g)(Au 도금막(6e)과 Ni 도금막(6f) 사이에 Pd 도금막을 형성해도 좋다)의 적층막으로 하고 있다. 또, 깊이 조정막(53)으로서 Ni 도금막을 형성하고 있으므로, 도금막(6)의 급전층(52)측에는 그와 상이한 재질인 Au 도금막을 형성하고 있다.

[0180] 이어서, 레지스트층(2)을 제거한 후, 도 55에 나타내는 바와 같이, 급전층(52) 상에 개구부(5a)를 구비하는 레지스트층(5)을 형성한다. 그 다음, 지지판(51) 및 급전층(52)을 도금 도통부로서 사용한 전해 도금법에 의해,

레지스트층(5)의 개구부(5a)의 급전층(52) 상에 급전층(52)과 재질이 상이한 도금막(4)을 형성한다. 상기 도금막(4)은 전극패드를 구성하는 것에 포함된다.

- [0181] 도금막(4)은, 예를 들면, 10~20 $\mu$ m 정도 두께의 Cu 도금막이다. 본 실시형태에서는 급전층(52)으로서 Ni 도금막을 형성하고 있으므로, 도금막(4)은 그와 상이한 재질인 Cu 도금막을 형성하고 있다. 후공정에서, Ni 도금막으로 구성되는 급전층(52)은 에칭에 의해 제거되지만, 그때 도금막(4)은 잔존시켜 놓으므로, 도금막(4)에는 Ni 도금막과 에칭 레이트가 상이한 재질인 Cu 도금막을 형성하고 있다.
- [0182] 이어서, 레지스트층(5)을 제거한 후, 도 56에 나타내는 바와 같이, 도금막(4) 및 도금막(6)을 덮도록, 배선(11, 12, 13) 및 층간 절연층(14, 15, 16)을 포함하는 배선층(빌드업 배선층)을 형성한다. 이에 의해, 배선층과 절연층을 적층한 배선기판 본체를 형성한다.
- [0183] 다음으로, 도 57에 나타내는 바와 같이, 지지판(51)을 제거한다. 지지판(51)에 Cu박을 사용한 경우, 예를 들면, 염화암모늄 구리를 포함하는 에칭액을 사용한 에칭에 의해 지지판(51)을 제거한다. 급전층(52)에 지지판(51)의 Cu박과 에칭 레이트가 상이한 Ni 도금막이 형성되어 있으므로, 지지판(51)의 제거 때에 급전층(52)은 제거되지 않고 잔존한다.
- [0184] 다음으로, 도 58에 나타내는 바와 같이, 급전층(52) 및 깊이 조정막(53)을 제거한다. 급전층(52) 및 깊이 조정막(53)에 Ni 도금막을 사용한 경우, 예를 들면, 초산과 과산화수소수를 포함하는 에칭액을 사용한 에칭에 의해 급전층(52) 및 깊이 조정막(53)을 제거한다. 또, 에칭 때에, 에폭시계 수지나 폴리이미드계 수지 등의 층간 절연층(14)은 제거되지 않는다.
- [0185] 도금막(4)에 급전층(52)의 Ni 도금막과 에칭 레이트가 상이한 Cu 도금막이 형성되어 있으므로, 급전층(52)의 제거 때에 도금막(4)은 제거되지 않고 잔존한다. 이에 의해, 도금막(4)의 표면(노출면)은 층간 절연층(14)의 표면(최 표면)과 동일평면이 되도록 노출된다.
- [0186] 또한, 도금막(6)의 급전층(52)측에 급전층(52) 및 깊이 조정막(53)의 Ni 도금막과 에칭 레이트가 상이한 Au 도금막이 형성되어 있으므로, 급전층(52) 및 깊이 조정막(53)의 제거 때에 도금막(6)은 제거되지 않고 잔존한다. 깊이 조정막(53)을 제거하는 것에 의해, 도금막(6) 상에 요부(54)가 형성되고, 도금막(6)의 표면(노출면)은 층간 절연층(14)으로부터 노출된다.
- [0187] 층간 절연층(14)에 형성된 요부(54)의 저면에서는 도금막(6)이 노출되어 있다. 요부(54)의 깊이(층간 절연층(14)의 표면으로부터의 깊이)는 깊이 조정막(53)의 두께와 동일한 정도이다. 예를 들면, 깊이 조정막(53)의 두께를 10 $\mu$ m 정도로 한 경우, 요부(54)의 깊이도 10 $\mu$ m 정도가 된다.
- [0188] 이와 같이 하여, 반도체 패키지의 배선기판(20F)이 형성된다. 배선기판(20F)의 중앙부의 영역(A)에는, 탑재되는 반도체칩의 외부 접속단자와 접속되기 위한 전극패드(6a)가 형성되어 있다. 또한, 배선기판(20F)의 외주부의 영역(B)에는, 탑재되는 리드(방열판)의 접속부와 접속되기 위한 전극패드(4a)가 영역(A)을 둘러싸고 프레임 형태로 형성되어 있다(예를 들면, 도 30의 전극패드(6a) 참조).
- [0189] 배선기판(20F)은 도금막(4)으로 구성되는 전극패드(4a) 및 도금막(6)으로 구성되는 전극패드(6a)를 구비하고 있고, 전극패드(4a) 및 전극패드(6a)는 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 배선기판(20F)의 영역(A)은 전극패드(6a)의 노출면이 층간 절연층(14)에 형성된 요부(54)의 저면과 동일면이고, 포켓 모양으로 형성되어 있다. 또한, 배선기판(20F)의 영역(B)은 전극패드(4a)의 노출면이 층간 절연층(14)의 표면과 동일면이고, 플랫폼 형태로 형성되어 있다. 이들 전극패드(4a, 6a)의 노출면의 깊이의 차이에 의해, 전극패드(4a)와 전극패드(6a) 형성 부분의 배선기판(20F)에 상이한 단차를 형성할 수 있다.
- [0190] 다음으로, 상기 제 3 실시형태에서 도 28, 도 29를 참조하여 설명한 제조공정을 진행하는 것에 의해, 도 59에 나타내는 바와 같이, 반도체칩(21) 및 리드(23)가 탑재된 배선기판(20F)을 구비하는 반도체 패키지(30F)가 형성된다.
- [0191] 본 실시형태에 따른 반도체 패키지(30F)는 층간 절연층(14)으로부터 노출되는 전극패드(4a, 6a)를 구비하는 배선기판(20F)을 구비하고, 전극패드(4a, 6a)는 각각 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있다. 이에 의해, 배선기판(20F)에 다양한 부품을 탑재하는 자유도가, 접속재의 양 제어 이외에, 전극패드(4a, 6a)의 탑재면(노출면)의 깊이 제어가 더해지는 것에 의해 향상된다. 따라서, 배선기판(20F)과 다양한 부품의 접속 강도를 높일 수 있으므로, 반도체 패키지(30F)의 신뢰성을 향상시킬 수 있다.
- [0192] 또한, 배선기판(20F)에서는 다양한 부품(반도체칩(21), 리드(23))을 탑재할 수 있고, 다양한 부품에 대응시킨

재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30F)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0193] (제 9 실시형태) 상기 제 3 실시형태에서는 도 29에 나타내는 바와 같이, 전극패드(4a, 6a)가 형성되어 있는 면측의 배선기판(20A) 상에 다양한 부품(반도체칩(21), 리드(23))을 탑재한 경우에 대해 설명했다. 본 실시형태에서는 도 60에 나타내는 바와 같이, 전극패드(4a, 6a)가 형성되어 있는 면측의 배선기판(20G) 상에 다양한 부품(칩커패시터(61), 뱀납볼(62))을 탑재하고, 그 반대면의 배선기판(20G) 상에 반도체칩(64)을 탑재하는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.

[0194] 본 실시형태에 따른 배선기판(20G)은 상기 제 3 실시형태에서 도 19~도 27을 참조하여 설명한 제조공정에 의해 형성할 수 있다. 이들의 제조공정을 거쳐 배선기판(20G)의 전극패드(4a) 및 전극패드(6a)는 표면 절연층(14)의 표면으로부터의 깊이가 상이하게 노출된다. 또한, 전극패드(4a, 6a)가 형성되어 있는 면(이하, "제 1면"이라고 한다)측과 반대면(이하, "제 2면"이라고 한다)에서는, 솔더 레지스트(17)의 표면으로부터 노출된 배선(13)을 전극패드로서 구성하고 있다.

[0195] 도 60에 나타내는 바와 같이, 배선기판(20G)의 제 1면 상에는 칩커패시터(61)가 탑재되어 있다. 상기 칩커패시터(61)에는 외부 접속단자(63)가 형성되어 있다. 상기 외부 접속단자(63)와 배선기판(20G)의 전극패드(4a)가 뱀납(66)을 개재하여 전기적으로 접속되어, 배선기판(20G) 상에 칩커패시터(61)가 실장된다.

[0196] 또한, 배선기판(20G)의 제 1면 상에는 배선기판(20G)의 외부 접속단자로서 뱀납볼(62)이 탑재되어 있다. 이 뱀납볼(62)과 배선기판(20G)의 전극패드(6a)가 전기적으로 접속되어, 배선기판(20G) 상에 뱀납볼(62)이 실장된다.

[0197] 또한, 배선기판(20G)의 제 2면 상에는 반도체칩(64)이 탑재되어 있다. 반도체칩(64)의 메인면(소자형성면)에는 내부소자와 전기적으로 접속되어 있는 골드 범프나 솔더 범프 등의 외부 접속단자(65)가 형성되어 있다. 상기 외부 접속단자(65)와 배선기판(20G)의 전극패드(배선(13))가 전기적으로 접속되어, 배선기판(20G) 상에 반도체칩(64)이 플립 칩 실장된다.

[0198] 이상에 의하여, 반도체칩(64), 칩커패시터(61) 및 뱀납볼(62)이 탑재된 배선기판(20G)을 구비하는 반도체 패키지(30G)가 형성된다. 상기 제 3 실시형태에서는 전극패드(4a, 6a)가 형성되어 있는 면 상에 반도체칩(21)을 탑재했지만(도 29 참조), 본 실시형태에서는 전극패드(4a, 6a)가 형성되어 있는 면(제 1면) 상에 반도체칩(64)을 탑재하지 않고, 다른 부품(칩커패시터(61), 뱀납볼(62))을 탑재하고 있다.

[0199] 본 실시형태의 배선기판(20G)에서는, 전극패드(4a, 6a)가 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있으므로, 배선기판(20G) 상에 다양한 부품(칩커패시터(61), 뱀납볼(62))을 탑재할 수 있는 자유도를 높일 수 있다. 또, 칩커패시터(61) 대신에, 칩 저항 등의 다른 전기 부품을 탑재해도 좋다. 또한, 배선기판(20G) 대신에, 상기 제 1~제 8 실시형태에 나타난 어느 한 구조의 배선기판을 적용할 수도 있다.

[0200] 또한, 배선기판(20G)에서는, 다양한 부품(칩커패시터(61), 뱀납볼(62))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30G)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0201] (제 10 실시형태)  
상기 제 3 실시형태에서는, 도 29에 나타내는 바와 같이, 전극패드(4a, 6a)가 형성되어 있는 면측의 배선기판(20A) 상에 반도체칩(21), 리드(23)를 탑재한 경우에 대해 설명했다. 본 실시형태에서는 다른 부품(칩커패시터)을 탑재하는 경우에 대해 설명한다. 또, 상기 실시형태와 중복되는 설명은 생략하는 경우가 있다.

[0202] 도 61에 나타내는 배선기판(20H)은 상기 제 3 실시형태에서 도 19~도 27을 참조하여 설명한 제조공정에 의해 형성할 수 있다. 이들의 제조공정을 거쳐 배선기판(20H)의 전극패드(4a) 및 전극패드(6a)는 표면 절연층(14)의 표면으로부터의 깊이가 상이하게 노출된다. 상기 배선기판(20H)의 전극패드(4a)와 반도체칩(21)의 외부 접속단자(22)가 전기적으로 접속되어 배선기판(20H) 상에 반도체칩(21)이 탑재된다. 또한, 배선기판(20H)의 전극패드(6a)와 칩커패시터(61)의 외부 접속단자(63)가 뱀납(66)에 의해 전기적으로 접속되어 배선기판(20H) 상에 칩커패시터(61)가 탑재된다.

[0203] 이와 같이, 반도체칩(21) 및 칩커패시터(61)가 탑재된 배선기판(20H)을 구비하는 반도체 패키지(30H)가 형성된다. 본 실시형태의 배선기판(20H)에서는 전극패드(4a, 6a)가 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있으므로, 배선기판(20H) 상에 다양한 부품을 탑재할 수 있는 자유도를 높일 수 있다. 또, 칩커패

시터(61) 대신에, 칩 저항 등의 다른 전기부품을 탑재해도 좋다. 또한, 배선기판(20H) 대신에, 상기 제 1~제 8 실시형태에 나타낸 어느 한 구조의 배선기판을 적용할 수도 있다.

[0204] 또한, 배선기판(20H)에서는 다양한 부품(반도체칩(21), 칩커패시터(61))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30H)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0205] (제 11 실시형태)  
도 62에 나타내는 배선기판(20I)은 상기 제 5 실시형태에서 도 36~도 40을 참조하여 설명한 제조공정에 의해 형성할 수 있다. 이들의 제조공정을 거쳐 배선기판(20I)의 전극패드(4a) 및 전극패드(6a)는 표면 절연층(14)의 표면으로부터의 깊이가 상이하게 노출된다. 이 배선기판(20I)의 전극패드(6a)와 반도체칩(21)의 외부 접속단자(22)가 전기적으로 접속되어 배선기판(20I) 상에 반도체칩(21)이 탑재된다. 또한, 배선기판(20I)의 전극패드(4a)와 POP(Package On Package)기판(71)의 외부 접속단자(80)가 전기적으로 접속되어 배선기판(20I) 상에 POP기판(71)이 탑재된다.

[0206] 또, POP기판(71)은, 예를 들면, 코어기판(72)의 양면에 형성된 배선(73, 74)과, 코어기판(72)을 관통하여 배선(73)과 배선(74)을 전기적으로 접속시키는 스루홀(through hole)(75)과, 배선(73, 74)을 덮도록 코어기판(72) 상에 형성된 솔더 레지스트(76, 77)를 구비하는 배선기판이다. 이 POP기판(71)에는 반도체칩(78)이 탑재되어 있고, 반도체칩(78)의 골드 범프나 솔더 범프 등의 외부 접속단자(79)와 솔더 레지스트(76)로부터 노출된 배선(73)이 전기적으로 접속되어 있다. 또한, POP기판(71)의 외부 접속단자(80)가, 반도체칩(78)이 탑재된 면과 반대면의 배선(74)에 형성되어 있다.

[0207] 이와 같이, 반도체칩(21) 및 POP기판(71)이 탑재된 배선기판(20I)을 구비하는 반도체 패키지(30I)가 형성된다. 본 실시형태의 배선기판(20I)에서는 전극패드(4a, 6a)가 층간 절연층(14)의 표면으로부터의 깊이가 상이하게 노출되어 있으므로, 배선기판(20I) 상에 다양한 부품을 탑재할 수 있는 자유도를 높일 수 있다. 또, 배선기판(20I) 대신에, 상기 제 1~제 8 실시형태에 나타낸 어느 한 구조의 배선기판을 적용할 수도 있다.

[0208] 또한, 배선기판(20I)에서는 다양한 부품(반도체칩(21), POP기판(71))을 탑재할 수 있고, 다양한 부품에 대응시킨 재질을 전극패드(4a, 6a)에 사용할 수 있다. 전극패드(4a, 6a)의 노출면의 재질을 탑재하는 부품에 대응시켜 상이하게 하는 것에 의해, 반도체 패키지(30I)의 전기적 특성, 신뢰성을 향상시킬 수 있다.

[0209] 이상으로, 본 발명자에 의한 발명을 실시형태에 따라 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되지 않고, 그 요지를 일탈하지 않는 범위 내에서 다양한 변경이 가능한 것은, 당업자에게 있어 자명하다.

[0210] 예를 들면, 상기 제 1 실시형태에서는 전극패드(4a)(도금막(4))를 형성한 후, 전극패드(6a)(도금막(6))를 형성한 경우에 대해 설명했지만, 전극패드(4a, 6a)는 어느 것을 먼저 형성해도 좋다. 상기한 기타 실시형태에 있어서도, 마찬가지로 전극패드(4a, 6a)는 어느 것을 먼저 형성해도 좋다.

[0211] 또한, 예를 들면, 상기 제 3 실시형태에서는, 도 30에 나타내는 바와 같이, 전극패드(4a)의 평면형상은 원형, 및 전극패드(6a)의 평면형상은 프레임 형태로 한 경우에 대해 설명했지만, 탑재되는 다양한 부품에 따라, 원형이나 직사각형(반도체칩이나 칩커패시터 탑재용), 프레임 형태(커버 탑재용) 등 각종 형상의 것들이 포함된다. 상기한 기타 실시형태에 있어서도, 마찬가지로이다.

[0212] 또한, 전극패드(4a, 6a)의 최 표면층에 노출되는 도금막으로서 Cu 도금막이나 Au 도금막 대신에, Sn(주석) 도금막이나, Sn-Pb(납) 등의 땀납 도금막 등, 각종 금속을 사용할 수 있다.

### 산업상 이용가능성

[0213] 본 발명은 배선기판, 특히, 반도체 패키지의 배선기판의 제조업에 폭넓게 이용될 수 있다.

### 부호의 설명

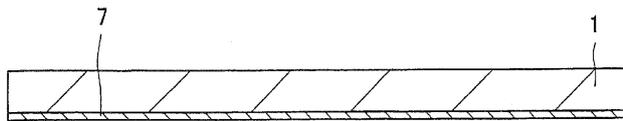
- [0214] 1: 지지판  
2: 레지스트층  
2a: 개구부  
3: 깊이 조정막

- 4: 도금막
- 4a: 전극패드
- 5: 레지스트층
- 5a: 개구부
- 6: 도금막
- 6a: 전극패드
- 6e: Au 도금막
- 6f: Ni 도금막
- 6g: Cu 도금막
- 11, 12, 13: 배선
- 14, 15, 16: 층간 절연층
- 17: 솔더 레지스트
- 18: 요부(凹部)
- 20A~20K: 배선기판
- 21: 반도체칩
- 22: 외부 접속단자
- 23: 리드
- 23a: 커버부
- 23b: 접속부
- 24: 그리스(grease)
- 25: 뿔납(solder)
- 30A~30K: 반도체 패키지
- 41: 깊이 조정막
- 42: 요부
- 51: 지지판
- 52: 급전층
- 53: 깊이 조정막
- 54: 요부
- 61: 칩커패시터
- 62: 뿔납볼
- 63: 외부 접속단자
- 64: 반도체칩
- 65: 외부 접속단자
- 66: 뿔납
- 71: POP기판
- 72: 코어기판

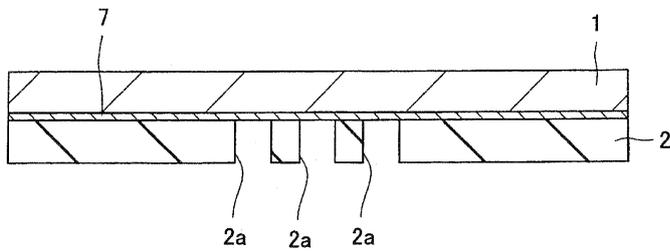
- 73, 74: 배선
- 75: 스루홀(through hole)
- 76, 77: 솔더 레지스트
- 78: 칩
- 79, 80: 외부 접속단자
- 101: 배선기판
- 102: 전극패드
- 103: 절연층
- 104: 요부
- 105: 배선층
- 106: 솔더 레지스트
- 107: 비아(VIA)

**도면**

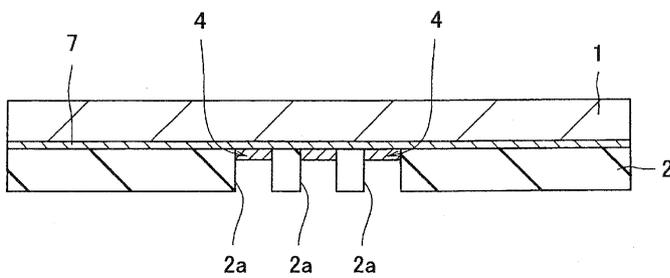
**도면1**



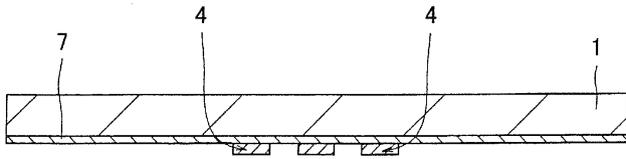
**도면2**



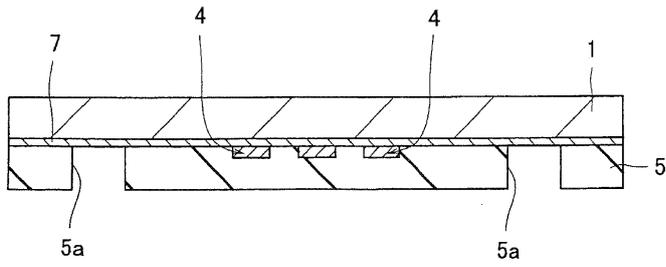
**도면3**



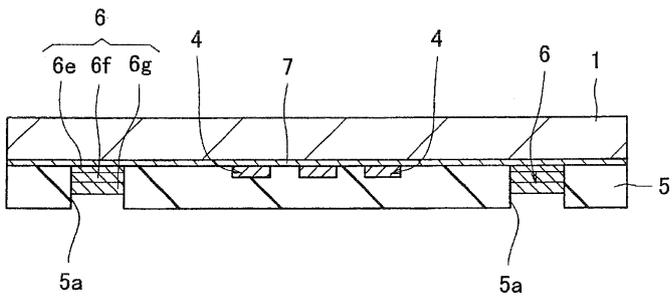
도면4



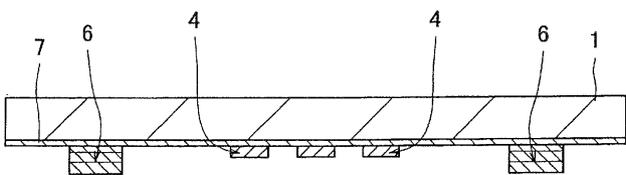
도면5



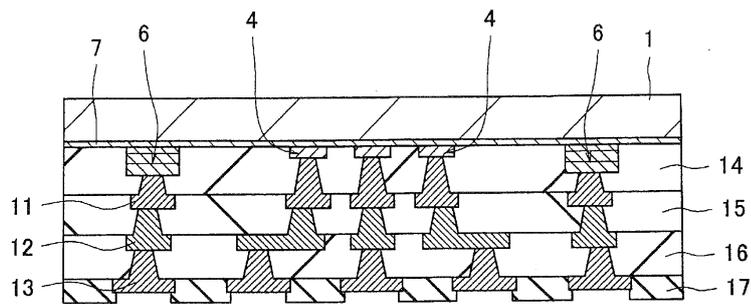
도면6



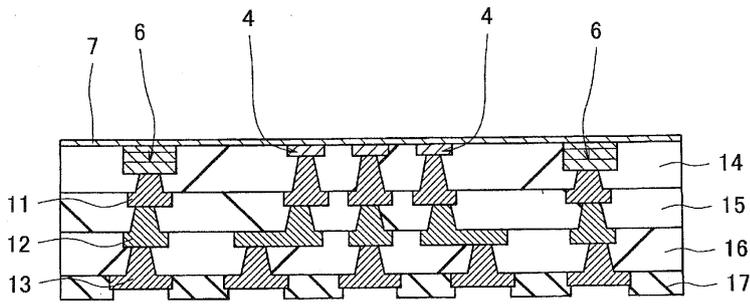
도면7



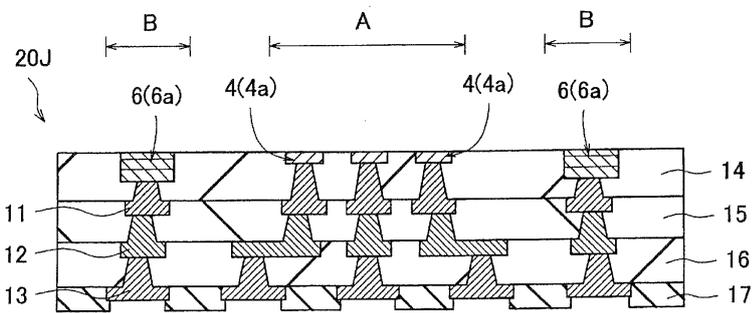
도면8



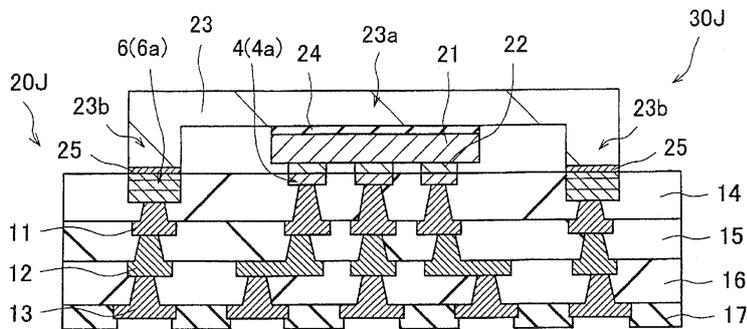
도면9



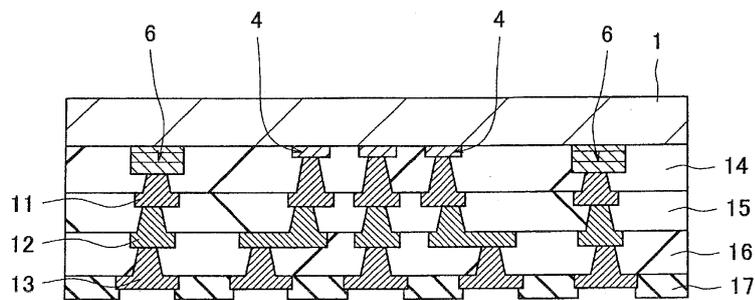
도면10



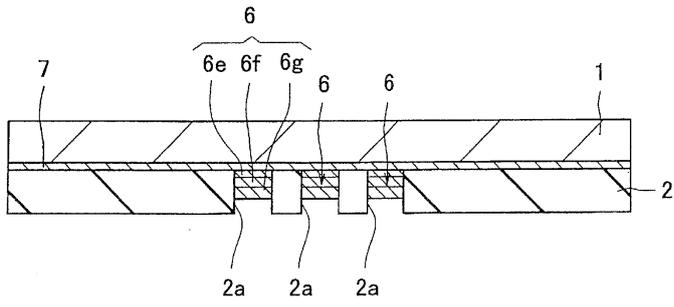
도면11



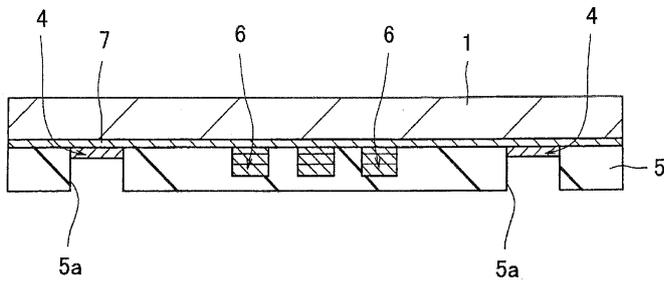
도면12



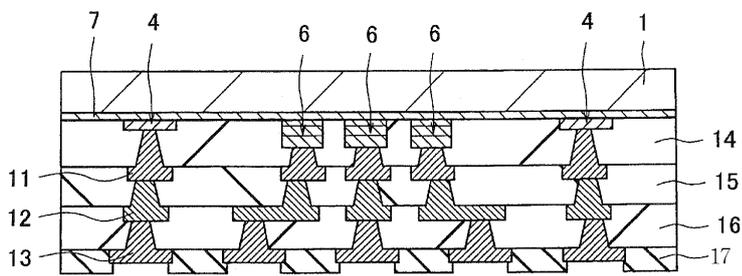
도면13



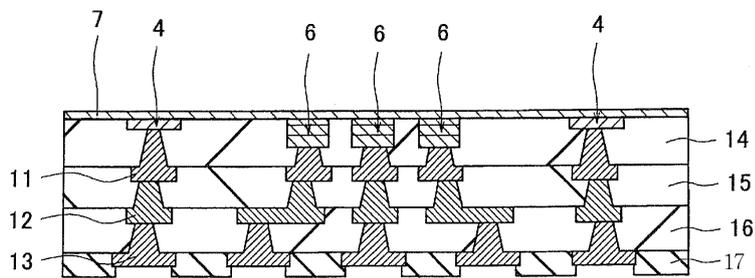
도면14



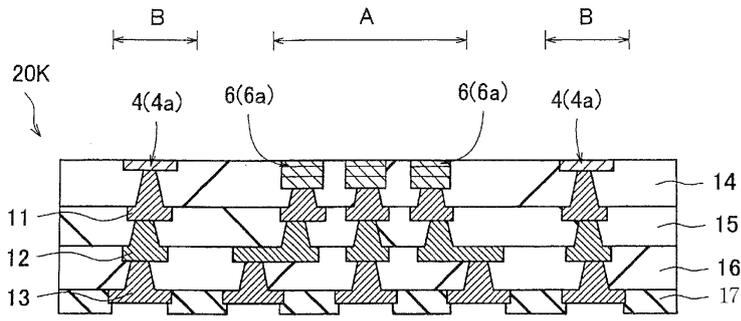
도면15



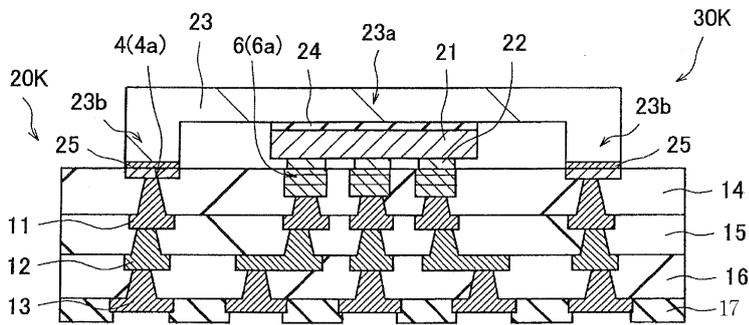
도면16



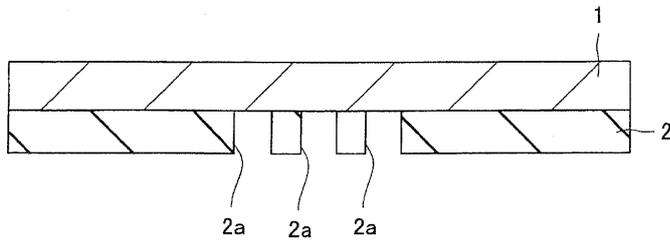
도면17



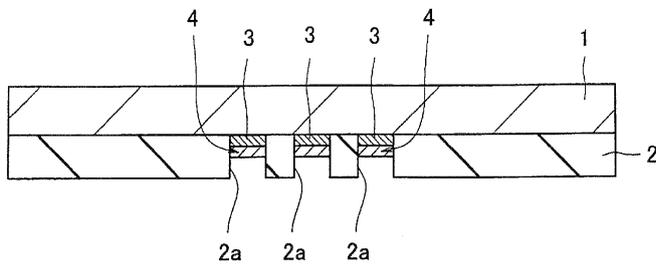
도면18



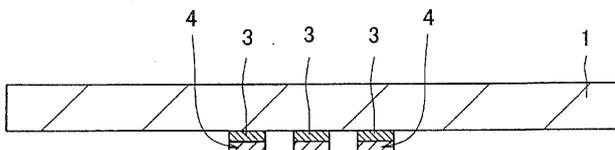
도면19



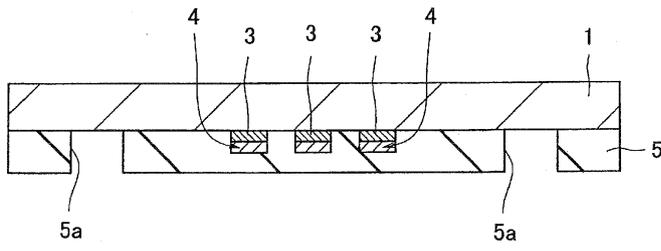
도면20



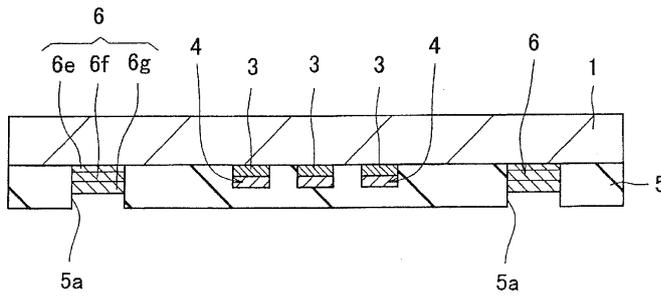
도면21



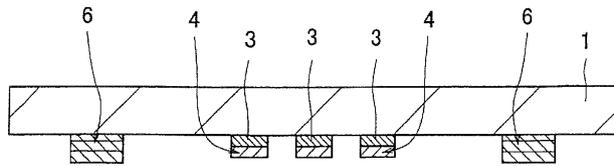
도면22



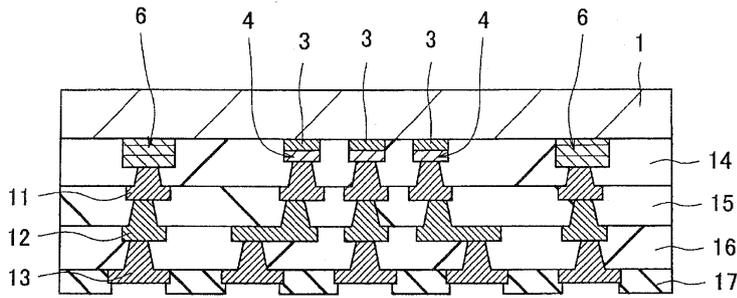
도면23



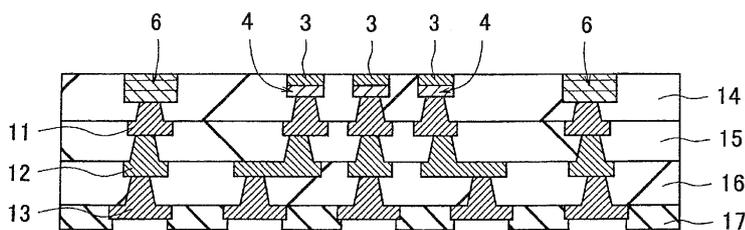
도면24



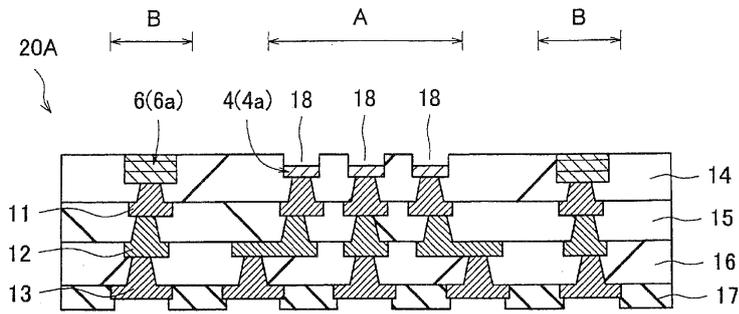
도면25



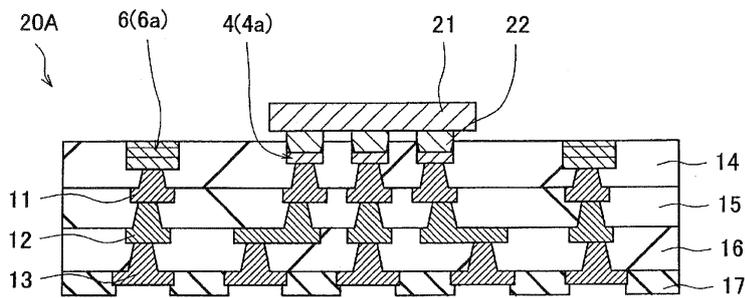
도면26



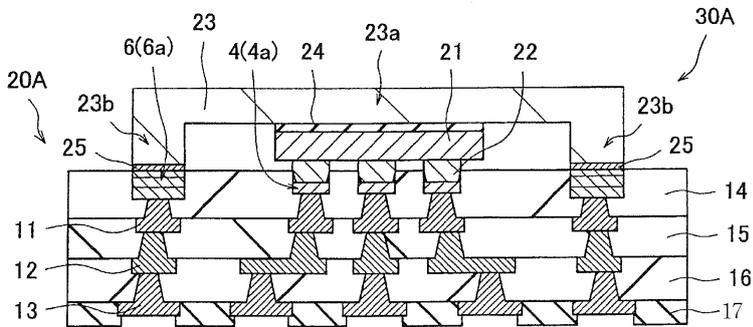
도면27



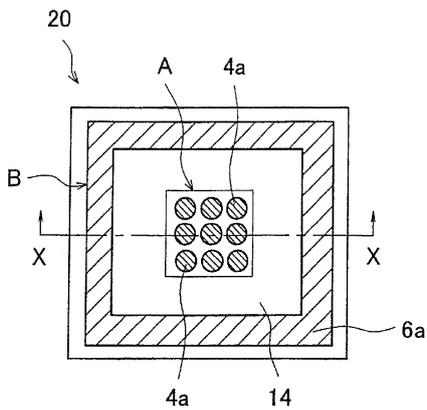
도면28



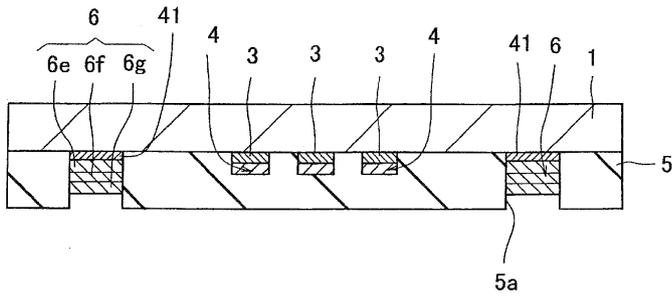
도면29



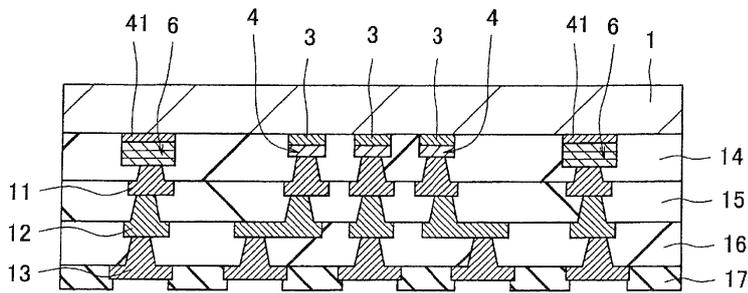
도면30



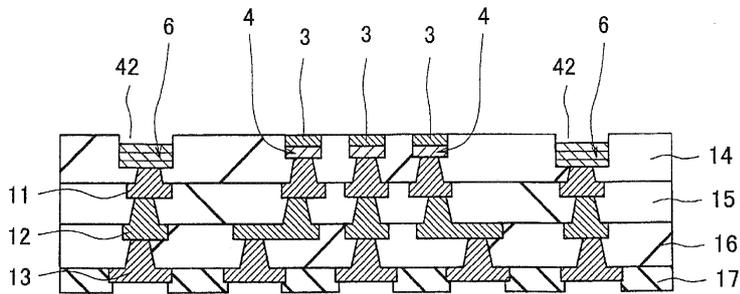
도면31



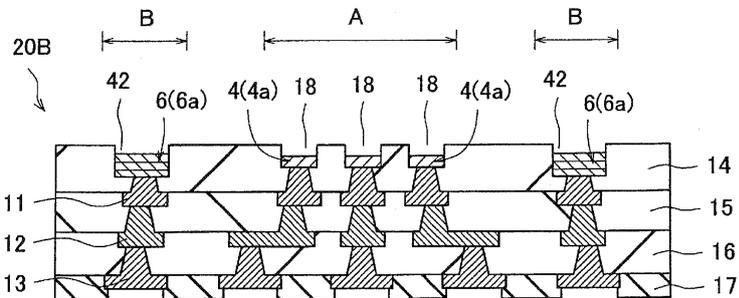
도면32



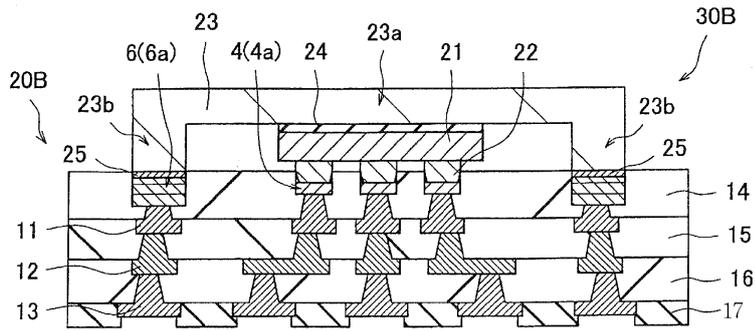
도면33



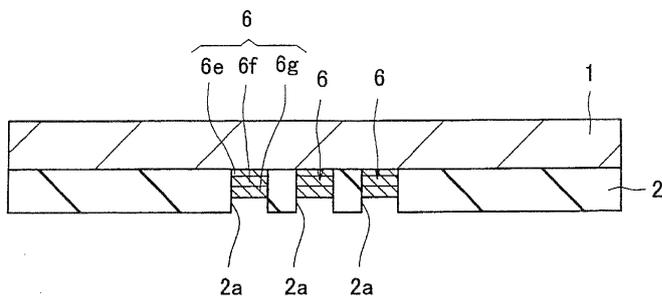
도면34



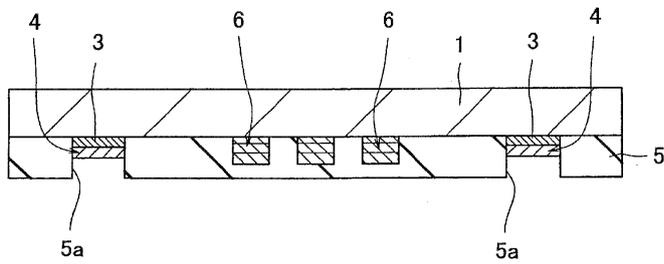
도면35



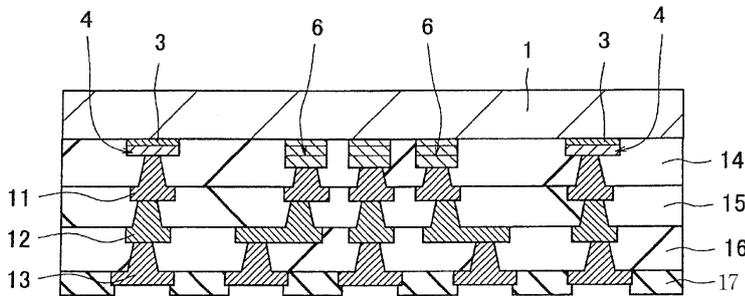
도면36



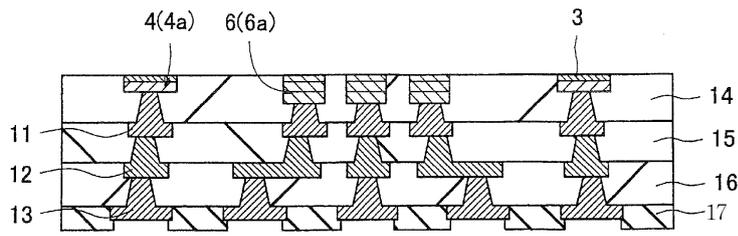
도면37



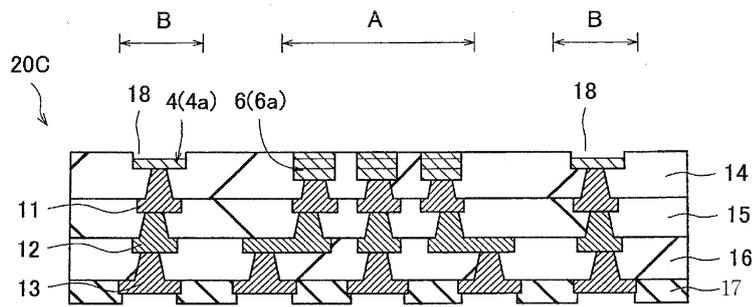
도면38



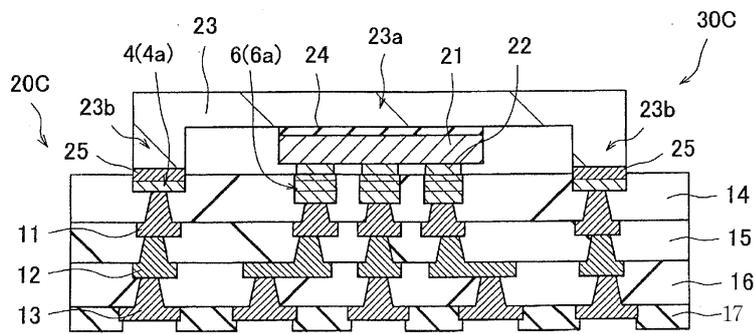
도면39



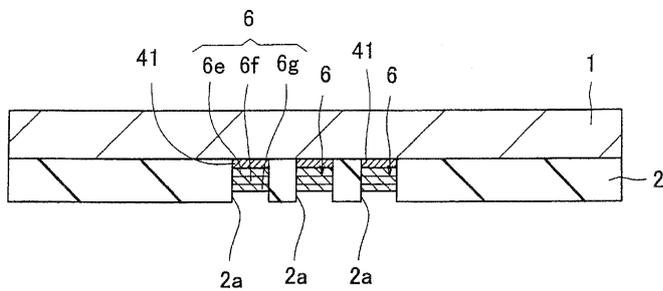
도면40



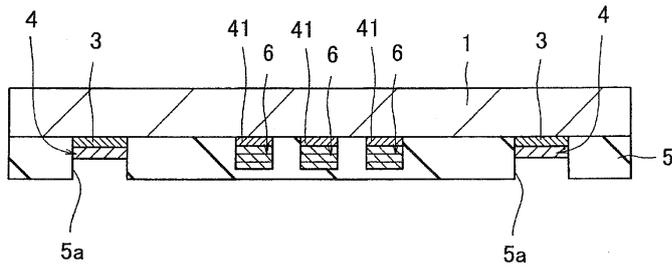
도면41



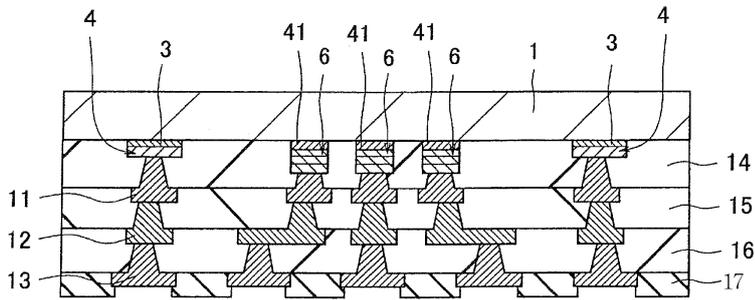
도면42



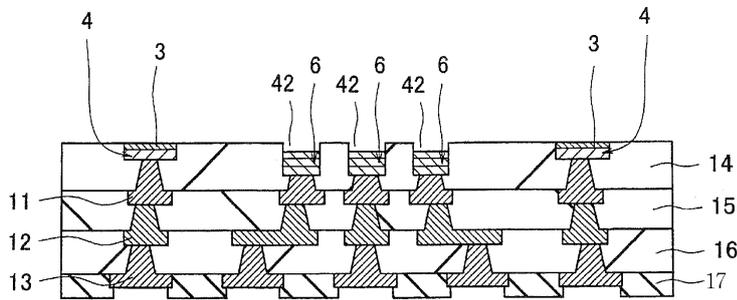
도면43



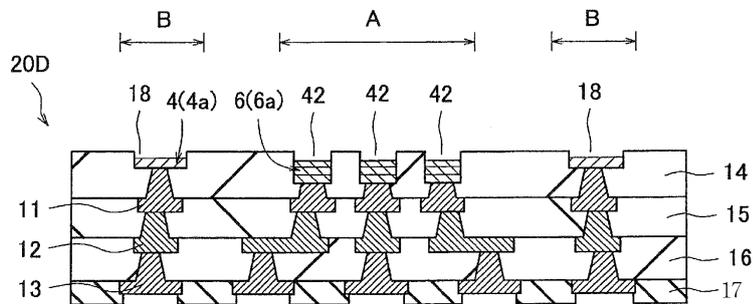
도면44



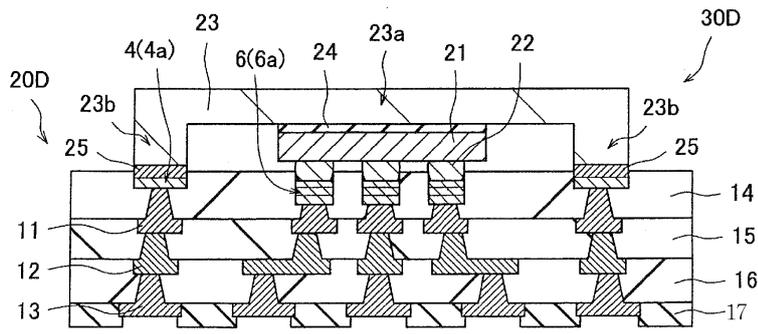
도면45



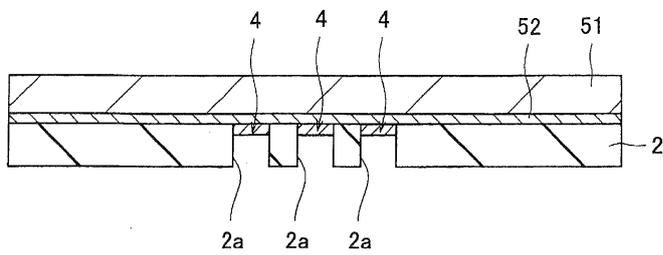
도면46



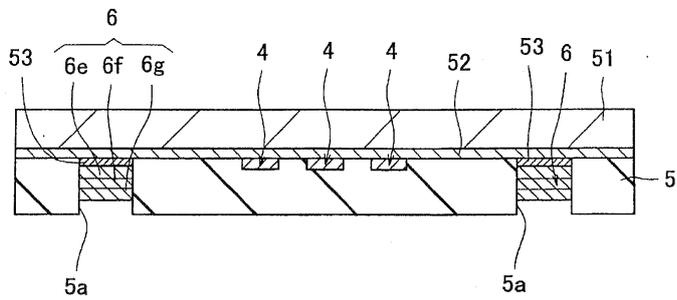
도면47



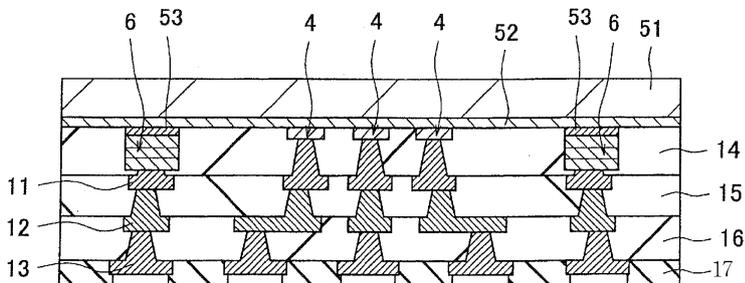
도면48



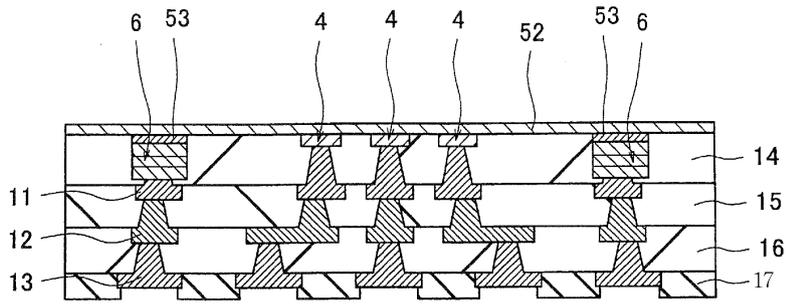
도면49



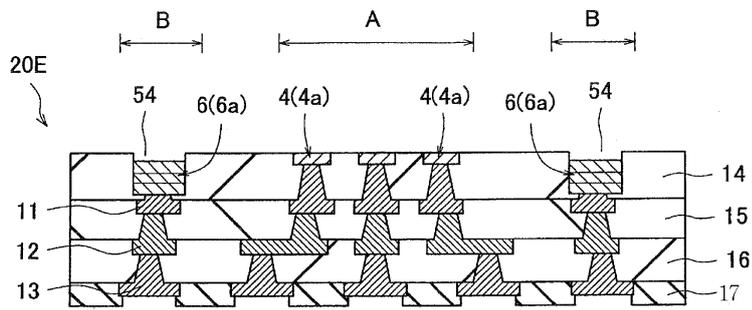
도면50



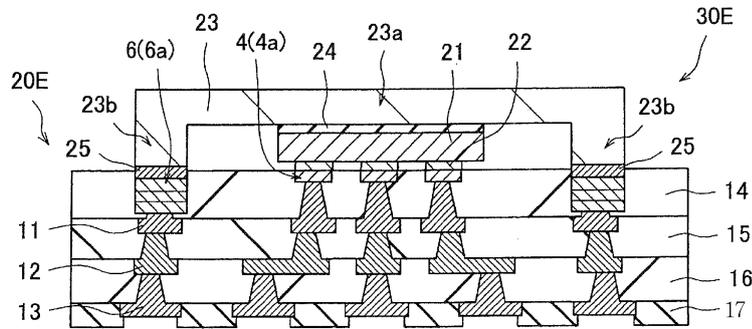
도면51



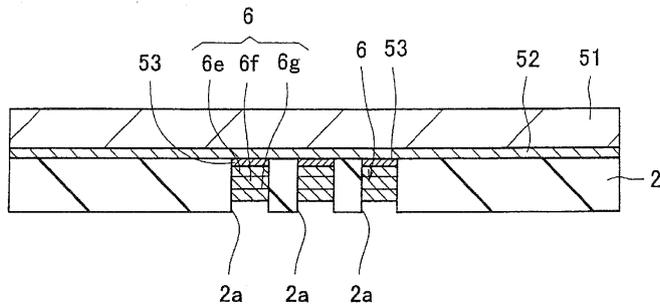
도면52



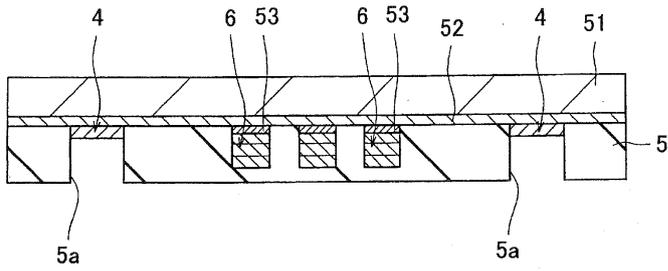
도면53



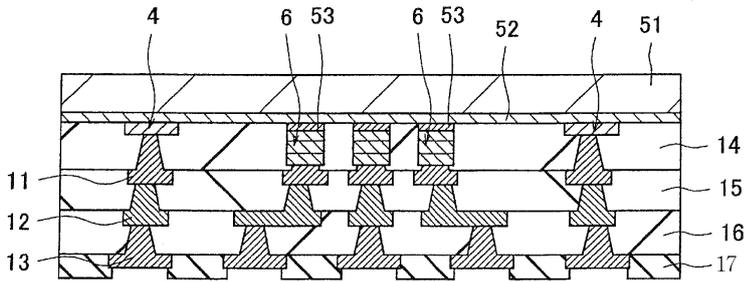
도면54



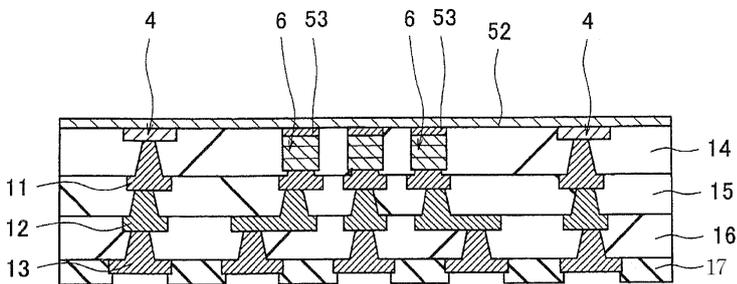
도면55



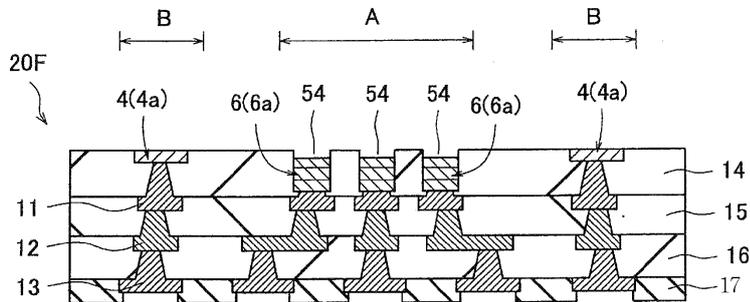
도면56



도면57

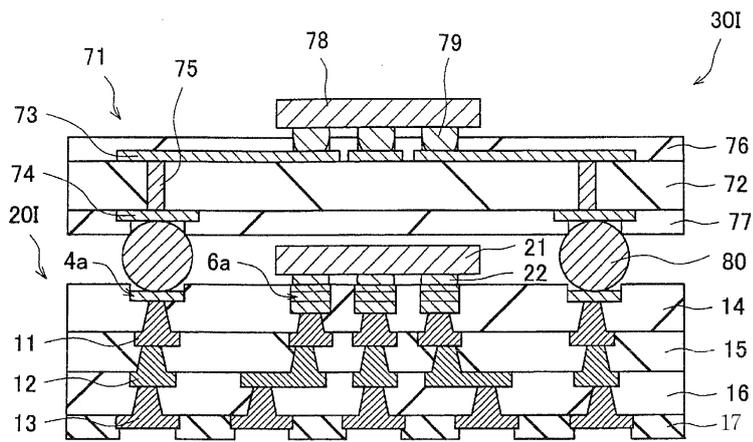


도면58





도면62



도면63

