(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 11/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0204432
(24) 등록일자 1999년03월29일

(21) 출원번호 10-1995-0010049
(22) 출원일자 1995년04월27일
(65) 공개번호 특1995-0030716
(43) 공개일자 1995년11월24일
(30) 우선권주장 94-89825 1994년04월27일 일본(JP)

(73) 특허권자 가부시기가이샤 도시바 니시무로 타이죠
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72
(72) 발명자 나카 히데유키
일본국 가나가와켄 요코하마시 이소고쿠 신수기타 쵸오 8 가부시기가이샤 도시바 멀티미디어 기술 연구소내
고니시 가즈오
일본국 가나가와켄 요코하마시 이소고쿠 신수기타 쵸오 8 가부시기가이샤 도시바 멀티미디어 기술 연구소내
오이시 가즈유키
일본국 가나가와켄 요코하마시 이소고쿠 신수기타 쵸오 8 가부시기가이샤 도시바 멀티미디어 기술 연구소내
(74) 대리인 나영환, 이상섭

심사관 : 김희곤

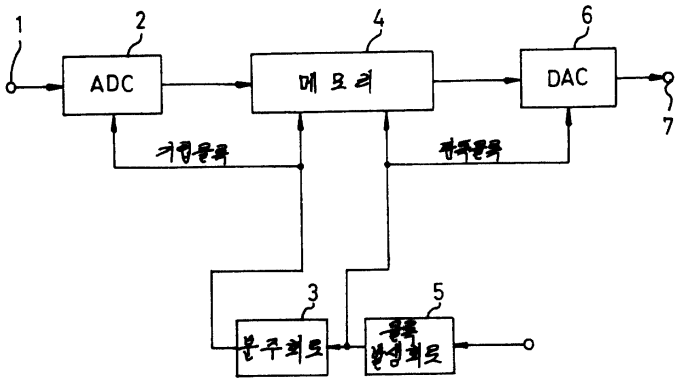
(54) 시간축 변환 장치

요약

판독과 기입의 클록 주파수가 다른 시스템이면서 1 클록 지터가 없는 양호한 재생 화상을 얻을수 있다.

입력 단자(1)에 입력된 아날로그 신호는 AD변환기(2)에 의하여 기입 클록주파수에 기초한 소정이 셈플링 주기의 디지털 신호로 변환된다. 기입클록은 분주회로(3)에 의하여 판독클록을 3/4 분주하여 생성된다. 변환된 디지털 신호는 기입 클록에 의하여 메모리 (4)에 기입된다. 판독 클록은 클록발생회호(5)에 의하여 생성된다. 기입된 신호 데이터는 판독 클록에 의하여 판독하며, 판독된 디지털 신호 데이터를 DA 변환기(6)에 의하여 아날로그 신호로 변환시킨다. 변환된 출력 아날로그 신호는 입력 아날로그 신호를 3/4배의 시간축상에서 압축한 데이터로서 출력 단자(7)로부터 취출된다.

대표도



명세서

[발명의 명칭]

시간축 변환 장치

[도면의 간단한 설명]

제1도는 본 발명의 일실시예를 설명하기 위한 회로 구성도.

제2도는 본 발명의 제1의 다른 실시예를 설명하기 위한 도면.

제3도는 본 발명의 실시예를 실현하기 위하여 이용하는 PLL 회로의 회로 구성도.

제4도는 본 발명의 실시예를 실현하기 위하여 이용하는 다른 PLL 회로의 회로 구성도.

제5도는 제2도를 텔레비전 수상기에 응용한 예를 설명하기 위한 구성도.

제6도는 본 발명의 제2의 다른 실시예를 설명하기 위한 회로 구성도.

제7도는 본 발명의 제3의 다른 실시예를 설명하기 위한 회로 구성도.

제8도는 본 발명의 실시예의 텔레비전 수상기에 응용한 예를 나타내는 도면.

제9도는 본 발명의 제4실시예를 설명하기 위한 회로 구성도.

제10도는 제9도에 이용한 각 프리필터의 특성을 설명하기 위한 특성도.

제11도는 제9도의 실시예의 프리필터를 디지털화 했을 때의 회로 구성도.

제12도는 본 발명에 이용하는 FIR 필터를 설명하기 위한 구성도.

제13도는 본 발명의 실시예에 이용하는 VCO를 실현하기 위한 블록도.

제14도는 제13도의 동작을 설명하기 위한 타이밍 차트.

제15도는 제13도의 실시예의 부적합함을 해결하는 수단을 설명하기 위한 회로 구성도.

제16도는 본 발명의 제5의 다른 실시예를 설명하기 위한 블록도.

제17도는 본 발명에 의하여 실현되는 텔레비전 화면의 이미지를 설명하기 위한 설명도.

제18도는 제16도의 실시예의 변형을 설명하기 위한 블록도.

제19도는 종래의 텔레비전 수상기의 시간축 압축 회로를 설명하기 위한 블록도.

제20도는 종래의 간인(間引) 필터의 동작 원리를 설명하기 위한 설명도.

제21도는 종래의 텔레비전 수상기의 시간축 압축 회로를 설명하기 위한 블록도.

* 도면의 주요부분에 대한 부호의 설명

1, 91 : 입력 단자 2, 6, 96 : AD 변환기

3 : 분주 회로 4 : 메모리

5 : 클록 발생 회로 7, 101 : 출력 단자

41 : 듀얼 포트 메모리 51 : 수신 회로

52 : 복조 회로 53 : 휘도·색신호 분리 회로

54 : 휘도 신호 처리 회로 55 : 색신호 처리 회로

56 : 시간축 압축 회로 57 : 매트릭스 회로

58 : 편향 회로 59 : CRT

61 : 체배 회로 81 : 시간축 신장 회로

92, 93, 94, 111 : 프리필터 95 : 선택 회로

97 : 압축비 제어 회로 98 :압축 회로

100 : 포스트 필터 151~153 : 플립플롭 회로

154 : 인버터 회로 155 : NAND 회로

156 : 판독용 카운터 157 : 기입 카운터

161 : 16 분주 회로 162 : 위상 비교 회로

163 : VCO 164, 181 : 가변 분주 회로

[발명의 상세한 설명]

본 발명은 텔레비전 수상기, 정보 통신기기 등에 이용하는 시간축 변환 장치에 관한 것으로 특히 시간축 압축회로, 시간축 신장회로 등의 시간축 변환 회로 및 그 주변 회로에 관한 것이다.

제19도는 종래의 시간축 변환 장치중 시간축 압축 회로의 회로 예를 도시하고 있다. 입력신호와 출력신호의 시간축을 압축하는 수단으로서, 메모리에 기입하는 신호 데이타를 디지탈 필터에 의하여 간인(間引) 연산을 행하며 그 신호를 판독함으로써 시간축의 압축을 행하도록 구성된 시간축 압축회로이다. 이 구성의 시간축 압축회로에서는 메모리에 기입하는 데이터를 솎아내는 간인 비율에 의하여 시간축의 압축비를 결정한다.

입력된 아날로그 신호는 AD변환기(191)에 의하여 클록 주파수에 기포한 소정의 샘플링 주기의 신호로 변환된다. 이 클록 신호는 클록 발생회로(192)에 의하여 소정주기의 클록으로서 발생한다. 변환된 디지털 신호는 디지털 필터(193)에 의하여 필요한 압축비, 예컨대 3/4로 압축하기 위하여 시간축상에서 디지털 신호 데이터의 간인 연산을 행한다. 이 디지털 필터(193)에는 FIR형 필터를 이용하는 것이 많다. 간인 연산은 시간축상에 연속되고 있는 다른 4개의 신호데이타로부터 3개의 신호 데이타를 취출하도록 적절하게

탭 계수를 설정해야 한다. 탭 계수는 예컨대 제20도와 같이 선택한다.

시간축상에서 간인된 신호 데이터는 메모리(194)에 기입한다. 기입된 신호 데이터는 클록 발생 회로(192)의 클록주파수에 따른 소정의 샘플링 주기와 동등한 주기로 판독되며, 판독된 디지털 신호데이타는 DA 변환기(195)에 의하여 아날로그 신호로 변환된다. 변환된 출력 아날로그 신호는 입력 아날로그 신호를 3/4배의 시간축상에서 압축된 데이터가 된다. 이렇게 하여 시간축의 압축을 행할 수 있다.

이러한 시간축 압축회로에서는 시간축 압축을 행하기 위하여 시간축 간인을 위한 디지털 필터(193)을 이용하고 있다. 일반적으로 디지털 회로에서 구성되는 필터는 디지털 회로 내에서도 회로 규모가 크게 복잡해지고, 시스템을 실현하는 데 있어서의 애로(neck)가 되는 경우가 많다. 더욱이 회로규모를 축소하면 소망하는 성능을 얻는 것이 곤란하다.

종래의 시간축을 솎아내기 위하여 FIR 형등의 필터를 이용하고 있고, 회로규모가 크고 회로가 복잡해지는 문제점이 있다. 이 구성에서 회로 규모를 작게 하면 소망하는 성능을 얻은 것은 곤란하다.

제21도는 상기 문제점을 해결한 종래의 다른 시간축 압축회로의 회로예를 도시하고 있다. 입력신호와 출력신호의 시간축을 압축하는 수단으로서, 메모리에 기입되는 클록의 주파수와 판독하는 클록의 주파수를 다른 주파수로 함으로써, 시간축의 압축을 행하도록 구성한 시간축 압축회로이다.

이 구성의 시간축 압축회로에서는 기입하는 클록을 기준으로 하여 기입 클록을 체배함으로써 판독 클록을 생성하고 체배비를 결정함으로써 시간축의 압축비를 결정한다.

입력 아날로그 신호는 AD변환기(211)에 의하여 기입클록 주파수에 따른 소정의 샘플링 주기의 디지털 신호로 변환된다. 이 기입 클록은 클록 발생회로(212)에 의하여 소정주기의 디지털 신호로 변환된다. 변환된 디지털 신호는 기입 클록에 따라서 메모리(213)에 기입된다.

한편, 판독 클록은 발생회로(212)에 의하여 발생된 기입클록을 4/3배의 체배비의 체배 회로(214)에 의하여 체배한 판독 클록으로서 발생한다. 이 체배는 예컨대 PLL을 이용하여 행한다. 기입 클록에 의하여 기입된 신호 데이타는 판독 클록에 의하여 판독한다. 판독된 디지탈신호 데이타는 DA변환기(215)에 의하여 아날로그 신호로 변환된다. 변환된 출력 아날로그 신호는 이상의 신호 처리에 의하여 입력 아날로그 신호를 3/4배 시간축상에서 압축한 데이터가 된다. 이렇게 하여 시간축의 압축을 행할 수 있다. 이 시간축 압축회로에서는 시간축 압축을 행하기 위하여 시간축 간인을 위한 디지털·필터를 이용할 필요는 없다. 이 때문에 회로 구성이 단순해지고 장치로서의 실현이 상기의 종래예보다도 용이하다. 그러나, 메모리(213)로의 기입 클록을 기준으로 하여 기입클록을 체배한 체배비에 따라서 시간축의 압축을 행하기 때문에 압축비의 배만큼 판독 클록의 주파수가 높아지는 문제가 있다. 즉 압축비를 크게 취하면 판독 클록이 압축비에 따라서 높아지기 때문에, 메모리(213)로의 액세스 속도의 상한을 초과하거나, DA변환기(215)의 동작속도의 상한을 초과하게 되어 실현이 곤란하게 되는 문제가 있다.

이와 같이, 종래의 시간축 압축회로에서는 제19도의 설명한 시간축 압축회로의 문제점은 해결할 수 있지만, 메모리로의 기입 클록을 기준으로 하여 판독 클록을 바꾸어 시간축 압축을 행하기 때문에 압축비를 크게 취하면 판독 클록의 주파수가 너무 높아저져 메모리의 접근 속도의 상한 또는 DA 변환기의 동작속도의 상한을 초과하게 되어 실현이 곤란해지는 문제점이있다.

덧붙여서, 종래의 시간축 변환장치에서는 판독과 기입의 클록 주파수가 다른장치에서는 기입 클록과 판독 클록사이에서 1클록 지터가 발생하여 양호한 재생 화상을 얻을수 없는 문제점이 있다.

이상 기술한 바와 같이, 종래의 시간축 변환장치에서는 시간축 간인 필터를 이용하고 있었기 때문에 회로 규모가 크고 복잡해지는 문제점이 있으며, 회로 규모를 작게하면 소망하는 성능을 취하기 어려운 문제점이 있었다. 필터를 이용하지 않는 시간축 변환장치에서는 메모리로의 기입 클록을 기준으로 하여 판독 클록을 바꾸어 시간축 압축을 행하기 때문에 압축비를 크게 취하면 판독 클록의 주파수가 너무 높아져서 실현이 어렵게 될 뿐만 아니라, 판독과 기입의 클록 주파수가 다르면, 기입 클록과 판독 클록사이에서 1클록 지터가 발생하여 양호한 재생 화상을 얻을수 없는 문제점이 있었다.

본 발명은 판독과 기입의 클록 주파수가 다른 장치면서, 1클록 지터가 없는 양호한 재생화상을 얻을수 있는 시간축 변환 장치를 제공한다.

상기 문제점을 해결하기 위하여 본 발명에서는 예컨대, 판독하는 클록을 기준으로 하여 판독하는 분주 또는 체배함으로써 기입하는 클록을 생성하고 분주비를 결정함으로써 시간축의 압축 또는 신장비를 결정하는 것을 특징으로 한다.

판독 클록 및 기입 클록은 수평 동기 신호를 기준으로 하여 생성하며, 판독 클록의 주파수를 일정하게 하고 기입 클록의 주파수를 바꿈으로써 광역 종횡비를 변환시키는 장치로, 압축비에 따른 필터 전환 신호를 프리필터에 부여하며 기입의 샘플 주파수에 변화에 따라서 장치에 가장 적합한 대역 필터로 전환한다.

판독용 클록 발생 VCO(Volage Control Oscillator)의 발생 클록을 기준으로 하여 기입용 클록 발생용 VCO가 동작하는 VCO장치로 판독과 기입의 클록 주파수의 차이에 의하여 1라인(예컨대 판독 클록 주기의 1824배의 주기)마다 판독 또는 기입 클록으로 생성된 동일 클러어 신호로, 판독 클록으로 동작하는 판독 타이밍 발생 카운터와, 기입 클록으로 동작하는 기입 타이밍 발생 카운터를 클리어 한다.

기입 클록을 생성하는 VCO 의 출력은 판독 클록과 위상 비교하는 신호로 변환하는 분주기에 외부에서 제어할 수 있는 제어 신호 입력을 구비하여 외부에서 공급되는 제어 신호에 의하여 분주기의 분주를 자유롭게 바꿀 수 있도록 한다.

상기한 바와 같이 구성함으로써, 메모리로의 판독 클록을 기준으로 하여 기입 클록을 바꾸어 시간축 변환을 행하기 때문에 회로 규모를 작게할 수 있으며, 압축비를 크게 취하더라도 판독 클록의 주파수는 일정하고, 큰 압축비를 용이하게 실현할 수 있다.

기입 주파수가 높을 때에는 대역이 넓은 필터로 전환하고, 기입 주파수가 낮을 때에는 앨리어싱 에러(aliasing error)를 방지하기 의하여 대역이 좁은 필터로 전환하며 , 이와같이 압축비에 따른 최적의 필

터를 선택하기 때문에 항상 고화질의 재생 화상을 얻을수 있다.

라인마다 카운터의 0번지를 정해줌으로써, 판독 클록과 기입 클록 사이의 1클록 지터를 없앨 수 있으며, 종횡비 변환등에 이용하면, 양호반 변환동작을 실현할 수 있다.

이하, 본 발명의 실시예에 관하여 도면을 참조하여 상세히 설명한다.

제1도는 본 발명의 일실시예를 설명하기 위한 장치이다. 입력신호와 출력 신호의 시간축을 압축하는 수단으로서, 메모리에 기입하는 클록의 주파수와 판독하는 클록의 주파수를 다른 주파수로 함으로써, 시간축의 압축을 행하도록 구성된 시간축 압축회로이다. 시간축 압축회로에는 판독 클록을 기준으로 하며, 판독 클록을 분주함으로써 기입클록을 생성하고 분주비를 결정함으로써 시간축의 압축비를 결정한다.

입력단자(1)에 입력된 아날로그 신호는 AD변환기(2)에 의하여 기입 클록 주파수에 기초한 소정의 샘플링 주기의 디지털 신호로 변환된다. 이 기입 클록은 분주 회로(3)에 의하여 판독 클록을 소정의 분주비, 예컨대 3/4 분주의 분주 회로에 의하여 분주된 클록으로서 발생한다. 이 분주는 예컨대 프로그래머블 분주기를 이용하여 행한다. 변환된 디지털 신호는 기입클록에 따라서 메모리(4)에 기입한다.

한편, 판독 클록은 클록 발생회로(5)에 의하여 발생한다. 기입클록에 의하여 기입된 신호 데이터를 판독 클록에 의하여 판독하고, 판독된 디지털 신호 데이타를 DA변환기(6)에 의하여 아날로그 신호로 변환 시킨다. 변환된 출력 아날로그 신호는 입력 아날로그 신호를 3/4배의 시간축상에서 압축한 데이터로서 출력단자(7)에서 취출한다. 이러한 처리에 의하여 시간축의 압축을 행할 수 있다.

이 실시예에서는 시간축 압축을 행하기 위하여 시간축 간인을 위한 디지탈·필터를 이용하지 않는다. 이 때문에 회로 구성이 단순해지고 장치로서의 실현이 용이하다. 더욱이, 메모리(4)로의 판독 클록을 기준으로 하여 판독 클록을 분주하여 시간축의 압축을 행하기 때문에, 압축비의 배만큼 기입클록의 주파수가 낮아지는 성질을 가지고 있다. 이와 같이, 압축비를 크게 취하더라도 판독클록이 압축비에 따라서 높아지는 일도 없고, 오히려 기입 클록이 낮아지기 때문에, 메모리(4)로의 액세스 속도 또는 DA변환기(6)의 속도로부터 제한을 받는 일도 없어 실현이 용이하다.

제2도는 본 발명의 제1의 다른 실시예를 설명하기 위한 회로구성도이다. 이 실시예는 입력 신호와 출력신호의 시간축을 압축하는 수단으로서 메모리에 기입하는 클록의 주파수를 다른 주파수로 함으로써, 시간축의 압축을 행하도록 구성된 시간축 압축회로이다. 제1도의 실시예와 다른 것은 메모리로서 듀얼 포트 메모리 (41)를 이용한 것이다.

이 구성의 시간축 압축 회로에서도 판독 클록을 기준으로 하여 판독 클록을 분주함으로써 기입클록을 생성하고, 분주비를 결정함으로써 시간축의 압축비를 결정한다.

입력 아날로그 신호는 AD변환기(2)에 의하여 기입 클록 주파수에 따른 소정의 샘플링 주기의 디지칼 신호로 변환된다. 이 기입 클록은 분주회로(3)에 의하여 판독 클록을 소정의 분주비, 예컨대 3/4 분주의 분주회로에 의하여 분주한 클록으로서 발생된다.

제3도 및 제4도는 모두 제1도 및 제2도의 실시예에 이용한 PLL구성에 의한 분주 회로(4)와 판독 클록 발생 회로(5)의 구체적인 회로 구성도를 설명하기 위한 것이다. 제3도에서는 기입하는 클록을 VCO(31)에 의하여 발생시켜서 기입 클록을 4/3 분주기(32)에 의하여 분주한후 위상비교기(33)의 한쪽의 입력으로 하고 판독 클록을 위상 비교기(33)의 다른 입력으로 하며, 위상 비교기(33)의 출력을 VCO(31)의 제어 전압으로 함으로써 PLL회로를 구성하고 있다. 또한, 판독 클록은 텔레비전의 수평 동기 타이밍을 8fsc에 상당하는 1,820배를 얻기위한 분주기(34), 비교기(35), VCO(36)의 PLL 회로에 의하여 생성된다.

제4도에서는 기입하는 클록을 VCO(41)에 의하여 발생시켜서 기입하는 클록을 1/3 분주기(42)에 의하여 분주한 후 위상비교기(43)의 한쪽의 입력으로 하고, 판독 클록을 1/2 분주기(44,45)에 의하여 1/4 분주한후 위상 비교기(43)의 다른 입력으로 하며, 위상비교기(43)의 출력을 VCO(31)의 제어 전압으로 함으로써 PLL회로를 구성하고 있다. 또한, 판독 클록은 텔레비전의 수평동기 타이밍을 8fsc 상당의 1,820 체배하는 1/2 분주기(44,46), 비교기(47), VCO(48)에 의하여 구성되는 PLL회로에 의하여 생성된다. 1820배를 얻기 위한 분주기를 상기의 1/4 분주기의 일부 또는 전부를 유용하는 구성으로되어 있다. 어느 쪽의 구성에 의하더라도 얻어지는 결과는 판독 클록을 3/4 배한 주파수의 기입 클록을 얻을수 있다. 제4도의 경우는 분주비의 선택 방법에 의하여 임의의 분주비를 용이하게 얻을수 있는 것이다. 예컨대, 판독 클록을 4 분주하고 기입 클록을 2 분주하면 2/4 분주=1/2 분주, 판독 클록을 6분주하여 기입클록을 4분주하면 4/6 분주 = 2/3분주를 얻을 수 있다. 제2도에 있어서, 변환된 디지털 신호는 기입클록에 기초하여 메모리(41)에 기입한다. 한편, 판독 클록은 클록발생 회로(5)에 의하여 발생되는 기입 클록에 의하여 기입된 신호 데이터를 판독 클록에 의하여 판독하고, 판독된 디지털 신호 데이터를 DA변환기(6)에 의하여 아날로그 신호로 변환시킨다. 변환된 출력아날로그 신호는입력 아날로그 신호를 3/4배 시간축상에서 압축된 데이터로서 출력단지 (7)로부터 취출된다.

이 실시예에서도 제1도의 실시예와 같이 시간축 압축을 행하기 위하여 시간축 간인을 위한 디지털·필터를 필요로 하지 않는다. 또한, 듀얼 포트 메모리(41)를 이용하고 있기 때문에, 회로 구성이 더욱 단순해지고 장치로서의 실현이 용이하다. 메모리(41)로의 판독 클록을 기준으로 하여 판독 클록을 분주하여 시간축의 압축을 행하기 때문에, 압축비의 배만큼 기입 클록의 주파수가 낮아지는 성질을 가지고 있다는 점을 동일하다. 압축비를 크게 취하더라도 판독클록이 압축비에 따라서 높아지는 일도 없고, 오히려 기입클록이 낮아지기 때문에, 메모리(41)로의 접근 속도 또는 DA변환기(6)의 동작속도로 제한을 받는 일도 없어 실현이 용이하다.

제5도는 제2도에서 설명한 시간축 압축회로를실제의 텔레비전수상기의 휘도 신호와 색신호의 처리계에 실시한 장치에 대한 도면이다. 또한 이 블록도에서는 음성 신호처리 회로는 생략하고 있다.

수신회로(51)에 의하여 수신된 텔레비전반송 신호는 복조 회로(52)에 의하여 복조된 후, 휘도 신호·색신호 분리 회로(53)에 의하여 휘도 신호와 색신호로 분리된다. 휘도 신호는 휘도신호처리회도(54), 색신호는 색신호 처리 회로(55)에 의하여 베이스 밴드 영상 신호로서 처리된 후, 시간축 압축회로(56)에 각각

입력된다. 시간축 압축 회로(56)에서는 휘도 신호와 색신호를 독립하여 시간축 압축처리를 행한다.

시간축 압축 회로(56)에서는 16 : 9 화면상에 4 : 2 화면을 적절한 종횡비로 표시할 수 있도록 3/4배 한다. 압축된 베이스 밴드 휘도 신호와 베이스 밴드색신호는 매트릭스 회로(57)에 의하여 RGB신호로 변환되며, 편향 회로(58)를 거쳐서 CRT(59)상에 화상으로서 표시된다. 이때의 화상은 시간축 압축 회로(56)에 의하여 시간방향으로 3/4배 압축된 화상이지만, 화면의 횡폭이 4 : 3 수상기에 대하여 16 : 9 수상기는 4/3배 길기 때문에 종횡비는 정확하게 재현할 수 있다.

제6도는 본 발명의 제2의 다른 실시예를 설명하기 위한 회로 구성도이다. 이 실시예는 입력신호와 출력신호의 시간축을 신장하는 것으로 메모리에 기입하는 클록의 주파수와 판독하는 클록의 주파수를 다른 주파수로 함으로써 시간축의 신장을 행하는 시간축 신장 회로로 한 것이다.

즉, 판독클록을 기준으로 하여 판독 클록을 체배함으로써 기입 클록을 생성하여 체배비를 결정함으로써 시간축의 신장비를 결정한다. 제6도에 있어서, 입력단자(1)에 입력된 아날로그 신호는 AD변환기(2)에 의하여 기입 클록 주파수에 따른 소정의 샘플링 주기의 디지탈 신호로 발생된다. 이 기입 클록은 체배 회로(61)에 의하여 판독 클록을 4/3 체배한 클록으로서 발생된다. 이 체배는 예컨대 프로그래머블 체배기를 이용하여 행한다. 변환된 디지탈 신호는 기입 클록에 따라서 메모리(4)에 기입된다. 한편, 판독 클록 발생회로(5)에 의하여 발생한다. 기입클록에 의하여 기입된 신호데이타는 판독클록에 의하여 판독되며, 판독된 디지탈 신호 데이타를 DA변환기(6)에 의하여 아날로그 신호로 변환시킨다. 변환된 출력 아날로그 신호는 입력 아날로그 신호를 4/3배 시간축상에서 신장된 데이타가 된다.

이렇게 하여 시간축의 신장을 행한다. 이 시간축 신장 회로에서는 시간축 압축을 행하기 위한 시간축 간인용 디지탈·필터가 필요없다. 이 때문에 전체의 회로구성이 단순해지고, 실현가능한 장치로 할 수 있다.

제7도는 본 발명의 제3의 다른 실시예를 설명하기 위한 회로 구성도이며, 이 실시예는 시간축의 신장을 행하는 시간축 신장회로에 관하여 입력 신호와 출력 신호의 시간축을 메모리에 기입하는 클록의 주파수와 판독하는 클록의 주파수를 다른 주파수로 함으로써, 시간축의 신장을 행하도록 한 것이다.

제6도의 실시예와 다른 부분은 듀얼 포트형 반도체 메모리(41)를 이용한 점이다. 이 구성에서도 판독 클록을 기준으로하여 판독클록을 체배하며, 기입클록을 생성하고 체배비를 결정함으로써 시간축의 신장비를 결정한다.

즉, 입력 단자(1)에 입력된 아날로그 신호는 AD변환기(2)에 의하여 기입클록 주파수에 따른 소정의 샘플링 주기의 디지털 신호로 변환된다. 이 기입 클록은 체배회로(61)에 의하여, 판독 클록을 4/3 체배에 의하여 체배된 클록으로서 발생된다. 이 체배 회로(61)로서는 예컨대 PLL회로를 이용한다. 변환된 디지털 신호는 기입클록에 의하여 메모리(41)에 기입된다.

한편, 판독 클록은 클록발생 회로에 의하여 발생된다. 기입 클록에 의하여 기입된 신호 데이터를 판독 클록에 의하여 판독하고, 판독된 디지털 신호 데이터를 DA 변환기에 의하여 아날로그 신호로 변환시킨다. 변환된 출력 아날로그 신호는 이상의 신호처리에 의하여 입력 아날로그 신호로 4/3배 시간축상에서 신장된 데이터가 된다. 이렇게 하여 시간축의 신장을 행한다.

이 실시예에서도 제6도의 실시예와 같이 시간축신장을 행하기 위하여 시간축 간인을 위한 디지털·필터를 필요로 하지 않는다. 또한, 듀얼 포트 메모리(41)를 이용하고 있기 때문에, 회로 구성을 보다 단순하게 할 수 있다.

제8도는 제6도에 있어서 설명한 시간축 신장회로를 실제의 텔레비전 수상기의 휘도 신호와 색신호의 처리계에 독립으로 실시한 장치에 대한 도면이다. 또 이 블록도에서는 음성신호 처리 회로는 생략하고 있다.

수신회로(51)에 의하여 수신된 텔레비전 반송신호는 복조회로(52)에 의하여 복조된 후, 휘도 신호·색신호 분리 회로(53)에 의하여 휘도신호와 색신호로 분리된다. 휘도신호는 휘도신호 처리 회로(54), 색신호는 색 신호 처리 회로 (55)에 의하여 베이스밴드 영상 신호로서 처리된 후, 시간축 신장회로(81)에 각각 입력된다. 시간축 신장회로(81)에서는 휘도신호와 색신호를 독립하여 시간축 신장의 처리를 행한다. 시간축 신장 회로(81)에서는 4 : 3 화면상에 16 : 9화면을 적절한 종횡비로 표시할 수 있어 4/3배 한다. 신장된 베이스 밴드 휘도 신호와 베이스 밴드 색신호는 매트릭스 회로 (57)에 의하여 RGB 신호로 변환되며, 편향회로(58)를 거쳐서 CRT(59)상에 화상으로서 표시된다. 이 때의 화상은 시간축 신장 회로(81)에 의하여 시간방향으로 4/3배 신장된 화상이지만, 화면의 횡폭이 16 : 9 수상기에 대하여 4 : 3 수상기는 3/4배 짧기 때문에 종횡비는 정확하게 재현할 수 있다.

판독 클록 및 기입 클록을 수평 동기 신호를 기준으로 하여 생성하여 판독클록의 주파수가 일정하고 기입 클록의 주파수를 바꿈으로써, 광역 종횡변환하는 장치의 장치 주파수는 색 로크 클록(fsc = 3.58.MHz)의 8배로 설정되는 것이 많다.

그러나 광역 종횡 변환 장치에서는 종횡 변환된 영상신호는 수직방향으로 데이터를 갖출 필요가 있기 때문에, 통상은 영상 신호의 수평동기 신호의 정수배의 클록이 사용된다. 그 때문에 어떠한 형태로 장치 전체의 클록계와 정합성을 취하지 않으면 안된다. 그 경우, 장치 전체의 클록주파수와 종횡변환 클록의 주파수가 멀리 떨어져 있면 장치전체의 정합성을 취하기가 매우 어려워진다. 색 로크 클록은 수평동기 신호의 주파수의 455/2배로 설정되어 있으며, 그 8배의 클록을 사용한 경우에는 1820배로 되어 있다. 적어도 장치의 정합성을 고려하여 색로크 클록의 8배인 장치에는 종횡 변환 클록 주파수로서 주파수로서의 1820배에 가까운 값을 사용하지 않으면 안된다.

판독 클록을 결정하는 예를 소개한다. 예컨대, 3/4배, 1/2배, 1배로 종횡변환하고 또한 색신호는 휘도 신호에 비교하여 신호대역이 좁고, 회로 규모삭감을 위하여 휘도 신호의 1/4의 클록 주파수로 동작하는 장치를 고려한다.

판독클록을 수평동기 신호의 1824배(1824fH)로 설정한다. 이 경우, 기입 클록 주파수를 3/4배(1368fH : 휘도 신호)로 하면 3/4 압축, 기입클록 주파수를 1/2배(912fH : 휘도신호)로 하면 1/2 압축을 실현할 수

있다. 색 신호의 경우는 또한 그 1/4의 클록주파수로 실현할 수 있다. 이상의 관계를 표1에 정리한다.

[표 1]

화면모드와 셈플레이트(1824fH인 경우)

화면 모드	휘도		색	
	기입 레이트	판독 레이트	기입 레이트	판독 레이트
표준 모드	1368fH	1824fH	342fH	456fH
1/2 모드	912fH	1824fH	228fH	456fH
슬루 모드	1824fH	1824fH	456fH	456fH

판독 클록주파수를 1824배로 하면, 표 1에서 알수 있듯이, 설정한 화면 모드에 대응하는 클록주파수가 항상 수평동기 신호의 정수배가 되고, 라인간에서의 반전 클록이 존재하고 있는다. 1820배인 경우는 1/8로 455/2배가 되고, 라인간에서 클록이 반전된다. 동일하게 판독클록주파수를 1808배로 한 예를 표 2에 나타낸다.

[표 2]

화면모드와 셈플 레이트(1808fH인 경우)

화면 모드	휘도		색	
	기입 레이트	판독 레이트	기입 레이트	판독 레이트
표준 모드	1356fH	1808fH	339fH	452fH
1/2 모드	904fH	1808fH	226fH	452fH
슬루 모드	1808fH	1808fH	452fH	452fH

3/4 압축, 1/2 압축, 압축 생략하는 종횡 변환 장치를 나타낸다. 본 발명의 제4실시예에 있어서, 제9도의 회로구성도를 이용하여 설명한다. 여기서, 판독 클록 주파수는 예컨대 30MHz로 한다. 이 경우, 기입 클록 주파수가 22.5MHz(30MHz 의 3/4배) 일 때는 3/4 압축, 기입 클록 주파수가 15MHz(30MHz의 1/2배)일때는 1/2 압축, 기입 클록 주파수를 30MHz 로 하면 압축생략을 실현할 수 있다.

제9도에 있어서, 입력단자(91)에서 종횡변환되기 전의 아날로그 영상 신호를 입력하는 입력된 아날로그 영상 신호는 아날로그 회로에서 구성된 프리필터(92~94)에 입력된다. 프리필터(92~94)의 출력은 A/D 변환회로(96)에 입력된다. 셀렉터 회로(95)의 출력은 A/D 변환회로(96)에 입력된다. A/D 변환회로(96)는 압축비제어 회로(97)로부터 공급되는 기입 클록에 기초하여 입력된 아날로그 영상신호를 디지탈로 변환시킨다. 디지털로 변환된 영상 신호는 압축 회로(98)에 입력시킨다. 압축회로(98)는 메모리 등에 의하여 구성하여 기입클록으로 메모리에 기입, 압축비 제어 회로(97)로부터 공급된 판독 클록으로 메모리로부터 판독된다. 판독 클록으로 종횡 변환된 디지탈 영상 신호는 영상신호 D/A변환 회로(99)에 입력된다. D/A 변환회로(99)는 압축비 제어회로(97)로부터 공급된 판독클록에 의하여 디지털 영상신호를 판독하여, 아날로그 영상 신호로 변환시킨다. 아날로그로 변환된 영상신호는 반환제거의 호스트 필터(100)에 입력된다. 포스트 필터(100)에 의하여 반환이 제거된 영상신호는 종횡 변환되어 출력단자(101)로부터 출력된다.

압축비 제어회로(97)에는 압축비 제어 신호를 입력한다. 압축비 제어 신호는 예컨대 2 피트로 구성되어 있고, 3/4 압축일 때 0, 1/2 압축일 때 1,압축 생략일 때 10이 된다. 압축비 제어회로는 이 압축비 제어 신호의 명령에 따라서 기입 클록, 판독 클록 및 필터 제어 신호를 생성한다. 기입 클록과 판독 클록은 3/4 압축일때는 기입 클록 주파수가 22.5MHz인 클록과, 30MHz인 판독 클록을 생성한다. 그런데 프리필터(92~94)의 역할은 반환제거이다. 나이키스트 정리에서도 알 수 있듯이, 프리필터(92~94)의 주파수 대역은 기입 클록의 1/2이하로 해야 한다. 이미 설명하였듯이, 이 장치 예는 기입 클록 주파수가 각 압축 모드에 의하여 다르다. 때문에, 이 제안을 이용하지 않는 경우에는 반환제거를 위하여 가장 주파수가 낮은 모드의 대역에 모든 모드를 맞추지 않으면 안 된다. 이 장치의 예에서는 1/2압축 모드의 기입클록주파수 15MHz의 반인 7.5MHz 이하의 대역의 프리필터(92~94)를 모든 모드로 사용하게 된다. 그 때문에 일부러 해상도를 올리기 위하여 높은 주파수를 이용한 의미가 없다.

이 실시예에서는 각각의 기입 주파수에 맞는 대역의 프리·필터를 압축비 제어 회로(97)로부터 출력되는 필터제어 신호에 의하여 전환한다. 다른 주파수 특성을 갖는 프리필터(92~94)의 각각의 특성을 제10도에 도시한다.

이 실시예에서는 프리필터(92~94)를 아날로그 회로에 의하여 구성하였지만, 모든 디지털 장치로서 다지탈로 프리필터를 구성해도 좋다. 제11도에는 프리필터를 디지털로 구성한 장치를 나타낸다.

제9도와의 구성의 차이는 프리필터(92~94)와 셀렉터 회로(95)를 제거하여 A/D 변환 회로(96)와 압축 회로(98)와의 사이에 디지털 신호를 필터링하기 위한 프로필터(111)를 접속한 부분이다.

디지털 필터에는 제12도의 FIR형 필터를 이용하는 것이 일반적이다. 제12도중 도면부호 1211~121n은 지연 회로, 1221~122n은 승산기, 123은 가산기이다. FIR의 구성 및 동작은 기본적인 디지털 신호처리이며, 상세한 동작은 생략한다. 여기서, FIR 구성의 필터를 제11도에 도시하는 주파수 응답가변 프리필터(111)로 하기 위해서 는 승산기(1221)에 걸려 있는 예컨대 계수 a를 바꿔주는 것만으로 구성은 그대로 실현할 수 있다.

제13도를 이용하여본 발명에 이용하는 VCO에 관하여 더욱 상세히 설명한다. 이하, 제14도에 타이밍 차트와 함께 설명한다. 이 VCO의 타이밍 기초가 되는 수평동기 신호 HDI를 2 분주회로(131)에 입력에 의하여 입력한다. 이 2 분주회로(131)에 의하여 수평 동기 신호 HDI를 2 분주하여 듀티 50%의 신호로 변환한다. 듀티 50%로 변환된 입력신호는 위상비교회로(132)에 입력된다. 위상비교회로(132)는 피드백된 HRFF신호의 2 분주된 신호를 위상 비교한다. 위상 비교된 오차 신호가 센터 주파수 1824fH(fH는 수평동기 신호 HDI의 주파수)의 VCO 회로(133)회로에 입력된다. VCO 회로(133)에서 출력된 1824fH는 판독용 클록이 된다. 다시, 1824fH는 4 분주 회로(9134)에 입력하여 456fH가 된다. 4분주 회로(134)의 출력 456fH 는 456 분주회로(135)에 입력되어 수평동기신호 HDI와 같은 주파수 fH로 분주된다. 그것이 내부의 수평 동기의 기준으로 하여 사용하는 HRFF신호가 된다. HRFF신호는 또한 2분주 회로(136)에 의하여 듀티 50%의 신호로 분주되며 위상비교회로(132)에 입력되어 상기의 수평동기 신호HDI의 2분주 신호를 위상 비교한다.

또한 4분주 회로(134)의 출력인 456fH는 다시 2분주 회로(137)에 입력되며, 듀티 50%의 228fH를 생성한다. 이 신호를 위상 비교회로(138)에 입력한다. 위상 비교 회로 (138)는 6분주 회로(139)의 출력과 상기 신호의 위상을 비교하여 그 오차 신호를 출력한다. 위상 비교 회로(138)의 출력은 센터주파수가 1368fH되는 VCO회로(140)에 입력된다. VCO 회로에서 출력된 1368fH를 이 장치측에서는 기입 클록으로서 사용한다. 다시 1368fH는 6분주 회로(139)로 6분주되며, 228fH로서 위상 비교회로(138)로 위상을 비교한다.

이와같이 PLL을 조합하는 것에 의하여, 제14도에 도시하는 타이밍으로 각신호를 얻을수 있다. 예컨대 광역종횡변환에서는 수평동기 주파수에 일치한 신호 HRFF신호를 기준으로 하여 동작시키지 않으면 한다. 때문에 이장치 예에서는판독 클럭인 1824fH를 이용하여 클리어 신호를 생성하고 있다. 실시예에서 나타내는 VCO 장치는 1824fH를 기준으로 하여 PLL을 조합하고는 있지만, 아날로그 소자의 격차, 온도변화 등의 외부상황으로 1824fH의 에 판독 클록과 1368fH의 기입 클록이 각각 10ns정도의 지터가 발생되는 것이 예상되며, 클록의 위상이 미묘하게 벗어나서 1클록의 엇갈림이 생기며, 그것이 1클록 지터가 되어 세로선등이 들쭉날쭉하게 되는 부적합함이 발생하고 있었다.

제15도는 판독 타이밍 발생용 판독용카운터(46)와, 기입 타이밍 발생용 기입용 카운터를 동일 클리어 신호로 동시에 클리어 함으로써 제13도에 도시하는 실시예의 부적합함을 해결하는 수단을 도시하고 있다. 이하, 제15도를 제14도와 대조하면서 설명한다.

HREF신호를 기준으로 제14도에 도시하는 클리어의 타이밍을 플립플롭 회로(151~153), 인 버터 회로(154), NAND회로(155)를 이용하여 판독클록인 1824fH에 의하여 생성한다. 클리어 신호는 1824fH에서 생성되지만, 1368fH에서 생성된 회로도 클리어하지 않으면 안 된다. 카운터등에 이용하는 클리어 회로는 클록과의 동기를 취하기 위하여 실시예의 종횡 변환장치에서는 클록의 상승에 동기한 동기 클리어 장치를사용한다. 클리어 신호의 클리어 구간에 1368fH의 상승이 적어도 1개이상은 들어있으며 , 10ns 상당의 클록지터가 발생하더라도 클리어 위치가 어긋나지 않을 필요가 있다.

이 클리어 생성예에서는 제14도에 도시하는 바와같이 1368fH의 0펄스의 상승이 클리어 구간에 들어 있으며 또한 1824fH의 하강 에지 및 상승에지로 클리어 신호를 생성함으로써 다소의 지터가 있더라도 반드시 1368fH의 상승이 1개가 되도록 설정되어 있다.

제15도에 있어서, 그 클리어 신호가 판독용 카운터(156) 및 기입 카운터(157)에 입력되며, 수평기간마다 반드시 클리어을 동시에 걸기 때문에, 판독과 기입의 엇갈림이 없어지며 1클록 지터가 발생되지 않는 광역종횡장치를 실현할 수 있다.

제16도는 본 발명의 제5의 다른 실시예를 설명하기 위한 것이다. 우선은 압축 클록이 발생하는 경우에 관하여 기술하지만, 설명의 편의상 M=16으로 한다. 판독 클록인 RCK를 16분주회로(161)에 입력하여 16분주한다. 16분주된 신호는 위상 비교 회로에 입력하여 위상 비교(162)의 또 한쪽의 입력 단자에 입력된 신호와 위상 비교한다. 위상 비교된 위상 오차신호는 VCO(163)입력한다. VCO(163)의 출력 클록은 기입 클록 WCK이 된다. VCO(163)의 출력은 기입 클록이되는 동시에 가변 분주회로(164)에 입력된다. 가변분주회로(164)는 외부에서 부여되는 제어신호에 의하여 분주비의 제어를 행한다. 기입 클록 WCK은 가변 분주 회로(164)에 의하여 가변 분주되어 위상 비교 회로(162)의 한쪽의 입력에 입력된다.

여기서, 판독 클록 RCK의 주파수를 30MHz, N=8로서 설명한다. 이 경우, 위상 비교기(162)의 2개의 입력이 주파수가 같아지도록 PLL이 조합되기 때문에 가변분주회로(164)의 출력신호의 주파수는 30/16MHz가 된다. 기입클록 WCK은 30/2MHz가 되며, 1/2압축의 종횡변환을 실현할 수 있다. 동일하게, N=12로 하면 3/4압축을 실현할 수 있다. 예컨대, 가변 분주회로를 1/8~1/16로 하면, 1/2압축~압축 생략까지 종횡비를가변할 수 있게 된다. 이 경우, N을 8,9,…16의 정수로 하면, 제어 신호가 3피트인 디지털 신호로 제어할 수 있게 된다. 또한 제어신호 및 가변분주회로를 아날로그 회로에서 생성하여 가변스텝을 아날로그적으로 변화시킴으로써 라인내에서 종횡비를 변화시킨 경우라도 전환부분에 위화감이 느껴지지 않는 영상을 실현할 수 있다. 또한 디지탈적으로 스텝형으로 라인내에서 변화시킨 경우라도, VCO회로의 추종시간정수를 어느 정도 길게 취해두면, 위화감이 없는 양상을 얻을 수 있다. 제17도는 광역 텔레비전 화면의 종횡비를 가변시킨 경우의 이미지를 나타내는 모식적인 도면이다.

다음에 신장의 경우에 관하여 기술한다. 신장의 경우, M=8로 하여 판독클록RCK을 10MHz로 한다. 이 경우, 예컨대 N=16으로 하면, 상기의 설명과 같이 하면 기입 클록 WCK=20MHz을 얻을 수 있다. 상기의 압축의 경우와 같이 N=8로부터 16으로 변화시킨 경우에는기입 클록 WCK은 판독 클록 RCK의 1배~2배의 주파수를 얻을수 있게 된다. 또한 제18도에 도시하는 바와 같이 가변 분주 회로(181)에 압축/신장의 전환 신호를 부가함으로써 간단한 구성으로 예로서 1/2~2배의 가변 분주 및 신장회로를 실현할 수 있다.

이상 설명한 바와 같이 본 발명의 시간축 변환 장치에서는 메모리 장치의 판독 클록을 기준으로 하여 기입 클록을 바꾸어 시간축 압축을 행하기 위하여, 회로규모를 작게할 수 있고 ,압축비를 크게 취하더라도 판독 클록의 주파수는 일정해지며, 큰 압축비를 용이하게 실현할 수 있고, 각 압축 모드로 가장 적합한 프리필터를 선택할 수 있기 때문에, 고해상도이고 대단히 양호한 영상 신호를 얻을 수 있으며, 판독과 기입의 클록 주파수가 다른 장치라도 1클록 지터가 없는 양호한 재생 화상을 얻을 수 있다.

(57) 청구의 범위

청구항 1

기준신호에 기초한 판독클록을 생성하는 제1클록을 생성 수단과; 상기 판독 클록을 분주함으로써 기입 클록을 생성하는 제2클록 생성 수단과; 메모리 수단과; 상기 기입클록에 기초하여 상기 메모리 수단에 기입된 영상데이타를 판독하는 수단과; 상기 판독클럭에 기초하여 상기 메모리 수단에 기입된 영상데이타를 판독하는 수단과; 상기 기입 클록의 분주비를 결정함으로써 상기 영상 데이터의 시간축의 압축비를 결정하는 시간축 압축 수단을 포함하는 것을 특징으로 하는 시간축 변환 장치 .

청구항 2

기준 신호에 기초한 판독 클록을 생성하는 제1클록 생성 수단과; 상기 판독 클록을 체배함으로써 기입 클록을 생성하는 제2클록 생성 수단과; 메모리 수단과; 상기 기입 클록에 기초하여 상기 메모리 수단에 영상 데이터를 기입하는 수단과, 상기 판독 클록에 기초하여 상기 메모리 수단에 기입된 영상 데이터를 판독하는 수단과; 상기 기입 클록의 체배비를 결정함으로써 상기 영상 데이터의 시간축의 신장비를 결정하는 시간축 수단을 포함하는 것을 특징으로 하는 시간축 변환 장치.

청구항 3

제1항에 있어서, 상기 메모리 수단은 반도체 메모리인 것을 특징으로 하는 시간축 변환 장치

청구항 4

제2항에 있어서, 상기 메모리 수단은 반도체 메모리인 것을 특징으로 하는 시간축 변환 장치

청구항 5

제3항에 있어서, 상기 반도체 메모리는 듀얼 포트형 메모리인 것을 특징으로 하는 시간축 변환 장치.

청구항 6

제4항에 있어서, 상기 반도체 메모리는 듀얼 포트형 메모리인 것을 특징으로 하는 시간축 변환 장치

청구항 7

제1항에 있어서, 상기 시간축 압축수단은 텔레비전 화면의 종횡비를 다른 종횡비로 변환하는 수단을 포함하는 것을 특징으로 하는 시간축 변환 장치

청구항 8

제2항에 있어서, 상기 시간축 신장수단은 텔레비전 화면의 종횡비를 다른종횡비로 변환하는 수단을 포함하는 것을 특징으로 하는 시간축 변환 장치

청구항 9

제1항에 있어서, 상기 판독 클록 및 기입 클록은 텔레비전 신호의 1수평 주사 기간의 정수배인 것을 특징으로 하는 시간축 변환 장치.

청구항 10

제2항에 있어서, 상기 판독 클록 및 기입 클록은 텔레비전 신호의 1수평 주사 기간의 정수배인 것을 특징으로 하는 시간축 변환 장치.

청구항 11

제1항에 있어서, 상기 판독 클록은 프로그램 가능 분주기에 의하여 분주되어 생성되는 것을 특징으로 하는 시간축 변환 장치.

청구항 12

제1항에 있어서, 상기 판독 클록은 PLL회로에 의하여 분주되어 생성되는 것을 특징으로 하는 시간축 변환 장치.

청구항 13

제11항에 있어서, 상기 클록 생성 수단은 상기 기입 클록이 VCO 회로로부터 생성된 프로그램가능 분주기이고, 상기 VCO회로로부터 생성된 클록주파수는 VCO 회로의 출력을 제1분주기로 N(N은 1이상의 정수)의

인수로 분주한 신호와, 제2판독 클록을 제2분주기로 M(M은 1이상의 정수)의 인수로 분주한 신호와의 위상 비교 신호에 의해 제어되고 상기 제1분주비는 외부 제어 신호를 이용하여 상기 제1분주기를 제어함으로써 변환되는 것도 특징으로하는 시간축 변환 장치.

청구항 14

제12항에 있어서, 상기 클록 생성 수단은 상기 기입 클록이 VCO 회로로부터 생성된 프로그램가능 분주기이고, 상기 VCO회로로부터 생성된 클록주파수는 VCO 회로의 출력을 제1분주기로 N(N은 1이상의 정수)의 인수로 분주한 신호와, 제2판독 클록을 제2분주기로 M(M은 1이상의 정수)의 인수로 분주한 신호와의 위상 비교 신호에 의해 제어되고 상기 제1분주비는 외부 제어 신호를 이용하여 상기 제1분주기를 제어함으로써 변환되는 것도 특징으로하는 시간축 변환 장치.

청구항 15

제13항에 있어서, 제1분주기는디지탈 회로를 포함하고, 상기 제1분주기에 인가된 상기 외부 제어 신호는 디지털 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 16

제14항에 있어서, 제1분주기는 디지탈 회로를 포함하고, 상기 제1분주기에 인가된 상기 외부 제어 신호는 디지털 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 17

제13항에 있어서, 상기 제1분주기는 아날로그 회로를 포함하고, 상기 제1분주기에 인가될 외부 제어 신호는 아날로그 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 18

제14항에 있어서, 상기 제1분주기는 아날로그 회로를 포함하고, 상기 제1분주기에 인가될 외부 제어 신호는 아날로그 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 19

제12항에 있어서, 상기 PLL 회로는 기입클록을 생성하는 VCO 회로와, 상기 분주된 기입클록을 수신하도록 제공된 제1입력단자, 상기판독클록을 수신하도록 제공된 제2입력단자 및 위상 비교 결과를 제어 신호로서 상기 VCO 회로에 공급하는 출력단자를 가진 위상 비교기를 포함하는 것을 특징으로 하는 시간축 변환 장치.

청구항 20

제12항에 있어서, 상기 PLL 회로는 기입클록을 생성하는 VCO 회로와, 상기 기입 클록을 수신하도록 제공된 제1입력단자, 상기 분주된 판독 클록을 수신하도록 제공된 제2입력단자 및 위상 비교 결과를 제어 신호로서 VCO 회로에 공급하는 출력단자를 가진 위상 비교기를 포함하는 것을 특징으로 하는 시간축 변환 장치.

청구항 21

제2항에 있어서, 상기 판독 클록은 프로그램 가능 분주기에 의해 체배함으로써 생성되는 것을 특징으로 하는 시간축 변환 장치.

청구항 22

제2항에 있어서, 상기 판독 클록은 PLL회로에 체배함으로써 생성되는 것을 특징으로 하는 시간축 변환 장치.

청구항 23

제21항에 있어서, 상기 클록 생성 수단은 기입 클록이 VCO 회로로부터 생성되는 프로그램 가능주파수 체배기이고, 상기 VCO로부터 클록 주파수는 VCO회로의 출력을 제1분주기로 N(N은 1이상의 정수)의 인수로 분주한 신호와, 제2판독클록을 제2분주기로 M(M은 1이상의 정수)의 인수로 분주한 신호와의 위상 비교신호에 의해 제어되며 상기 제1분주비는 외부제어신호를 이용하여 상기 제1분주기를 제어함으로써 변화되는 것을 특징으로 하는 시간축 변환 장치.

청구항 24

제22항에 있어서, 상기 클록 생성 수단은 기입 클록이 VCO 회로로부터 생성되는 프로그램가능주파수 체배기이고, 상기 VCO로부터 클록 주파수는 VCO회로의 출력을 제1분주기로 N(N은 1이상의 정수)의 인수로 분주한 신호와, 제2판독클록을 제2분주기로 M(M은 1이상의 정수)의 인수로 분주한 신호와의 위상 비교신호에 의해 제어되며 상기 제1분주비는 외부제어신호를 이용하여 상기 제1분주기를 제어함으로써 변화되는 것을 특징으로 하는 시간축 변환 장치.

청구항 25

제23항에 있어서, 상기 제1분주기는 디지탈 회로를 포함하고, 상기 제1분주기에 인가되는 외부 제어 신호는 디지털 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 26

제24항에 있어서, 상기 제1분주기는 디지탈 회로를 포함하고, 상기 제1분주기에 인가되는 외부 제어 신호

는 디지털 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 27

제23항에 있어서, 상기 제1분주기는 아날로그 회로를 포함하고, 상기 제1분주기에 인가되는 외부 제어 신호는 아날로그 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 28

제24항에 있어서, 상기 제1분주기는 아날로그 회로를 포함하고, 상기 제1분주기에 인가되는 외부 제어 신호는 아날로그 신호인 것을 특징으로 하는 시간축 변환 장치.

청구항 29

제22항에 있어서, 상기 PLL 회로는 기입 클록을 생성하는 VCO 회로와, 분주된 상기 기입 클록을 수신하도록 제공된 제1입력단자, 상기 판독 클록을 수신하도록 제공된 제2입력단자 및 위상 비교 결과를 제어 신호로서 VCO 회로에 재전송하는 출력단자를 가진 위상 비교기를 포함하는 것을 특징으로 하는 시간축 변환 장치.

청구항 30

제22항에 있어서, 상기 PLL 회로는 기입클록을 생성하는 VCO 회로와, 상기 기입 클록을 수신하도록 제공된 제1입력단자, 분주된 상기 판독 클록을 수신하도록 제공된 제2입력단자 및 위상 비교 결과를 제어 신호로서 VCO 회로에 재전송하는 출력단자를 가진 위상 비교기를 포함하는 것을 특징으로 하는 시간축 변환 장치.

청구항 31

제1항에 있어서, 상기 판독 클록 주파수는 입력 영상 신호의 수평 동기 주파수의 1824배인 것을 특징으로 하는 시간축 변환 장치.

청구항 32

제1항에 있어서, 상기 판독 클록 주파수는 입력 영상 신호의 수평 동기 주파수의 1808배인 것을 특징으로 하는 시간축 변환 장치.

청구항 33

제1항 내지 제32항중 어느 한 항에 있어서, 입력 아날로그 영상 신호를 디지털 영상데이타 신호로 변환하는 수단을 포함하고 , 상기 제1클록생성수단의 기준 신호는 수평동기 신호에 기초하고, 상기 시간축 변환은 상기 영상 신호의 종횡비를 변환하는데 사용되며, 상기 아날로그 영상 신호를 상기 디지털 영상신호로 변환할 때 에일리어싱 에러를 제거하는 상이한 주파수 특성을 갖는 필터와 상기 종횡비를 선택하는 신호에 의해 선택된 원하는 종횡비의 대응하는 최적의 주파수 특성을 갖는 필터를 선택하는 수단을 추가로 포함하는 것을 특징으로 하는 시간축 변환 장치.

청구항 34

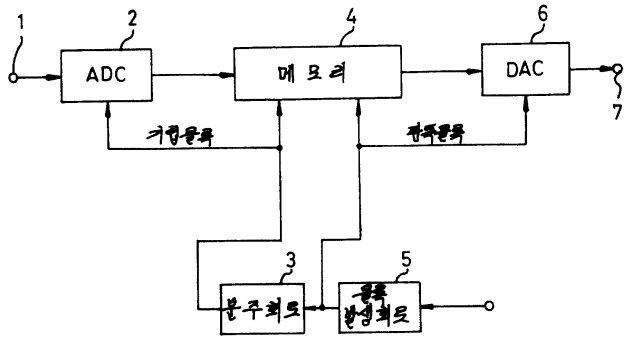
제33항에 있어서, 상기 에일리어싱 에러 제거 필터와 필터 선택수단은 각각 아날로그 회로를 포함하는 필터 스위칭 장치인 것을 특징으로 하는 시간축 변환장치.

청구항 35

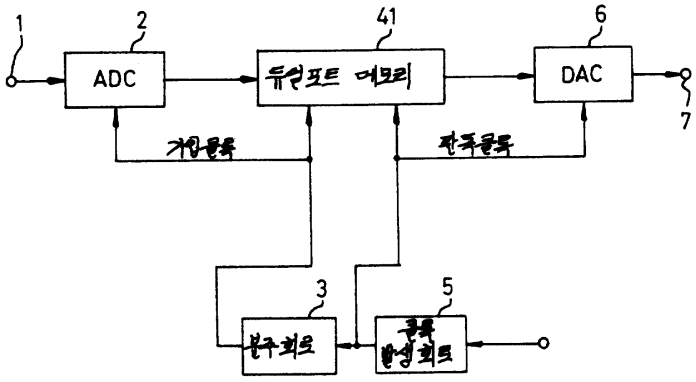
제33항에 있어서, 상기 에일리어싱 에러 제거 필터와 필터 선택수단은 각각 디지탈 회로를 포함하는 필터 스위칭 장치인 것을 특징으로 하는 시간축 변환장치.

도면

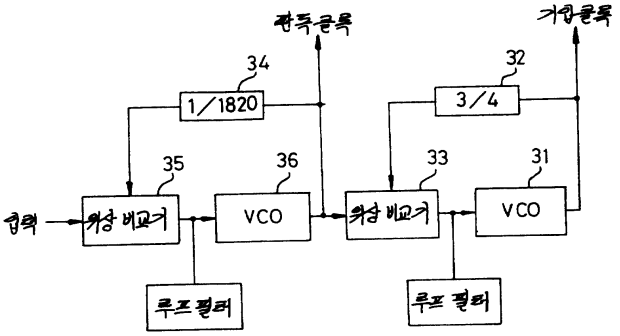
도면1



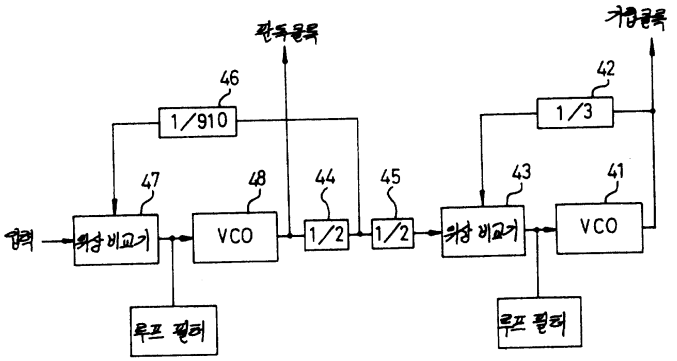
도면2


1
2
ADC
41
듀얼포트 메모리
6
DAC
7
기입클록
판독클록
3
분주회로
5
클록 발생회로

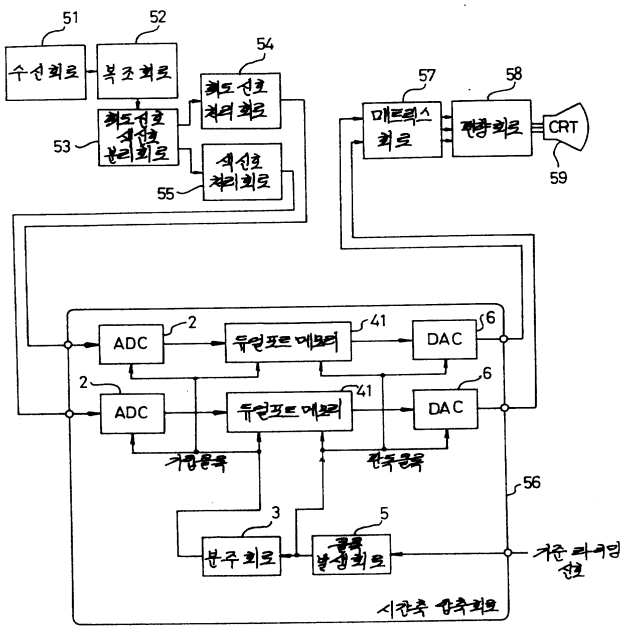
도면3


판독클록
기입클록
34
1/1820
32
3/4
35
36
33
31
입력
위상 비교기
VCO
위상 비교기
VCO
루프 필터
루프 필터

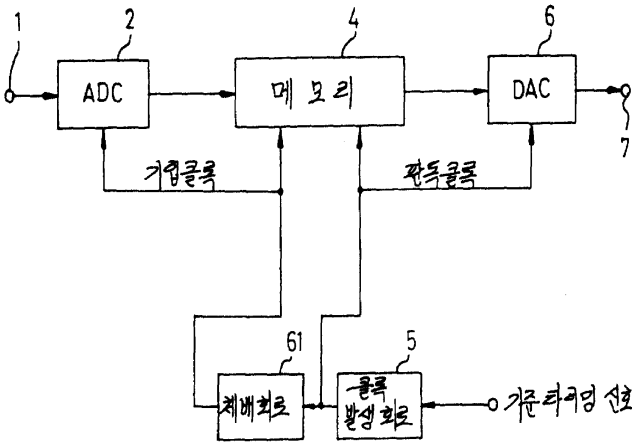
도면4


판독클록
기입클록
46
1/910
42
1/3
47
48
44
45
43
41
입력
위상 비교기
VCO
1/2
1/2
위상 비교기
VCO
루프 필터
루프 필터

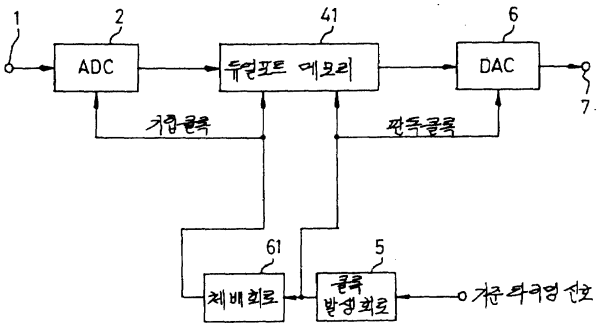
도면5


51
52
54
수신회로
복조회로
휘도신호 처리회로
휘도신호 색신호 분리회로
색신호 처리회로
53
55
57
58
매트릭스 회로
편향회로
CRT
59
ADC
2
듀얼포트 메모리
41
DAC
6
56
3
5
분주회로
클록 발생회로
기준 타이밍 신호
시간축 압축회로

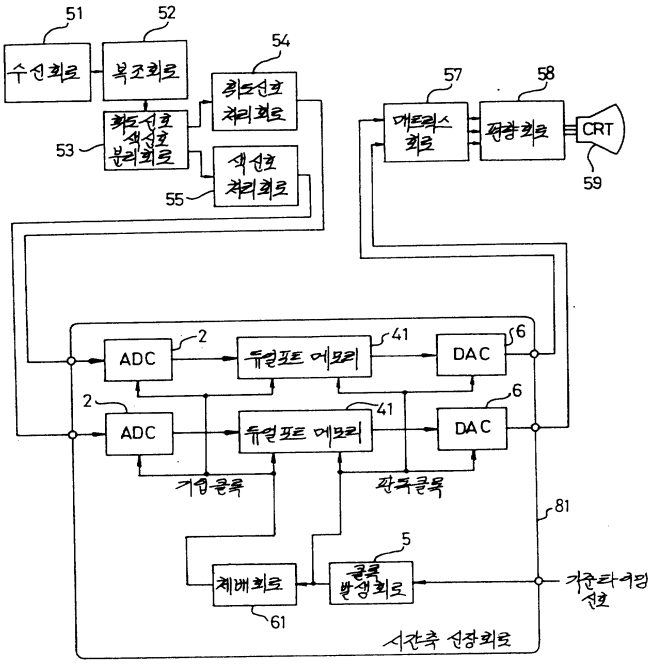
도면6


1
2
4
6
ADC
메모리
DAC
7
기입클록
판독클록
61
5
체배회로
클록 발생회로
기준 타이밍 신호

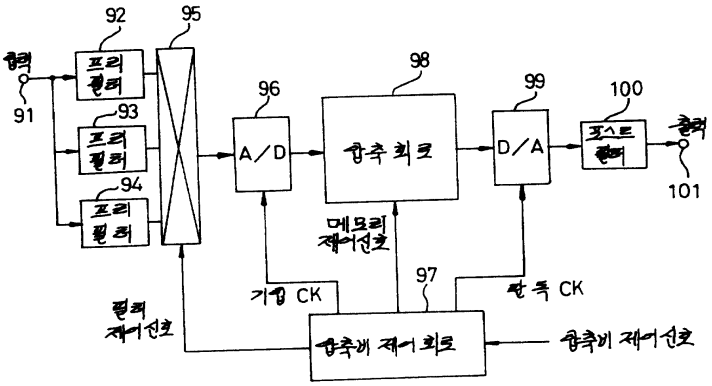
도면7


1
2
41
6
ADC
듀얼포트 메모리
DAC
7
기입클록
판독클록
61
5
체배회로
클록 발생회로
기준 타이밍 신호

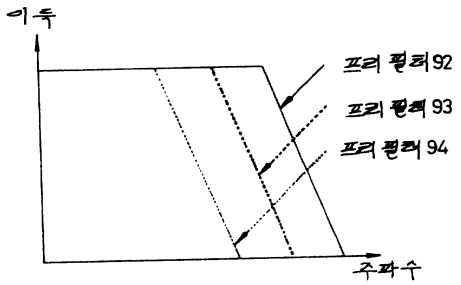
도면8


51
52
54
수신회로
복조회로
휘도신호 처리회로
휘도신호 색신호 분리회로
53
색신호 처리회로
55
57
58
매트릭스 회로
컨버전스 회로
CRT
59
ADC
2
듀얼포트 메모리
41
DAC
6
기입클록
판독클록
81
5
체배회로
클록 발생회로
61
기준타이밍 신호
시간축 신장회로

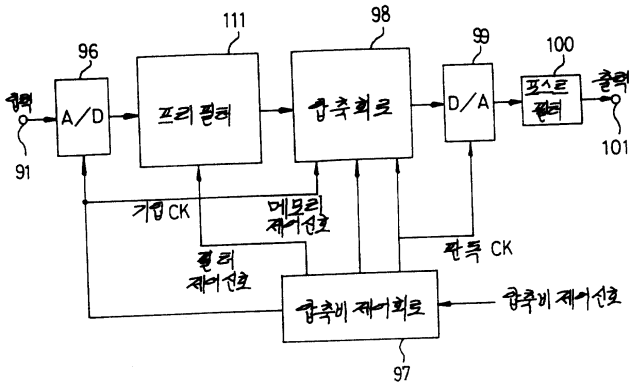
도면9


92
95
입력
91
프리 필터
93
프리 필터
94
프리 필터
96
A/D
98
압축 회로
99
D/A
100
포스트 필터
출력
101
메모리 제어신호
97
기입 CK
판독 CK
필터 제어신호
압축비 제어회로
압축비 제어신호

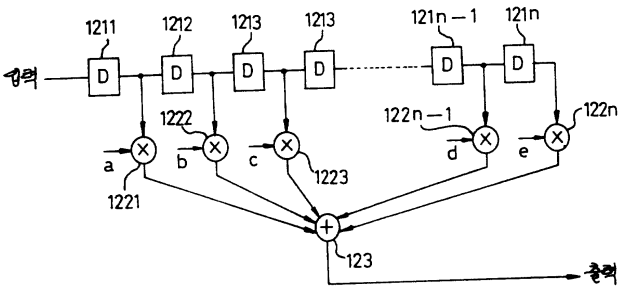
도면10


이득
프리 필터 92
프리 필터 93
프리 필터 94
주파수

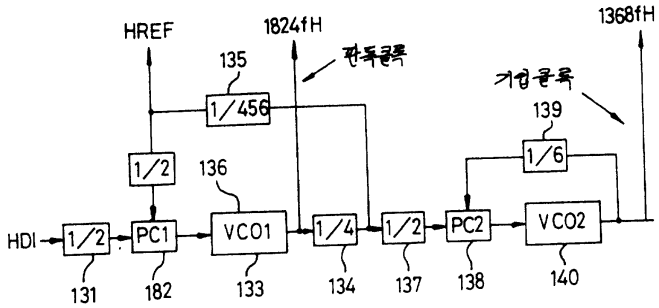
도면11



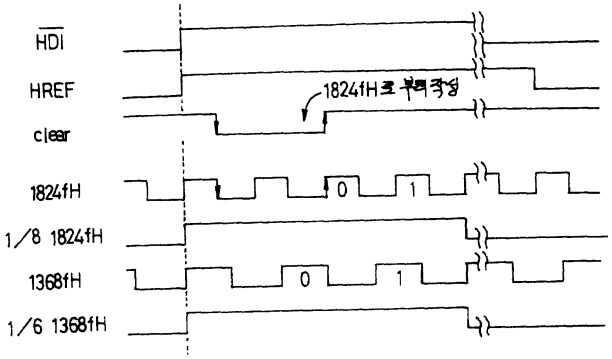
도면12



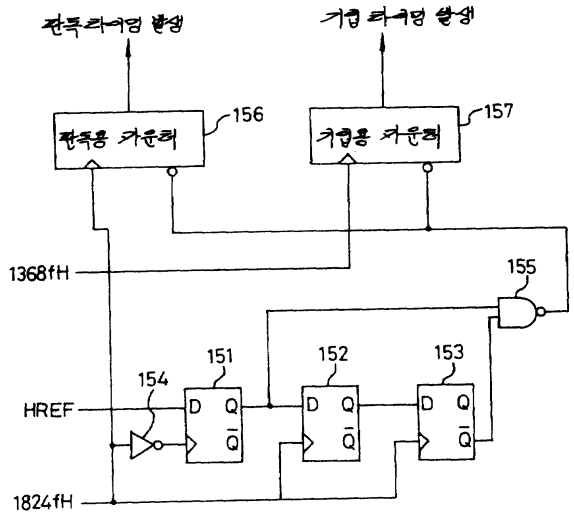
도면13



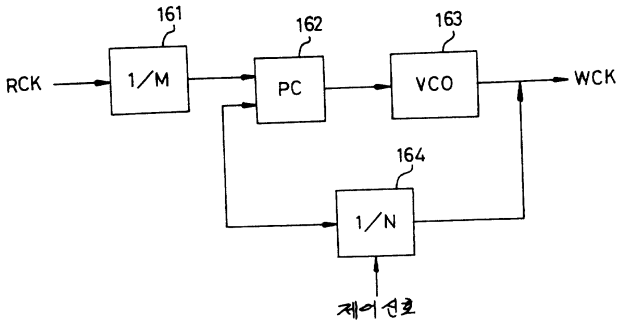
도면14



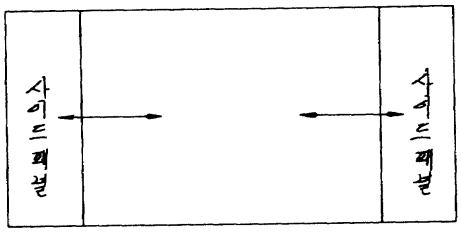
도면15



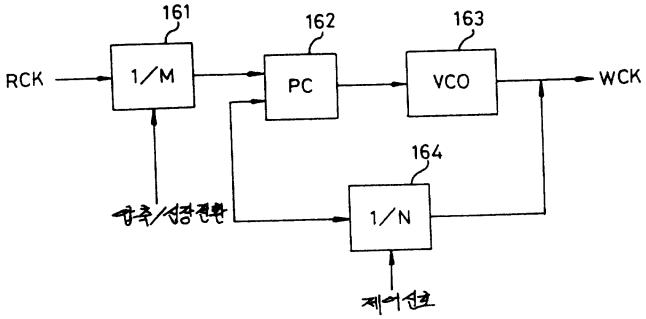
도면16



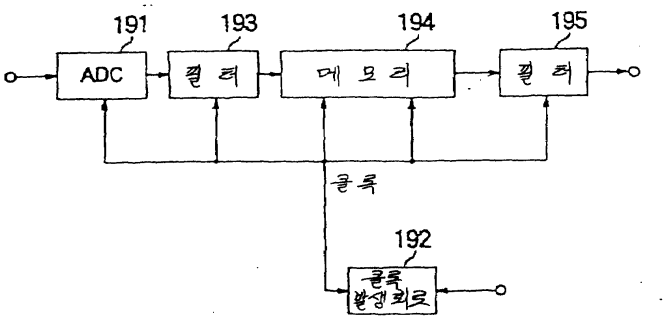
도면17



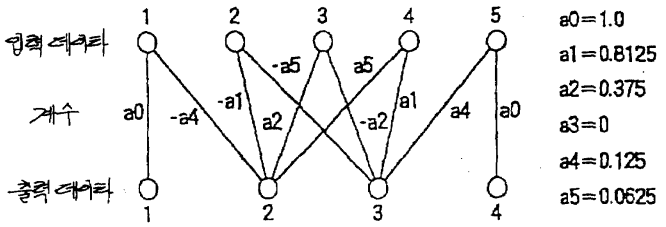
도면18



도면19



도면20



도면21

