



(12) 发明专利

(10) 授权公告号 CN 103222353 B

(45) 授权公告日 2016. 08. 24

(21) 申请号 201080069190. 2

(22) 申请日 2010. 10. 15

(30) 优先权数据

12/842, 587 2010. 07. 23 US

(85) PCT国际申请进入国家阶段日

2013. 03. 20

(86) PCT国际申请的申请数据

PCT/US2010/052792 2010. 10. 15

(87) PCT国际申请的公布数据

W02012/011933 EN 2012. 01. 26

(73) 专利权人 德塞拉股份有限公司

地址 美国加利福尼亚州圣荷西市奥卓公园
路 3025 号

(72) 发明人 瓦格·奥甘赛安 贝勒卡西姆·哈巴

克雷格·米切尔
伊利亚斯·默罕默德
皮尤什·萨瓦利亚

(74) 专利代理机构 珠海智专专利商标代理有限公司 44262

代理人 段淑华 刘曾剑

(51) Int. Cl.

H05K 5/00(2006. 01)

(56) 对比文件

US 2007/0096289 A1, 2007. 05. 03,
US 2005/0224968 A1, 2005. 10. 13,
JP 特开 2009-231371 A, 2009. 10. 08,
CN 1738512 A, 2006. 02. 22,

审查员 周湘竹

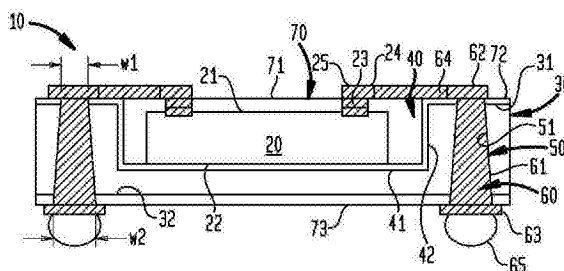
权利要求书6页 说明书24页 附图12页

(54) 发明名称

组装后平面化的微电子元件

(57) 摘要

微电子单元(10)包括具有正面(31)、远离正面的背面(32)、及具有在正面的开口及位于载体结构正面上方的内表面(41)的凹陷(40)的载体结构(30)。微电子单元(10)可包括具有邻近内表面(41)的底面(22)、远离底面的顶面(21)、及在顶面上的复数个触点(23)的微电子元件(20)。微电子元件(20)可包括与微电子元件的触点(23)电连接的端子(24)。微电子单元(10)可包括介电区域(70),至少与微电子元件(20)的顶面(21)接触。介电区域(70)可具有平坦表面(71),与载体结构(30)的正面(31)共面,或高于载体结构的正面。端子(24)可暴露在介电区域(70)的表面(71),以与外部元件互连。



1. 微电子单元,包括:

载体结构,具有正面、远离正面的背面、及凹陷,所述凹陷具有在所述正面的开口与位于所述载体结构的所述正面下方的内表面,所述载体结构包括半导体材料或玻璃中的至少一种;

微电子元件,具有邻近所述内表面的底面、远离所述底面的顶面、及在所述顶面上的复数个触点;

端子,与所述微电子元件的所述触点电连接,所述端子与所述载体结构电绝缘;及

介电区域,至少与所述微电子元件的所述顶面接触,所述介电区域具有与所述载体结构的所述正面共面或高于所述载体结构的所述正面的平坦表面,其中所述端子暴露在所述介电区域的所述表面,用于与外部元件互连;

其中所述微电子元件具有在所述顶面与所述底面之间的至少一个边缘表面,至少一个所述端子在所述平坦表面的横向上的位置位于所述微电子元件的所述边缘表面与所述载体结构的界定所述凹陷的表面之间。

2. 根据权利要求1所述的微电子单元,其中所述端子暴露在所述载体结构的所述正面。

3. 根据权利要求2所述的微电子单元,其中所述端子延伸至所述载体结构的所述正面的上方。

4. 根据权利要求1所述的微电子单元,其中所述端子包括导电结合垫。

5. 根据权利要求1所述的微电子单元,其中所述端子包括扩展结合垫,所述扩展结合垫与所述微电子元件的所述触点接触。

6. 根据权利要求1所述的微电子单元,其中所述载体结构包括外部金属处理层,使得所述载体结构适于用作散热器。

7. 根据权利要求1所述的微电子单元,其中介电材料覆盖所述载体结构的整个正面。

8. 根据权利要求1所述的微电子单元,其中所述载体结构包括半导体材料,所述介电区域为电化学沉积的聚合物。

9. 根据权利要求1所述的微电子单元,其中所述载体结构包括玻璃,喷涂或旋涂的柔性介电材料覆盖所述凹陷的所述内表面。

10. 根据权利要求1所述的微电子单元,进一步包括从所述载体结构的所述背面延伸至所述正面的复数个导电通路。

11. 根据权利要求10所述的微电子单元,其中每个通路具有在所述载体结构的所述背面的第一宽度及在相对端的第二宽度,所述第二宽度与所述第一宽度不同。

12. 根据权利要求10所述的微电子单元,其中所述端子包括扩展结合垫,每个结合垫使相对应的通路与所述微电子元件的相对应的触点电连接。

13. 根据权利要求1所述的微电子单元,其中所述介电区域在所述凹陷的侧壁与所述微电子元件之间延伸。

14. 根据权利要求13所述的微电子单元,进一步包括从所述介电区域的主表面穿过所述载体结构延伸至所述背面的复数个导电通路。

15. 根据权利要求14所述的微电子单元,其中每个通路具有在所述载体结构的所述背面的第一宽度及在相对端的第二宽度,所述第二宽度与所述第一宽度不同。

16. 根据权利要求14所述的微电子单元,其中所述端子包括扩展结合垫,每个结合垫使

相对应的通路与所述微电子元件的相对应的触点电连接。

17. 根据权利要求1所述的微电子单元, 其中所述微电子元件为第一微电子元件, 所述微电子单元进一步包括第二微电子元件, 所述第二微电子元件具有邻近所述凹陷的所述内表面的底面、远离所述底面的顶面、及在所述顶面上的复数个触点。

18. 根据权利要求1所述的微电子单元, 其中所述凹陷为第一凹陷, 所述微电子元件为第一微电子元件, 且所述载体结构具有第二凹陷, 所述第二凹陷具有在所述正面的开口及位于所述载体结构的所述正面下方的内表面, 所述微电子单元进一步包括第二微电子元件, 所述第二微电子元件具有邻近所述第二凹陷的所述内表面的底面、远离所述底面的顶面、及在所述顶面上的复数个触点。

19. 微电子组件, 包括:

至少第一微电子单元和第二微电子单元, 每个微电子单元都如权利要求1中所述, 所述第一微电子单元与所述第二微电子单元堆叠, 各微电子单元内的触点通过所述第一微电子单元和所述第二微电子单元的端子而电连接。

20. 根据权利要求19所述的微电子组件, 其中所述第一微电子单元包括暴露在第一载体结构背面的第一端子, 所述第二微电子单元包括暴露在第二载体结构正面的第二端子, 所述第一微电子元件与所述第二微电子元件通过所述第一端子和所述第二端子而电连接。

21. 根据权利要求20所述的微电子组件, 其中所述第一载体结构包括沿其正面的横向具有第一宽度的第一凹陷, 且所述第二载体结构包括沿其正面的横向限定第二宽度的第二凹陷, 所述第二宽度与所述第一宽度不同。

22. 微电子单元, 包括:

载体结构, 具有正面、远离所述正面的背面、及凹陷, 所述凹陷具有在所述正面的开口与位于所述载体结构的所述正面下方的内表面, 所述载体结构包括半导体材料或玻璃中的至少一种;

微电子元件, 具有邻近所述内表面的顶面、远离所述顶面的底面、及在所述顶面上的复数个触点;

端子, 与所述微电子元件的所述触点电连接, 所述端子与所述载体结构电绝缘; 及

介电区域, 至少与所述微电子元件的所述底面接触, 所述介电区域限定了与所述载体结构的所述正面共面或高于所述载体结构的所述正面的平坦表面;

其中所述微电子元件具有在所述顶面与所述底面之间的至少一个边缘表面, 至少一个所述端子在所述平坦表面的横向上的位置位于所述微电子元件的所述边缘表面与所述载体结构的界定所述凹陷的表面之间。

23. 根据权利要求22所述的微电子单元, 其中所述微电子元件的所述底面与所述载体结构的所述正面共面。

24. 根据权利要求22所述的微电子单元, 其中所述端子暴露在所述载体结构的所述正面上。

25. 根据权利要求24所述的微电子单元, 其中所述端子延伸至所述载体结构的所述正面的上方。

26. 根据权利要求22所述的微电子单元, 其中所述端子包括导电结合垫。

27. 根据权利要求22所述的微电子单元, 其中所述端子包括扩展结合垫, 所述扩展结合

垫使在所述凹陷内延伸的导体与所述微电子元件的所述触点接触。

28. 根据权利要求22所述的微电子单元, 其中所述载体结构包括外部金属处理层, 使得所述载体结构适于用作散热器。

29. 根据权利要求22所述的微电子单元, 其中介电材料覆盖所述载体结构的整个正面。

30. 根据权利要求22所述的微电子单元, 其中所述载体结构包括半导体材料, 所述介电区域为电化学沉积的聚合物。

31. 根据权利要求22所述的微电子单元, 其中所述载体结构包括玻璃, 喷涂或旋涂的柔性介电材料覆盖所述凹陷的所述内表面。

32. 根据权利要求22所述的微电子单元, 进一步包括从所述载体结构的所述背面延伸至所述内表面的复数个导电通路。

33. 根据权利要求32所述的微电子单元, 其中每个通路具有在所述载体结构的所述背面的第一宽度及在相对端的第二宽度, 所述第二宽度与所述第一宽度不同。

34. 根据权利要求32所述的微电子单元, 其中所述端子包括扩展结合垫, 每个结合垫使相对应的通路与所述微电子元件的相对应的触点电连接。

35. 根据权利要求22所述的微电子单元, 进一步包括从所述载体结构的所述背面延伸至所述正面的复数个导电通路。

36. 根据权利要求35所述的微电子单元, 其中每个通路具有在所述载体结构的所述背面的第一宽度及在相对端的第二宽度, 所述第二宽度与所述第一宽度不同。

37. 根据权利要求35所述的微电子单元, 其中所述端子包括扩展结合垫, 每个结合垫使相对应的通路与所述微电子元件的相对应的触点电连接。

38. 根据权利要求22所述的微电子单元, 其中所述介电区域在所述凹陷的侧壁与所述微电子元件之间延伸。

39. 根据权利要求38所述的微电子单元, 进一步包括从所述介电区域的主表面穿过所述载体结构延伸至所述背面的复数个导电通路。

40. 根据权利要求39所述的微电子单元, 其中每个通路具有在所述载体结构的所述背面的第一宽度及在相对端的第二宽度, 所述第二宽度与所述第一宽度不同。

41. 根据权利要求39所述的微电子单元, 其中所述端子包括扩展结合垫, 每个结合垫使相对应的通路与所述微电子元件的相对应的触点电连接。

42. 根据权利要求22所述的微电子单元, 其中所述微电子元件为第一微电子元件, 所述微电子单元进一步包括第二微电子元件, 所述第二微电子元件具有邻近所述凹陷的所述内表面的顶面、远离所述顶面的底面、及在所述顶面上的复数个触点。

43. 根据权利要求22所述的微电子单元, 其中所述凹陷为第一凹陷, 所述微电子元件为第一微电子元件, 所述载体结构具有第二凹陷, 所述第二凹陷具有在所述正面的开口及位于所述载体结构的所述正面下方的内表面, 所述微电子单元进一步包括第二微电子元件, 所述第二微电子元件具有邻近所述第二凹陷的内表面的顶面、远离所述顶面的底面、及在所述顶面上的复数个触点。

44. 微电子组件, 包括:

至少第一微电子单元和第二微电子单元, 每个微电子单元都如权利要求22中所述, 所述第一微电子单元与所述第二微电子单元堆叠, 各微电子单元内的触点通过所述第一微电

子单元和所述第二微电子单元的端子而电连接。

45. 根据权利要求44所述的微电子组件, 其中所述第一微电子单元包括暴露在第一载体结构背面的第一端子, 所述第二微电子单元包括暴露在第二载体结构正面的第二端子, 所述第一微电子元件与所述第二微电子元件通过所述第一端子和所述第二端子而电连接。

46. 根据权利要求45所述的微电子组件, 其中所述第一载体结构包括沿其正面的横向具有第一宽度的第一凹陷, 且所述第二载体结构包括沿其正面的横向限定第二宽度的第二凹陷, 所述第二宽度与所述第一宽度不同。

47. 微电子单元, 包括:

载体结构, 具有正面、远离所述正面的背面、及开口, 所述开口从所述正面穿过所述载体结构延伸至所述背面, 所述载体结构包括半导体材料或玻璃中的至少一种;

微电子元件, 具有邻近所述开口的侧边表面的边缘表面、远离底面的顶面、及在所述顶面上的复数个触点;

介电区域, 与所述微电子元件的所述边缘表面接触;

端子, 暴露在由所述正面与所述介电区域所限定的平面上、或暴露在由所述背面与所述介电区域所限定的平面上, 所述端子与所述微电子元件的所述触点电连接; 及

迹线, 沿所述介电区域延伸, 并使所述触点与所述端子电连接;

其中所述微电子元件的边缘表面位于所述顶面与所述底面之间, 至少一个所述端子在所述平面的横向上的位置位于所述微电子元件的所述边缘表面与所述载体结构的界定凹陷的表面之间。

48. 根据权利要求47所述的微电子单元, 其中所述端子的第一子集暴露在所述介电区域的前平坦表面, 所述端子的第二子集暴露在所述介电区域的后平坦表面并用于与外部元件互连。

49. 根据权利要求47所述的微电子单元, 进一步包括从所述正面穿过所述载体结构延伸至所述背面的复数个导电通路。

50. 根据权利要求49所述的微电子单元, 其中每个通路具有在所述载体结构的所述背面的第一宽度及在相对端的第二宽度, 所述第二宽度与所述第一宽度不同。

51. 根据权利要求47所述的微电子单元, 其中所述介电区域在所述开口的壁与所述微电子元件之间延伸。

52. 根据权利要求51所述的微电子单元, 进一步包括从所述介电区域的前平坦表面穿过所述介电区域延伸至所述介电区域的后平坦表面的复数个导电通路。

53. 根据权利要求47所述的微电子单元, 进一步包括从所述介电区域的前平坦表面穿过所述介电区域延伸至所述微电子元件的所述触点的复数个导电通路。

54. 根据权利要求47所述的微电子单元, 进一步包括从所述介电区域的后平坦表面穿过所述介电区域延伸至所述微电子元件的所述触点的复数个导电通路。

55. 制造微电子单元的方法, 包括:

在载体结构的凹陷内放置微电子元件, 所述微电子元件具有顶面、远离所述顶面的底面、在所述顶面上的复数个触点, 所述载体结构具有正面及远离所述正面的背面, 所述载体结构包括半导体材料或玻璃中的至少一种, 使所述触点与所述载体结构的端子电互连, 所述端子与所述载体结构电绝缘, 所述微电子元件的所述顶面或所述底面放置为邻近所述载

体结构的在所述凹陷内的内表面；

向所述凹陷涂敷介电区域，所述介电区域至少与所述微电子元件的所述底面或所述顶面接触；及

平面化所述介电区域，以限定与所述载体结构的正面共面或在所述载体结构的正面上方的平坦表面；

其中所述微电子元件具有在所述顶面与所述底面之间的至少一个边缘表面，至少一个所述端子在所述平坦表面的横向上的位置位于所述微电子元件的所述边缘表面与所述载体结构的界定所述凹陷的表面之间。

56. 根据权利要求55所述的方法，进一步包括应用光刻图案化过程在所述介电区域上电镀迹线的步骤。

57. 根据权利要求55所述的方法，其中向所述凹陷涂敷介电区域的步骤包括涂敷覆盖所述凹陷的整个内表面的层。

58. 根据权利要求55所述的方法，其中平面化所述介电区域的步骤包括研磨、抛光或蚀刻所述微电子元件的所述底面及所述载体结构的所述正面的一部分。

59. 根据权利要求55所述的方法，进一步包括研磨部分的所述微电子元件的所述底面及所述载体结构的所述背面的步骤，直至所述微电子元件的所述底面在所述载体结构的所述背面暴露。

60. 根据权利要求59所述的方法，进一步包括形成从所述正面穿过所述载体结构延伸至所述背面的复数个导电通路的步骤。

61. 根据权利要求60所述的方法，其中形成所述复数个导电通路的步骤包括形成从所述正面穿过所述载体结构延伸至被所述背面覆盖的一位置的复数个插口，研磨所述载体结构的所述背面的一部分的步骤包括，研磨所述背面直至所述复数个插口在所述背面暴露而变为所述复数个导电通路。

62. 根据权利要求55所述的方法，进一步包括形成从所述介电区域的主表面穿过所述载体结构延伸至所述背面的复数个导电通路的步骤。

63. 根据权利要求55所述的方法，进一步包括形成从所述背面穿过所述载体结构延伸至所述正面的复数个导电通路的步骤。

64. 根据权利要求63所述的方法，其中形成所述复数个导电通路的步骤包括形成从所述背面穿过所述载体结构延伸至被所述正面覆盖的一位置的复数个插口，平面化所述介电区域的步骤包括，研磨、抛光或蚀刻所述载体结构的所述正面直至所述复数个插口在所述正面暴露而变成所述复数个导电通路。

65. 根据权利要求63所述的方法，其中当所述载体结构与至少一个其他载体结构在边缘保持连接时，进行形成所述凹陷、形成所述复数个导电通路、形成所述端子、涂敷所述介电区域、及平面化所述介电区域的各步骤。

66. 根据权利要求55所述的方法，进一步包括，形成从所述凹陷的所述内表面穿过所述载体结构延伸至所述背面的复数个导电通路的步骤。

67. 根据权利要求66所述的方法，其中当所述载体结构与至少一个其他载体结构在边缘保持连接时，进行形成所述凹陷、形成所述复数个导电通路、形成所述端子、涂敷所述介电区域、及平面化所述介电区域的各步骤。

68. 根据权利要求66所述的方法, 进一步包括使所述微电子元件的所述触点与位于所述凹陷的所述内表面邻近的导电垫接合的步骤, 其中形成复数个导电通路的步骤包括形成从所述载体结构的所述背面延伸至所述导电垫的通路。

69. 根据权利要求66所述的方法, 进一步包括, 使所述微电子元件与涂敷在所述凹陷的所述内表面的介电层接合的步骤, 其中形成复数个导电通路的步骤包括, 形成从所述载体结构的所述背面延伸至所述微电子元件的所述触点的孔, 其中形成复数个导电通路的步骤可通过电镀所述孔而进行。

70. 制造微电子单元堆叠组件的方法, 包括根据权利要求55所述的方法, 进一步包括下面的步骤:

在第二微电子单元上堆叠第一微电子单元; 及

通过导电结合材料使所述第一微电子单元与所述第二微电子单元接合。

71. 制造微电子单元堆叠组件的方法, 包括根据权利要求63所述的方法, 进一步包括下面的步骤:

在第二微电子单元上堆叠第一微电子单元; 及

使所述第一微电子单元与所述第二微电子单元接合;

其中形成所述复数个导电通路的步骤和使所述第一微电子单元与所述第二微电子单元接合的步骤包括, 在堆叠步骤后, 钻出贯穿所述第一微电子单元和所述第二微电子单元的孔, 并用导电材料电镀所述孔。

72. 制造微电子单元堆叠组件的方法, 包括根据权利要求66所述的方法, 进一步包括下面的步骤:

在第二微电子单元上堆叠第一微电子单元; 及

通过导电结合材料使所述第一微电子单元与所述第二微电子单元接合。

73. 微电子系统, 包括根据权利要求1、22或47中任一所述的微电子单元, 以及与所述微电子单元电连接的一个或多个其他电子元器件。

74. 根据权利要求73所述的微电子系统, 进一步包括外壳, 所述微电子单元和所述其他电子元器件安装于所述外壳。

组装后平面化的微电子元件

[0001] 相关申请的交叉引用

[0002] 本申请要求专利申请号为12/842587、申请日为2010年7月23日的美国专利申请之利益,其公开的内容通过援引加入本文。

背景技术

[0003] 本发明涉及微电子器件的封装,尤其是半导体器件的封装。本发明还涉及堆叠微电子封装及制造这种封装的方法,该堆叠微电子封装包括在晶圆级制造的堆叠微电子封装。

[0004] 微电子元件通常包括如硅或砷化镓等半导体材料的薄板,一般称为裸片或半导体芯片。半导体芯片一般设置为单独的、封装的单元。有源电路制备在半导体芯片的第一面(如正面)。为便于与有源电路的电连接,在芯片的同一面设置有结合垫。结合垫通常以规则阵列的形式设置,或者绕裸片的边缘,或者在裸片的中心,对于许多存储器件来说是在裸片的中心。结合垫通常由如铜或铝等的导电金属制成,大约为0.5微米厚。结合垫可包括单层或多层的金属。结合垫的大小随器件类型而变化,但典型地,在一侧的尺寸为几十微米至几百微米。

[0005] 在一些单元的设计中,半导体芯片安装至基板或芯片载体上,基板或芯片载体再安装至如印刷电路板等的电路板上。半导体芯片通常与基板封装在一起,以形成具有端子的微电子封装,所述端子与芯片触点电连接。然后所述封装可与检测设备连接,以确定封装器件是否符合所需的性能标准。检测过后,所述封装可与较大的电路,例如计算机或移动电话等电子产品的电路连接。

[0006] 为节省空间,在某些常规的设计中一个封装内堆叠复数个微电子芯片。这样允许该封装占用的基板上的表面积小于堆叠中各芯片的总的表面积。但是,常规堆叠封装具有结构复杂、成本高、厚度大及不易检测的缺点。

[0007] 在芯片的任一几何布置中,尺寸是重要的考虑因素。随着便携式电子装置的快速发展,芯片的更紧凑几何布置的需求变得更为强烈。仅以示例的方式说明,通常称为“智能手机”的装置,集成了移动电话及强大的数据处理器、存储器、如全球定位系统接收器、数码相机等的辅助器件等的功能,以及局域网连接,并伴有高分辨率的显示及相关的图像处理芯片。这种装置可提供如完整的互联网连接、包括高清视频等的娱乐、导航、电子银行及更多的性能,都设置在袖珍式的装置内。复杂的便携装置要求把大量芯片包装至狭小的空间内。此外,一些芯片具有许多输入和输出接口,一般称为“I/O口”。这些I/O口必须与其他芯片的I/O口互连。这种互连应尽量短且应具有低的阻抗,以使信号传输延迟最小化。形成这些互连的元器件不应大幅度增加组件的尺寸。类似需求也出现在其他应用中,例如,数据服务器,如在互联网搜索引擎中使用的数据服务器。例如,在复杂芯片之间设置大量短且阻抗低的互连的结构,可增加搜索引擎的频带宽度(bandwidth),并降低其能耗。

[0008] 尽管取得了上述进展,仍需对半导体器件与载体的封装及堆叠封装进行改进,使之更可靠、更薄、可检测,且制造成本经济。本发明的这些属性通过微电子封装的构造而获

得,如下文所述。

发明内容

[0009] 根据本发明的一个方面,微电子单元包括载体结构,载体结构具有正面、远离正面的背面、及凹陷,所述凹陷具有在正面的开口及位于载体结构正面下方的内表面。载体结构可包括半导体材料或玻璃中的至少一种。微电子单元还可包括具有邻近内表面的底面、远离底面的顶面、及在顶面上的复数个触点的微电子元件。

[0010] 微电子单元还可包括与微电子元件的触点电连接的端子。端子可与载体结构电绝缘。微电子单元还可包括至少与微电子元件的顶面接触的介电区域。介电区域可具有与载体结构的正面共面,或高于载体结构的正面的平坦表面。端子可暴露在介电区域的表面,以与外部元件互连。

[0011] 在特定实施例中,端子可暴露在载体结构的正面。在一个实施例中,端子可延伸至载体结构正面的上方。在示例性的实施例中,微电子元件可具有在顶面与底面之间的至少一个边缘表面,至少一个端子在平坦表面横向上的位置,可位于微电子元件的边缘表面与载体结构界定凹陷的表面之间。

[0012] 在一个实施例中,端子可包括导电结合垫(conductive bond pads)。在示例性的实施例中,端子可包括扩展结合垫(extended bond pads)。扩展结合垫可与微电子元件的触点接触。在特定实施例中,载体结构可包括外部金属处理层(outer metal finish layer),使得载体结构适于起到散热器的作用。在一个实施例中,介电材料可覆盖载体结构的整个正面。

[0013] 在示例性的实施例中,载体结构可包括半导体材料,介电区域可为电化学沉积的聚合物。在特定实施例中,载体结构可包括玻璃和喷涂或旋涂的柔性介电材料,其可覆盖凹陷的内表面。在一个实施例中,微电子单元还可包括从载体结构的背面延伸至正面的复数个导电通路。

[0014] 在特定实施例中,每个通路可具有在载体结构背面的第一宽度及在相对端的第二宽度,第二宽度与第一宽度不同。在一个实施例中,端子可包括扩展结合垫,且每个结合垫可使相应的通路与微电子元件的相应的触点电连接。在示例性的实施例中,介电区域可在凹陷的侧壁与微电子元件之间延伸。在特定实施例中,微电子单元还可包括从介电区域的主表面穿过载体结构延伸至背面的复数个导电通路。在特定实施例中,每个通路可具有在载体结构背面的第一宽度及在相对端的第二宽度,第二宽度与第一宽度不同。在一个实施例中,端子可包括扩展结合垫,且每个结合垫可使相应的通路与微电子元件的相应的触点电连接。

[0015] 在一个实施例中,微电子组件可至少包括第一微电子单元和第二微电子单元,第一微电子单元与第二微电子单元堆叠,组件内各微电子元件的触点通过第一微电子单元和第二微电子单元的端子而电连接。在示例性的实施例中,第一微电子单元可包括暴露在第一载体结构背面的第一端子,第二微电子单元可包括暴露在第二载体结构正面的端子,且通过第一端子和第二端子,第一微电子元件可与第二微电子元件电连接。在特定实施例中,第一载体结构可包括沿其正面的横向具有第一宽度的第一凹陷,且第二载体结构可包括沿其正面的横向限定第二宽度的第二凹陷,第二宽度与第一宽度不同。

[0016] 在示例性的实施例中,微电子元件可为第一微电子元件。微电子单元还可包括第二微电子元件,第二微电子元件具有邻近凹陷内表面的底面、远离底面的顶面、及在顶面上的复数个触点。在一个实施例中,凹陷可为第一凹陷,微电子元件可为第一微电子元件,且载体结构可具有第二凹陷,第二凹陷具有在正面的开口及位于载体结构正面下方的内表面。微电子元件还可包括第二微电子元件,第二微电子元件具有邻近第二凹陷内表面的底面、远离底面的顶面、及在顶面上的复数个触点。

[0017] 根据本发明的一个方面,微电子单元包括载体结构,载体结构具有正面、远离正面的背面、及凹陷,所述凹陷具有在正面的开口及位于载体结构正面下方的内表面。载体结构可包括半导体材料或玻璃中的至少一种。微电子单元还可包括微电子元件,微电子元件具有邻近内表面的顶面、远离顶面的底面、及在顶面上的复数个触点。

[0018] 微电子单元还可包括与微电子元件的触点电连接的端子。端子可与载体结构电绝缘。微电子单元还可包括至少与微电子元件的底面接触的介电区域。介电区域可限定平坦表面,其与载体结构的正面共面,或高于载体结构正面。

[0019] 在特定实施例中,微电子元件可具有在顶面与底面之间的至少一个边缘表面,以平坦表面的横向,至少一个端子的位置可在微电子元件的边缘表面与载体结构界定凹陷的表面之间。在一个实施例中,微电子元件的底面可与载体结构的正面共面。在示例性的实施例中,端子可暴露在载体结构的正面。在特定实施例中,端子可延伸至载体正面的上方。

[0020] 在一个实施例中,端子可包括导电结合垫。在示例性的实施例中,端子可包括扩展结合垫。扩展结合垫可使在凹陷内延伸的导电体与微电子元件的触点接触。在特定实施例中,载体结构可包括外部金属处理层,使得载体结构适于起到散热器的作用。在一个实施例中,介电材料可覆盖载体结构的整个正面。

[0021] 在示例性的实施例中,载体结构可包括半导体材料,介电区域可为电化学沉积的聚合物。在特定实施例中,载体结构可包括玻璃,喷涂或旋涂的柔性介电材料可覆盖凹陷的内表面。在一个实施例中,微电子单元还可包括从载体结构的背面延伸至内表面的复数个导电通路。

[0022] 在特定实施例中,每个通路可具有在载体结构背面的第一宽度及在相对端的第二宽度,第二宽度与第一宽度不同。在一个实施例中,端子可包括扩展结合垫,每个结合垫可使相应的通路与微电子元件的相应的触点电连接。在示例性的实施例中,微电子单元还可包括从载体结构的背面延伸至正面的复数个导电通路。在一个实施例中,每个通路可具有在载体结构背面的第一宽度及在相对端的第二宽度,第二宽度与第一宽度不同。在特定实施例中,端子可包括扩展结合垫,且每个结合垫可使相应的通路与微电子元件的相应的触点电连接。

[0023] 在一个实施例中,介电区域可在凹陷的侧壁与微电子元件之间延伸。在示例性的实施例中,微电子元件还可包括从介电区域的主表面穿过载体结构延伸至背面的复数个导电通路。在一个实施例中,每个通路可具有在载体结构背面的第一宽度及在相对端的第二宽度,第二宽度与第一宽度不同。在特定实施例中,端子可包括扩展结合垫,且每个结合垫可使相应的通路与微电子元件的相应的触点电连接。

[0024] 在示例性的实施例中,微电子组件可至少包括第一微电子单元和第二微电子单元。第一微电子单元与第二微电子单元堆叠,通过第一微电子单元和第二微电子单元的端

子,组件内各微电子元件的触点电连接。在特定实施例中,第一微电子单元可包括暴露在第一载体结构背面的第一端子,第二微电子单元可包括暴露在第二载体结构正面的第二端子,且通过第一端子和第二端子,第一微电子元件可与第二微电子元件电连接。

[0025] 在一个实施例中,第一载体结构可包括沿其正面的横向具有第一宽度的第一凹陷,第二载体结构可包括以沿其正面的横向限定第二宽度的第二凹陷,第二宽度与第一宽度不同。在示例性的实施例中,微电子元件可为第一微电子元件。微电子单元可进一步包括第二微电子元件,第二微电子元件具有邻近凹陷内表面的顶面、远离顶面的底面、及在正面上的复数个触点。

[0026] 在特定实施例中,凹陷可为第一凹陷,具有在正面的开口及位于载体结构正面下方的内表面。微电子单元还可包括第二微电子元件,第二微电子元件具有邻近第二凹陷内表面的顶面、远离顶面的底面、及在顶面上的复数个触点。

[0027] 根据本发明的一个方面,微电子单元包括载体结构,载体结构具有正面、远离正面的背面、及穿过载体结构从正面延伸至背面的开口。载体结构可包括半导体材料或玻璃中的至少一种。微电子单元还可包括微电子元件,微电子元件具有邻近开口侧边表面的边缘表面、远离底面的顶面、及在顶面上的复数个触点。

[0028] 微电子单元还可包括与微电子元件的边缘表面接触的介电区域。微电子单元还可包括暴露在由正面与介电区域限定的平面上、或暴露在由背面与介电区域限定的平面上的端子。端子可与微电子元件的触点电连接。微电子单元还可包括沿介电区域延伸并使触点与端子电连接的迹线。

[0029] 在示例性的实施例中,端子的第一子集可暴露在介电区域的前平面,端子的第二子集可暴露在介电区域的后平面,用于与外部元件互连。在一个实施例中,微电子单元还可包括从正面穿过载体结构延伸至背面的复数个导电通路。在特定实施例中,每个通路可具有在载体结构背面的第一宽度和在相对端的第二宽度,第二宽度与第一宽度不同。在示例性的实施例中,介电区域可在开口的壁与微电子元件之间延伸。

[0030] 在一个实施例中,微电子单元还可包括从前平面穿过介电区域延伸至后平面的复数个导电通路。在特定实施例中,微电子单元还可包括从前平面穿过导电区域延伸至微电子元件触点的复数个导电通路。在示例性的实施例中,微电子单元还可包括从后平面穿过介电区域延伸至微电子元件触点的复数个导电通路。

[0031] 根据本发明的一个方面,制造微电子单元的方法包括,在载体结构的凹陷内放置微电子元件的步骤,微电子元件具有顶面、远离顶面的底面、在顶面上的复数个触点,载体结构具有正面及远离正面的背面。载体结构可包括半导体材料或玻璃中的至少一种。该方法还可包括使触点与载体结构的端子电互连的步骤。微电子元件的顶面或底面可放置为邻近载体结构在凹陷内的内表面。

[0032] 制造微电子单元的方法还可包括向所述凹陷涂敷介电区域的步骤。介电区域可至少与微电子元件的顶面接触。该方法还可包括平面化介电区域的步骤,以限定与载体结构的正面共面、或在载体结构的正面上方的平坦表面。

[0033] 在一个实施例中,制造微电子单元的方法还可包括应用光刻图案化过程在介电区域上电镀迹线的步骤。在特定实施例中,向凹陷涂敷介电区域的步骤可包括涂敷覆盖凹陷整个内表面的层。

[0034] 在特定实施例中,制造微电子单元堆叠组件的方法可包括,在第二微电子单元上堆叠第一微电子单元的步骤。该方法还可包括通过导电结合材料使第一微电子单元与第二微电子单元接合的步骤。

[0035] 平面化介电区域的步骤可包括,研磨、抛光或蚀刻微电子元件顶面及载体结构正面的一部分。在示例性的实施例中,微电子元件的底面可放置为邻近载体结构在凹陷内的内表面。该方法还可包括,研磨微电子元件底面及载体结构背面的一部分的步骤,直至微电子元件的底面暴露在载体结构的背面。在示例性的实施例中,该方法还可包括,形成从正面穿过载体结构延伸至背面的复数个导电通路的步骤。

[0036] 在一个实施例中,形成复数个导电通路的步骤可包括,形成从正面穿过载体结构延伸至被背面覆盖的一位置的复数个插口,研磨载体结构背面的一部分的步骤可包括,研磨背面直至复数个插口在背面暴露而变为复数个导电通路。在特定实施例中,该方法可包括,形成从介电区域的主表面穿过载体结构延伸至背面的复数个导电通路的步骤。

[0037] 在一个实施例中,该方法可包括,形成从背面穿过载体结构延伸至正面的复数个导电通路的步骤。在特定实施例中,形成复数个导电通路的步骤可包括形成从背面穿过载体结构延伸至被正面覆盖的一位置的复数个插口,平面化介电区域的步骤可包括研磨、抛光或蚀刻载体结构的正面直至复数个插口在正面暴露而变成复数个导电通路。

[0038] 在特定实施例中,当载体结构与至少一个其他载体结构在边缘保持连接时,可进行形成凹陷、形成复数个导电通路、形成端子、涂敷介电区域、及平面化介电区域的各步骤。

[0039] 在一个实施例中,制造微电子单元堆叠组件的方法可包括,在第二微电子单元上堆叠第一微电子单元的步骤。该方法还可包括使第一微电子单元与第二微电子单元接合的步骤。形成复数个导电通路的步骤和使第一微电子单元与第二微电子单元接合的步骤可包括,在堆叠步骤后,钻出穿过第一微电子单元和第二微电子单元而延伸的孔,并用导电材料电镀该孔。

[0040] 在特定实施例中,制造微电子单元的方法还可包括,形成从凹陷内表面穿过载体结构向背面延伸的复数个导电通路的步骤。在示例性的实施例中,当载体结构与至少一个其他载体结构在边缘保持连接时,可进行形成凹陷、形成复数个导电通路、形成端子、涂敷介电区域、及平面化介电区域的各步骤。

[0041] 在一个实施例中,制造微电子单元堆叠组件的方法可包括,在第二微电子单元上堆叠第一微电子单元的步骤。该方法还可包括通过导电结合材料使第一微电子单元与第二微电子单元接合的步骤。

[0042] 在一个实施例中,制造微电子单元的方法还可包括,使微电子元件的触点与位于凹陷内表面邻近的导电垫接合的步骤。形成复数个导电通路的步骤可包括,形成从载体结构背面延伸至导电垫的通路的步骤。在特定实施例中,该方法还可包括,使微电子元件与涂敷在凹陷内表面的介电层接合的步骤。形成复数个导电通路的步骤可包括,形成从载体结构的背面延伸至微电子元件触点的孔。形成复数个导电通路的步骤可通过电镀孔而进行。

[0043] 本发明的另一方面提供了系统,所述系统包含了与其他电子器件联合的根据本发明之前方面的微电子结构、根据本发明之前方面的复合芯片、或二者。例如,系统可置于可为便携式外壳的单个外壳内。根据本发明这方面的优选实施例的系统,可比同类的常规系统更紧凑。

附图说明

[0044] 图1A和图1B分别是说明根据本发明实施例的封装芯片与芯片载体组件的剖面图和相对应的俯视图。

[0045] 图2是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0046] 图3A和图3B分别是说明根据本发明实施例的一个制造阶段的剖面图和相对应的俯视图。

[0047] 图3C是说明根据本发明实施例的一个制造阶段的平面图。

[0048] 图4是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0049] 图5是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0050] 图6A是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0051] 图6B和图6C是说明根据本发明变例的制造方法当中一个阶段的剖面图。

[0052] 图7是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0053] 图8A是说明根据另一实施例的封装芯片的剖面图。

[0054] 图8B是说明根据另一实施例的封装芯片的剖面图。

[0055] 图9A是说明根据另一实施例的封装芯片的剖面图。

[0056] 图9B是说明根据另一实施例的封装芯片的剖面图。

[0057] 图9C是说明根据另一实施例的封装芯片的剖面图。

[0058] 图10是说明根据另一实施例的包括复数个封装芯片的堆叠组件的剖面图。

[0059] 图11A是说明根据另一实施例的安装至单个芯片载体的复数个封装芯片的平面图。

[0060] 图11B是说明根据另一实施例的安装至单个芯片载体的复数个封装芯片的平面图。

[0061] 图12是说明根据本发明实施例的封装芯片与芯片载体组件的剖面图。

[0062] 图13是说明根据本发明变例的制造方法当中一个阶段的剖面图。

[0063] 图14是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0064] 图15是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0065] 图16是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0066] 图17是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0067] 图18A是说明根据另一实施例的封装芯片的剖面图。

[0068] 图18B是说明根据另一实施例的封装芯片的剖面图。

[0069] 图18C是说明根据另一实施例的封装芯片的剖面图。

[0070] 图19A是说明根据另一实施例的封装芯片的剖面图。

[0071] 图19B是说明根据另一实施例的封装芯片的剖面图。

[0072] 图20是说明根据另一实施例的包括复数个封装芯片的堆叠组件的剖面图。

[0073] 图21是说明根据另一实施例的包括复数个封装芯片的堆叠组件的剖面图。

[0074] 图22是说明根据另一实施例的包括复数个封装芯片的堆叠晶圆级组件的剖面图。

[0075] 图23A是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0076] 图23B是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0077] 图24是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0078] 图25是说明根据本发明实施例的制造方法当中一个阶段的剖面图。

[0079] 图26是说明根据本发明一个实施例的系统的示意图。

具体实施方式

[0080] 在本文所示及所描述的实施例中,微电子单元可平面化。平面化的微电子单元可有利于并入堆叠组件中。不同尺寸微电子单元数量的减少也可有利于微电子单元的堆叠。

[0081] 图1A和图1B是分别说明根据本发明实施例的封装芯片与芯片载体组件的剖面图和相对应的俯视图。如图1A和图1B所示,微电子单元10包括安装在载体结构30上的微电子元件20。

[0082] 微电子元件20可包括,例如由硅制成的半导体基板,其中一个或复数个半导体器件(如晶体管、二极管等)置于半导体基板的有源半导体区域内,有源半导体区域位于顶面21上和/或顶面21下方。微电子元件20的顶面21与远离正面的底面22之间的厚度,通常小于200微米,且可显著地更小,例如130微米、70微米、或甚至更小。微电子元件20包括位于其顶面21的复数个导电触点23,用于与其他导电元件电连接。

[0083] 尽管在图1A和图1B中没有特别地示出,有源半导体区域内的半导体器件通常与导电触点23导电连接。因此,通过在微电子元件20的一个或多个介电层内并入的配线,半导体器件可导电接通。在一些实施例中,微电子元件正面的接触垫可不直接地暴露在微电子元件的正面。替代地,接触垫可与延伸至暴露端子的迹线电连接。

[0084] 如在本文应用的,声明导电元件“暴露在”介电元件的表面,指的是导电元件可与一理论点接触,所述理论点以垂直于该介电元件表面的方向、从介电元件外向该介电元件表面移动。因此,暴露在介电元件表面上的端子或其他导电元件可从该表面突出、可与该表面平齐、或可相对该表面凹陷并通过介电元件内的孔或凹坑暴露。

[0085] 实质上可用于形成导电元件的任何技术都可应用,以形成本文所述的导电元件,如在与本申请同一日提交的、同时待决的、名称为“三维导电元件的非光刻生成”的专利申请(律师案卷号为Tessera 3.0-614)中非常详尽地阐述的非光刻(non-lithographic)技术,可被采用。这种非光刻技术可包括,例如,应用激光或应用如研磨或喷砂等的机加工工艺,选择性地处理表面,使得沿将要形成导电元件的路线的该部分表面,处理为与表面的其他部分不同。例如,可应用激光或机加工工艺,从表面只沿特定路线烧蚀或去除如牺牲层等的材料,因此形成沿该路线延伸的凹槽。然后可在凹槽内沉积如催化剂等的材料,并可在凹槽内沉积一种或多种金属层。

[0086] 载体结构30限定了从其正面31部分地穿过载体结构向背面32延伸的凹陷40。载体结构30可由如硅等的半导体制成。在一个示例中,载体结构30可由如铜等的金属制成,这可允许载体结构起到用于微电子元件20的散热器的作用。在示例性的实施例中,载体结构30可包括外部金属处理层,使得载体结构适于起到散热器的作用。

[0087] 凹陷40包括位于凹陷底部的内表面41,其离载体结构30的正面31最远。凹陷40包括在凹陷的内表面41与载体结构30的正面31之间延伸的侧边表面42(即凹陷40的侧壁)。凹陷40可从正面31朝着背面32延伸超过一半的距离,从而沿垂直于正面的方向,凹陷的高度比在内表面41与背面32之间延伸的载体结构30的保留部分的高度更高。

[0088] 凹陷40可具有任意的俯视形状,例如包括,如图1B所示的长方形通道。如图1A和图1B所示,凹陷40包括单个微电子元件20。在其他实施例中,凹陷可包括任意数量的微电子元件20。在一个示例中,如图11A所示的实施例,凹陷可包括复数个微电子元件。在一些示例中,凹陷40可具有任意三维形状,例如包括,圆柱体、立方体、或棱柱,及其他。

[0089] 如图1A所示,侧边表面42以与正面31限定的水平面成正交的角度从载体结构30的正面31穿过载体结构而延伸。在其他实施例中,侧边表面42可相对正面31以任意角度从正面31延伸,例如包括,角度在约60至约100度之间。侧边表面42可具有恒定的斜度或变化的斜度。例如,当侧边表面进一步向内表面41深入时,相对于正面31所限定的水平面,侧边表面42的角度或斜度可减小。在示例性的实施例中,侧边表面以图8A所示的非正交的角度从载体结构的正面延伸。

[0090] 载体结构30还限定了从其正面31穿过载体结构延伸至背面32的复数个孔50,及复数个导电通路60,每个导电通路穿过相对应的孔50延伸。在参照图1A和图1B所描述的实施例中,具有六个孔50及相对应的导电通路60。在其他示例中,可具有任意数量的穿过载体结构延伸的孔和导电通路。例如,在图11A所示的实施例中,具有18个穿过载体结构延伸的孔。

[0091] 孔50可在载体结构30内以任意几何构型布置。例如,孔50可沿单个共同轴线布置,或孔50可布置为两个平行的排,如图1B和图11所示。在其他示例(未示出)中,孔50可布置为串、格栅、环、或任意其他形状。

[0092] 每个孔50都包括穿过载体结构30延伸的内表面51。如图1A所示,孔50具有在正面31的宽度W1及在背面32的宽度W2,宽度W2比W1更宽,从而沿从背面向正面的方向,孔逐渐变细。在其他示例中,如图8A所示的示例中,沿从正面向背面的方向,一个或多个孔可具有恒定的宽度,一个或多个孔可逐渐变细。

[0093] 每个孔50的内表面51可具有恒定的斜度或变化的斜度。例如,当内表面51从正面31进一步向载体结构的背面32深入时,相对于载体结构30的正面31所限定的水平面,内表面51的角度或斜度的量值可减小(正值或负值的绝对值变小)。

[0094] 每个孔50可具有任意的俯视形状,例如包括,如图1B所示的圆形(在图1B中,每个孔50都具有截头圆锥的三维形状)。在一些实施例中,每个孔50可具有正方形、长方形、椭圆形,或任意其他的俯视形状。在一些示例中,每个孔50可具有任意的三维形状,例如包括圆柱体、立方体、或棱柱,及其他。

[0095] 每个导电通路60在相对应的孔50内延伸,并限定在载体结构30的正面31与背面32之间沿导电通路的高度延伸的外表面61。每个导电通路可由金属或导电金属化合物制成,例如包括铜或金。

[0096] 每个导电通路60与正面31的前导电触点62及背面32的后导电触点63电连接。每个前导电触点62和后导电触点63(或本文公开的任意其他导电触点),如果暴露在微电子单元10的外表面(如正面31、背面32、介电区域70的主表面71、或覆盖相对应表面31或32的介电层72或73),都适于用作与外部元件电连接的端子。

[0097] 如图所示,导电通路60还与导电触点62和63对齐(即导电通路60与导电触点62、63共同拥有一中心轴)。在其他示例中,导电通路可具有与前导电触点或后导电触点中之一或与二者都不同的中心轴。每个导电触点62、63都可由任意的导电金属制成,例如包括铜或金。如图所示,导电触点62、63具有圆形的俯视形状。在其他示例中,导电触点62、63及本文

公开的任意其他导电触点可具有任意的俯视形状,包括椭圆形、三角形、正方形、长方形、或任意其他形状。

[0098] 每个导电通路60也可与微电子元件20的一个或多个导电触点23电连接。如图1A和图1B所示,每个导电通路60通过端子24、沿载体结构30的正面31延伸的导电迹线64、及前导电触点62而与相对应的导电触点23电连接。在其他示例中,每个导电通路60可与任意其他配置中的一个或多个导电触点23电连接。

[0099] 一个或多个端子24、导电触点62、及导电迹线64的组合还可被认为是“扩展结合垫”(“extended bond pad”),适于与外部元件(未示出)连接。

[0100] 如图所示,每个导电通路60与暴露在后导电触点63底面的相应的导电结合材料65电连接,以与外部元件(未示出)电互连。在其他示例中,导电结合材料65可被任意的其他电互连元件(如导电纳米颗粒)取代,或可省略导电结合材料65(例如当采用扩散结合时)。

[0101] 导电通路60、导电触点62和63、迹线64及端子24都通过介电区域或介电层而与微电子元件20电绝缘。例如,迹线64通过具有主表面71的介电区域70与载体结构30绝缘,前导电触点62通过介电层72与正面31绝缘,后导电触点63通过介电层73与背面32绝缘。每个导电通路60也通过沿孔的内表面51延伸的介电层(未示出)而与孔50绝缘。

[0102] 如图1A所示,导电通路60可充满孔50内的介电层内部的所有空间,介电层使载体结构30与导电通路60电绝缘。换言之,导电通路60的外表面61与相对应孔50的内表面51的轮廓一致。

[0103] 在其他示例中,导电通路60可不充满使孔50绝缘的介电层内部的所有空间。在一个示例中,导电通路61的外表面61可与相对应孔50的内表面51的轮廓不一致。在这样的示例中,介电区域可填充孔50,可钻出贯穿介电区域的孔隙,然后电镀该孔隙,以形成导电通路。图8A示出了这样的示例性实施例,其导电通路具有的外表面与孔的内表面不一致。

[0104] 根据工艺条件的不同,导电通路60可形成为实心的或中空的。例如,导电通路60可通过对使孔50绝缘的介电层保形电镀而形成,从而具有穿过导电通路中心延伸的内部孔隙。这个内部孔隙可用介电材料填充,或可一直打开着。图8A示出的这样的示例性实施例中,包括具有内部孔隙的导电通路。

[0105] 如图所示,每个导电通路60都具有截头圆锥的形状。在其他示例中,导电通路60可具有任意的其他形状,例如包括,圆柱体的形状(如图8A所示)、或沿导电通路位于不同高度的圆柱体与截头圆锥的组合形状。

[0106] 介电区域70填充凹陷40内没有被微电子元件20占据的部分,对于微电子元件20,介电区域70可提供良好的介电隔离。介电区域70可为柔性的,具有足够低的弹性模量及足够的厚度,使得具有该模量和该厚度的产物可提供柔性。特别地,当在导电元件上施加外部负载时,这种柔性的介电区域70可允许附接于其上的导电元件弯曲或相对微电子元件20和/或载体结构30稍许移动。以这种方式,微电子单元10的导电元件与如电路板等的外部元件(未示出)的端子之间的结合,可更好地承受由于微电子单元10与电路板之间热膨胀系数(“CTE”)的不匹配而产生的热应变。

[0107] 在所示的实施例中,介电区域70的主表面71在载体结构30的正面31限定的平面上方延伸。在其他示例中,主表面71可大致在与载体结构30正面31限定的同一平面延伸。

[0108] 介电层72和73可包括无机介电材料或有机介电材料或二者都包括。介电层72和73

可包括电沉积的保形涂料(conformal coating)或其他介电材料,例如光致成像的聚合物材料,如阻焊材料(solder mask material)。

[0109] 每个端子24都暴露在介电区域70的主表面71,用于与外部元件互连。每个端子24都可与凹陷40对齐,并可完全地或部分地置于载体结构30的由凹陷40限定的区域内。从图1A中可以看出,端子24完全地置于凹陷40所限定的区域内。在其他示例中,端子24可置于凹陷40限定的区域外(如参见图9A)。如图所示,端子24的顶面25所限定的平面与载体结构30的正面31所限定的平面大致平行。作为将端子24与外部元件电互连的附加手段或替代手段,前导电触点62可用作端子,并可与外部元件电互连。

[0110] 如图所示,端子24的顶面25位于载体结构30的正面31所限定的平面的上方。在其他实施例中,端子24的顶面25可位于或低于正面31所限定的平面(参见图6A至图6C,与载体结构的正面及介电区域的主表面所限定的平面相比,端子顶面的各种布置)。

[0111] 如图1B所示,端子24和前导电触点62具有导电结合垫的形状。在其他实施例中,端子24和导电触点62可为任意其他形状的导电触点,例如包括导电柱。

[0112] 现在将参照图2至图7,描述制造微电子单元10(图1A和图1B)的方法。参照图2,载体结构30包括初始正面31'。在制造过程的这个阶段,初始正面31'可与载体结构30的背面32通过其初始厚度T1均匀地隔开。可在载体结构30的初始表面31'的需要保留的地方形成掩模层33。

[0113] 参照图3A和图3B,可形成凹陷40,例如,通过在形成掩模层33后,选择性地蚀刻载体结构30而形成。例如,可沉积并图案化光致抗蚀剂层(photoresist layer)等的光致成像层(photoimageable layer),以只覆盖部分的初始正面31',之后可进行定时蚀刻过程以形成凹陷40。如图3所示,凹陷40从载体结构30的正面31向下朝背面32延伸。

[0114] 凹陷40具有内表面41,其为平坦的且通常相对背面32等距。从正面31向下朝内表面41延伸的凹陷的侧边表面42可为倾斜的,即可沿与正面31不是正交(直角)的角度延伸,如图8A所示。

[0115] 在本文所示及所描述的实施例中,载体结构30内的一些或全部开口(例如凹陷40),可通过在载体结构表面上直接喷射精细研磨颗粒而形成。精细研磨颗粒除去暴露在表面的材料。本文中应用的,喷砂意味着这种过程,无论磨粒是否包括砂子或为砂子中主要组分的二氧化硅颗粒。采用喷砂来形成载体结构内的一些开口,可节约生产微电子元件的时间及成本。

[0116] 如各向同性蚀刻工艺的湿蚀刻工艺,和应用锥形刀片锯,及其他方法,都可用于形成具有倾斜侧边表面的凹陷。喷砂、激光切割、机械研磨及其他,也可用于形成具有倾斜侧边表面的凹陷。

[0117] 替代地,凹陷的侧边表面42可沿竖直或基本竖直的方向从正面31向下以与正面31基本为直角的角度延伸,而不是倾斜的。各向异性的蚀刻工艺、激光切割、激光钻孔、机械去除工艺,例如喷砂、锯切、研磨、超声波加工等及其他,都可用于形成具有基本竖直侧边表面42的凹陷40。

[0118] 在载体结构30内的凹陷40形成后,在载体结构的正面31上及凹陷的内表面41和侧边表面42上沉积介电层72,以使载体结构30与微电子元件及在以后添加的导电元件电绝缘。

[0119] 形成介电层72可应用各种方法。在一个示例中,可流动的介电材料可在载体结构30的正面上及凹陷的内表面41和侧边表面42上涂敷,然后在“旋涂”操作过程中,可流动材料更均匀地分布,随后是可包括加热的干燥周期。在其他示例中,介电材料的热塑性膜可铺在载体结构的正面31上,然后加热组件,或在真空环境中加热,即放置在低于外界压力的环境中加热。然后这样致使膜向下流动至凹陷40的侧边表面42上及内表面41上。在另一示例中,可应用气相沉积形成介电层72。

[0120] 在又一示例中,载体结构30可浸入介电材料沉积槽中以形成保形的介电涂层或介电层72。在本文中应用的“保形涂层”(“conformal coating”)是指,特定材料的涂层与将涂敷的表面的轮廓一致,例如当介电层72与凹陷40的轮廓一致时。可应用电化学沉积以形成保形的介电层72,例如包括,电泳沉积或电解沉积。

[0121] 在一个示例中,可应用电泳沉积技术以形成保形的介电涂层,使得保形的介电涂层只沉积在组件暴露的导体与半导体的表面上。在沉积过程中,载体结构30可保持在所需的电位,电极浸入槽中以使槽保持在不同的所需电位。然后在适当的条件下,组件保持在槽中充足的时间,以在载体结构30的暴露的导体或半导体的表面上形成电沉积的保形介电层72,包括但不限于沿着正面31、背面32、内表面41和侧边表面42。只要在待涂敷表面与槽之间保持足够强的电场,电泳沉积就会发生。因为电泳沉积的涂层为自限制的,在涂层达到沉积过程中如电压、浓度等参数确定的特定厚度后,沉积过程就会停止。

[0122] 电泳沉积在组件的导体和/或半导体外表面上形成了连续的厚度均匀的保形涂层。另外,电泳涂层可沉积为涂层不在任何已沉积的介电层上形成,例如不在图1A所示的介电层73上形成,由于它的介电(非导电)性能。换言之,电泳沉积的特性为其不在覆盖导体的介电材料层上形成,假设该介电材料层具有足够的厚度,考虑到其介电性能。典型地,电泳沉积将不在厚度大于10微米至几十微米的介电层上发生。保形介电层72可由阴极环氧树脂沉积的反应源(precursor)形成。替代地,可应用聚氨酯或丙烯酸沉积的反应源。各种电泳涂层的反应源的成分及供应的原料在下面的表1中列出。

表 1

ECOAT NAME	POWERCRON 645	POWERCRON 648	CATHOGUARD 315
生产商			
MFG	PPG	PPG	BASF
类型	阴极	阴极	阴极
聚合物基	环氧树脂	环氧树脂	环氧树脂
地址	Pittsburgh, PA	Pittsburgh, PA	Southfield, MI
应用数据			
Pb/Pf-free	Pb-free	Pb or Pf-free	Pb-free
HAPs, g/L		60-84	柔性的
VOC, g/L (除去水)		60-84	<95
固化	20 min/175C	20 min/175C	
成膜性			
颜色	黑	黑	黑
厚度, (微米)	10-35	10-38	13-36
铅笔硬度		2H+	4H
特性			
固体, (重量百分比)	20 (18-22)	20 (19-21)	17.6-21.0
pH 值 (25°C)	5.9 (5.8-6.2)	5.8 (5.6-5.9)	5.4-6.0
导电系数 (25°C) μS	1000-1500	1200-1500	1000-1700
P/B 比	0.12-0.14	0.12-0.16	0.13-0.20
工作温度 (°C)	30-34	34	29-35
时间 (秒)	120-180	60-180	120+
阳极	SS316	SS316	SS316
电压		200-400	>100
ECOAT NAME	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
生产商			
MFG	MACDERMID	LVH COATINGS	LVH COATINGS
类型	阴极	阴极	阴极
聚合物基	聚氨酯	氨基甲酸酯	氨基甲酸酯
地址	Waterbury, CT	Birmingham, UK	Birmingham, UK
应用数据			
Pb/Pf-free		Pb-free	Pb-free
HAPs, g/L			
VOC, g/L (除去水)			
固化	20 min/149C	20 min/175C	20 min/175C
成膜性			
颜色	透明 (可染色)	黑	黑
厚度, (微米)		10-35	10-35
铅笔硬度	4H		
特性			
固体, (重量百分比)	7.0 (6.5-8.0)	10-12	9-11
pH 值 (25°C)	5.5-5.9	7-9	4-5
导电系数 (25°C) μS	450-600	500-800	400-800
P/B 比			
工作温度 (°C)	27-32	23-28	23-28
时间 (秒)			60-120
阳极	SS316	316SS	316SS
电压	40, max		50-150

[0124] 在另一示例中,可电解形成介电层。除了沉积层不是仅限于在接近导体或半导体的表面上形成以外,这种过程与电泳沉积类似。以这种方式,可形成电解沉积的介电层,并

达到根据需要所选择的厚度,处理时间是所获得厚度的一个影响因素。

[0125] 现在参照图3C,载体结构30(及将要形成的微电子单元10)可在晶圆级制程中同时处理,即,对仍然接合在一起的、作为晶圆一部分或作为整个半导体或金属晶圆的复数个载体结构30同时进行处理。达到如图1A和图1B所示出的制造阶段后,可沿切割线12和14切割晶圆,以形成单独的封装微电子单元。

[0126] 如图3A中所示出的,晶圆8或晶圆8的一部分包含复数个载体结构30,每个载体结构30都具有凹陷40。切割线12标明了单独的载体结构30之间的边界处切割线的位置。晶圆8的切割线12无需太宽。微电子单元的凹陷40的位置可与切割线之间留有间隔。切割线12的代表性宽度为大约40微米。

[0127] 把晶圆切割为单独单元的各种示例过程,在共同拥有的临时申请号为60/761171和60/775086的美国临时专利申请中描述,两个申请中任一个都可用于切割晶圆以形成如图1A和图1B所示的单独的微电子单元,其通过援引加入本文。

[0128] 现在参照图4,微电子元件20安装在载体结构30的凹陷40内,使得微电子元件的底面22邻近凹陷的内表面41。微电子元件20的顶面21包括面向上的导电触点23,并远离凹陷40的内表面41。微电子元件20可应用粘接剂、粘性介质或任意其他适用的安装手段而安装至凹陷40内。

[0129] 现在参照图5,介电区域70形成在凹陷40内部。介电区域70可包括无机材料、聚合物材料或二者都包括。可选择地,介电区域70可形成为,使得该区域的暴露主表面71与载体结构30的正面31或与介电层72的暴露表面共面或基本共面。例如,自平面化的介电材料可沉积在凹陷40内,如通过分配或制版过程而沉积。在另一示例中,在形成介电区域70后,可对载体结构30的正面31或介电层72的暴露表面应用研磨(grinding)、磨光(lapping)或抛光(polishing)过程,以使介电区域70的主表面71与正面31或介电层72的暴露主表面71平面化。在特定实施例中,介电区域70可为柔性的,具有足够低的弹性模量和足够的厚度,使得具有该模量和该厚度的产物可提供柔性。

[0130] 介电区域70的主表面71可通过其他方法平面化。在一个实施例中,例如可采用研磨过程,以平面化主表面71及载体30的正面31。研磨过程既不仅可去除介电材料而且可去除硅材料。主表面71和正面31也可通磨光或抛光而平面化。

[0131] 在特定示例中,可采用化学机械抛光(“CMP”)平面化介电区域70的主表面71和/或载体结构30的正面31。示例性的CMP过程可包括用研磨垫打磨主表面71和/或正面31,同时应用润滑剂。示例性的CMP过程可包括应用研磨浆,例如包括微硅粉浆,以平面化主表面71和/或正面31。

[0132] 然后,形成穿过介电区域70在导电触点23与介电区域70的主表面71之间延伸的孔隙74。孔隙74可通过例如激光烧蚀或任意其他适当的方法而形成。如图5所示,孔隙74具有圆柱的形状。在其他示例中,孔隙可具有截头圆锥的形状(参见图8A)或其他形状,例如包括,在从载体结构30的正面31的不同距离处的圆柱与截头圆锥的组合形状。

[0133] 现在参照图6A,端子24形成在孔隙74内。端子与相对应的导电触点23电连接,并通过介电区域70与微电子元件20绝缘。为形成端子24,示例性的方法包括无电沉积。例如,这种步骤可通过在相对应的孔隙74的内表面75上包层沉积(blanket deposition)而进行,使得每个端子24的外形与相对应的内表面75的轮廓一致。如图6A所示,端子24为实心的。在其

他实施例中(未示出),每个端子可包括填充有介电材料的内部空间。

[0134] 在示例性的实施例中,端子24可在远离导电触点23的位置形成(参见图9A),可在介电区域70的主表面71沉积迹线,以使导电触点23与端子24电连接。

[0135] 如图6A所示,端子24延伸使得端子24的顶面25与介电区域70的主表面71共面。端子24适于与外部元件电连接,例如,应用结合引线或如焊接球等的导电块。

[0136] 在一个示例中,如图6B所示的示例,端子24'可暴露在介电区域70的主表面71或暴露在载体结构30的正面31,而端子24'的顶面25'没有延伸至介电区域70的主表面71。端子24'适于与外部元件电连接,例如,应用结合引线或如焊料球等的导电块。

[0137] 在特定示例中,如图6C所示的示例,每个端子24"的顶面25"可在介电区域70的主表面71上方延伸或在载体结构30的正面31上方延伸。端子24"可适于与外部元件电连接,例如,应用结合引线或如焊料球等的导电块。

[0138] 在一些实施例中,分别在图6A、图6B和图6C中示出的示例性的微电子单元10、10'或10"可无需形成导电通路。例如,如图10所示,如果没有需要安装在下面的附加微电子单元,在堆叠微电子组件底部位置的微电子单元可无需具有延伸至背面的导电通路。通过使微电子单元10与另一微电子单元通过端子24电连接,例如,应用结合引线或如焊料球等的导电块,图6A所示的微电子单元10可并入图10所示的堆叠组件内。

[0139] 现在参照图7,可在载体结构30内形成从正面31延伸至背面32的孔50。如光致抗蚀剂等的光学成像层或介电层沉积在载体结构30的正面31和/或背面32,并图案化以形成掩模开口。光学成像层或介电层内的掩模开口位于所需的位置,用于形成在载体结构30的正面31与背面32之间延伸的孔50。

[0140] 此后,可在掩模开口内暴露的正面31和/或背面32的部分应用蚀刻过程,以去除掩模开口下的半导体或金属材料。从而,形成了在载体结构30的正面31与背面32之间延伸的孔50。

[0141] 蚀刻过程可进行为,以选择性地蚀刻如硅等的半导体材料、但保留氧化物材料的方式。以选择性的方式蚀刻半导体材料时,保留介电材料,当在载体结构30的所有位置都需要贯穿半导体材料厚度而蚀刻、同时保持横过载体结构30的充分工艺窗口时,可进行过蚀刻过程。当采用选择性蚀刻过程时,在形成孔50后,如氧化物层(例如介电层73)等的介电层保持在原位。替代地,可采用喷砂、激光钻孔、或机械打磨等方式以形成孔50。

[0142] 然后,返回参照图1A,导电通路60形成在孔50内。通过介电层或区域(未示出,但以与上文所述的介电层和/或区域沉积时应用的类似的方式沉积),每个导电通路60与相对应孔50的内表面51绝缘。

[0143] 为形成导电通路60,示例性的方法包括沉积金属层,通过在组件的暴露表面上一次或多次喷射原生金属层(primary metal layer)、电镀或机械沉积的方法而沉积。机械沉积可包括在高速下引入加热的金属微粒流至待涂敷表面的步骤。这个步骤可通过在孔50的内表面51上包层沉积而进行。在一个实施例中,原生金属层包括或主要由铝组成。在另一特定实施例中,原生金属层包括或主要由铜组成。在又一实施例中,原生金属层包括或主要由钛组成。一种或多种其他示例金属也可在形成导电通路60的过程中应用。

[0144] 在特定示例中,可在内表面形成包括复数个金属层的叠片。例如,层叠的金属层可包括钛层伴有覆盖在钛层上的铜层(Ti-Cu)、镍层伴有覆盖在镍层上的铜层(Ni-Cu)、以类

似的方式设置的镍-钛-铜(Ni-Ti-Cu)的叠片、或镍-钒(Ni-V)的叠片。

[0145] 然后,形成使端子24与导电通路60电连接的迹线64和导电触点62、63。在一些实施例中,导电触点62、63和迹线64可与导电通路60在单个无电沉积步骤中一起形成。在其他实施例中,导电通路60与其他导电元件62、63和64可通过各自的无电沉积步骤而形成。

[0146] 在一个实施例中,包含导电触点62、63和迹线64的原生金属层包括铝或主要由铝组成。在另一特定实施例中,原生金属层包括铜或主要由铜组成。在又一实施例中,原生金属层包括钛。一种或多种其他示例金属也可在形成导电触点62、63和迹线64的过程中应用。

[0147] 最后,如果采用晶圆级制程来形成微电子单元10时,需沿切割线通过锯子或其他切割方法把微电子单元10彼此切割开,以形成单独的微电子单元10。

[0148] 图8A示出了根据本发明另一实施例的微电子单元。微电子单元110与上述及图1A所示的微电子单元10类似,但微电子单元110的不同在于,凹陷的侧边缘、端子、孔和穿过孔延伸的导电通路等的形状及布置。

[0149] 取代凹陷所具有的从载体结构的正面沿与正面正交的角度(参见图1A)延伸的侧边表面,微电子单元110包括从载体结构130的正面131以非正交角度延伸的侧边表面142。在一些示例中,侧边表面142的非正交角度可为与水平线成60度至100度之间的角度。

[0150] 微电子单元110包括在载体结构130的正面131与背面132之间延伸的孔150a的内表面151a。孔150a具有在正面132和背面132的宽度W3,从而沿从正面朝背面的方向,孔具有基本恒定的宽度。可从正面131或从背面132开始,采用如反应离子蚀刻或喷砂等的过程形成这种孔150a。

[0151] 微电子单元110还可包括在载体结构130的正面131与背面132之间延伸的孔150b的内表面151b。孔150b在正面131具有宽度W4,在背面132具有宽度W5,W5小于W4,从而沿从正面朝背面的方向,该孔逐渐变细。这种孔150b可从正面131采用如湿法刻蚀或喷砂等的过程而形成。

[0152] 微电子单元110包括没有充满使孔151a绝缘的介电区域152的内部所有空间的导电通路160a。导电通路160a的外表面161a与相对应孔150a的内表面151a的轮廓不一致。介电区域152填充孔150a,孔隙153穿过介电区域延伸,可电镀孔隙153以形成导电通路160a。导电通路160a限定了圆柱的形状,而不是截头圆锥形状(如图1A中所示的导电通路60所限定的形状)。

[0153] 微电子单元110包括中空的导电通路160b,而不是图1A中所示的实心的导电通路160。例如导电通路160b可通过在使孔150b绝缘的介电层上保形电镀而形成,使得具有穿过导电通路160b中心而延伸的内部孔隙166。如图8A所示,内部孔隙166用介电材料167填充。在一个示例中,内部孔隙166可一直打开着。

[0154] 微电子单元110包括端子124b,形成在介电区域170内限定的孔隙174b的内侧。端子124b限定了截头圆锥的形状,而不是端子124a或图1A中所示的端子24所限定的圆柱形状。

[0155] 图8B示出了根据本发明另一实施例的微电子单元。微电子单元210与上述及图1A中所示的微电子单元10类似,但是微电子单元210的不同在于,贯穿载体结构延伸的孔及穿过孔延伸的导电通路的位置。

[0156] 取代具有图1A中所示的从背面穿过载体结构朝正面延伸的孔和导电通路,微电子

单元210包括的孔250和导电通路260,从介电区域270的主表面271穿过载体结构230延伸至其背面232。与微电子单元10类似,在微电子单元210中,通过环绕导电通路260的外表面261的介电层和/或介电区域,导电通路260与载体结构230绝缘。

[0157] 图9A示出了根据本发明另一实施例的微电子单元。微电子单元310与上述及图1A中所示的微电子单元10类似,但是微电子单元310并没有包括贯穿载体结构330的导电通路,且微电子单元310包括第一端子324a或扩展结合垫,沿介电区域370的主表面371的横向,第一端子324a或扩展结合垫位于微电子元件的外边缘326与形成在载体结构330内的凹陷340的侧边表面342之间。沿主表面371(或介电层372)的横向,第二端子324b或扩展结合垫位于侧边表面342与载体结构330的外边缘333之间。

[0158] 图9B示出了根据本发明另一实施例的微电子单元。微电子单元410与上述及图9A中所示的微电子单元310类似,但微电子单元410包括的端子424只暴露在介电区域470的在微电子元件420的外边缘426(即微电子元件420的侧壁)与形成在载体结构430内的凹陷440的侧边表面442之间的主表面471上。微电子单元410包括导电迹线464,其穿过介电区域470延伸而使微电子元件420的导电触点423与端子424电连接。

[0159] 图9C示出了根据本发明另一实施例的微电子单元。微电子单元510与上述及图9B中所示的微电子单元410类似,但微电子单元510包括的端子524为结合垫的形状,且端子524与微电子元件420的导电触点523电连接并暴露在介电区域570的主表面571上。

[0160] 图10是说明包括复数个与上述的微电子单元类似的微电子单元的堆叠组件的剖面图。在所示的实施例中,堆叠组件600包括复数个微电子单元610a、610b和610c(统称610)。尽管图10中包括微电子单元610a、610b和610c的特定示例,本文公开的任意的微电子单元都可堆叠以形成堆叠组件。

[0161] 通过设置暴露在各载体结构630b和630c正面上的端子624b和624c、及各载体结构630a和630b背面的导电触点663a和663b,数个微电子单元610可以一个在另一个之上的方式堆叠,以形成堆叠组件600。

[0162] 在这种布置中,上方微电子元件610a的后导电触点663a与中间微电子单元610b的端子624b对齐。在堆叠组件600中,相邻的各微电子单元610之间的连接是通过导电结合材料或导电块665而进行的。除了设置的互连以外,背面632上的介电层673与正面631上的介电层672和/或介电区域670,提供了在堆叠组件600中相邻微电子单元610之间的电绝缘。

[0163] 如图10所示,每个载体结构630可具有凹陷640,各凹陷具有不同宽度。例如,如图10所示,载体结构630a包括的凹陷640a具有沿其正面横向的第一宽度,且载体结构630b包括的凹陷640b具有沿其正面横向的第二宽度,第二宽度与第一宽度不同。此外,微电子单元610a包括微电子元件620a,其具有的宽度与微电子单元610b中的微电子元件620b的宽度不同。

[0164] 导电块665可包括具有相对低熔点的易熔金属,如焊料、锡或包括复数种金属的易熔混合物。替代地,导电块665可包括润湿性金属,如铜或其他贵金属或非贵金属,具有高于焊料或其他易熔金属的熔点。这种润湿性金属可与相应的特征接合、例如与电路板等互连元件的易熔金属特征接合,以使堆叠组件600与这种互连元件外部互连。在特定实施例中,导电块665可包括在介质中散布的导电材料,例如导电膏,如填充金属的膏、填充焊料的膏,或包括各向同性的导电粘接剂或各向异性的导电粘接剂。

[0165] 在一个示例中,导电块或结合材料665可包括导电膏,如焊膏或其他填充金属的膏或包含导电性金属化合物的膏或其组合。例如,焊膏的均匀层可在箔的表面上铺开。可应用特定类型的焊膏,以在相对低的温度下接合金属层。例如钢基或银基焊膏,其包括金属的“纳米微粒”,即微粒的长尺寸典型地小于约100纳米,钢基或银基焊膏可具有约150℃的烧结温度。纳米颗粒的实际尺寸可显著地更小,如尺寸为从约一纳米及较大。

[0166] 在特定示例中,可应用扩散结合(diffusion bonding)或热压结合(thermocompression bonding)使相邻的微电子单元610接合,以取代导电块665。例如,各微电子单元610之间的金属与金属的结合可无需应用焊料而生成。替代地,在每个后导电触点663a与相对应的端子624b之间的结合可通过使它们变形彼此接合而形成。在这样的示例中,后导电触点663a和端子624b可由具有极小弹性或回弹的具有延展性的材料制成,例如,基本上纯的金。

[0167] 后导电触点663a和端子624b可通过在柱与覆盖物材料之间的共熔键合(eutectic bonding)或阳极键合(anodic bonding)而结合在一起。例如,后导电触点663a与端子624b的外表面可涂敷少量的锡、硅、锗或与金可形成相对低的熔点的其他材料,或后导电触点663a和端子624b可全部由金制成,或在其表面具有金涂层。当后导电触点663a和端子624b彼此接合后加热,在后导电触点663a和端子624b的材料与后导电触点663a和端子624b顶端上的材料之间发生扩散,而在柱与壁间的界面形成熔点低于单个元素熔点的合金。堆叠组件600保持在高温下时,进一步的扩散致使合金元素离开界面,而进入后导电触点663a和端子624b的大量的金内,从而界面处材料的熔点提高,导致界面凝固,形成了在微电子单元610a和610b之间的可靠连接。

[0168] 图11A是说明复数个与上述微电子元件类似的封装微电子元件安装至单个芯片载体的平面视图。在所示的实施例中,单个载体结构730包括复数个微电子元件720a、720b、720c(统称720),每个微电子元件720安装在载体结构730内形成的单个凹陷740内。这样的微电子单元710可与图1至图7中所示及参照图1至图7所描述的方式相类似的方式形成,除了复数个微电子元件720安装至一个凹陷740内,在微电子元件与相对应的凹陷之间不是一个与一个的对应以外。

[0169] 图11B是说明复数个堆叠微电子元件的平面视图,微电子元件与上述的安装至单个芯片载体的微电子单元类似。微电子单元710'与上述及在图11A所示的微电子单元710类似,但微电子单元710'的不同在于,微电子单元710'包括复数个微电子元件720a'、720b'、720c',每个微电子元件720都安装在单个载体结构730'内形成的相对应的凹陷740a'、740b'、740c'内。

[0170] 图12示出了根据本发明另一实施例的微电子单元。微电子单元810与上述及图1A所示的微电子单元10类似,但微电子单元810的不同在于,微电子元件以面向下而不是面向上的方式,且导电通路从微电子元件的下侧向下延伸。

[0171] 图12所示的元件与图1A中所示的元件类似,且可以与图1A所示的元件类似的方式变化,例如包括,表面的不同角度、微电子单元810的导电通路的布置、及形成微电子单元810及其元器件的不同方法。

[0172] 如图12所示,微电子单元810包括安装至载体结构830的微电子元件820。虽然没有在图12中特别示出,在有源半导体区域的半导体器件,通常与导电触点823导电连接。因为

微电子元件820取向为面向下位置,顶面821面向下,并位于邻近载体结构830内形成的凹陷840的内表面841,远离顶面的底面822面向上。导电触点823暴露在顶面821上,用于其他导电元件连接。

[0173] 载体结构830包括从凹陷840的内表面841穿过载体结构830延伸至其背面832的复数个孔850,和复数个导电通路860,每个导电通路穿过相对应的孔850延伸。如参照图1A在上文所述,可具有穿过载体结构延伸的任意数量的孔和导电通路。

[0174] 每个孔850包括贯穿载体结构830延伸的内表面851。如图12所示,沿从背面832向凹陷840的内表面841的方向,孔850逐渐变细。

[0175] 每个导电通路860都与在凹陷840的内表面841(但通过介电层872,正面862与内表面841绝缘)的前导电触点862电连接,并与在背面832的后导电触点863电连接。每个导电通路860还可通过沿孔内表面851延伸的介电层(未示出)与孔850绝缘。

[0176] 每个导电通路860还与微电子元件820的一个或多个导电触点823电连接。如图12所示,每个导电通路860通过前导电触点862与相对应的导电触点823电连接。导电迹线864沿凹陷840的内表面841与侧边表面842及载体结构830的正面831,在前导电触点862和位于正面831的端子824之间(但通过介电层872,端子824与正面831绝缘)延伸。一个或多个端子824和导电迹线864的组合还可视为“扩展结合垫”,适于与外部元件(未示出)连接。

[0177] 现在将参照图13至图17描述制造微电子单元810(图12)的方法。参照图13,载体结构830包括初始正面831'。凹陷840可形成为,例如通过在形成掩模层后选择性蚀刻载体结构830而形成,或通过喷砂或任意其他适当方法而形成。如图13所示,凹陷840从初始正面831'向下朝载体结构830的背面832延伸。

[0178] 接下来,在载体结构830内形成从凹陷840的内表面841延伸至载体结构的背面832的孔850。如参照图7在上文所描述的,蚀刻过程、喷砂、激光钻孔、机械研磨或其他适当的过程都可用于形成孔850。

[0179] 在载体结构830内形成凹陷840和孔850后,介电层872沉积在载体结构的正面831、凹陷的内表面841与侧边表面842、及孔850的内表面851上,以使载体结构830与微电子元件及后来将要添加的导电元件电绝缘。如参照图3A在上文所描述的,可应用各种方法以在载体结构830上形成保形的介电层872。

[0180] 同样,如参照图3C在上文所描述的,在晶圆级制程中,复数个载体结构830(及其将要形成的微电子单元810)可同时处理,载体结构830可在形成微电子单元810后分离。

[0181] 现在参照图14,导电通路860在孔850内形成。通过介电层或区域(未示出,但以与上述的沉积介电层和/或区域的类似方式沉积),每个导电通路860都与相应孔850的内表面851绝缘。导电通路860可采用与参照图1A在上文所描述方法类似的方法而形成。在一些实施例中,具有面向下的微电子元件的示例性的微电子单元,可无需形成导电通路(例如参见图18C)。

[0182] 在形成导电通路860后,或与其同时,形成导电触点862、863和迹线864的在凹陷内延伸的部分。在一些实施例中,导电触点862、863和迹线864可与导电通路860在单个无电沉积步骤中形成。在其他实施例中,导电通路860和其他导电元件862、863、864可通过各自的无电沉积步骤形成。

[0183] 现在参照图15,微电子元件820安装在载体结构830的凹陷840内,使得微电子元件

的顶面821邻近凹陷的内表面841,且微电子元件的初始底面822'朝上。微电子元件820的顶面821包括面向下、朝着凹陷840的内表面841的导电触点823。微电子元件820可通过导电触点823与导电触点862结合而安装在凹陷840内,可采用导电结合材料或其他公开的任意方法,例如参照图10中的方法而结合。

[0184] 现在参照图16,介电区域870形成在凹陷840内部。可选用地,介电区域870可形成为使该区域的暴露主表面871与载体结构830的正面831或介电层872的暴露表面共面或基本共面。例如,自平面化的介电材料可在凹陷840内沉积,例如通过分配或制版过程。在另一示例中,在形成介电区域870后,可在载体结构830的正面831或介电层872的暴露表面应用研磨、磨光、或抛光过程,使介电区域870的主表面871与正面831或介电层872的主表面871平面化。

[0185] 如将在下文中描述的,介电区域870的主表面871和/或载体结构830的初始正面831'可通过其他方法平面化,使得载体结构830的厚度从厚度T2缩减为在正面831和背面832之间延伸的厚度T3。

[0186] 现在参照图17,在一个实施例中,例如,可应用研磨过程使载体结构830的正面831与微电子元件820的底面822平面化。载体结构830的厚度从厚度T2缩减至T3,微电子元件820的厚度通过从初始底面822'除去材料而缩减,从而生成的最终底面822更接近微电子元件的顶面821。例如,厚度T2可为约600微米至约1毫米,厚度T3可为约70微米至约200微米。

[0187] 然后,返回参照图12,介电区域870和介电层872在研磨过程中被除去的部分再次涂敷至载体结构830的暴露正面831及微电子单元820的暴露底面822。

[0188] 然后,形成贯穿介电区域870延伸的孔隙874,以暴露迹线864的沿侧边表面842延伸的竖直延伸部分的端部。

[0189] 一旦孔隙874形成后,即形成沿介电区域870的主表面871和再次涂敷的介电层872延伸的迹线864。例如通过无电沉积,在顶面871上形成端子824,且通过导电迹线864和导电触点862,端子824与导电触点823电连接。如参照图6A、图6B和图6C在上文所描述的,端子824可延伸至低于、位于或高于主表面871的一高度,使得端子824暴露在介电区域870的主表面871。

[0190] 最后,如果采用晶圆级制程形成微电子单元810,微电子单元810可沿切割线通过锯割或其他切割方法而彼此分离,以形成单独的微电子单元810。

[0191] 图18A示出了根据本发明另一实施例的微电子单元。微电子单元910与上述及图12中所示的微电子单元810类似,只是微电子单元910不包括穿过介电区域970延伸至其主表面971的迹线。在这个实施例中,导电触点963可视为端子,因为导电触点963与微电子元件920的导电触点923电连接,且导电触点963可通过导电块965或其他结合手段与外部元件电连接。

[0192] 图18B示出了根据本发明另一实施例的微电子单元。微电子单元1010与上述及在图12中所示的微电子单元810类似,只是微电子单元1010内包括的导电迹线1064,暴露在介电区域1070的主表面1071,而不是在主表面上延伸。在这个实施例中,导电迹线1064的暴露端可视为端子,因为导电迹线1064与微电子元件1020的导电触点1023电连接,且导电迹线1064可通过导电块或其他结合手段与外部元件电连接。如参照图6A、图6B和图6C所描述的,迹线1064可延伸至高于、位于、或低于主表面1071所限定的平面或载体结构1030的正面

1031所限定的平面的一高度。

[0193] 图18C示出了根据本发明另一实施例的微电子单元。微电子单元1110与上述及图12中所示的微电子元件810类似,只是微电子单元1110不包括贯穿载体结构1130的导电通路。端子1124可通过导电块或其他结合手段与外部元件电连接。微电子单元1110可适于包含在堆叠组件的底部,例如在图10中所示的堆叠组件600底部的微电子单元610c。

[0194] 图19A示出了根据本发明另一实施例的微电子单元。微电子单元1210与上述及图12中所示的微电子单元810类似,只是微电子单元1210在穿过载体结构延伸的孔和穿过孔延伸的导电通路的位置方面不同。

[0195] 不是具有如图12所示的从内表面穿过载体结构向背面延伸的孔和导电通路,微电子单元1210包括的孔1250和导电通路1260,从载体结构1230的正面1231延伸至背面1232。与微电子单元810类似,在微电子单元1210中,通过环绕导电通路1260的外表面1261的介电层和/或介电区域,导电通路1260与载体结构1230绝缘。

[0196] 图19B示出了根据本发明另一实施例的微电子单元。微电子单元1310与上述及图12所示的微电子单元810类似,只是微电子单元1310在穿过载体结构延伸的孔和穿过孔延伸的导电通路的位置方面不同。

[0197] 不是具有如图12所示的从内表面穿过载体结构向背面延伸的孔和导电通路,微电子单元1310包括的孔1350和导电通路1360,从介电区域1370的主表面1371穿过载体结构1330延伸至其背面1332。与微电子单元810类似,在微电子单元1310中,通过环绕导电通路1360的外表面1361的介电层和/或介电区域,导电通路1360与载体结构1330绝缘。

[0198] 图20是说明包括复数个微电子单元的堆叠组件的剖面图,微电子单元与参照图12至图19B中在上文所描述的微电子单元类似。在所示的实施例中,堆叠组件1400包括复数个微电子单元1410a、1410b和1410c(统称1410)。尽管图20中包括微电子单元1410a、1410b和1410c的特定示例,本文公开的任意微电子元件都可堆叠以形成堆叠组件。

[0199] 通过暴露在各自载体结构1430b和1430c正面的端子1424b和1424c、及暴露在各自载体结构1430a和1430b背面的后导电触点1463a和1463b的设置,数个微电子单元1410可以一个在另一个上堆叠的方式形成堆叠组件1400。

[0200] 在这种布置中,上方微电子单元1410a的后导电触点1463a与中间微电子单元1410b的端子1424b对齐。堆叠组件1400中相邻的各微电子单元1410之间是通过导电结合材料或导电块1465连接的。在其他示例中,相邻微电子单元1410可以其他方式而结合,如应用扩散结合或任意其他适当的结合手段,例如参照图10在上文所描述的结合手段。背面1432上的介电层1473与正面1431上的介电层1472和/或介电区域1470,提供了堆叠组件1400中相邻微电子单元1410之间的电绝缘,设置的互连处除外。

[0201] 如图20所示,每个载体结构1430可包括具有不同宽度的凹陷1440。例如,如图所示,载体结构1430a包括沿其正面的横向具有第一宽度的凹陷1440a,载体结构1430b包括沿其正面的横向具有第二宽度的凹陷1440b,第二宽度与第一宽度不同。此外,微电子单元1410a内包括的微电子元件1420a具有的宽度,与微电子单元1410b内包括的微电子元件1420b的宽度不同。

[0202] 图21是说明包括复数个微电子单元的堆叠组件的剖面图,微电子单元与参照图12至图19B在上文所描述的微电子单元类似。在所示的实施例中,堆叠组件1500包括复数个微

电子单元1510a、1510b和1510c(统称1510)。堆叠组件1500与上述及图20所示的堆叠组件1400类似,只是堆叠组件1500在穿过载体结构延伸的孔的位置和形状方面不同,在穿过孔延伸的导电通路的形成和形状方面不同,在各微电子单元1510电连接在一起的方法方面不同。

[0203] 不是分别形成穿过每个载体结构的孔,且堆叠组件中相邻微电子单元间的连接不是通过如图20中所示的导电结合材料或导电块,在堆叠组件1500中,竖直堆叠的相邻微电子单元1510内的孔在单个过程中形成,且相邻微电子单元1510中的导电通路在单个过程中电镀。

[0204] 在图21所示的实施例中,微电子单元1510竖直堆叠,然后在单个钻孔操作中钻出穿过各个微电子单元1510a、1510b和1510c的圆柱体形状的孔1550a、1550b和1550c。在特定示例中,孔1550可通过蚀刻或其他适当的工艺过程生成。

[0205] 在形成孔1550后,介电层或区域1552涂敷在各孔1550a、1550b、1550c的内表面1551a、1551b、1551c,或填充各个孔,如果需要,钻出穿过介电层或区域1552的孔隙1553。

[0206] 接下来,单个导电通路1560电镀至相应孔隙1553的内部。导电通路1560穿所有竖直堆叠的微电子单元1510延伸,从而把微电子单元机械连接及电连接在一起。

[0207] 如参照图1A在上文所述,根据处理条件,导电通路1560可形成为实心的或中空的。例如,导电通路1560可通过在使孔1550绝缘的介电层或区域1552上保形电镀而形成,从而具有穿过导电通路1560中心而延伸的内部孔隙。这种内部孔隙可填充介电材料,或可一直打开着。

[0208] 如参照图10和图20在上文所描述的,与堆叠组件1500中的任意其他载体结构的凹陷相比,每个载体结构1530可具有不同宽度的凹陷1540。此外,与堆叠组件1500中任意其他微电子单元中包括的微电子元件相比,每个微电子单元1510可包括具有不同宽度的微电子元件1520。具有同一宽度的载体结构1530的堆叠中,可并入具有各种宽度的微电子元件1520,例如,通过在特定载体结构1530包括不同大小的凹陷,或在特定载体结构1530上应用路径布置不同的迹线,例如,如图20所示。

[0209] 图22是说明根据另一实施例的包括复数个封装芯片的堆叠晶圆级组件的剖面图。如参照图3C在上文所描述的,通过晶圆级制程,各载体结构和各微电子单元同时处理而形成,即当复数个载体结构保持接合在一起,作为晶圆的一部分、或作为整个半导体或金属晶圆时,对复数个载体结构同时进行处理。在微电子单元的制造过程完成后,可沿切割线切割晶圆,以形成单独的封装微电子单元。

[0210] 如图22中所示出的,堆叠晶圆组件1600包括晶圆1608a、1608b、1608c、和1608d(或统称1608)。每个晶圆1608包括复数个微电子单元810(图12),微电子单元810根据参照图12至图17在上文所描述的过程而形成。

[0211] 每个晶圆1608中的每个微电子单元810可与图中竖直方向相邻的微电子单元810通过相对短的电连接而连接,与在常规堆叠布置中的微电子器件之间的较长电连接相比,这可为有利的。如图22所示,通过导电互连元件1614,上方微电子单元810的后导电触点863与下方微电子单元810的端子824电连接。

[0212] 每个导电互连元件1614可与上方微电子单元810的后导电触点863及下方微电子单元810的端子824连接,例如应用如锡或焊料等的结合金属、扩散结合、热压结合、各向异

性导电粘接剂、或任意其他适当的结合手段或材料而连接。在特定实施例中,导电互连元件1614可包含在设置为使上方晶圆1608与下方晶圆1608连接的再分布层(redistribution layer)内。

[0213] 尽管图22中所示的晶圆1608是通过导电互连元件1614而电连接在一起的,在示例性的实施例中,导电互连元件1614可省略。在这样的实施例中,后导电触点863可与端子824直接电连接而无需应用导电互连元件1614,例如,导电触点863和/或端子824为扩展结合垫的形式,且导电触点863与端子824对齐,使得后导电触点与端子彼此面对。

[0214] 在一些实施例中,特定微电子单元810的每个端子(如,位于载体结构830正面831的每个端子824或导电触点862,或位于背面832的每个导电触点863),无需与相邻微电子单元810的相对应的端子连接。

[0215] 晶圆1608a、1608b、1608c、和1608d可堆叠并电连接在一起,如参照图10、图20或图21在上文所述。在晶圆1608连接在一起后,通过沿切割线1612切割以分离堆叠组件而生成单独的堆叠组件1601、1602、1603,切割线1612位于各单独的微电子单元810之间的边界处。

[0216] 如参照图10、图20和图21在上文所述,与其自身堆叠组件中任意其他的载体结构上的凹陷相比较,在特定堆叠组件1601、1602、1603中的每个微电子单元810可包括具有不同宽度的凹陷840。此外,与其自身所在堆叠组件中任意其他的微电子单元中包括的微电子元件相比较,每个微电子单元810可包括具有不同宽度的微电子元件820。

[0217] 制造微电子单元1710的方法将参照图23A至图25而描述。该方法与图2至图7所示及参照图2至图7在上文所描述的方法具有相同的初始步骤,除了完成方法不是通过参照图1A所描述的步骤进行的以外,而是进行下文描述的步骤。

[0218] 现在参照图23A和图24,例如,可应用研磨、抛光或蚀刻过程,以使载体结构30的初始背面32'与微电子元件20的初始底面22'平面化。载体结构30的厚度可从初始厚度T1缩减至厚度T4,微电子元件20的厚度可通过从初始底面22'除去材料而缩减,从而生成的最终底面22更接近微电子元件20的顶面21。例如厚度T1可为约600微米至约1毫米,厚度T4可为约70微米至约200微米。

[0219] 在图23A所示的制造微电子单元1710的阶段的一个变例中,图23B中所示的微电子单元1710'可在研磨、抛光或蚀刻过程进行之前生成。在图23B所示的实施例中,每个孔50'可从正面31穿过载体结构30'延伸至被初始背面32'覆盖的底面34。示出的孔50'具有内凹形状,其中他们在底面34的宽度大于在正面31的宽度。在其他示例中,孔50'可在正面和底面具有相同宽度,或它们可在其正面具有比其底面更大的宽度。

[0220] 在通过研磨、抛光或蚀刻初始背面32'而平面化载体结构30'后,孔50'在背面32上暴露,从而孔完全贯穿载体结构而延伸,如图24所示。在特定示例中,孔可从背面穿过载体结构延伸至被初始正面覆盖的位置,使得在平面化顶面的步骤后,孔在载体结构的顶面上暴露。形成部分地穿过载体结构延伸的孔的步骤,及在平面化步骤中暴露孔的步骤,可对在本文公开的任意载体结构的实施例应用。

[0221] 如图24和图25所示,载体结构30"可生成为,具有从正面31完全贯穿载体结构30"延伸至背面32的开口43,而不是图1A中所示具有在凹陷40底部的内表面的凹陷40。在特定实施例中,载体结构30"可形成为包括开口43的圆环形状,而不是通过研磨、抛光或蚀刻载体结构30的初始背面32'而生成开口43。

[0222] 然后,参照图25,介电层73涂敷至载体结构30的背面32,且在孔50内形成导电通路60。通过介电层或区域(未示出,但以与参照其他实施例在上文所描述的用来沉积介电层的类似方式沉积),每个导电通路60与相对应孔50的内表面51绝缘。

[0223] 然后,形成迹线64和导电触点62、63,以使端子24与导电通路60电连接。在一些实施例中,导电触点62、63和迹线64可与导电通路60在单个无电沉积步骤中形成。在其他实施例中,导电通路60和其他导电元件62、63、64通过各自的无电沉积步骤形成。

[0224] 本文公开的用于形成微电子单元的方法可应用至如单个载体结构的微电子基板,或可同时应用至在固定装置内或在载体上保持限定的间距以同时处理的复数个载体结构。替代地,对于晶圆级、面板级或带级规格上的复数个载体结构,本文公开的方法可应用至包括以晶圆的方式、或晶圆的一部分的方式附接在一起的复数个载体结构的载体结构或元件,以同时进行上述的过程。

[0225] 上述的结构提供了非同寻常的三维互连能力。这些能力可用于任意类型的芯片。仅以示例的方式说明,芯片的下面的组合可包括在如上文所述的结构中:(I)处理器及与该处理器一起使用的存储器;(II)相同类型的复数个存储器芯片;(III)不同类型的复数个存储器芯片,如DRAM(动态随机存储器)和SRAM(静态存储器);(IV)图像传感器和用于处理来自于传感器的图像的图像处理器;(V)专用集成电路(“ASIC”)和存储器。

[0226] 上述的结构可在不同的电子系统的构造中利用。例如,根据本发明进一步实施例的系统1800包括如上文所述的结构1806与其他电子元器件1808和1810联合。在描述的示例中,元器件1808为半导体芯片,而元器件1810为显示屏,但任意其他元器件都可使用。当然,尽管为清楚图示起见,在图26中只描述了两个附加元器件,系统可包括任意数量这样的元器件。如上文所述的结构1806可为,例如,上文所述的与图1A或图1B相关的微电子单元,或如参照图10在上文所描述的并入复数个微电子单元的结构。在另一变例中,二者都可提供,且任意数量的这种结构都可应用。

[0227] 结构1806和元器件1808、1810都安装至以虚线示意性地描述的共同壳体1801内,且必要时彼此电互连以形成所需的电路。在所示的示例性系统中,系统包括如柔性印刷电路板等的电路板1802,且电路板包括使元器件之间彼此互连的大量导电体1804,其中在图26中只示出了一个。但是,这只是示例,任意适当的用于形成电连接的结构都可应用。

[0228] 外壳1801作为便携式外壳而描述,具有用于如移动电话或个人数字助理等的类型,显示屏1810暴露在外壳的表面。其中结构1806包括如成像芯片等的光敏元件,还可配置镜头1811或其他光学器件,以提供光至结构的路线。同样,图26内所示的简化系统只是示例,其他系统,包括一般被视为固定结构的系统,如台式计算机、路由器及类似的结构,都可应用上述的结构而制成。

[0229] 本文公开的通路或通路导电体可通过以下专利申请中非常详细描述的过程而形成,如在共同待决、共同转让的专利申请号为12/842612、12/842651、12/842669、12/842692和12/842717,申请日都为2010年7月23日的美国专利申请中,及在申请公开号为2008/0246136的已公开的美国专利申请中,其公开的内容通过援引加入本文。

[0230] 尽管本发明参照特定实施例进行描述,可以理解的是,这些实施例只是说明本发明的原理和应用。因此,应理解为,在不偏离由附加的权利要求书所限定的本发明实质和范围的情况下,说明的实施例可做出许多修改及可设计出其他布置。

[0231] 可是理解的是,各从属权利要求及其阐述的特征可以与存在于最初权利要求书中的不同的方式组合。也可理解的是,与单个实施例结合进行描述的特征可与其他已描述的实施例共用。

[0232] 工业实用性

[0233] 本发明享有广泛的工业实用性,包括但不限于,微电子单元和制造微电子单元的方法。

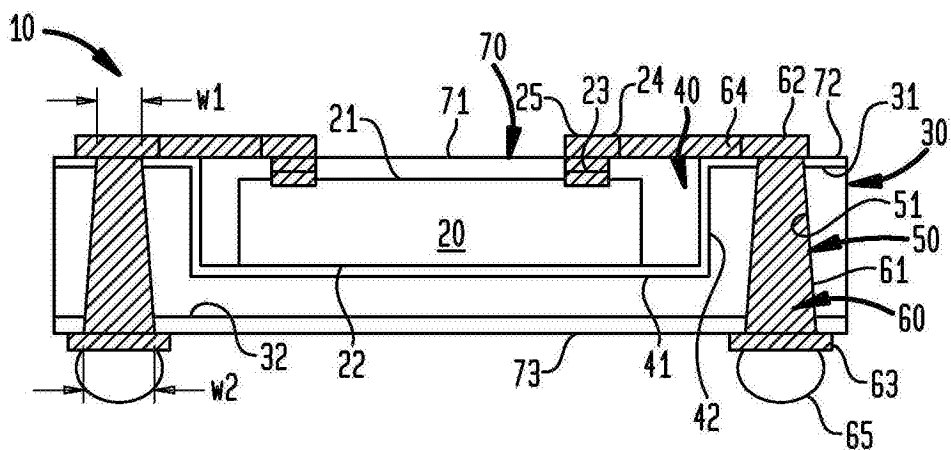


图1A

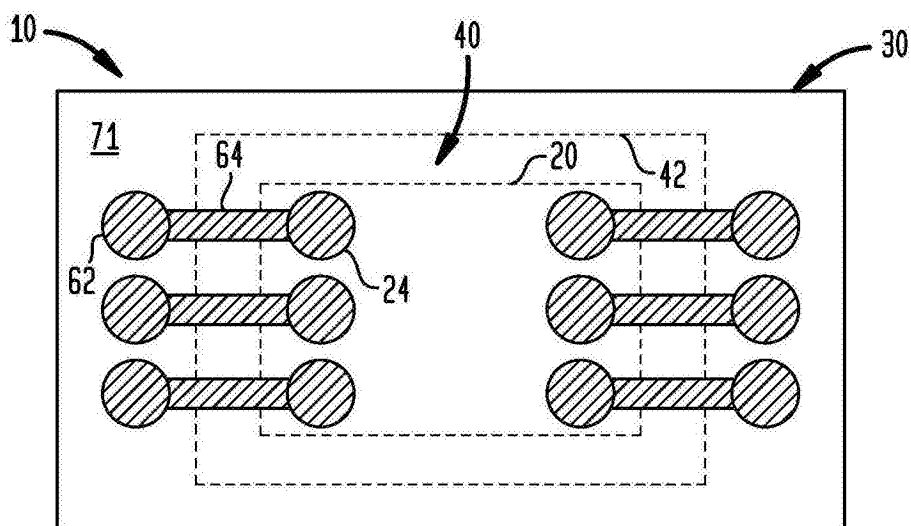


图1B

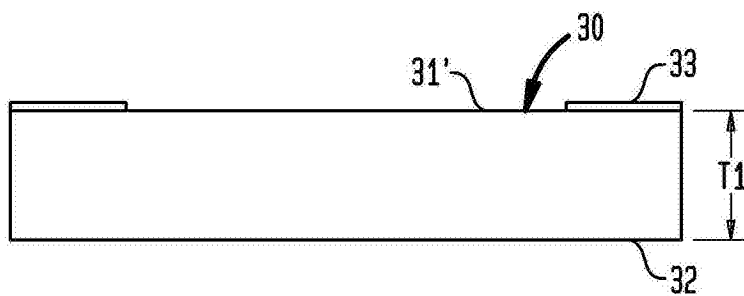


图2

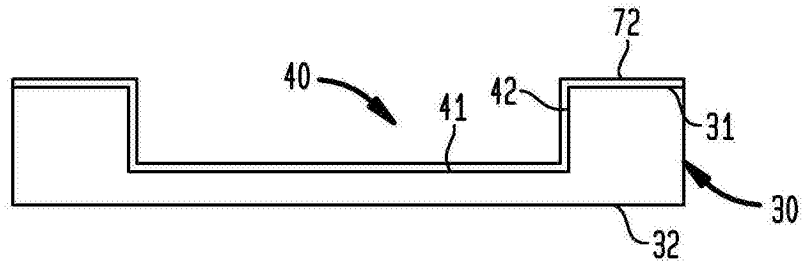


图3A

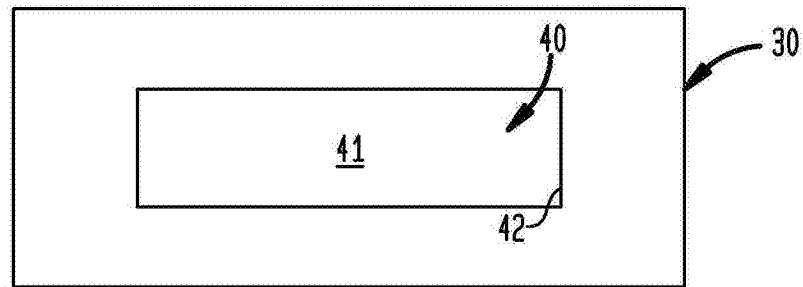


图3B

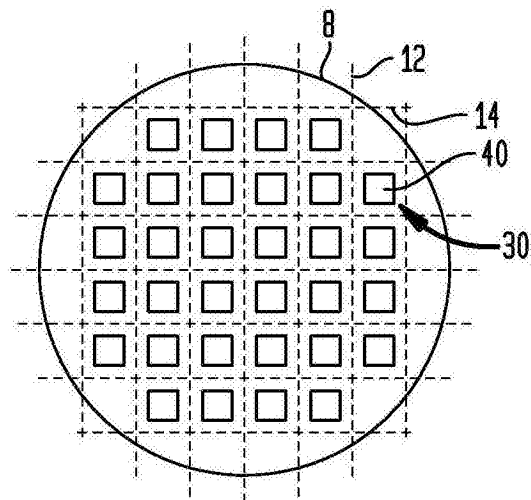


图3C

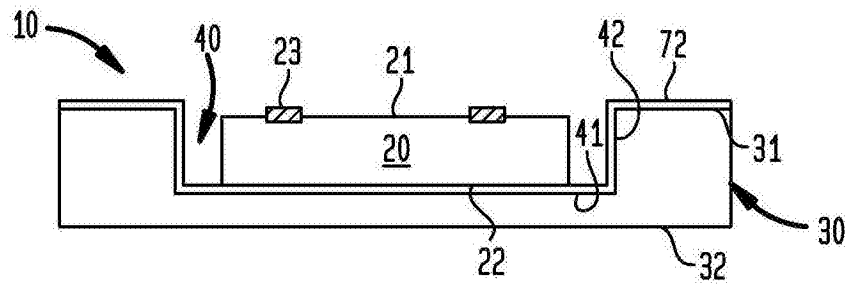


图4

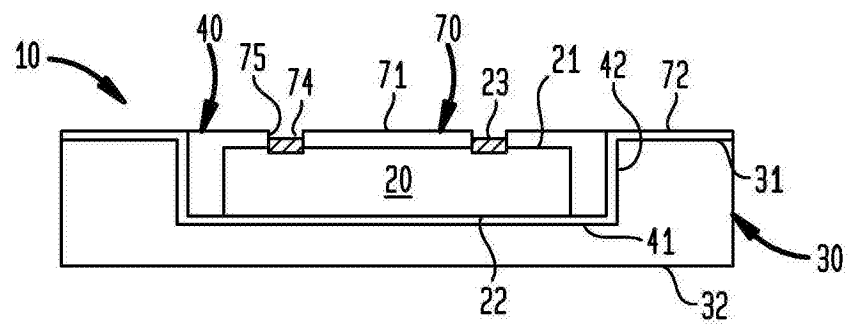


图5

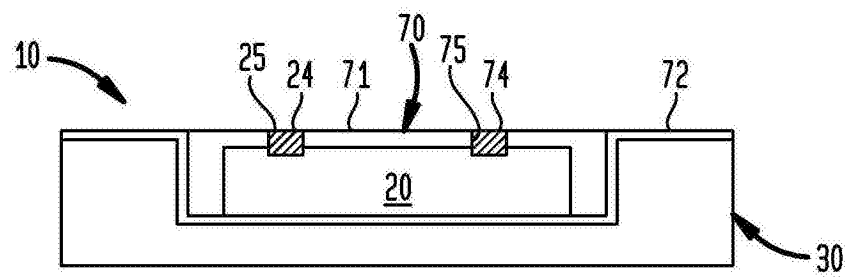


图6A

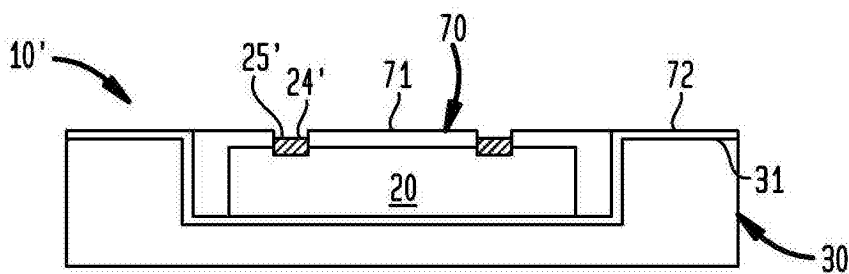


图6B

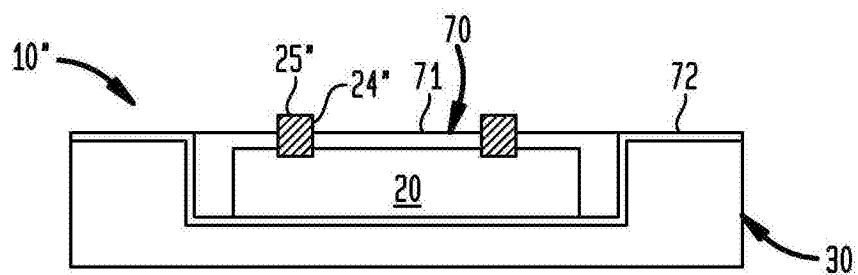


图6C

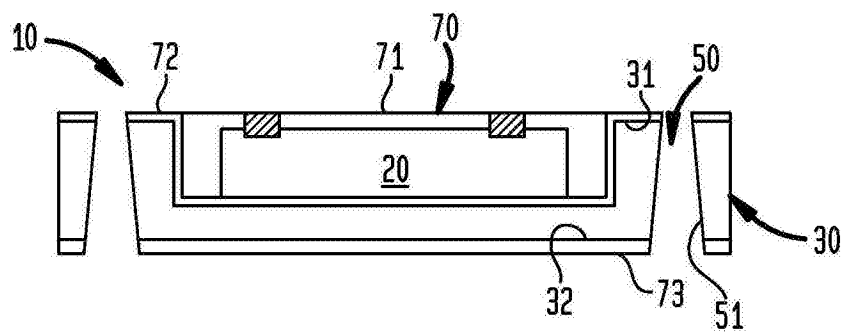


图7

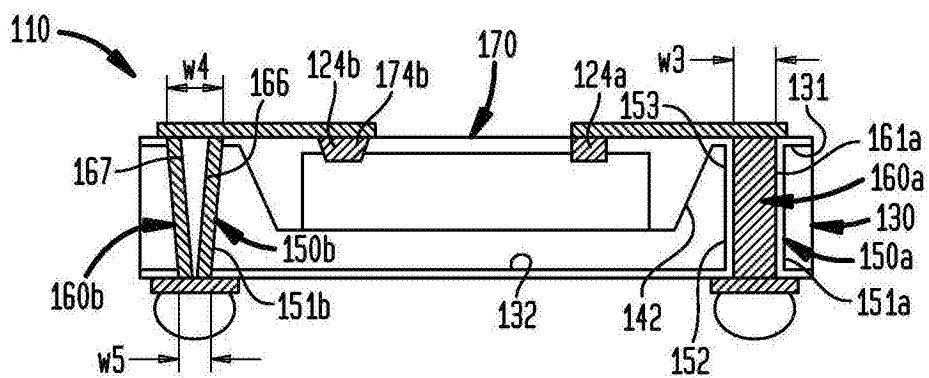


图8A

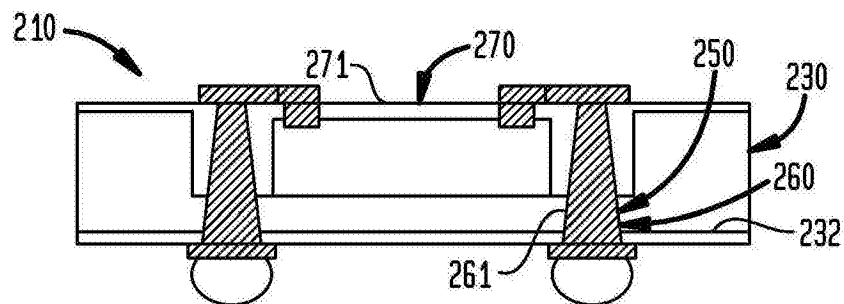


图8B

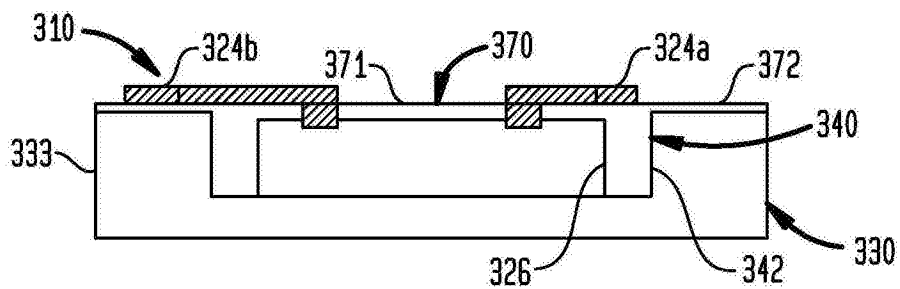


图9A

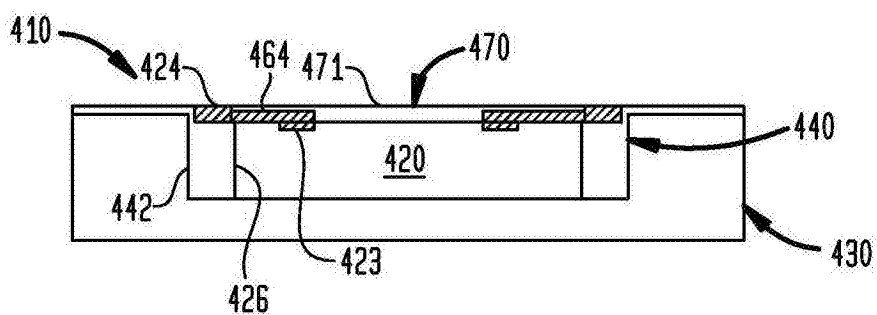


图9B

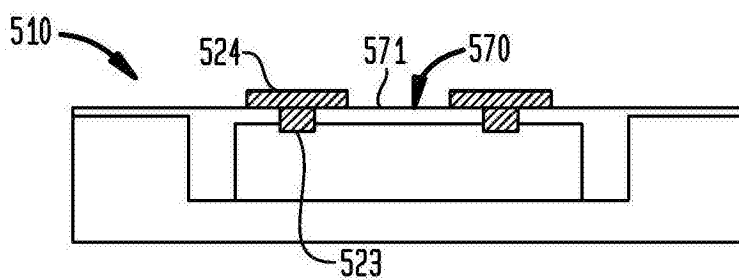


图9C

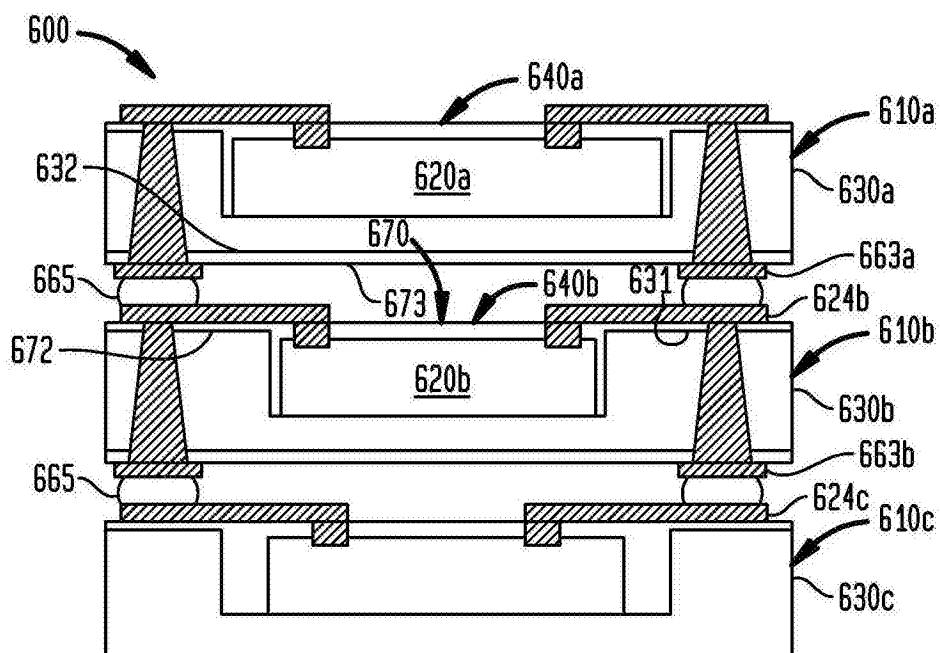


图10

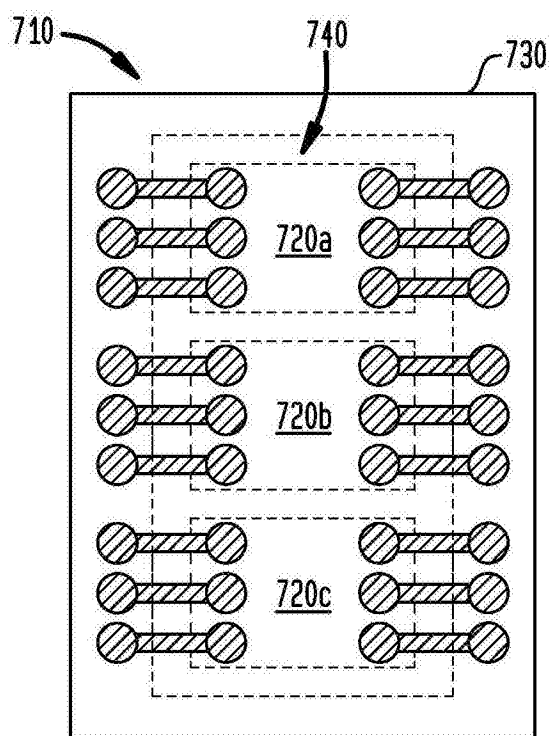


图11A

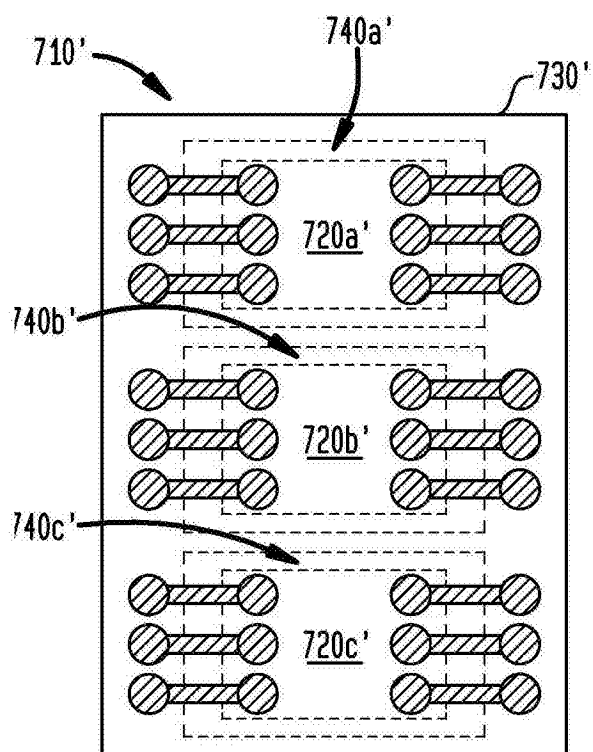


图11B

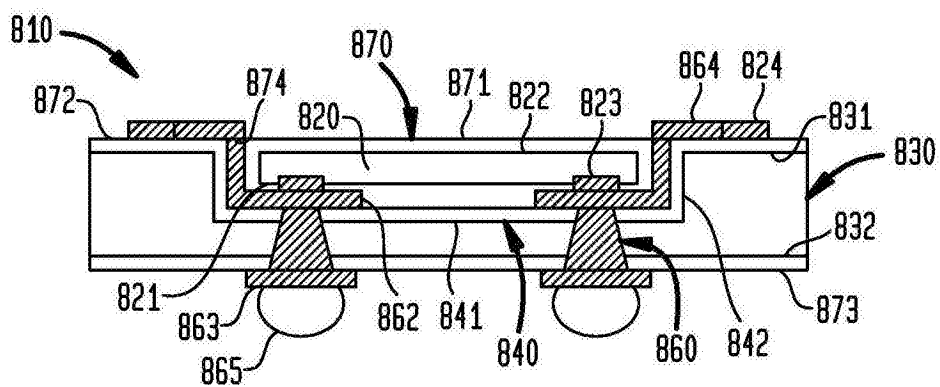


图12

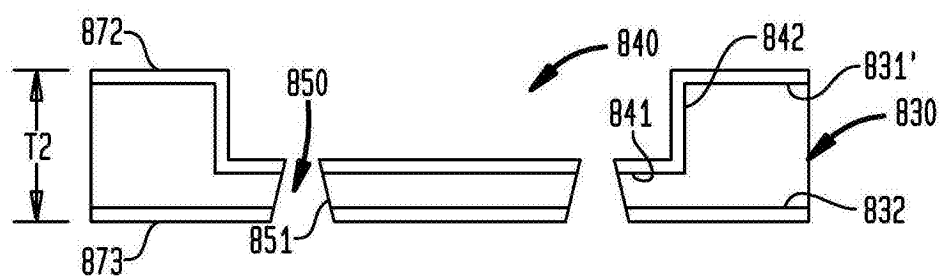


图13

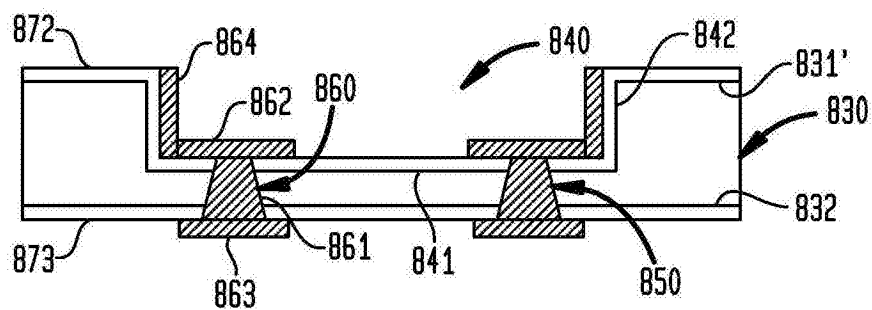


图14

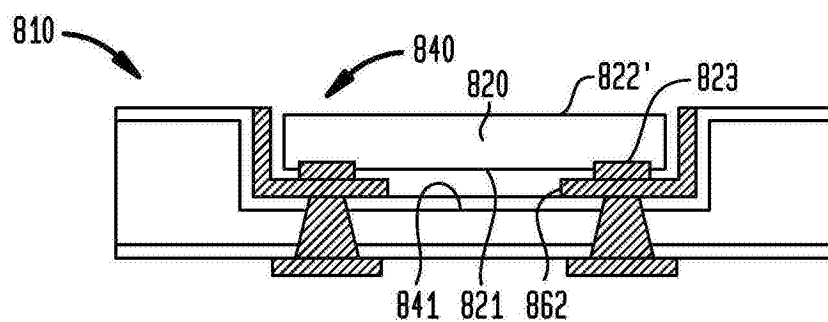


图15

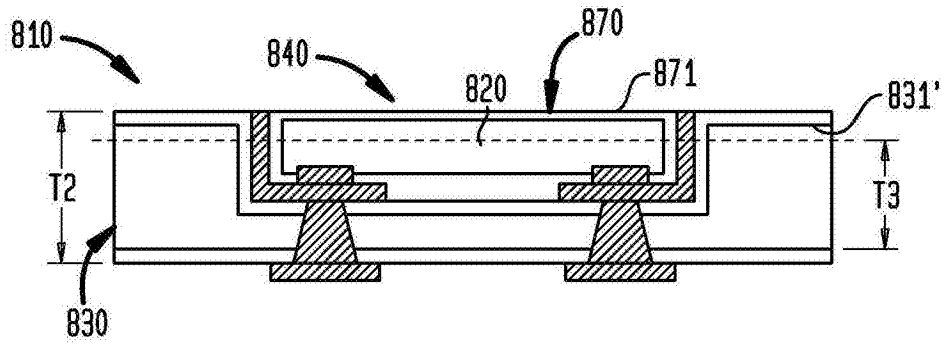


图16

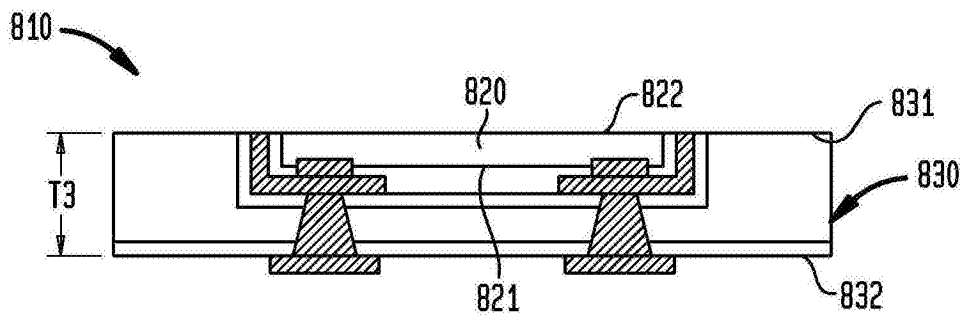


图17

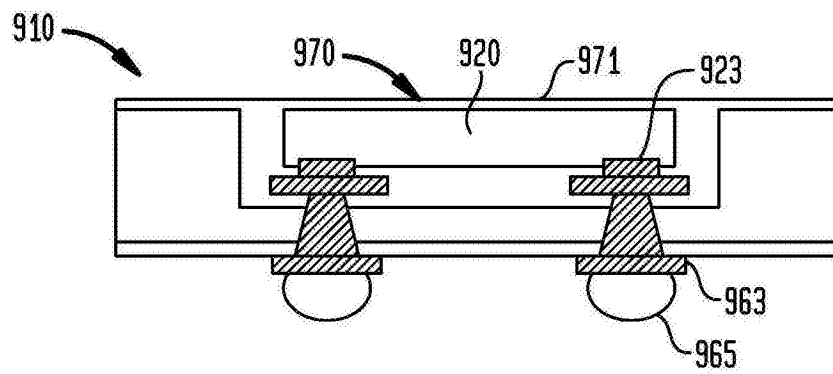


图18A

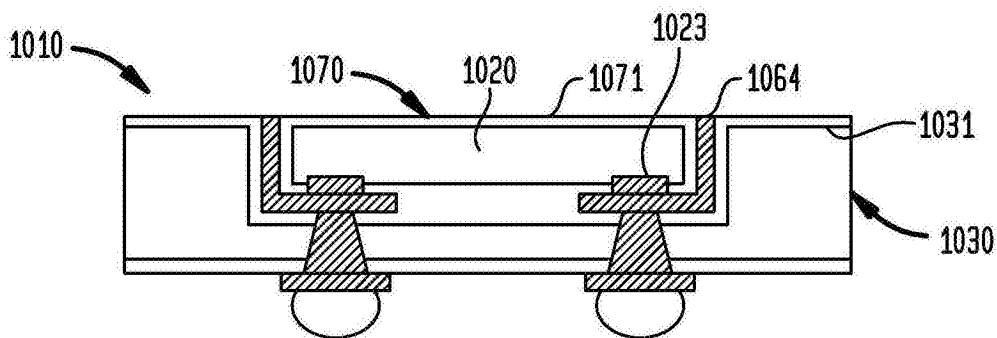


图18B

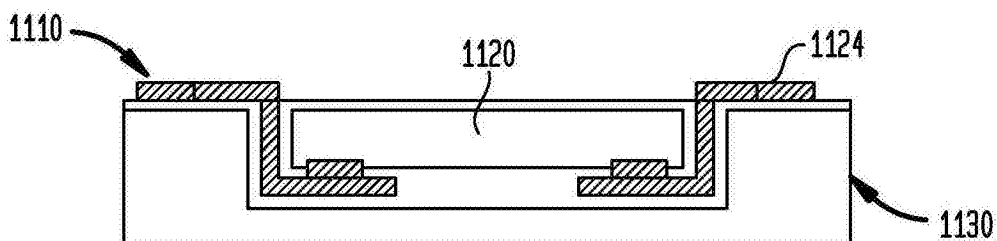


图18C

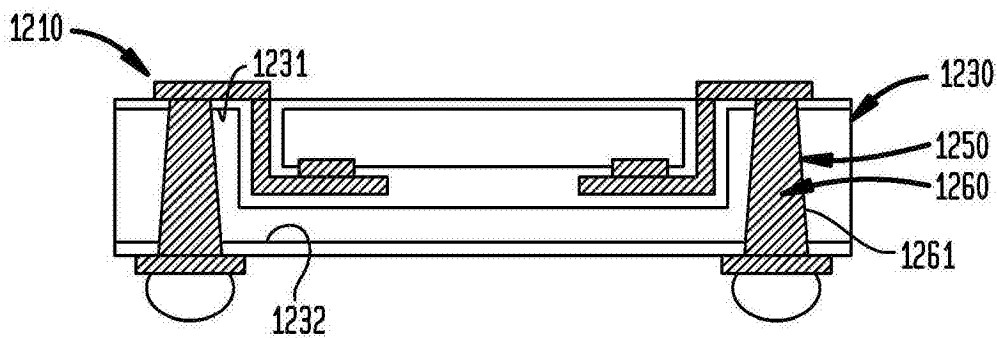


图19A

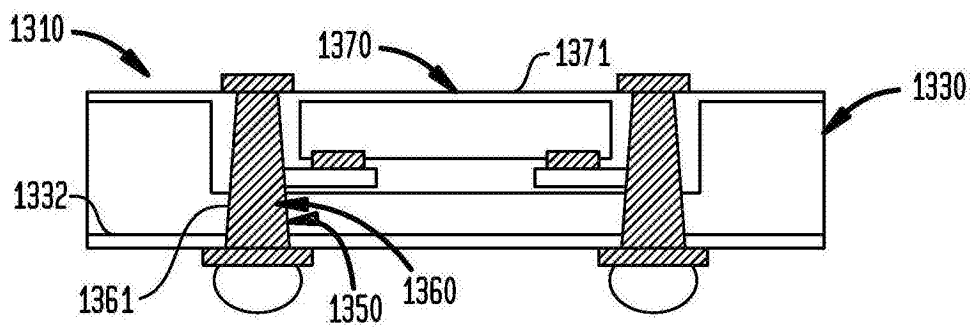


图19B

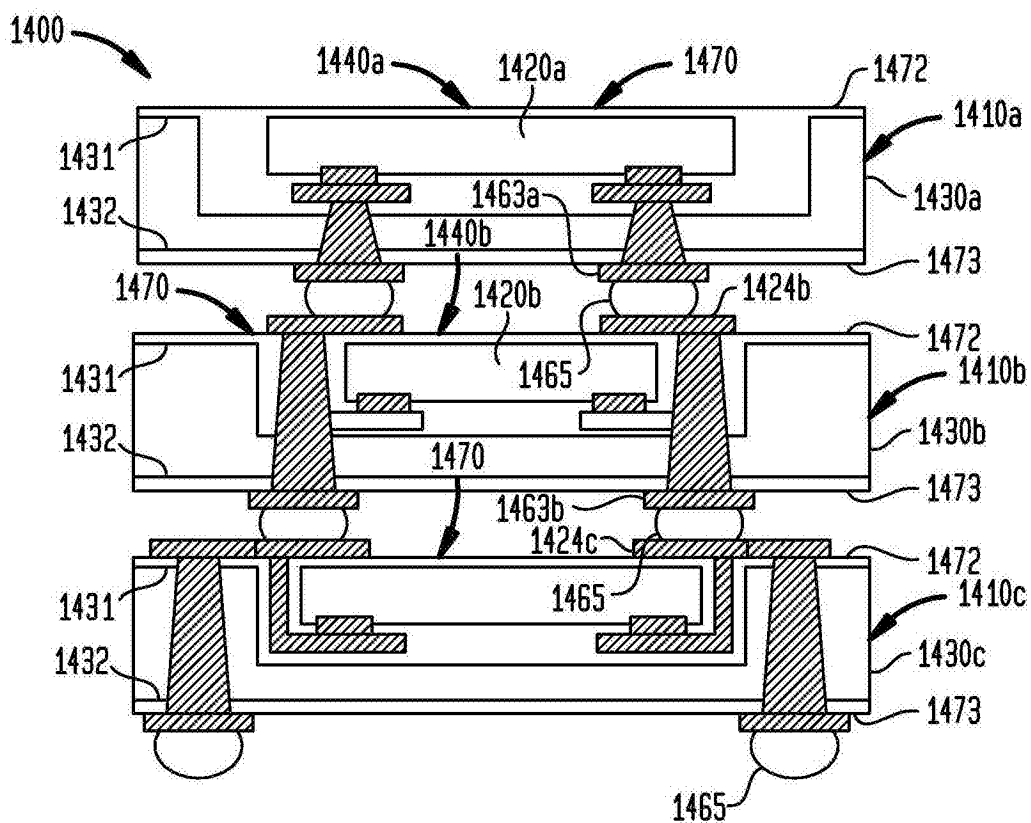


图20

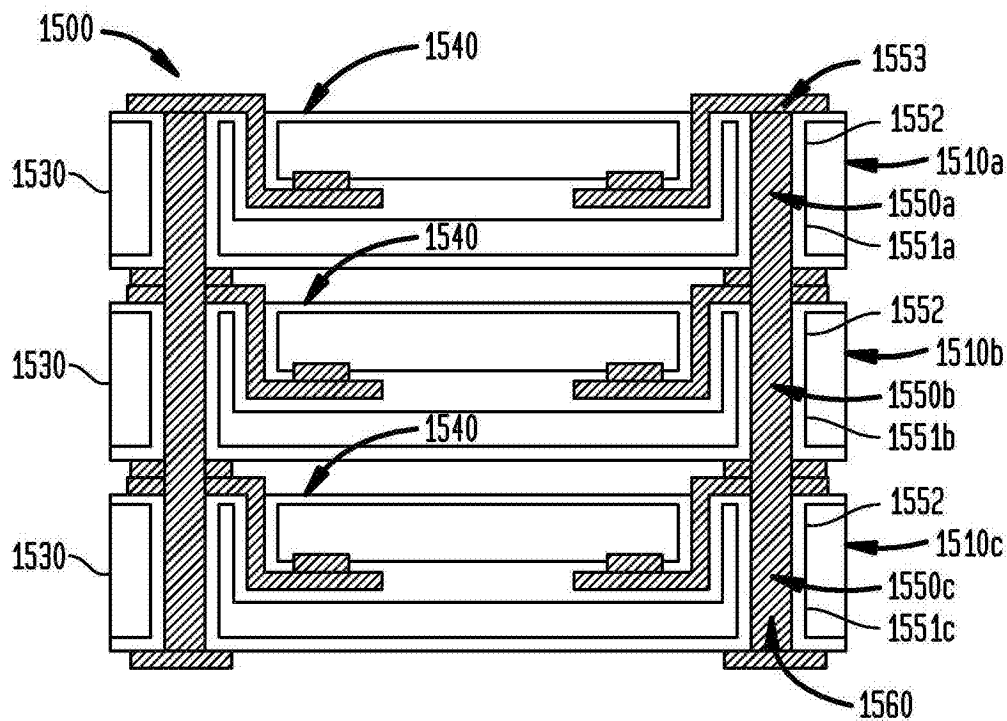


图21

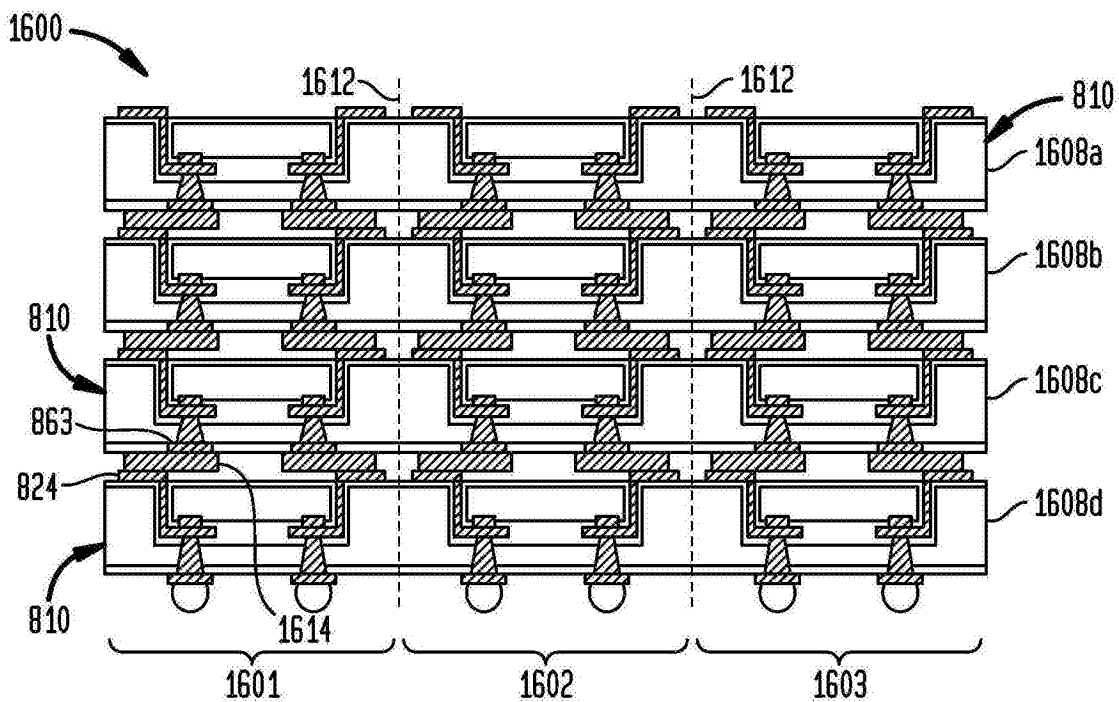


图22

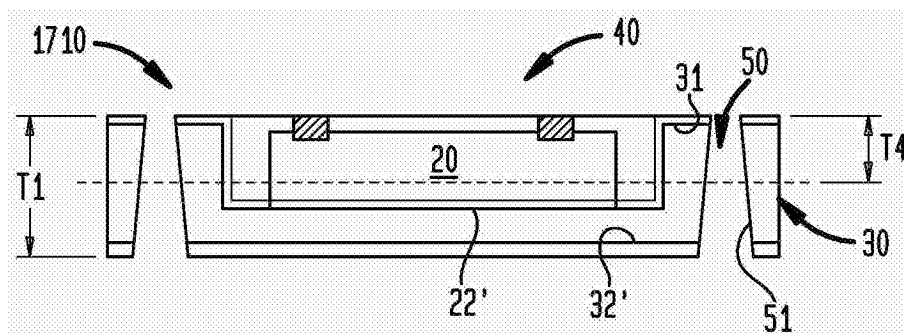


图23A

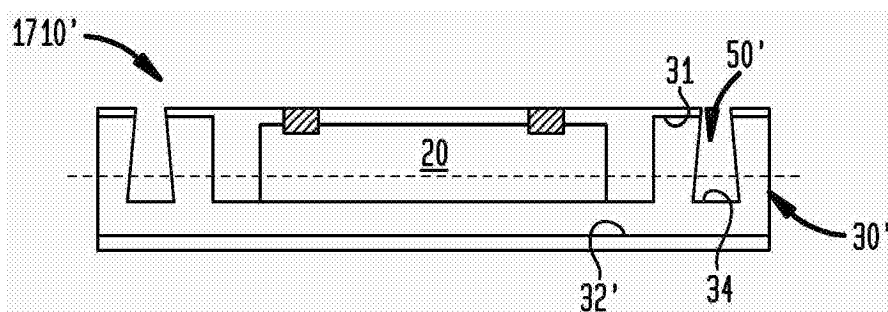


图23B

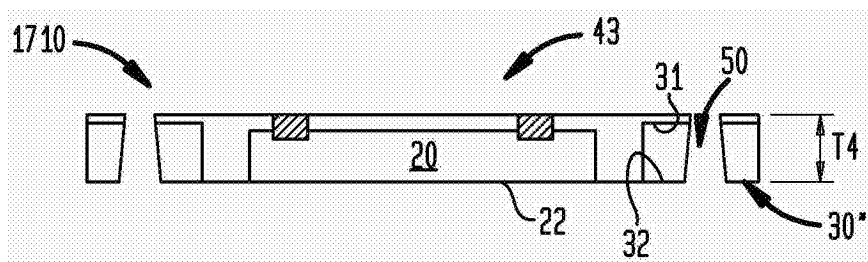


图24

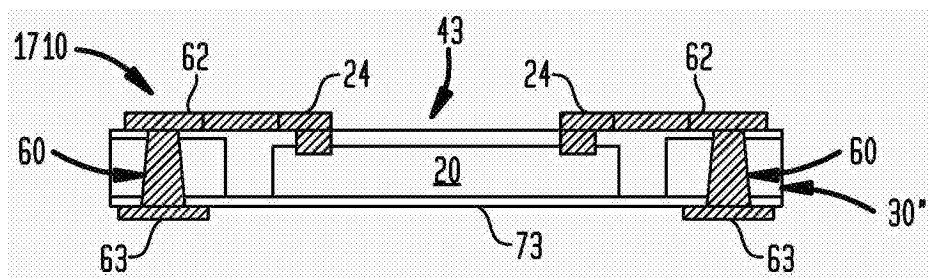


图25

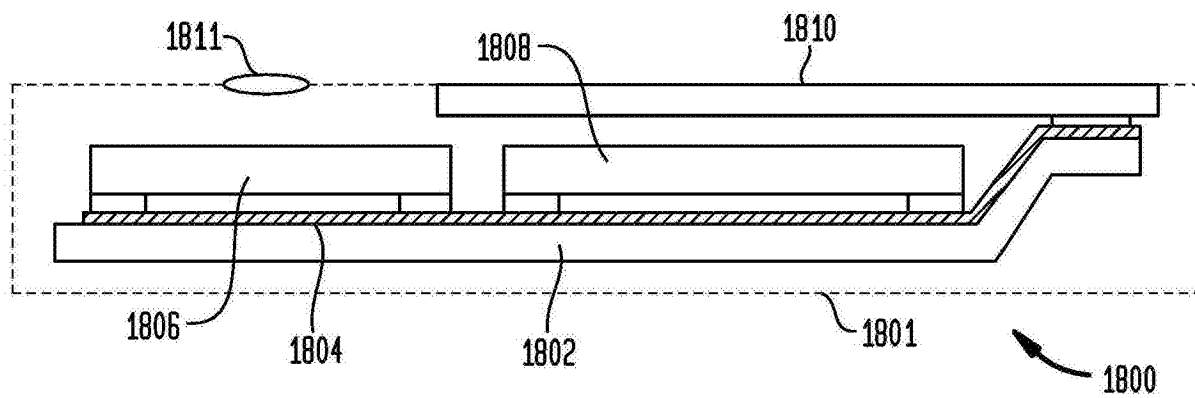


图26