



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201013679 A1

(43) 公開日：中華民國 99 (2010) 年 04 月 01 日

(21) 申請案號：098126503

(22) 申請日：中華民國 98 (2009) 年 08 月 06 日

(51) Int. Cl. :

G11C16/06 (2006.01)

G11C7/22 (2006.01)

(30) 優先權：2008/09/23 美國 61/099,240

2009/06/10 美國 12/481,764

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDiatek INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：陳宏慶 CHEN, HONG CHING (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：23 項 圖式數：13 共 70 頁

(54) 名稱

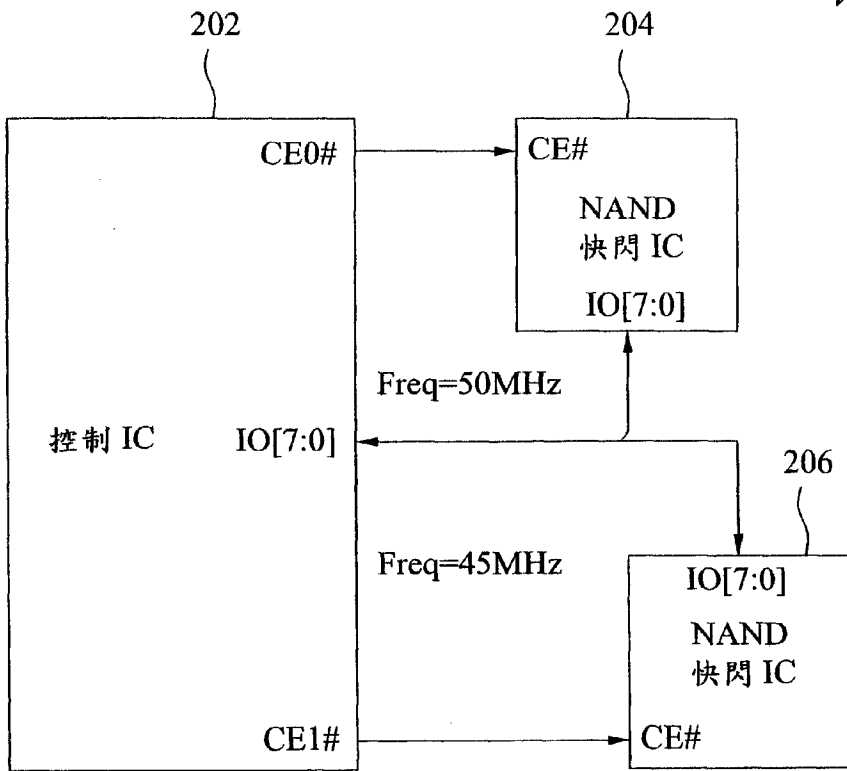
快閃裝置以及提高快閃裝置性能的方法

FLASH DEVICE AND METHOD FOR IMPROVING PERFORMANCE OF FLASH DEVICE

(57) 摘要

快閃裝置以及提高快閃裝置性能的方法。其中，快閃裝置包括：一控制積體電路，以第一時序產生多個第一存取信號以存取一第一非與快閃積體電路，並且以第二時序產生多個第二存取信號以存取一第二非與快閃積體電路，其中所述第一時序與所述第二時序不同；所述第一非與快閃積體電路，根據所述第一存取信號存取其內所儲存的資料；以及所述第二非與快閃積體電路，根據所述第二存取信號存取其內所儲存的資料。本發明所提供的快閃裝置可以提高不同非與快閃積體電路的性能。

- 200 : 快閃裝置
- 202 : 控制 IC
- 204 : NAND 快閃 IC
- 206 : NAND 快閃 IC





(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201013679 A1

(43) 公開日：中華民國 99 (2010) 年 04 月 01 日

(21) 申請案號：098126503

(22) 申請日：中華民國 98 (2009) 年 08 月 06 日

(51) Int. Cl. :

G11C16/06 (2006.01)

G11C7/22 (2006.01)

(30) 優先權：2008/09/23 美國 61/099,240

2009/06/10 美國 12/481,764

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDiatek INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：陳宏慶 CHEN, HONG CHING (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：23 項 圖式數：13 共 70 頁

(54) 名稱

快閃裝置以及提高快閃裝置性能的方法

FLASH DEVICE AND METHOD FOR IMPROVING PERFORMANCE OF FLASH DEVICE

(57) 摘要

快閃裝置以及提高快閃裝置性能的方法。其中，快閃裝置包括：一控制積體電路，以第一時序產生多個第一存取信號以存取一第一非與快閃積體電路，並且以第二時序產生多個第二存取信號以存取一第二非與快閃積體電路，其中所述第一時序與所述第二時序不同；所述第一非與快閃積體電路，根據所述第一存取信號存取其內所儲存的資料；以及所述第二非與快閃積體電路，根據所述第二存取信號存取其內所儲存的資料。本發明所提供的快閃裝置可以提高不同非與快閃積體電路的性能。

六、發明說明：

【發明所屬之技術領域】

本發明涉及快閃記憶體(flash memory)，尤其涉及快閃裝置以及提高快閃裝置性能的方法。

【先前技術】

快閃記憶體為非揮發(non-volatile)記憶體，其可被電子抹除並重新規劃(reprogram)。主要應用快閃記憶體於記憶卡與 USB 快閃裝置(Device)中，用於電腦與其他數位產品之間的資料的通常儲存與傳輸。快閃記憶體的コスト比電子可抹除可程式化唯讀記憶體(Electrically Erasable Programmable Read Only Memory, EEPROM)的コスト低很多，所以快閃記憶體已成為主流記憶體裝置。快閃記憶體的應用包括個人數位助理(Personal Digital Assistant, PDA)與膝上型電腦、數位聲訊播放機、數位攝影機以及行動電話。

快閃裝置包括控制積體電路(從這以後稱為控制 IC)與至少一個快閃積體電路(從這以後稱為快閃 IC)。快閃 IC 儲存資料，且控制 IC 發送存取信號至快閃 IC 以指導快閃 IC 存取資料。請參考第 1A 圖，第 1A 圖為非與(NAND)快閃積體電路(從這以後稱為 NAND 快閃 IC) 100 的方塊示意圖。NAND 快閃 IC100 包括輸入/輸出(I/O)控制電路 102、I/O 電路 104、控制核心電路 106、頁緩衝器 108 以及快閃核心電路 110。I/O 控制電路 102 從控制 IC (圖未示)接收多個存取信號。在一個實施例中，存取信號包括晶片

致能信號 CE#、命令鎖存(latch)致能信號 CLE、位址鎖存致能信號 ALE、寫入致能信號 WE#以及讀取致能信號 RE#。I/O 電路 104 接著根據 I/O 控制電路 102 的指令，鎖存住由控制 IC 發送的控制命令 CMD 與位址，並指示快閃核心電路 110 根據已鎖存位址存取儲存的資料。將從快閃核心電路 110 輸出的資料儲存於頁緩衝器 108 中並接著傳輸至 I/O 電路 104，且 I/O 電路 104 經由 I/O 匯流排（例如匯流排 I/O[7:0]）將資料發送至控制 IC。第 1B 圖與第 1C 圖分別為存取信號 CE#、CLE、ALE 以及 WE#的時序圖，I/O 匯流排指示 NAND 快閃 IC 100 從控制 IC 接收命令與位址。第 1D 圖為存取信號 CE#、CLE、ALE、WE#以及 I/O 匯流排的時序圖，I/O 匯流排指示 NAND 快閃 IC 100 接收寫入的資料。第 1E 圖為存取信號 CE#、CLE、ALE、WE#以及 I/O 匯流排的時序圖，I/O 匯流排指示快閃 IC 100 讀取寫入的資料。

快閃裝置的控制 IC 可控制不止一個 NAND 快閃 IC 的資料存取。不同的 NAND 快閃 IC 可具有不同的走線(routing)長度與不同的走線負載，因此需要不同的存取時序(access timing)。不同 NAND 快閃 IC 的性能因此而降低。所以需要一種快閃裝置以克服前述困難。

【發明內容】

為了提高不同非與快閃積體電路的性能，本發明提供一種快閃裝置。

一種快閃裝置，包括：一控制積體電路，以第一時序

產生多個第一存取信號以存取一第一非與快閃積體電路，並且以第二時序產生多個第二存取信號以存取一第二非與快閃積體電路，其中所述第一時序與所述第二時序不同；所述第一非與快閃積體電路，根據所述第一存取信號存取其內所儲存的資料；以及所述第二非與快閃積體電路，根據所述第二存取信號存取其內所儲存的資料。

一種提高快閃裝置性能的方法，其中所述快閃裝置包括一控制積體電路、一第一非與快閃積體電路以及一第二非與快閃積體電路，所述方法包括：指示所述控制積體電路以第一時序產生多個第一存取信號，以存取所述第一非與快閃積體電路；根據所述第一存取信號指示所述第一非與快閃積體電路以存取其內所儲存的資料；指示所述控制積體電路以第二時序產生多個第二存取信號，以存取所述第二非與快閃積體電路；以及根據所述第二存取信號指示所述第二非與快閃積體電路以存取其內所儲存的資料；其中所述第一時序與所述第二時序不同。

一種快閃裝置，包括：一控制積體電路，產生多個第一存取信號以存取一第一非與快閃積體電路，並且產生多個第二存取信號以存取一第二非與快閃積體電路；所述第一非與快閃積體電路，自動調整所述第一存取信號的第一時序以獲得多個第一已調整存取信號，並且根據所述多個第一已調整存取信號存取儲存的資料；以及所述第二非與快閃積體電路，自動調整所述第二存取信號的第二時序以獲得多個第二已調整存取信號，並且根據所述多個第二已調整存取信號存取儲存的資料。

一種快閃裝置，包括：一控制積體電路，以一第一電流位準產生多個第一存取信號以存取一第一非與快閃積體電路，並且以一第二電流位準產生多個第二存取信號以存取一第二非與快閃積體電路，其中所述第一電流位準與所述第二電流位準不同；所述第一非與快閃積體電路，根據所述第一存取信號存取其內所儲存的資料；以及所述第二非與快閃積體電路，根據所述第二存取信號存取其內所儲存的資料。

本發明所提供的快閃裝置可以提高不同非與快閃積體電路的性能。

以下係根據多個圖式對本發明之較佳實施例進行詳細描述，本領域習知技藝者閱讀後應可明確了解本發明之目的。

【實施方式】

為了讓本發明之目的、特徵、及優點能更明顯易懂，下文特舉較佳實施例做詳細之說明。實施例是為說明本發明之用，並非用以限制本發明。本發明的保護範圍以所附申請專利範圍為準。

第 2 圖為根據本發明一實施例的快閃裝置 200 的方塊示意圖。快閃裝置 200 包括控制積體電路(control IC)202、第一 NAND 快閃積體電路（如 NAND 快閃 IC204）以及第二 NAND 快閃積體電路（如 NAND 快閃 IC 206）。控制 IC 202 控制兩個 NAND 快閃 IC 204 與 206。NAND 快閃 IC 204 與 206 的輸入/輸出接腳都經由相同的 I/O 匯流排耦接

於控制 IC 202 的輸入/輸出接腳。當控制 IC 202 存取 NAND 快閃 IC 204 與 206 其中之一時，控制 IC 202 調整 IO 匯流排的存取週期以適應相對的 NAND 快閃 IC 204 與 206。因此根據不同的存取頻率存取 NAND 快閃 IC 204 與 206。在一個實施例中，可根據更高的存取頻率（第一時序，例如 50MHz）存取 NAND 快閃 IC 204，且可根據更低的存取頻率（第二時序，例如 45MHz）存取 NAND 快閃 IC 206。因此，控制 IC 202 經由 I/O 匯流排將具有更短週期的多個存取信號（可稱為第一存取信號）發送至 NAND 快閃 IC 204 以存取 NAND 快閃 IC 204，並經由 I/O 匯流排將具有更長週期的多個存取信號（可稱為第二存取信號）發送至 NAND 快閃 IC 206 以存取 NAND 快閃 IC 206。

第 3A 圖為根據本發明另一實施例的快閃裝置 300 的方塊示意圖。快閃裝置 300 包括控制 IC 302 以及兩個 NAND 快閃 IC 304 與 306。當資料寫入 NAND 快閃 IC 304 與 306 時，控制 IC 302 將第一寫入致能信號（如寫入致能信號 WE0#）與第二寫入致能信號（如寫入致能信號 WE1#）分別發送至 NAND 快閃 IC 304 與 306，以指示 NAND 快閃 IC 304 與 306 寫入資料。當從 NAND 快閃 IC 304 與 306 讀取資料時，控制 IC 302 將第一讀取致能信號（如讀取致能信號 RE0#）與第二讀取致能信號（如讀取致能信號 RE1#）分別發送至 NAND 快閃 IC 304 與 306，以指示 NAND 快閃 IC 304 與 306 讀取資料。因為 NAND 快閃 IC 304 與 306 具有不同的存取時序特性，所以控制 IC 302 以第一寫入時序產生相對於 NAND 快閃 IC 304 的寫入致能信號

WE0#並以第二寫入時序產生相對於 NAND 快閃 IC 306 的寫入致能信號 WE1#，其中，第一寫入時序與第二寫入時序不同。因此 NAND 快閃 IC 304 與 306 具有不同的寫入時序。另外，控制 IC 302 以第一讀取時序產生相對於 NAND 快閃 IC 304 的讀取致能信號 RE0#並以第二讀取時序產生相對於 NAND 快閃 IC 306 的讀取致能信號 RE1#，其中，第一讀取時序與第二讀取時序不同。因此 NAND 快閃 IC 304 與 306 具有不同的讀取時序。

第 3B 圖為根據本發明一實施例第 3A 圖中的控制 IC 302 的方塊示意圖。控制 IC 302 包括數位電路 312、晶片致能(Chip Enable, CE)解碼器 314 以及第一、第二、第三、第四可調延遲單元（如可調延遲單元 322、可調延遲單元 324、可調延遲單元 326 以及可調延遲單元 328，並且在圖中可調延遲單元由 Adj.Delay 標示）。當存取第 3A 圖中 NAND 快閃 IC 304 時，CE 解碼器 314 致能晶片致能信號 CE0#，並當存取 NAND 快閃 IC 306 時致能晶片致能信號 CE1#。當資料寫入 NAND 快閃 IC 304 時，數位電路 312 產生第一寫入致能源信號（如寫入致能源信號 WE0_SRC）。可調延遲單元 324 接著將寫入致能源信號 WE0_SRC 延遲一個第一寫入延遲週期（如寫入延遲週期 WE_DLY_CE0），以產生寫入致能信號 WE0#發送至 NAND 快閃 IC 304。當資料寫入 NAND 快閃 IC 306 時，數位電路 312 產生第二寫入致能源信號（如寫入致能源信號 WE1_SRC）。可調延遲單元 322 接著將寫入致能源信號 WE1_SRC 延遲一個第二寫入延遲週期（如寫入延遲週期

WE_DLY_CE1)，以產生寫入致能信號 WE1# 發送至 NAND 快閃 IC 306。因為寫入延遲週期 WE_DLY_CE0 與寫入延遲週期 WE_DLY_CE1 不同，所以根據不同的寫入時序寫入 NAND 快閃 IC 304 與 306。

當從 NAND 快閃 IC 304 讀取資料時，數位電路 312 產生第一讀取致能源信號（如讀取致能源信號 RE0_SRC）。可調延遲單元 328 接著將讀取致能源信號 RE0_SRC 延遲一個第一讀取延遲週期（如讀取延遲週期 RE_DLY_CE0），以產生讀取致能信號 RE0# 發送至 NAND 快閃 IC 304。當從 NAND 快閃 IC 306 讀取資料時，數位電路 312 產生讀取致能源信號 RE1_SRC。可調延遲單元 326 接著將讀取致能源信號 RE1_SRC 延遲一個第二讀取延遲週期（如讀取延遲週期 RE_DLY_CE1），以產生第二讀取致能信號（如讀取致能信號 RE1#）發送至 NAND 快閃 IC 306。因為讀取延遲週期 RE_DLY_CE0 與讀取延遲週期 RE_DLY_CE1 不同，所以根據不同的讀取時序讀取 NAND 快閃 IC 304 與 306。

第 4A 圖為根據本發明另一實施例的快閃裝置 400 的方塊示意圖。快閃裝置 400 包括控制 IC 402 以及兩個 NAND 快閃 IC 404 與 406。當將資料寫入至 NAND 快閃 IC 404 與 406 時，控制 IC 402 發送寫入致能信號 WE# 至 NAND 快閃 IC 404 與 406，以指示 NAND 快閃 IC 404 與 406 寫入資料。因為 NAND 快閃 IC 404 與 406 具有不同的存取時序特性，所以控制 IC 402 根據不同的寫入時序產生寫入致能信號 WE# 並將寫入致能信號 WE# 發送至 NAND 快閃 IC 404

與 NAND 快閃 IC 406。因此 NAND 快閃 IC 404 與 406 具有不同的寫入時序。當從 NAND 快閃 IC 404 與 406 讀取資料時，控制 IC 402 發送讀取致能信號 RE# 至 NAND 快閃 IC 404 與 406，以指示 NAND 快閃 IC 404 與 406 讀取資料。類似的，控制 IC 402 產生讀取致能信號 RE#，根據不同的讀取時序將 RE# 發送至 NAND 快閃 IC 404 與 NAND 快閃 IC 406。因此 NAND 快閃 IC 404 與 406 具有不同的讀取時序。

第 4B 圖為根據本發明一實施例第 4A 圖中控制 IC 402 的方塊示意圖。控制 IC 402 包括數位電路 412、多工器 422 與 424 以及兩個可調延遲單元 426 與 428。數位電路 412 產生晶片選擇信號 CE_SEL 以指示當前存取 NAND 快閃 IC 404 還是 NAND 快閃 IC 406。控制 IC 402 包括 CE 解碼器 414，CE 解碼器 414 致能晶片致能信號 CE0# 與致能晶片致能信號 CE1#。當寫入資料至 NAND 快閃 IC 404 與 406 其中之一時，數位電路 412 產生寫入致能源信號 WE_SRC。接著，第一多工器（如多工器 422）根據晶片選擇信號 CE_SEL 從相對於 NAND 快閃 IC 404 的寫入延遲週期 WE_DLY_CE0 與相對於 NAND 快閃 IC 406 的寫入延遲週期 WE_DLY_CE1 中選擇寫入延遲週期。接著，可調延遲單元 426 將寫入致能源信號 WE_SRC 延遲寫入延遲週期，以產生寫入致能信號 WE# 以發送至 NAND 快閃 IC 404 與 406 其中之一，其中所述寫入延遲週期由多工器 422 輸出。因為寫入延遲週期 WE_DLY_CE0 與寫入延遲週期 WE_DLY_CE1 不同，所以根據不同的寫入時序寫入 NAND

快閃 IC 404 與 406。

當從 NAND 快閃 IC 404 與 406 其中之一讀取資料時，數位電路 412 產生讀取致能源信號 RE_SRC。接著，第二多工器（如多工器 424）根據晶片選擇信號 CE_SEL 從相對於 NAND 快閃 404 的讀取延遲週期 RE_DLY_CE0 與相對於 NAND 快閃 406 的讀取延遲週期 RE_DLY_CE1 中選擇讀取延遲週期。接著，可調延遲單元 428 將讀取致能源信號 RE_SRC 延遲讀取延遲週期，以產生讀取讀取致能信號 RE# 發送至 NAND 快閃 IC 404 與 406 其中之一，其中，所述讀取延遲週期由多工器 424 輸出。因為讀取延遲週期 RE_DLY_CE0 與讀取延遲週期 RE_DLY_CE1 不同，所以根據不同的讀取時序讀取 NAND 快閃 IC404 與 406。

第 5A 圖為根據本發明另一實施例的快閃裝置 500 的方塊示意圖。快閃裝置 500 包括控制 IC 502 以及兩個 NAND 快閃 IC 504 與 506。控制 IC 502 經由相同的 I/O 匯流排將資料輸出至 NAND 快閃 IC 504 與 506，並經由相同的 I/O 匯流排從 NAND 快閃 IC 504 與 506 接收資料。因為 NAND 快閃 IC 504 與 506 具有不同的存取時序特性，所以控制 IC 502 根據不同的資料輸出時序將資料輸出至 NAND 快閃 IC 504 與 506，且控制 IC 502 根據不同的資料輸入時序從 NAND 快閃 IC 504 與 NAND 快閃 IC 506 輸入資料，其中，控制 IC 根據第一資料輸出時序將資料輸出至第一 NAND 快閃 IC，根據第二資料輸出時序將資料輸出至第二 NAND 快閃 IC，控制 IC 根據第一資料輸入時序從第一 NAND 快閃 IC 讀取資料，根據第二資料輸入時序從第二 NAND 快

閃 IC 讀取資料，控制 IC 調整資料的輸入時序。

第 5B 圖為根據本發明一實施例的第 5A 圖中的控制 IC 502 的方塊示意圖。控制 IC 502 包括數位電路 512、兩個多工器 522 與 532、兩個可變延遲單元 524 與 534 以及兩個鎖存電路(Latch/DFF)526 與 536。控制 IC 502 包括 CE 解碼器 514，CE 解碼器 514 致能晶片致能信號 CE0#與致能晶片致能信號 CE1#。數位電路 512 產生晶片選擇信號 CE_SEL 以指示當前存取 NAND 快閃 IC 504 還是 NAND 快閃 IC 506。當將資料輸出至 NAND 快閃 IC 504 與 506 其中之一時，數位電路 512 產生輸出資料信號 OBUS_LAT 與多個承載輸出資料的輸出資料源信號 OBUS[7:0]。接著，多工器 532 根據晶片選擇信號 CE_SEL 從相對於 NAND 快閃 IC 504 的第一輸出資料延遲週期（如輸出資料延遲週期 OBUS_DLY_CE0）與相對於 NAND 快閃 IC 506 的第二輸出資料延遲週期（如輸出延遲週期 OBUS_DLY_CE1）中選擇輸出資料延遲週期。接著，可調延遲單元 534 將輸出資料鎖存信號 OBUS_LAT 延遲輸出資料延遲週期，以獲得已調整輸出資料鎖存信號，其中，所述輸出資料延遲週期由多工器 532 輸出，並且第一鎖存電路（如鎖存電路 536）接著根據已調整輸出資料鎖存信號，鎖存住所述輸出資料源信號 OBUS[7:0]，以獲得多個輸出資料信號 IO_OUT [7:0] 並經由 I/O 匯流排將多個輸出資料信號 IO_OUT [7:0] 發送至 NAND 快閃 IC 504 與 506 其中之一。因為輸出資料延遲週期 OBUS_DLY_CE0 與輸出資料延遲週期 OBUS_DLY_CE1 不同，所以 NAND 快閃 IC 504 與 506 根

據不同的資料輸出時序接收資料輸出。

當從 NAND 快閃 IC 504 與 506 其中之一接收資料時，數位電路 512 產生輸入資料鎖存信號 IBUS_LAT。接著，多工器 522 根據晶片選擇信號 CE_SEL 從相對於 NAND 快閃 IC 504 的第一輸入資料延遲週期（如輸入資料延遲週期 IBUS_DLY_CE0）與相對於 NAND 快閃 IC 506 的第二輸入資料延遲週期（如輸入延遲週期 IBUS_DLY_CE1）中選擇輸入資料延遲週期。接著，可調延遲單元 524 將輸入資料鎖存信號 IBUS_LAT 延遲輸入資料延遲週期，以獲得已調整輸入資料鎖存信號，其中，所述輸入資料延遲週期由多工器 522 輸出。當 NAND 快閃 IC 504 與 506 其中之一將多個承載輸入資料的輸入資料信號 IO_IN [7:0] 經由 I/O 匯流排發送至控制 IC 502 時，第二鎖存電路（如鎖存電路 526）根據已調整輸入資料鎖存信號，鎖存住所述輸入資料信號 IO_IN [7:0]，以獲得多個輸入資料源信號 IBUS[7:0] 並將多個輸入資料源信號 IBUS[7:0] 發送至數位電路 512。因為輸入資料延遲週期 IBUS_DLY_CE0 與輸入資料延遲週期 IBUS_DLY_CE1 不同，所以控制 IC 502 可接收由 NAND 快閃 IC 504 與 506 以不同資料輸入時序產生的資料。

第 6A 圖為根據本發明一實施例的輸出延遲電路 600 的示意圖，輸出延遲電路 600 將由第 5B 圖中數位電路 512 產生的多個輸出資料源信號 OBUS[7:0] 延遲輸出資料延遲週期，以獲得輸出資料信號 IO_OUT [7:0] 並將輸出資料信號 IO_OUT [7:0] 發送至 NAND 快閃 IC 504 與 506 其中之一。第 6A 圖中所示多工器 602、可調延遲單元 604 以及鎖

存電路 606 分別相對於第 5B 圖中所示多工器 532、可調延遲單元 534 以及鎖存電路 536。然而，輸出延遲電路 600 並不能將不同輸出資料源信號 $OBUS[7:0]$ 延遲不同的輸出資料延遲週期。

第 6B 圖為根據本發明另一實施例的輸出延遲電路 610 的示意圖，輸出延遲電路 610 將由第 5B 圖中的數位電路 512 產生的不同輸出資料源信號 $OBUS[0] \sim OBUS[7]$ 延遲不同的輸出資料延遲週期，以獲得輸出資料信號 $IO_OUT[0] \sim IO_OUT[7]$ 並將輸出資料信號 $IO_OUT[0] \sim IO_OUT[7]$ 發送至 NAND 快閃 IC 504 與 506 其中之一。舉例來說，相對於輸出資料源信號 $OBUS[0]$ 的多工器 612a 根據由數位電路 512 產生的晶片選擇信號 CE_SEL 從相對於 NAND 快閃 IC 504 的值 $OBUS_DLY_B0_CE0$ 與相對於 NAND 快閃 IC 506 的值 $OBUS_DLY_B1_CE1$ 中選擇輸出資料延遲週期。接著，可調延遲單元 614a 將輸出資料源信號 $OBUS[0]$ 延遲輸出資料延遲週期，以獲得輸出資料信號 $IO_OUT[0]$ 並將輸出資料信號 $IO_OUT[0]$ 發送至 NAND 快閃 IC 504 或 506，其中，輸出資料延遲週期由多工器 612a 輸出。因為相對於不同輸出資料源信號 $OBUS[0] \sim OBUS[7]$ 的輸出資料延遲週期可獨立指配，所以第 6B 圖中所示輸出延遲電路 610 可補償輸出資料源信號 $OBUS[0] \sim OBUS[7]$ 的匯流排偏移(skew)。輸出延遲電路 610 包括多工器 612a-612h 以及可調延遲單元 614a-614h。

第 6C 圖為根據本發明另一實施例的輸出延遲電路

650 的示意圖，輸出延遲電路 650 將由第 5B 圖中數位電路 512 產生的多個輸出資料源信號 $OBUS[7:0]$ 延遲不同的輸出資料延遲，以獲得輸出資料信號 $IO_OUT[0] \sim IO_OUT[7]$ 並將輸出資料信號 $IO_OUT[0] \sim IO_OUT[7]$ 發送至 NAND 快閃 IC 504 與 506 其中之一。輸出延遲電路 650 為輸出延遲電路 600 與 610 的結合。圖中左側部份電路包括多工器 632、可調延遲單元 634 以及鎖存電路 636，左側部份電路與輸出延遲電路 600 類似，將輸出資料源信號 $OBUS[7:0]$ 延遲一共同 (common) 延遲週期以獲得信號 $OBUS_OUT[0] \sim OBUS_OUT[7]$ ，圖中右側部份電路包括多個第一多工器（如多工器 622a~622h）以及多個第一可調延遲單元（如可調延遲單元 624a~624h），可調延遲單元 624a~624h 與輸出延遲電路 610 類似，右側部份電路將延遲信號 $OBUS_OUT[0] \sim OBUS_OUT[7]$ 延遲不同的延遲週期，以獲得輸出資料信號 $IO_OUT[0] \sim IO_OUT[7]$ 。

第 7A 圖、第 7B 圖以及第 7C 圖分別為根據本發明實施例的輸入延遲電路 700、710 以及 750 的示意圖，延遲電路 700、710 以及 750 將由 NAND 快閃 IC 504 或 506 產生的多個輸入資料信號 $IO_IN[7:0]$ 延遲輸入資料延遲週期，以獲得輸入資料源信號 $IBUS [7:0]$ ，且輸入資料源信號 $IBUS [7:0]$ 由第 5B 圖中數位電路 512 接收。多工器 712a~712h 稱為多個第二多工器，可調延遲單元 714a~714h 稱為多個第二可調延遲單元。輸入延遲電路 700、710 以及 750 的實施例分別相對於第 6A 圖、第 6B 圖以及第 6C 圖中的輸出延遲電路 600、610 以及 650。輸入延遲電路 700

包括多工器 702、可調延遲單元 704 以及鎖存電路 706。延遲電路 710 包括多工器 712a~712h 以及可調延遲單元 714a~714h。第 7C 圖中包括多工器 732、可調延遲單元 734 以及鎖存電路 736。延遲電路 750 包括可調延遲單元 724a~724h 以及多工器 722a~722h。

第 8A 圖為根據本發明另一實施例的快閃裝置 800 的方塊示意圖。快閃裝置 800 包括控制 IC 802 以及兩個 NAND 快閃 IC 804 與 806。控制 IC 802 根據不同寫入時序發送寫入致能信號 WE# 至 NAND 快閃 IC 804 與 806，並根據不同讀取時序發送讀取致能信號 RE# 至 NAND 快閃 IC 804 與 806。另外，IO 匯流排以不同資料輸入/輸出時序在控制 IC 802 與 NAND 快閃 IC 804 與 806 其中之一之間傳輸資料，且根據不同資料輸入/輸出時序存取 NAND 快閃 IC 804 與 806 其中之一。

第 8B 圖為根據本發明一實施例的第 8A 圖中控制 IC 802 的方塊示意圖。實際上，第 8B 圖中的控制 IC 802 是將第 4B 圖中的控制 IC 402 與第 5B 圖中的控制 IC 502 結合。控制 IC 802 包括 CE 解碼器 814，CE 解碼器 814 致能晶片致能信號 CE0# 與致能晶片致能信號 CE1#。多工器 822 與 824 以及可調延遲單元 826 與 828 分別相對於第 4B 圖中的多工器 422 與 424 以及可調延遲單元 426 與 428。多工器 832 與 842、可調延遲單元 834 與 844 以及鎖存電路 836 與 846 分別相對於第 5B 圖中的多工器 522 與 532、可調延遲單元 524 與 534 以及鎖存電路 526 與 536。控制 IC 802 包括數位電路 812。

第 9A 圖為根據本發明另一實施例的快閃裝置 900 的方塊示意圖。快閃裝置 900 包括控制 IC 902 以及兩個 NAND 快閃 IC 904 與 906。當控制 IC 902 發送寫入致能信號 WE# 或讀取致能信號 RE# 至 NAND 快閃 IC 904 或 906 時，NAND 快閃 IC 904 與 906 自動調整寫入致能信號 WE# 或讀取致能信號 RE# 的時序，以獲得已調整寫入致能信號或已調整讀取致能信號，並且接著根據已調整寫入致能信號或已調整讀取致能信號存取儲存的資料。另外，當 NAND 快閃 IC 904 與 906 從控制 IC 902 接收輸入資料信號或發送輸出資料信號至控制 IC 902 時，NAND 快閃 IC 904 與 906 自動調整輸入資料信號或輸出資料信號的時序。

第 9B 圖為根據本發明一實施例的第 9A 圖中 NAND 快閃 IC 904 或 906 的方塊示意圖。NAND 快閃 IC 904 包括快閃核心電路 914。可調延遲單元 922 與 924 分別將寫入致能信號 WE# 與讀取致能信號 RE# 延遲寫入延遲週期 WE_DLY 與讀取延遲週期 RE_DLY，以獲得已調整寫入致能信號與已調整讀取致能信號並將已調整寫入致能信號與已調整讀取致能信號發送至 I/O 控制電路 912。可調延遲單元 932 與 942 分別將有 I/O 控制電路 912 產生的延遲輸入鎖存信號與輸出所處信號延遲輸入資料延遲週期 IBUS_DLY 與輸出資料延遲週期 OBUS_DLY，以獲得已調整輸入鎖存信號與已調整輸出鎖存信號，並且鎖存電路 934 與 944 接著根據已調整輸入鎖存信號與已調整輸出鎖存信號，分別鎖存住所述輸入資料與輸出資料。

第 10A 圖為根據本發明另一實施例的快閃裝置 1000

的方塊示意圖。快閃裝置 1000 包括控制 IC1002 以及兩個 NAND 快閃 IC 1004 與 1006。當控制 IC 1002 發送寫入致能信號 WE#或讀取致能信號 RE#至 NAND 快閃 IC 1004 或 1006 時，控制 IC 1002 根據當前存取的 NAND 快閃 IC 1004 或 NAND 快閃 IC 1006 自動調整寫入致能信號 WE#或讀取致能信號 RE#的電流位準。另外，當控制 IC 1002 傳輸輸出資料信號至 NAND 快閃 IC 1004 與 1006 或從 NAND 快閃 IC 1004 與 1006 接收輸入資料信號時，控制 IC 1002 根據當前存取的 NAND 快閃 IC 1004 或 NAND 快閃 IC 1006 自動調整輸入資料信號或輸出資料信號的電流位準。

第 10B 圖為根據本發明一實施例的第 10A 圖中的控制 IC 1002 的方塊示意圖。控制 IC 1002 包括數位電路 1012 與 CE 解碼器 1014，CE 解碼器 1014 致能晶片致能信號 CE0# 與致能晶片致能信號 CE1#。多工器 1022 與 1026 根據晶片選擇信號 CE_SEL 分別決定寫入致能信號 WE#與讀取致能信號 RE#的驅動電流位準，並且匯流排電流驅動器 (8mA/16mA PAD)1024 與匯流排電流驅動器 (8mA/16mA PAD)1028 根據由多工器 1002 與 1026 決定的驅動電流位準分別產生寫入致能信號 WE#與讀取致能信號 RE#。類似的，多工器 1032 根據晶片選擇信號 CE_SEL 決定 I/O 匯流排 I/O[7:0] 驅動電流位準用於傳輸輸出資料或接收輸入資料，並且匯流排電流驅動器 1034 根據由多工器 1032 決定的驅動電流位準分別驅動 I/O 匯流排 I/O[7:0]。

第 11A 圖、第 11B 圖以及第 11C 圖為根據本發明三個實施例的可調延遲單元 1100、1120 以及 1140 的方塊示

意圖。第 11A 圖中可調延遲單元 1100 由三級延遲元件 (cell) 組成。可調延遲單元 1100 包括選擇單元 1111、1112 以及 1113，以及延遲元件 1101~1104、1105~1106、以及 1107。延遲元件 1101~1104、1105~1106、以及 1107 分別將輸入信號延遲四個時脈週期 (clock cycles)、兩個時脈週期以及一個時脈週期。選擇信號 SEL[0]~SEL[2] 決定輸入信號 IN 是否能夠通過延遲元件 1101~1104、1105~1106、以及 1107。因此輸出信號 OUT 具有由選擇信號 SEL[0]~SEL[2] 決定的不同延遲週期。第 11B 圖中可調延遲單元 1120 由三級 D 型正反器 (D-type Flip-Flop, DFF) 組成。可調延遲單元 1120 包括選擇單元 1131、1132 以及 1133，以及 DFF 1121、DFF 1122、DFF 1123 以及 DFF 1124。DFF 1121、DFF 1122、DFF 1123 以及 DFF 1124 根據參考時脈信號 DLY_REF_CK 鎖存輸入信號，其中，參考時脈信號 DLY_REF_CK 的頻率高於 NAND 快閃 IC 的操作時脈信號的頻率。選擇信號 SEL[0]~SEL[2] 決定輸入信號 IN 是否能夠通過 DFF 1121、DFF 1122、DFF 1123 以及 DFF 1124。因此，輸出信號 OUT 具有由選擇信號 SEL[0]~SEL[2] 決定的不同延遲週期。第 11C 圖中的可調延遲單元 1140 包括多工器 1142 與 DFF 1144。第 11D 圖中的四個參考時脈 REF_PH0_CK ~ REF_PH3_CK 具有不同的相位。多工器 1142 從四個參考時脈 REF_PH0_CK ~ REF_PH3_CK 中選擇一個參考時脈，DFF 1144 根據由多工器 1142 選擇的參考時脈鎖存輸入信號 IN，以獲得輸出信號 OUT。

第 3B 圖、第 4B 圖、第 5B 圖以及第 8B 圖中的控制

IC 根據存取的 NAND 快閃 IC 將寫入致能信號、讀取輸入信號或輸入/輸出資料信號延遲不同的延遲週期。存取 NAND 快閃 IC 的信號的延遲週期值可藉由線上校準處理 (on-line calibration process) 或離線校準處理 (off-line calibration process) 決定。為了決定相對於目標 NAND 快閃 IC 的寫入延遲週期，首先以不同測試寫入延遲週期將測試資料寫入至目標 NAND 快閃 IC 的頁緩衝器。接著從目標 NAND 快閃 IC 的頁緩衝器讀回 (read back) 測試資料，以決定測試寫入延遲週期中之何者可使目標 NAND 快閃 IC 具有最好的性能。為了決定相對於目標 NAND 快閃 IC 的讀取延遲週期，首先將測試資料寫入至目標 NAND 快閃 IC 的頁緩衝器，接著從具有不同測試讀取延遲週期的目標 NAND 快閃 IC 的頁緩衝器讀回測試資料，以決定測試讀取延遲週期中之何者可使目標 NAND 快閃 IC 具有最好的性能。

在一個實施例中，當從目標 NAND 快閃 IC 讀取資料時，根據過取樣 (over-sampling) 時脈信號取樣目標 NAND 快閃 IC 的 I/O 接腳上的電壓，並從過取樣結果檢測其轉變位置作為決定適合於目標 NAND 快閃 IC 的延遲週期的參考，其中，過取樣時脈信號的頻率高於目標 NAND 快閃 IC 的操作時脈信號。第 12A 圖、第 12B 圖、第 12D 圖、第 12E 圖以及第 12G 圖為根據本發明五個實施例的過取樣電路 1200、1210、1220、1240 以及 1250 的方塊示意圖，過取樣電路 1200、1210、1220、1240 以及 1250 過取樣 NAND 快閃 IC 的 IO 接腳。第 12A 圖中過取樣電路 1200 包括四

個 DFF 1202~1208，DFF 1202~1208 根據過取樣時脈信號取樣輸入信號以獲得過取樣結果。第 12B 圖中過取樣電路包括四個 DFF 1212~1218，DFF 1212~1218 根據過取樣時脈信號 REF_PH0_CK~REF_PH3_CK 取樣輸入信號以獲得過取樣結果，其中，過取樣時脈信號 REF_PH0_CK~REF_PH3_CK 具有第 12C 圖中所示的不同相位。

第 12D 圖中過取樣電路 1220 包括延遲元件 1222~1228 以及 DFF 1232~1238，其中延遲元件 1222~1228 連續延遲輸入信號 IO_IN 以獲得由不同週期延遲的信號，並且 DFF 1232~1238 根據過取樣時脈信號 ref-clk 取樣已延遲信號，以獲得過取樣結果。第 12E 圖中過取樣電路 1240 包括邊緣檢測器(edge detector)1241 以及四個 DFF 1242~1248，其中，邊緣檢測器 1241 從輸入信號 IO_IN 檢測轉變邊緣以獲得邊緣信號，DFF 1242~1248 根據過取樣時脈信號 REF_PH0_CK~REF_PH3_CK 分別取樣邊緣信號以獲得過取樣結果，其中過取樣時脈信號 REF_PH0_CK~REF_PH3_CK 具有第 12F 圖中所示的不同相位。另外，第 12G 圖顯示兩種獲得適當的 I/O 匯流排存取時序的方法。第一種方法為第 12G 圖左側所示的延遲鎖相迴路(Delay Locked Loop, DLL)，DLL 包括延遲線 1252、相位檢測器 1254 以及迴路濾波器 1256，並且 DLL 根據參考時脈信號 REF_CK 的相位鎖相由延遲線 1252 延遲的輸入信號 IO_IN。第二種方法為第 12G 圖右側所示 DLL，DLL 包括延遲線 1262、相位檢測器 1264 以及迴路濾波器 1266，

並且 DLL 根據輸入信號 IO_IN 的相位鎖相由延遲線 1262 延遲的參考時脈信號 REF_CK。

第 13 圖為根據本發明另一實施例的快閃裝置 1300 的方塊示意圖。快閃裝置 1300 包括控制 IC 1302 以及兩個快閃 IC 1304 與 1306。控制 IC 1302 包括數位電路 1312 與 DLL 電路 1314。快閃 IC 1304 包括快閃核心電路 1322。快閃 IC 1306 包括快閃核心電路 1332。兩個快閃 IC 1304 與 1306 都包括 DLL，分別為 1324 與 1334，用於自動調整輸入信號的延遲週期。每當控制 IC 1302 改變存取的 NAND 快閃 IC，DLL 1314 則自動重新鎖相延遲週期以再次調整輸入信號。所以控制 IC 1302 以及 NAND 快閃 IC 1304 與 1306 適合存取時序特性的時序接收輸入信號，以此提高性能。

上述之實施例僅用來例舉本發明之實施態樣，以及闡釋本發明之技術特徵，並非用來限制本發明之範疇。任何習知技藝者可依據本發明之精神輕易完成之改變或均等性之安排均屬於本發明所主張之範圍，本發明之權利範圍應以申請專利範圍為準。

【圖式簡單說明】

第 1A 圖為 NAND 快閃 IC 的方塊示意圖。

第 1B 圖與第 1C 圖分別為存取信號 CE#、CLE、ALE、WE# 以及 I/O 匯流排的時序圖。

第 1D 圖為存取信號 CE#、CLE、ALE、WE# 以及 I/O 匯流排的時序圖。

第 1E 圖為存取信號 CE#、CLE、ALE、WE# 以及 I/O

匯流排的時序圖。

第 2 圖為根據本發明一實施例的快閃裝置的方塊示意圖。

第 3A 圖為根據本發明另一實施例的快閃裝置的方塊示意圖。

第 3B 圖為根據本發明一實施例第 3A 圖中的控制 IC 的方塊示意圖。

第 4A 圖為根據本發明另一實施例的快閃裝置的方塊示意圖。

第 4B 圖為根據本發明一實施例第 4A 圖中控制 IC 的方塊示意圖。

第 5A 圖為根據本發明另一實施例的快閃裝置的方塊示意圖。

第 5B 圖為根據本發明一實施例的第 5A 圖中的控制 IC 的方塊示意圖。

第 6A 圖為根據本發明一實施例的輸出延遲電路的示意圖。

第 6B 圖為根據本發明另一實施例的輸出延遲電路的示意圖。

第 6C 圖為根據本發明另一實施例的輸出延遲電路的示意圖。

第 7A 圖、第 7B 圖以及第 7C 圖分別為根據本發明實施例的輸入延遲電路的示意圖

第 8A 圖為根據本發明另一實施例的快閃裝置的方塊示意圖。

第 8B 圖為根據本發明一實施例的第 8A 圖中控制 IC 的方塊示意圖。

第 9A 圖為根據本發明另一實施例的快閃裝置的方塊示意圖。

第 9B 圖為根據本發明一實施例的第 9A 圖中 NAND 快閃 IC 或的方塊示意圖。

第 10A 圖為根據本發明另一實施例的快閃裝置的方塊示意圖。

第 10B 圖為根據本發明一實施例的第 10A 圖中的控制 IC 的方塊示意圖。

第 11A 圖、第 11B 圖以及第 11C 圖為根據本發明三個實施例的可調延遲單元的方塊示意圖。

第 11D 圖為參考時脈 REF_PH0_CK ~ REF_PH3_CK 的相位示意圖。

第 12A 圖、第 12B 圖、第 12D 圖、第 12E 圖以及第 12G 圖為根據本發明五個實施例的過取樣電路的方塊示意圖。

第 12C 圖為時脈信號 REF_PH0_CK~REF_PH3_CK 的相位示意圖。

第 12F 圖為時脈信號 REF_PH0_CK~REF_PH3_CK 的相位示意圖。

第 13 圖為根據本發明另一實施例的快閃裝置的方塊示意圖。

【主要元件符號說明】

100、204、206、304、306、404、406、504、506、804、
806、904、906、1004、1006、1304、1306：NAND 快閃 IC；

102、912：I/O 控制電路；

104：I/O 電路；

106：控制核心電路；

108：頁緩衝器；

110、914、1322、1332：快閃核心電路；

200、300、400、500、800、900、1000、1300：快閃裝
置；

202、302、402、502、802、902、1002、1302：控制 IC；

204、206、304、306、404、406、504、506、804、806、
904、906、1004、1006：NAND 快閃 IC；

312、412、512、812、1012、1312：數位電路；

314、414、514、814、1014：CE 解碼器；

322、324、326、328、426、428、524、534、604、614a-614h、
634、624a~624h、704、714a~714h、734、724a~724h、826、
828、834、844、922、924、932、942、1100、1120、1140：
可調延遲單元；

422、424、522、532、602、612a~612h、632、622a~622h、
732、722a~722h、702、712a~712h、822、824、832、842、
1022、1026、1032、1142：多工器；

526、536、606、636、706、736、836、846、934、944：
鎖存電路；

600、610、650：輸出延遲電路；

700、710、750：輸入延遲電路；

1024、1028、1034：匯流排電流驅動器；

1101~1107、1222~1228：延遲元件；

1121~1124、1144、1202~120、1212~1218、1232~1238、
1242~1248：DFF；

1200、1210、1220、1240、1250：過取樣電路；

1241：邊緣檢測器；

1252、1262：延遲線；

1254、1264：相位檢測器；

1256、1266：迴路濾波器；

1314、1324、1334：DLL。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98126503

※申請日：98.8.6

※IPC 分類：G11C 16/06 (2006.01)
G11C 9/22 (2006.01)

一、發明名稱：(中文/英文)

快閃裝置以及提高快閃裝置性能的方法

FLASH DEVICE AND METHOD FOR IMPROVING PERFORMANCE
OF FLASH DEVICE

二、中文發明摘要：

快閃裝置以及提高快閃裝置性能的方法。其中，快閃裝置包括：一控制積體電路，以第一時序產生多個第一存取信號以存取一第一非與快閃積體電路，並且以第二時序產生多個第二存取信號以存取一第二非與快閃積體電路，其中所述第一時序與所述第二時序不同；所述第一非與快閃積體電路，根據所述第一存取信號存取其內所儲存的資料；以及所述第二非與快閃積體電路，根據所述第二存取信號存取其內所儲存的資料。本發明所提供的快閃裝置可以提高不同非與快閃積體電路的性能。

三、英文發明摘要：

The invention provides a flash device. In one embodiment, the flash device comprises a first NAND flash integrated circuit, a second NAND flash integrated circuit, and a control integrated circuit. The control integrated circuit generates a plurality of first access signals with first timings

to access the first NAND flash IC, and generates a plurality of second access signals with second timings to access the second NAND flash IC, wherein the first timings are different from the second timings. The first NAND flash integrated circuit then accesses data stored therein according to the first access signals. The second NAND flash integrated circuit then accesses data stored therein according to the second access signals.

七、申請專利範圍：

1.一種快閃裝置，包括：

一控制積體電路，以第一時序產生多個第一存取信號以存取一第一非與快閃積體電路，並且以第二時序產生多個第二存取信號以存取一第二非與快閃積體電路，其中所述第一時序與所述第二時序不同；

所述第一非與快閃積體電路，根據所述第一存取信號存取其內所儲存的資料；以及

所述第二非與快閃積體電路，根據所述第二存取信號存取其內所儲存的資料。

2.如申請專利範圍第 1 項所述之快閃裝置，其中所述第一存取信號與所述第二存取信號具有不同長度的存取週期。

3.如申請專利範圍第 1 項所述之快閃裝置，其中，所述控制積體電路以一第一寫入時序產生一第一寫入致能信號以指示所述第一非與快閃積體電路寫入資料，並且以一第二寫入時序產生一第二寫入致能信號以指示所述第二非與快閃積體電路寫入資料，其中所述第一寫入時序與所述第二寫入時序不同。

4.如申請專利範圍第 1 項所述之快閃裝置，其中所述控制積體電路以一第一讀取時序產生一第一讀取致能信號以指示所述第一非與快閃積體電路讀取資料，並且以一第二讀取時序產生具有一第二讀取致能信號以指示所述第二非與快閃積體電路讀取資料，其中所述第一讀取時序與所述第二讀取時序不同。

5.如申請專利範圍第1項所述之快閃裝置，其中所述控制積體電路根據一第一資料輸出時序輸出資料至所述第一非與快閃積體電路，並且根據一第二資料輸出時序輸出資料至所述第二非與快閃積體電路，其中所述第一資料輸出時序與所述第二資料輸出時序不同。

6.如申請專利範圍第1項所述之快閃裝置，其中所述控制積體電路根據一第一資料輸入時序調整來自所述第一非與快閃積體電路的資料的輸入時序，並且根據一第二資料輸入時序調整來自所述第二非與快閃積體電路的資料的輸入時序，其中，所述第一資料輸入時序與所述第二資料輸入時序不同。

7.如申請專利範圍第1項所述之快閃裝置，其中，所述控制積體電路包括：

一數位電路，產生一第一寫入致能源信號、一第二寫入致能源信號、一第一讀取致能源信號以及一第二讀取致能源信號；

一第一可調延遲單元，將所述第一寫入致能源信號延遲一第一寫入延遲週期，以產生一第一寫入致能信號指示所述第一非與快閃積體電路寫入資料；

一第二可調延遲單元，將所述第二寫入致能源信號延遲一第二寫入延遲週期，以產生一第二寫入致能信號指示所述第二非與快閃積體電路寫入資料；

一第三可調延遲單元，將所述第一讀取致能源信號延遲一第一讀取延遲週期，以產生一第一讀取致能信號用於指示所述第一非與快閃積體電路讀取資料；以及

一第四可調延遲單元，將所述第二讀取致能源信號延遲一第二讀取延遲週期，以產生一第二讀取致能信號用於指示所述第二非與快閃積體電路讀取資料，

其中，所述第一寫入延遲週期的長度與所述第二寫入延遲週期的長度不同，所述第一讀取延遲週期的長度與所述第二讀取延遲週期的長度不同。

8.如申請專利範圍第1項所述之快閃裝置，其中，所述控制積體電路包括：

一數位電路，產生一晶片選擇信號、一寫入致能源信號以及一讀取致能源信號，其中，所述晶片選擇信號指示當前存取所述第一非與快閃積體電路還是所述第二非與快閃積體電路；

一第一多工器，根據所述晶片選擇信號從相對於所述第一非與快閃積體電路的一第一寫入延遲週期與相對於所述第二非與快閃積體電路的一第二寫入延遲週期中選擇一寫入延遲週期；

一第一可調延遲單元，將所述寫入致能源信號延遲所述寫入延遲週期，以獲得一寫入致能信號用於指示所述第一非與快閃積體電路或所述第二非與快閃積體電路寫入資料；

一第二多工器，根據所述晶片選擇信號從相對於所述第一非與快閃積體電路的一第一讀取延遲週期與相對於所述第二非與快閃積體電路的一第二讀取延遲週期中選擇一讀取延遲週期；以及

一第二可調延遲單元，將所述讀取致能源信號延遲所

述讀取延遲週期，以獲得一讀取致能信號用於指示所述第一非與快閃積體電路或所述第二非與快閃積體電路讀取資料，

其中，所述第一寫入延遲週期的長度與所述第二寫入延遲週期的長度不同，所述第一讀取延遲週期的長度與所述第二讀取延遲週期的長度不同。

9.如申請專利範圍第1項所述之快閃裝置，其中，所述控制積體電路包括：

一數位電路，產生一晶片選擇信號、一輸出資料鎖存信號以及一輸入資料鎖存信號，輸出多個輸出資料源信號並且接收多個輸入資料源信號，其中所述晶片選擇信號指示當前存取所述第一非與快閃積體電路還是所述第二非與快閃積體電路；

一第一多工器，根據所述晶片選擇信號從相對於所述第一非與快閃積體電路的一第一輸出資料延遲週期與相對於所述第二非與快閃積體電路的一第二輸出資料延遲週期中選擇一輸出資料延遲週期；

一第一可調延遲單元，將所述輸出資料鎖存信號延遲所述輸出資料延遲週期以獲得一已調整輸出資料鎖存信號；

一第一鎖存電路，根據所述已調整輸出資料鎖存信號鎖存住所述輸出資料源信號，以獲得多個輸出資料信號輸出至所述第一非與快閃積體電路或所述第二非與快閃積體電路；

一第二多工器，根據所述晶片選擇信號從相對於所述

第一非與快閃積體電路的一第一輸入資料延遲週期與相對於所述第二非與快閃積體電路的一第二輸入資料延遲週期中選擇一輸入資料延遲週期；

一第二可調延遲單元，將所述輸入資料鎖存信號延遲所述輸入資料延遲週期以獲得一已調整輸入資料鎖存信號；

一第二鎖存電路，根據所述已調整輸入資料鎖存信號鎖存住接收自所述第一非與快閃積體電路或所述第二非與快閃積體電路的多個輸入資料信號，以獲得所述輸入資料源信號發送至所述數位電路；

其中，所述第一輸出資料延遲週期的長度與所述第二輸出資料延遲週期的長度不同，並且所述第一輸入資料延遲週期的長度與所述第二輸入資料延遲週期的長度不同。

10.如申請專利範圍第1項所述之快閃裝置，其中，所述控制積體電路包括：

一數位電路，產生一晶片選擇信號，輸出多個寫入資料源信號以及接收多個讀取資料源信號，其中所述晶片選擇信號指示當前存取所述第一非與快閃積體電路還是所述第二非與快閃積體電路；

多個第一多工器，根據所述晶片選擇信號從相對於所述第一非與快閃積體電路的多個第一輸出資料延遲週期與相對於所述第二非與快閃積體電路的多個第二輸出資料延遲週期中選擇多個輸出資料延遲週期；

多個第一可調延遲單元，分別將所述輸出資料源信號延遲所述輸出資料延遲週期，以獲得多個輸出資料信號輸

出至所述第一非與快閃積體電路或所述第二非與快閃積體電路；

多個第二多工器，根據所述晶片選擇信號從相對於所述第一非與快閃積體電路的多個第一輸入資料延遲週期與相對於所述第二非與快閃積體電路的多個第二輸入資料延遲週期中選擇多個輸入資料延遲週期；以及

多個第二可調延遲單元，將接收自所述第一非與快閃積體電路或所述第二非與快閃積體電路的多個輸入資料信號延遲所述輸入資料延遲週期以獲得所述輸入資料源信號傳送至所述數位電路；

其中所述第一輸出資料延遲週期的長度與所述第二輸出資料延遲週期的長度不同，並且所述第一輸入資料延遲週期的長度與所述第二輸入資料延遲週期的長度不同。

11.一種提高快閃裝置性能的方法，其中所述快閃裝置包括一控制積體電路、一第一非與快閃積體電路以及一第二非與快閃積體電路，所述方法包括：

指示所述控制積體電路以第一時序產生多個第一存取信號，以存取所述第一非與快閃積體電路；

根據所述第一存取信號指示所述第一非與快閃積體電路以存取其內所儲存的資料；

指示所述控制積體電路以第二時序產生多個第二存取信號，以存取所述第二非與快閃積體電路；以及

根據所述第二存取信號指示所述第二非與快閃積體電路以存取其內所儲存的資料；

其中所述第一時序與所述第二時序不同。

12.如申請專利範圍第 11 項所述之提高快閃裝置性能的方法，其中，所述第一存取信號的存取週期長度與所述第二存取信號的存取週期長度不同。

13.如申請專利範圍第 11 項所述之提高快閃裝置性能的方法，其中，所述方法進一步包括：

指示所述控制積體電路以一第一寫入時序產生一第一寫入致能信號，以指示所述第一非與快閃積體電路寫入資料；以及

指示所述控制積體電路以一第二寫入時序產生一第二寫入致能信號，以指示所述第二非與快閃積體電路寫入資料；

其中所述第一寫入時序與所述第二寫入時序不同。

14.如申請專利範圍第 11 項所述之提高快閃裝置性能的方法，其中，所述方法進一步包括：

指示所述控制積體電路以一第一讀取時序產生一第一讀取致能信號，以指示所述第一非與快閃積體電路讀取資料；以及

指示所述控制積體電路以一第二讀取時序產生一第二讀取致能信號，以指示所述第二非與快閃積體電路讀取資料；

其中所述第一讀取時序與所述第二讀取時序不同。

15.如申請專利範圍第 11 項所述之提高快閃裝置性能的方法，其中，所述方法進一步包括：

指示所述控制積體電路以根據一第一資料輸出時序輸出資料至所述第一非與快閃積體電路；以及

指示所述控制積體電路以根據一第二資料輸出時序輸出資料至所述第二非與快閃積體電路；

其中，所述第一資料輸出時序與所述第二資料輸出時序不同。

16.如申請專利範圍第 11 項所述之提高快閃裝置性能的方法，其中，所述方法進一步包括：

指示所述控制積體電路以根據一第一資料輸入時序調整來自所述第一非與快閃積體電路的資料的輸入時序；
以及

指示所述控制積體電路以根據一第二資料輸入時序調整來自所述第二非與快閃積體電路的資料的輸入時序；

其中所述第一資料輸入時序與所述第二資料輸入時序不同。

17.一種快閃裝置，包括：

一控制積體電路，產生多個第一存取信號以存取一第一非與快閃積體電路，並且產生多個第二存取信號以存取一第二非與快閃積體電路；

所述第一非與快閃積體電路，自動調整所述第一存取信號的第一時序以獲得多個第一已調整存取信號，並且根據所述多個第一已調整存取信號存取其內所儲存的資料；
以及

所述第二非與快閃積體電路，自動調整所述第二存取信號的第二時序以獲得多個第二已調整存取信號，並且根據所述多個第二已調整存取信號存取其內所儲存的資料。

18.如申請專利範圍第 17 項所述之快閃裝置，其中，

所述第一存取信號包括一第一寫入致能信號與一第一讀取致能信號，所述第二存取信號包括一第二寫入致能信號與一第二讀取致能信號，其中所述第一寫入致能信號指示所述第一非與快閃積體電路寫入資料，所述第一讀取致能信號指示所述第一非與快閃積體電路讀取資料，所述第二寫入致能信號指示所述第二非與快閃積體電路寫入資料，所述第二讀取致能信號指示所述第二非與快閃積體電路讀取資料。

19.如申請專利範圍第 18 項所述之快閃裝置，其中，所述第一非與快閃積體電路包括：

一第一可調延遲單元，將所述第一寫入致能信號延遲一第一寫入延遲週期，以獲得一第一已調整寫入致能信號；以及

一第二可調延遲單元，將所述第一讀取致能信號延遲一第一讀取延遲週期，以獲得一第一已調整讀取致能信號；以及

所述第二非與快閃積體電路包括：

一第三可調延遲單元，將所述第二寫入致能信號延遲一第二寫入延遲週期，以獲得一第二已調整寫入致能信號；以及

一第四可調延遲單元，將所述第二讀取致能信號延遲一第二讀取延遲週期，以獲得一第二已調整讀取致能信號。

20.如申請專利範圍第 17 項所述之快閃裝置，其中，所述第一存取信號包括多個第一輸出資料信號與多個第一輸入資料信號，所述第二存取信號包括多個第二輸出資料

信號與多個第二輸入資料信號，其中所述多個第一輸出資料信號包括輸出至所述第一非與快閃積體電路的資料，所述多個第一輸入資料信號包括從所述第一非與快閃積體電路輸入的資料，所述多個第二輸出資料信號包括輸出至所述第二非與快閃積體電路的資料，所述多個第二輸入資料信號包括從所述第二非與快閃積體電路輸入的資料。

21.一種快閃裝置，包括：

一控制積體電路，以一第一電流位準產生多個第一存取信號以存取一第一非與快閃積體電路，並且以一第二電流位準產生多個第二存取信號以存取一第二非與快閃積體電路，其中所述第一電流位準與所述第二電流位準不同；

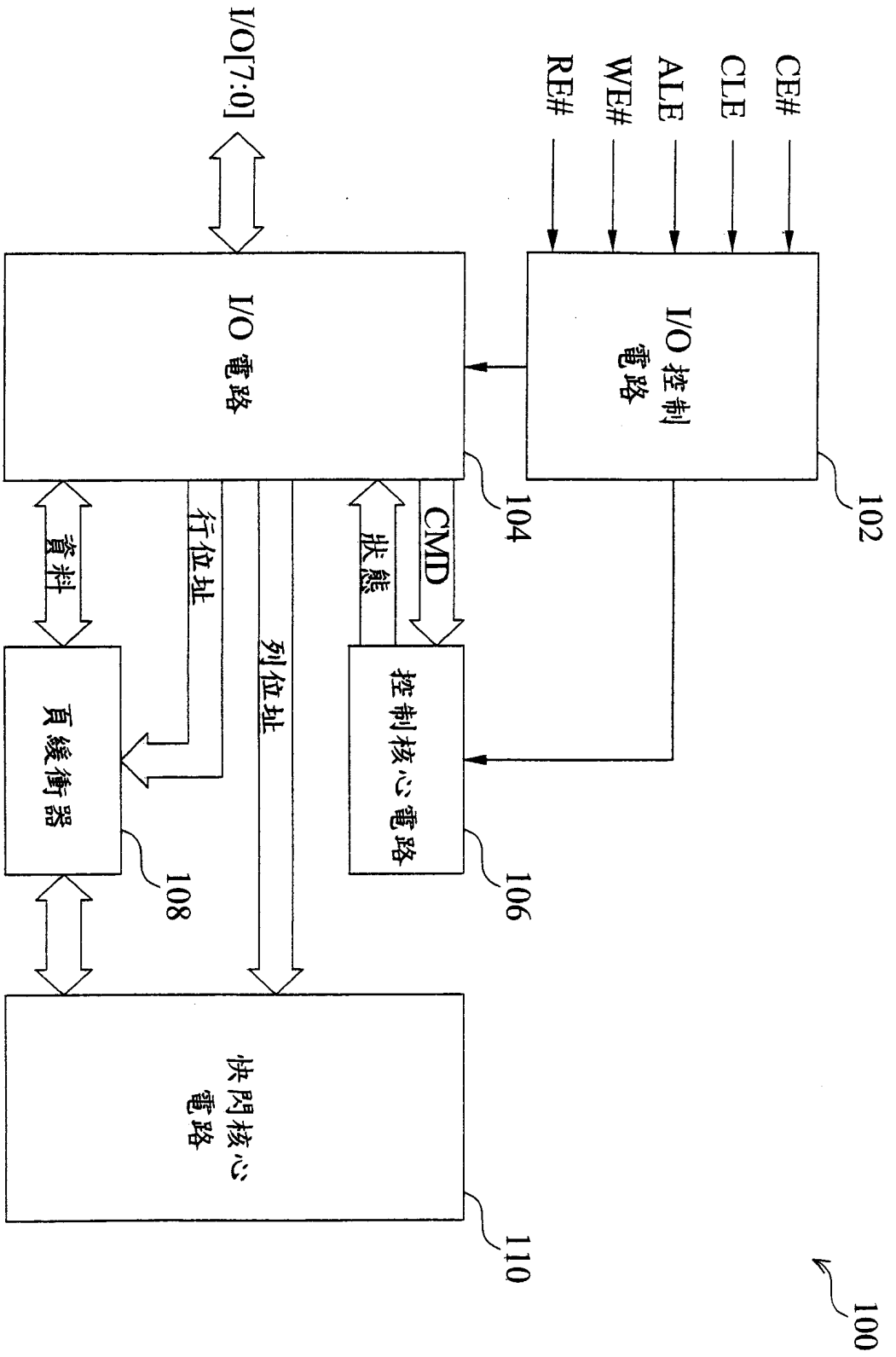
所述第一非與快閃積體電路，根據所述第一存取信號存取其內所儲存的資料；以及

所述第二非與快閃積體電路，根據所述第二存取信號存取其內所儲存的資料。

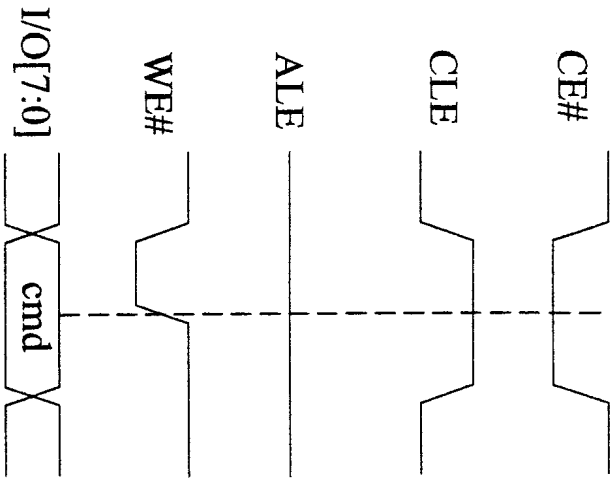
22.如申請專利範圍第 21 項所述之快閃裝置，其中所述第一存取信號包括一第一寫入致能信號與一第一讀取致能信號，所述第二存取信號包括一第二寫入致能信號與一第二讀取致能信號，其中所述第一寫入致能信號指示所述第一非與快閃積體電路寫入資料，所述第一讀取致能信號指示所述第一非與快閃積體電路讀取資料，所述第二寫入致能信號指示所述第二非與快閃積體電路寫入資料，所述第二讀取致能信號指示所述第二非與快閃積體電路讀取資料。

23.如申請專利範圍第 22 項所述之快閃裝置，其中，

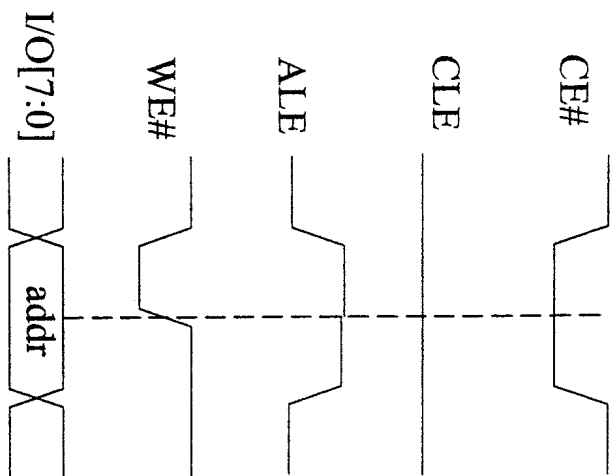
所述第一存取信號包括多個第一輸出資料信號與多個第一輸入資料信號，所述第二存取信號包括多個第二輸出資料信號與多個第二輸入資料信號，其中所述多個第一輸出資料信號包括輸出至所述第一非與快閃積體電路的資料，所述多個第一輸入資料包括從所述第一非與快閃積體電路輸入的資料，所述多個第二輸出資料信號包括輸出至所述第二非與快閃積體電路的資料，所述多個第二輸入資料信號包括從所述第二非與快閃積體電路輸入的資料。



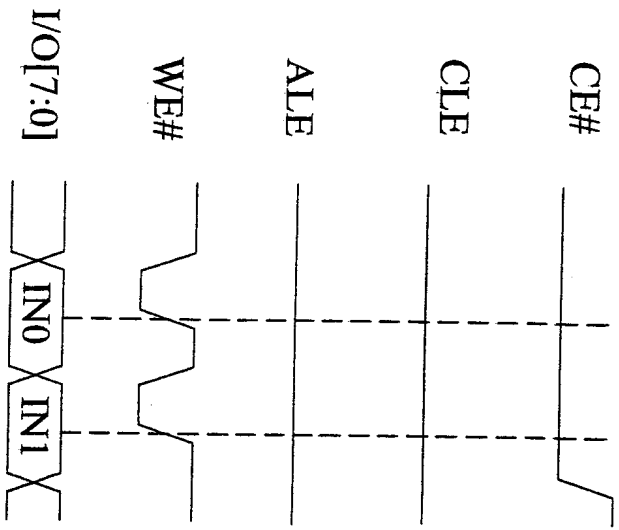
第1A圖



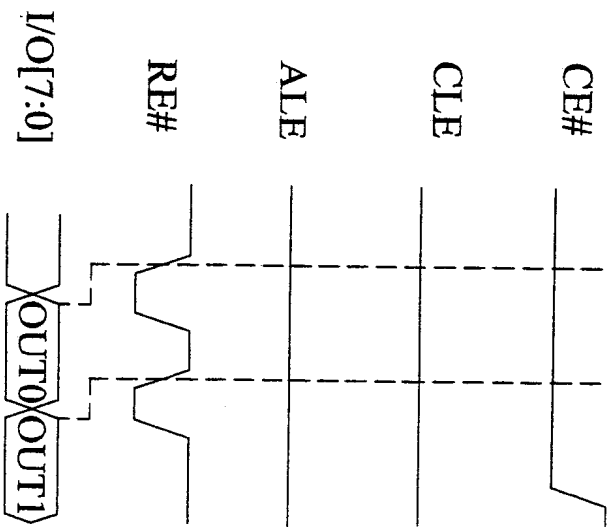
第1B圖



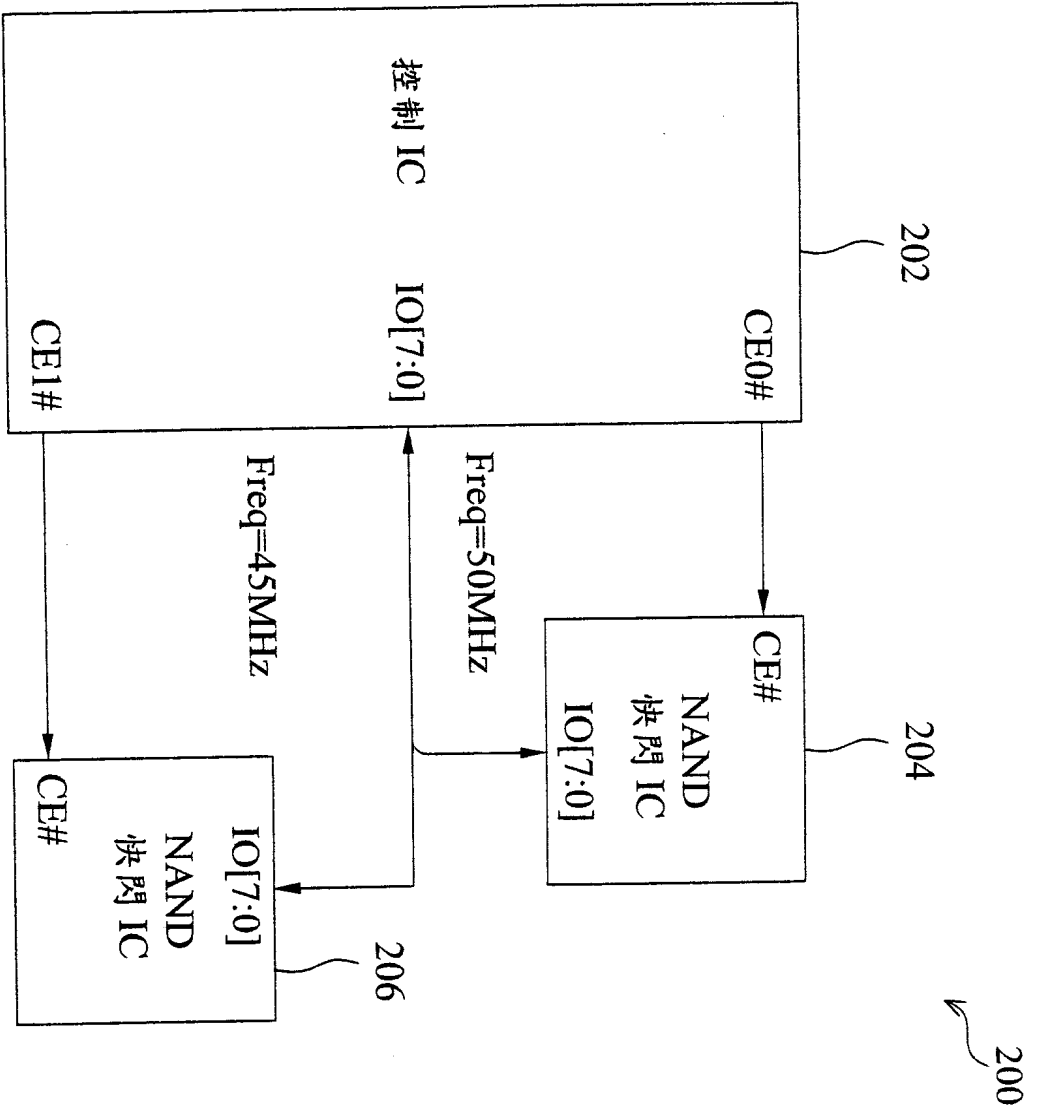
第1C圖



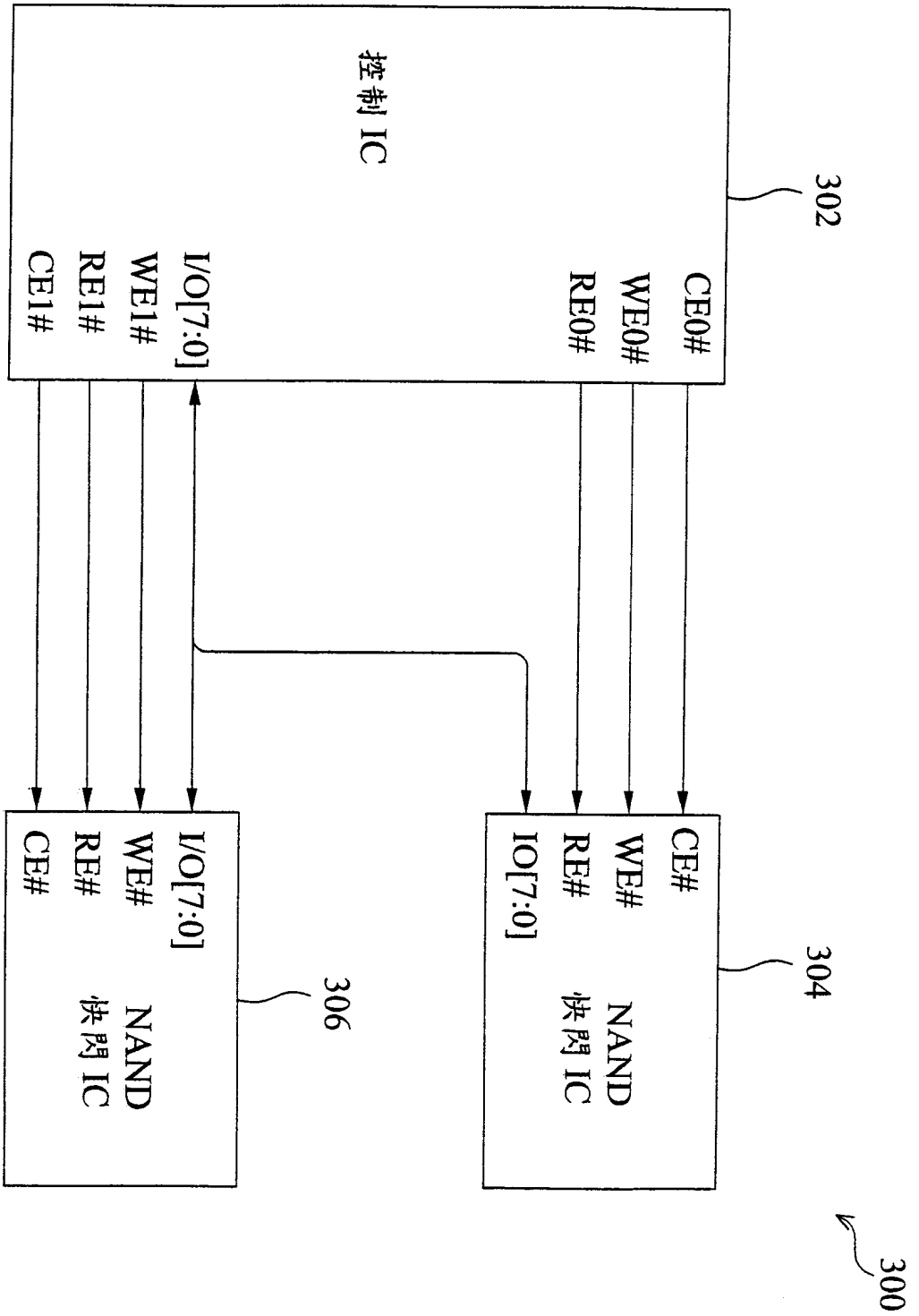
第1D圖



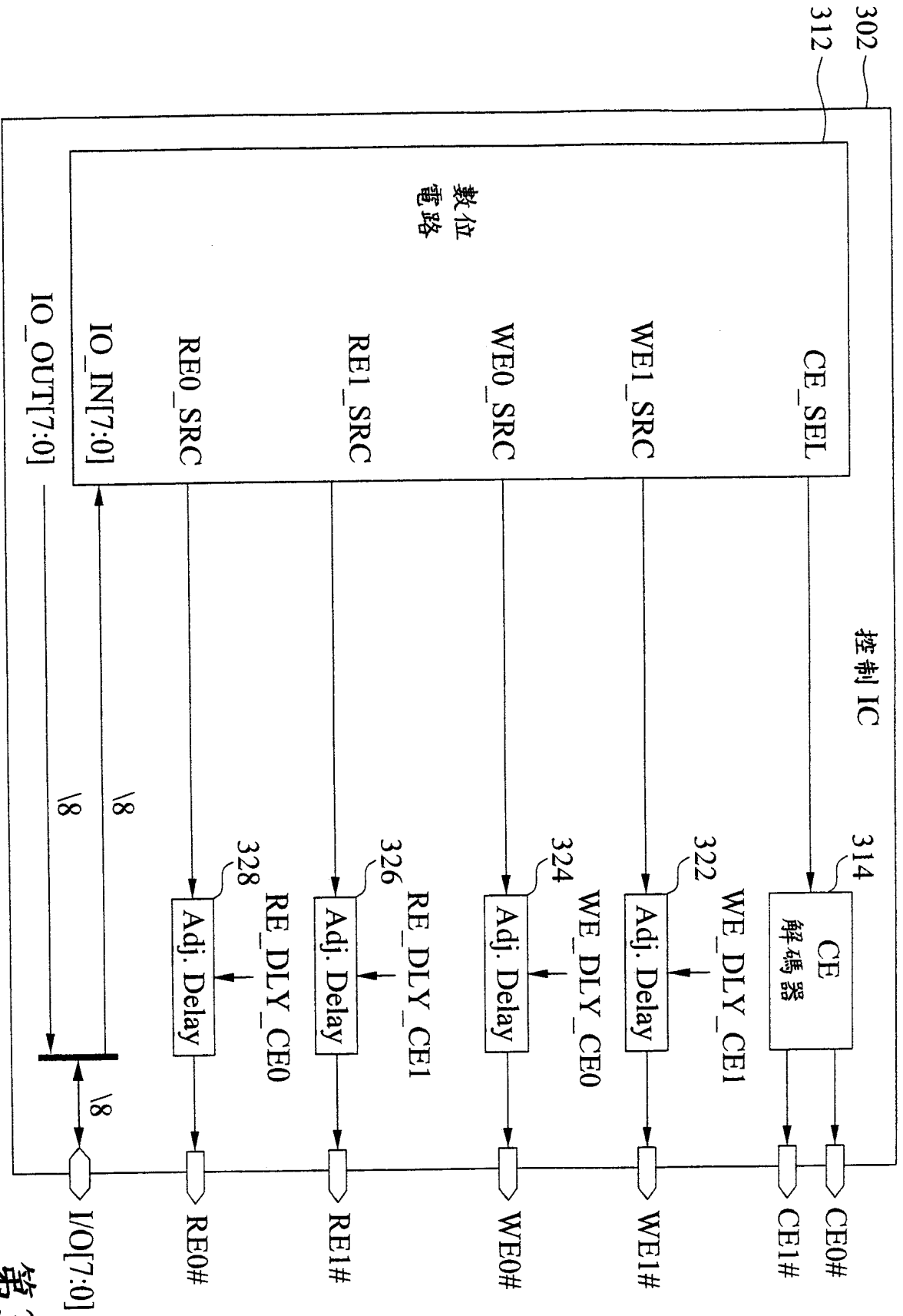
第1E圖



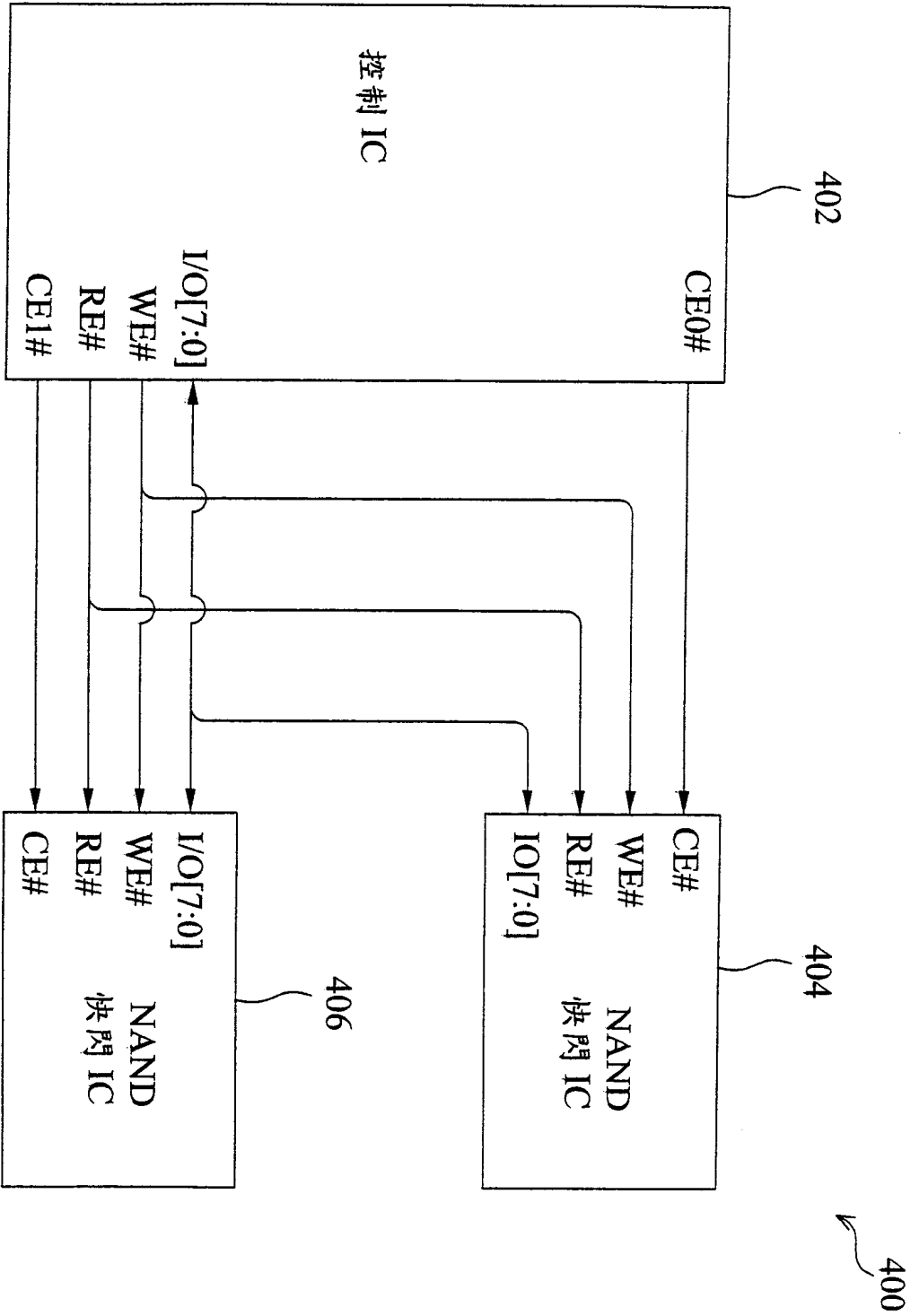
第2圖



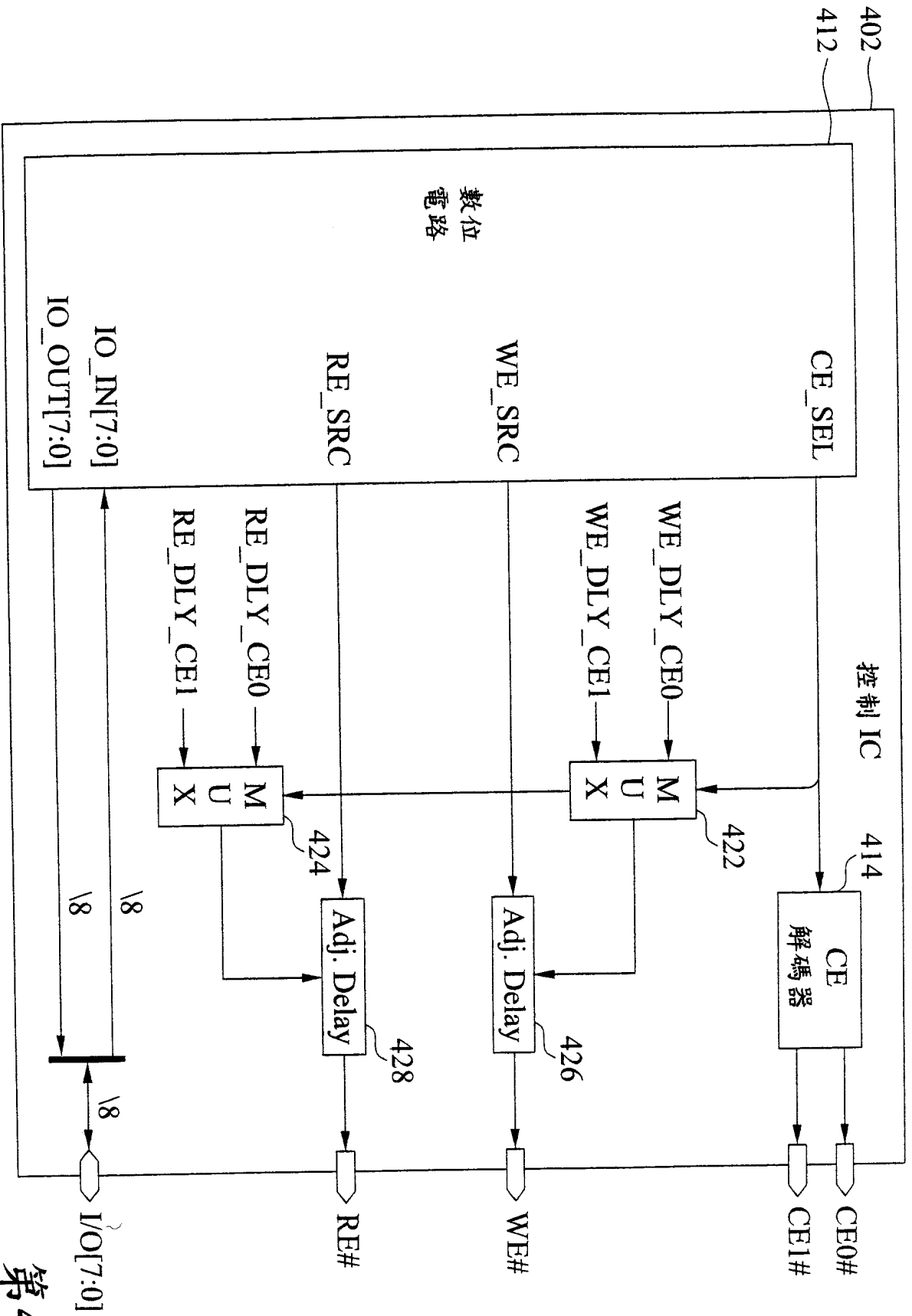
第3A圖



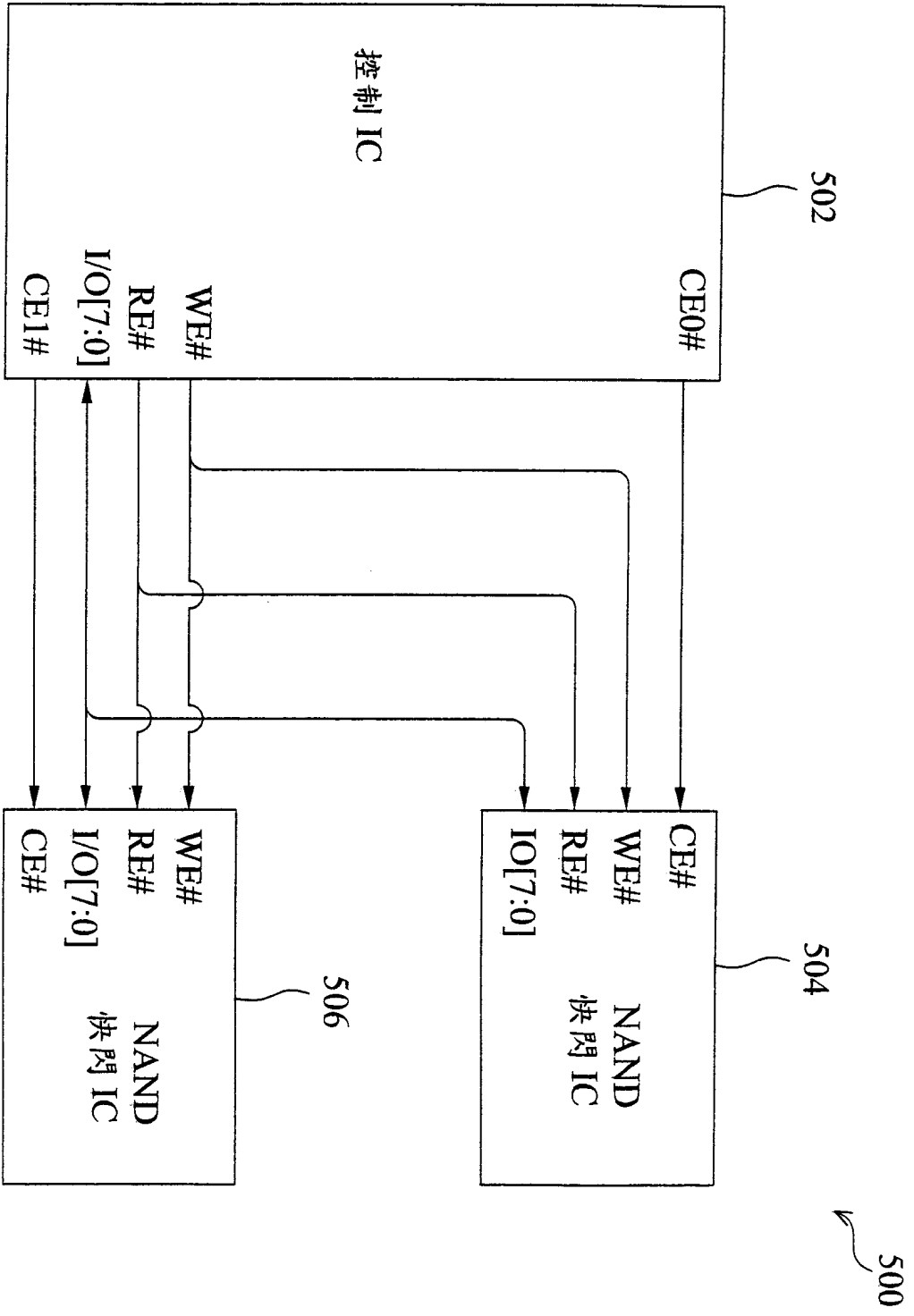
第3B圖



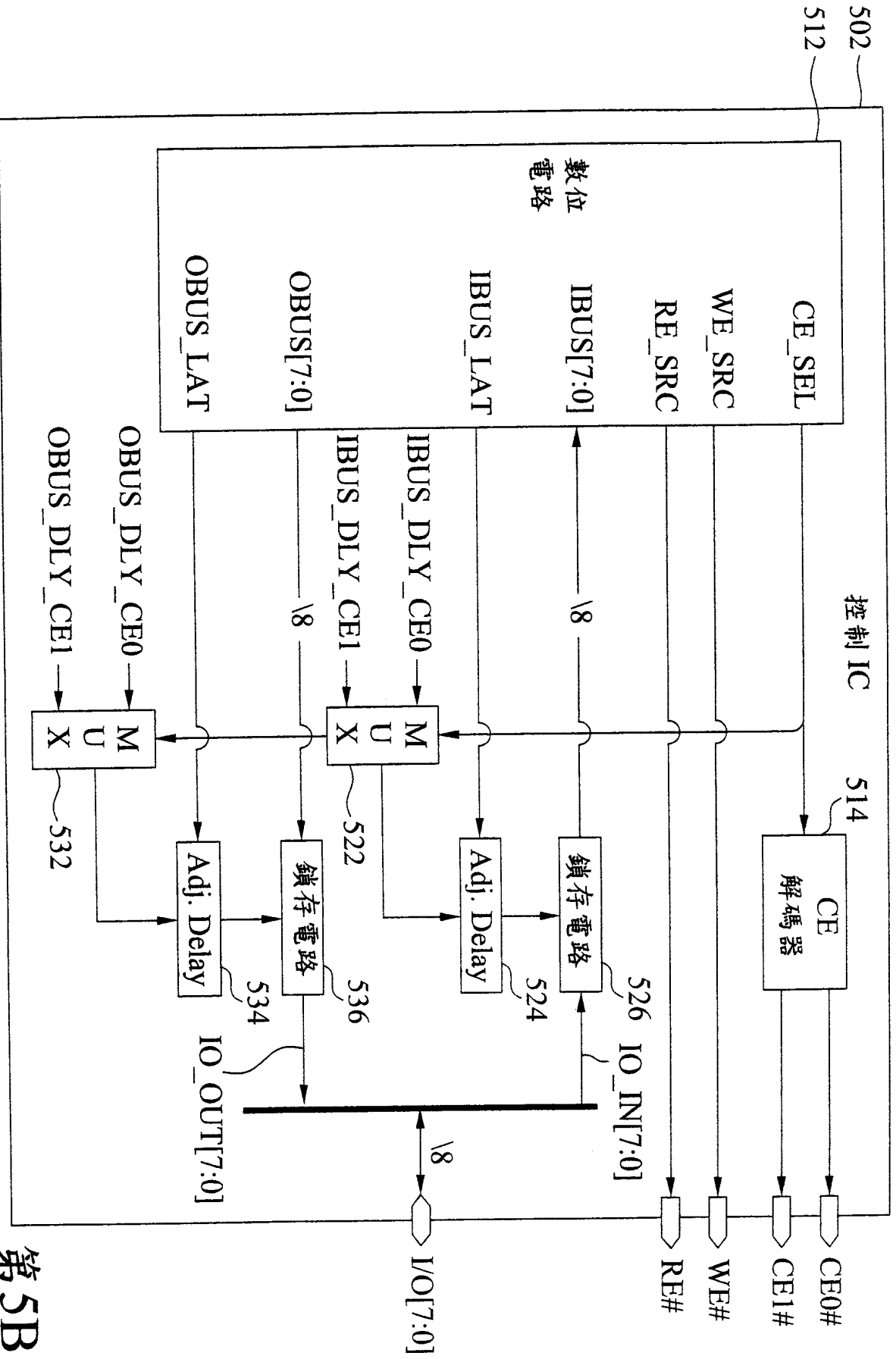
第4A圖



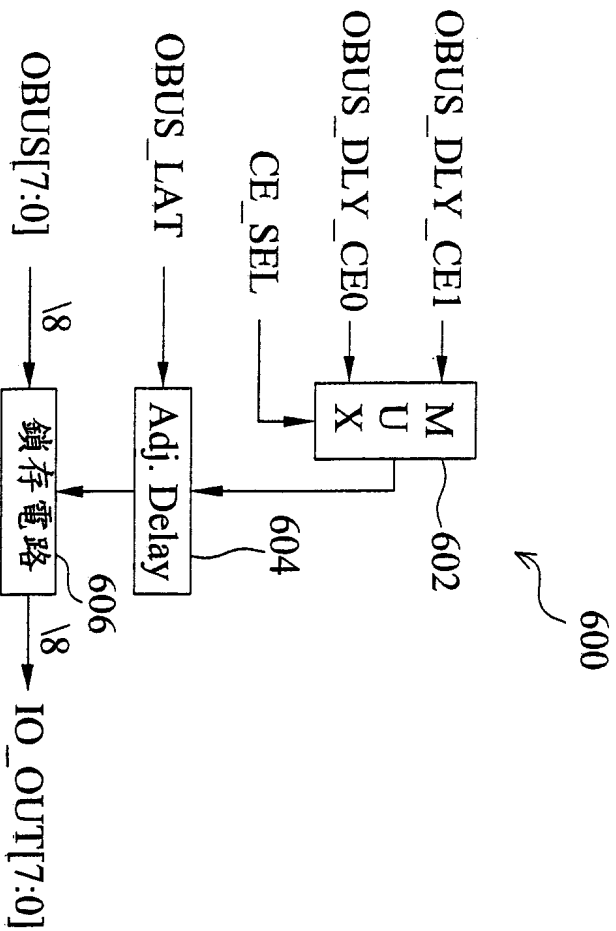
第4B圖



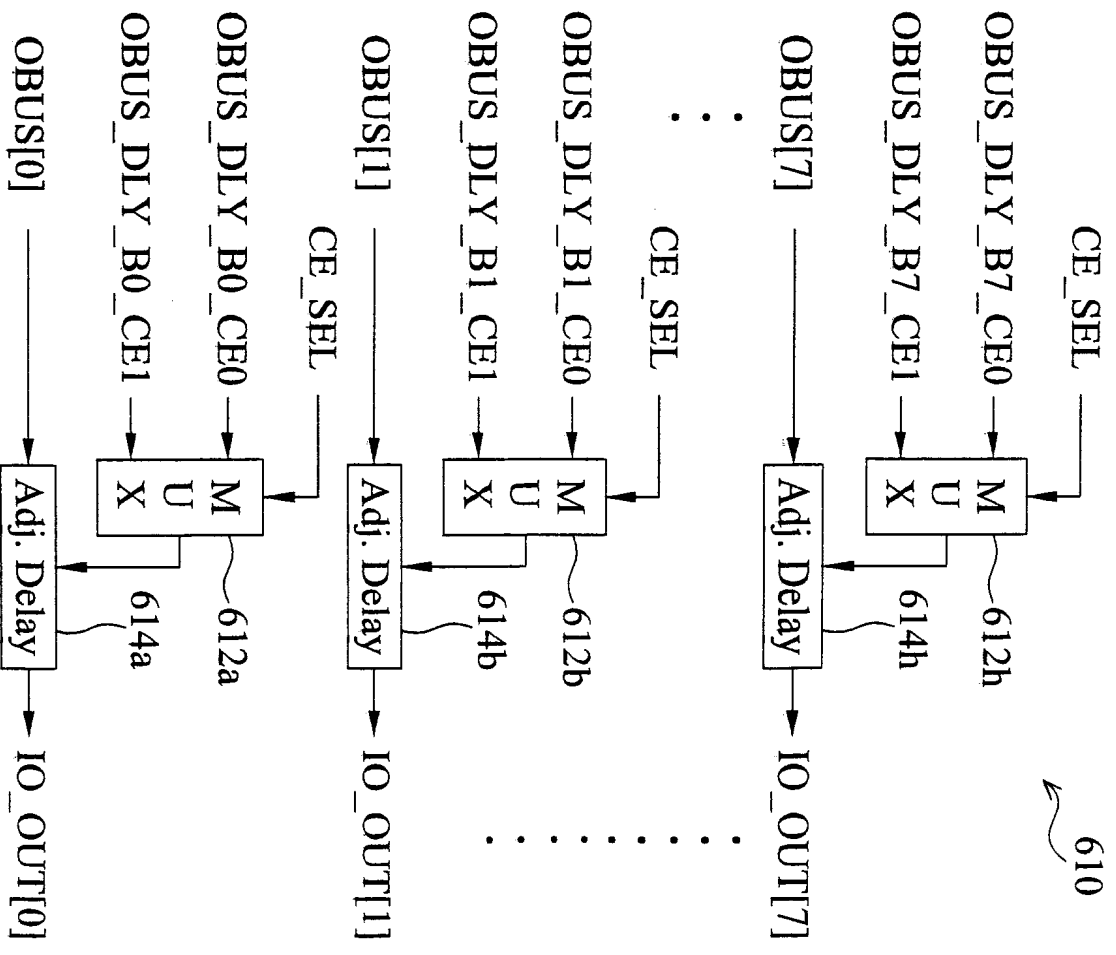
第5A圖



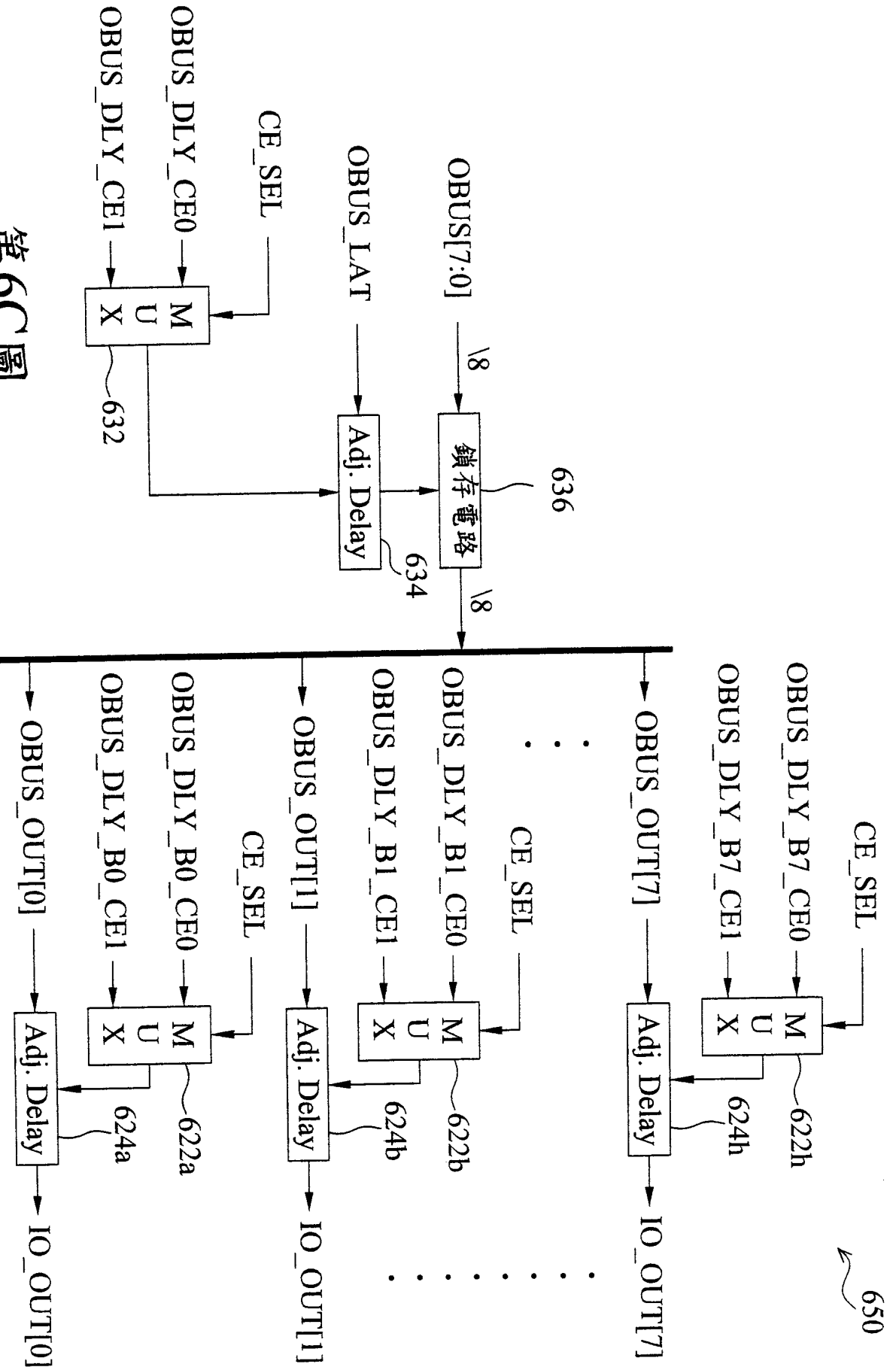
第5B圖



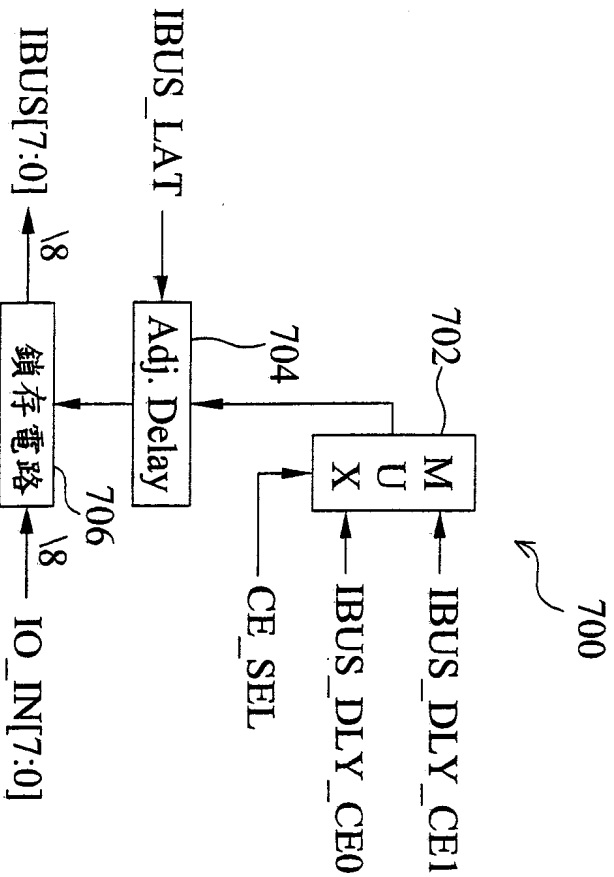
第6A圖



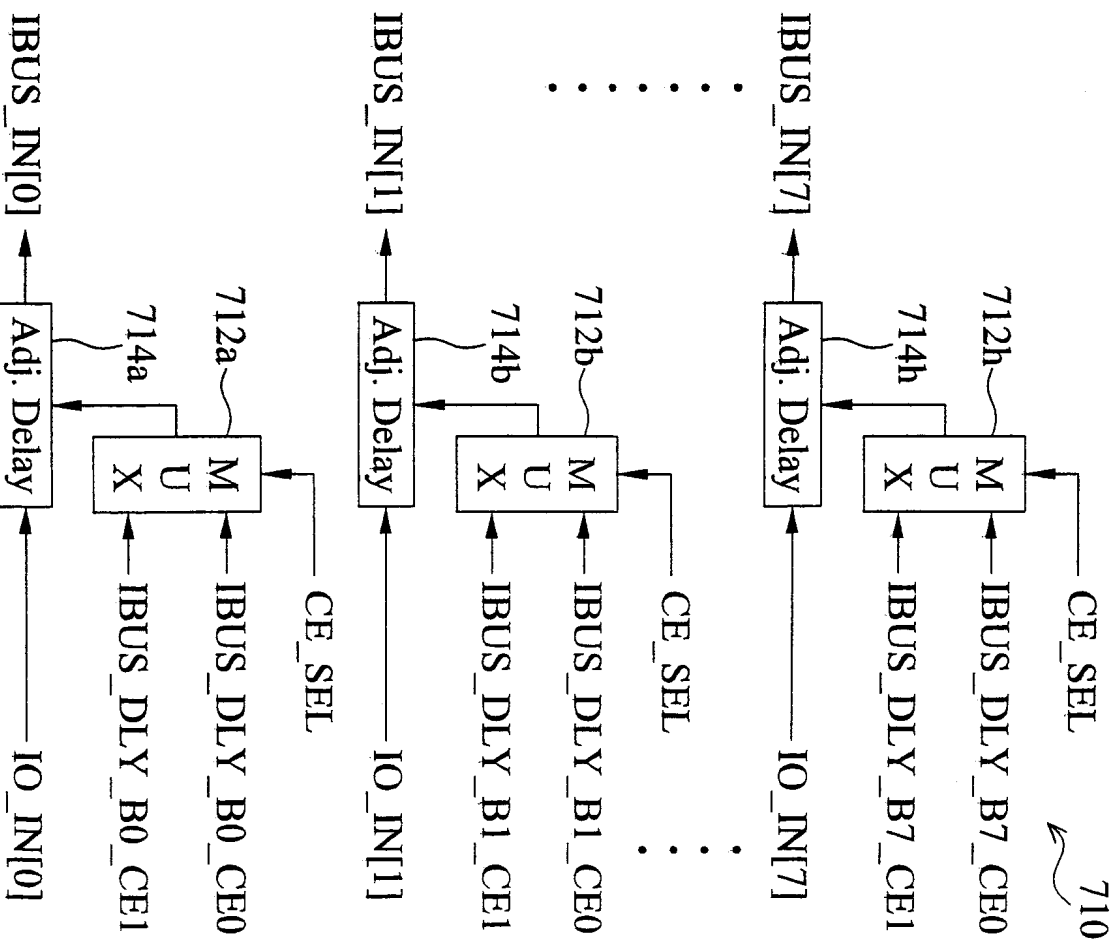
第6B圖



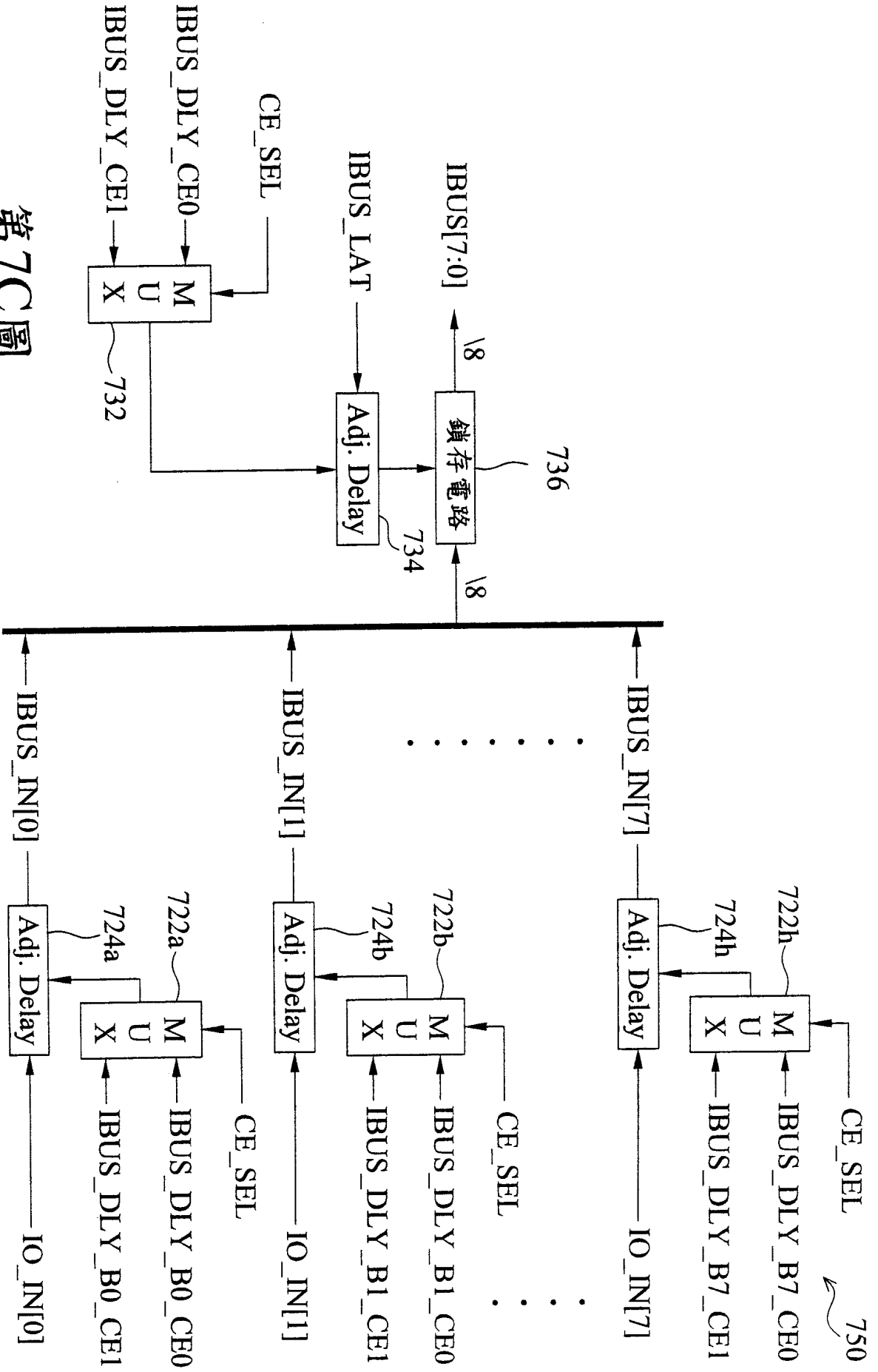
第6C圖



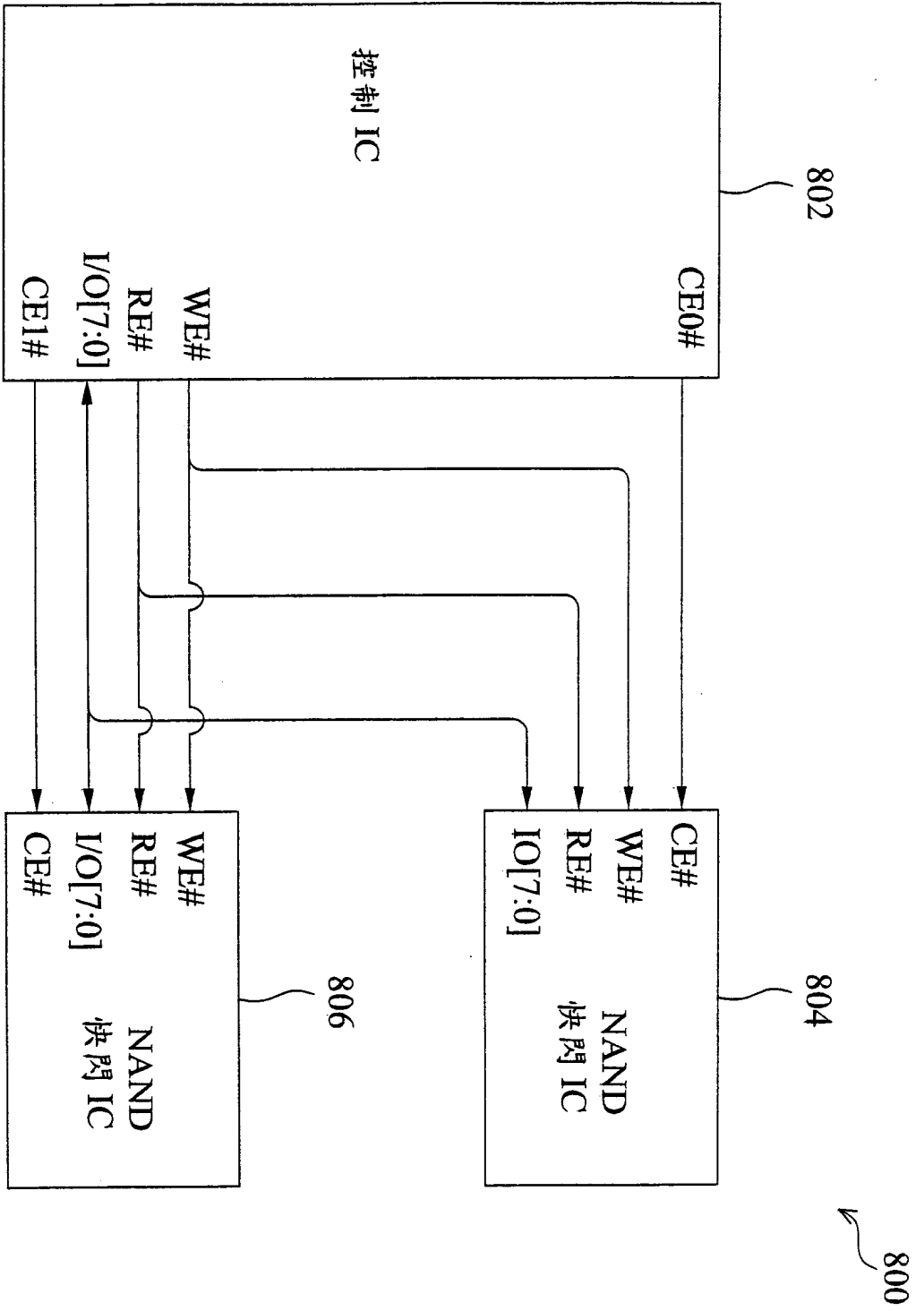
第7A圖



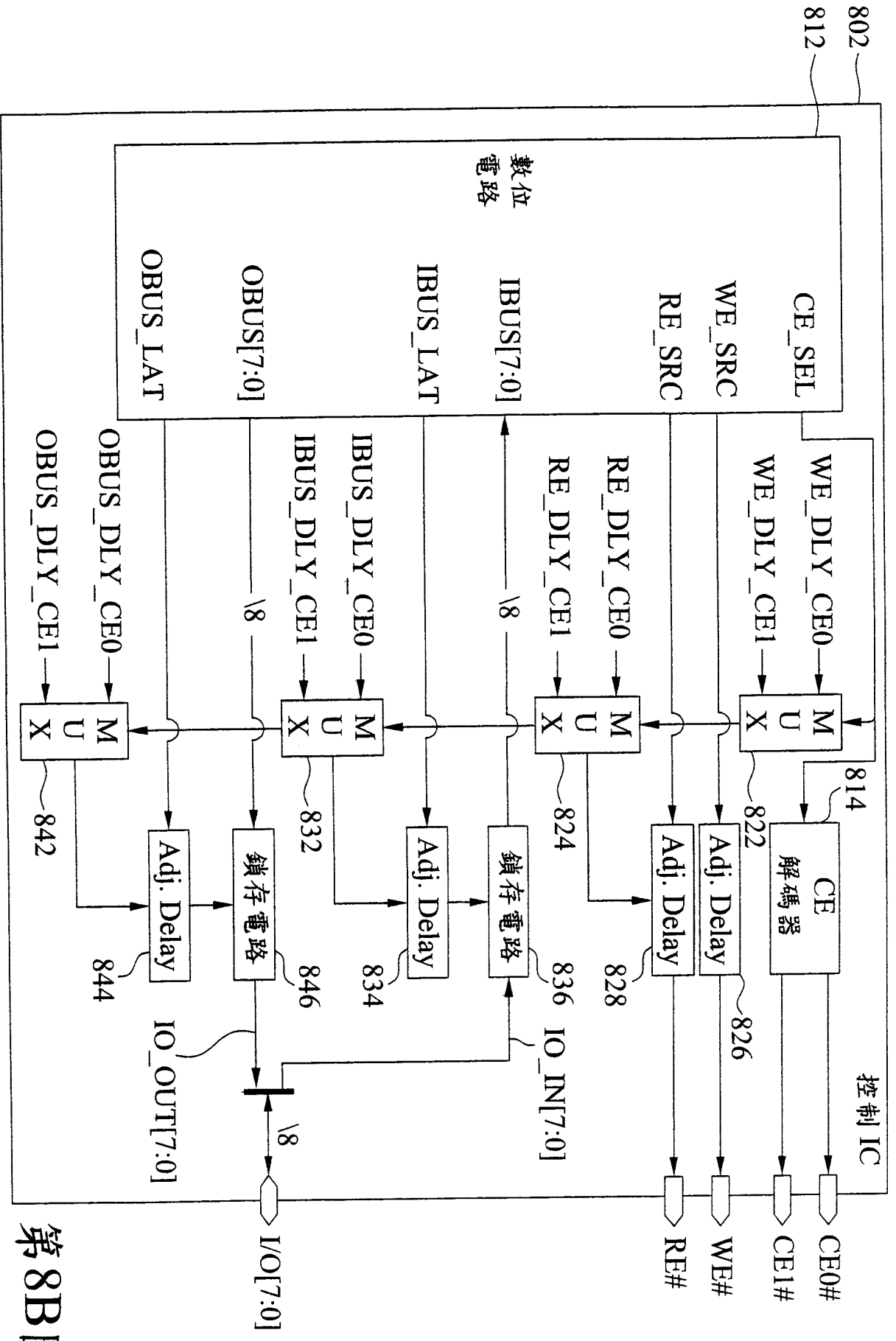
第7B圖



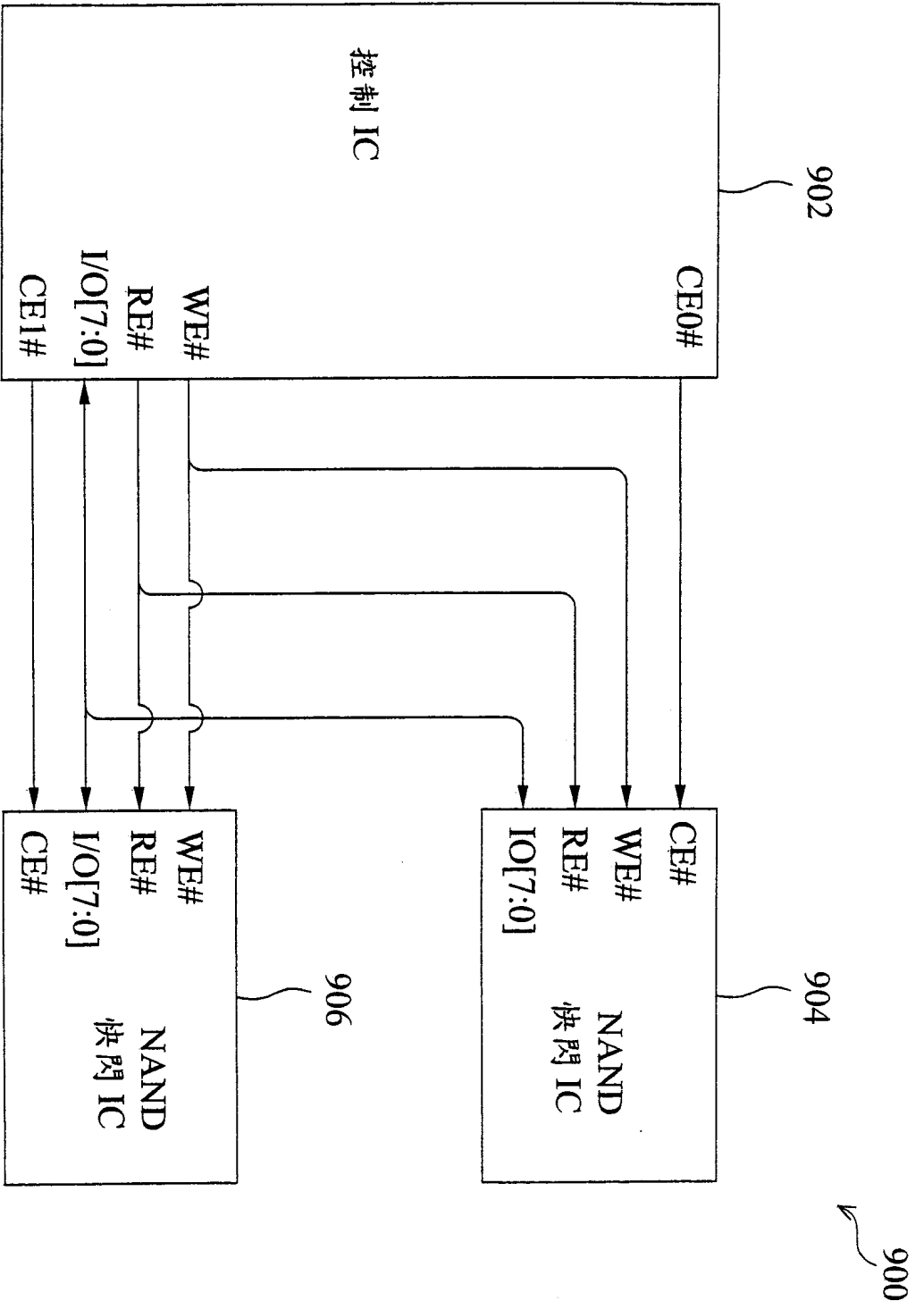
第7C圖



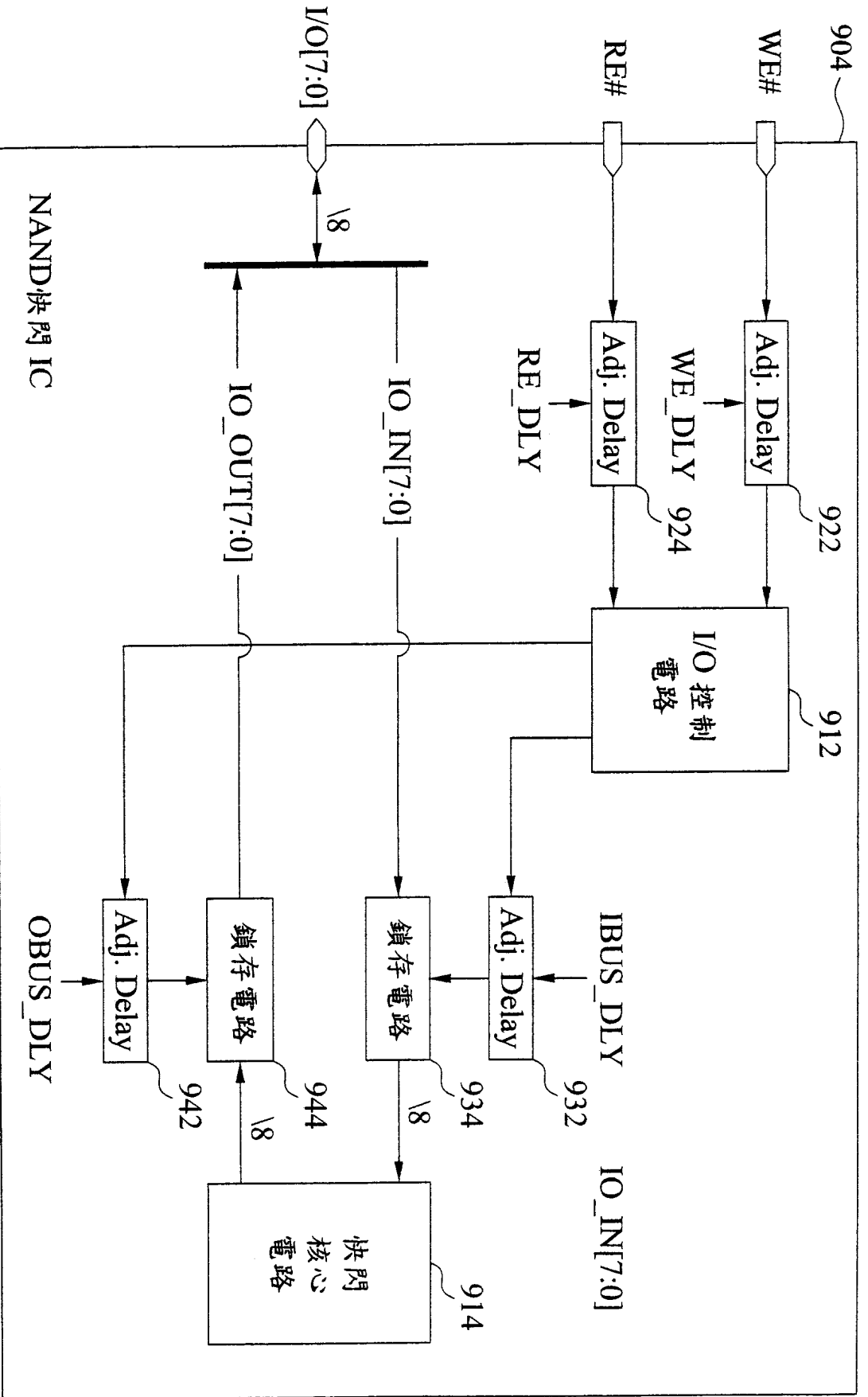
第8A圖



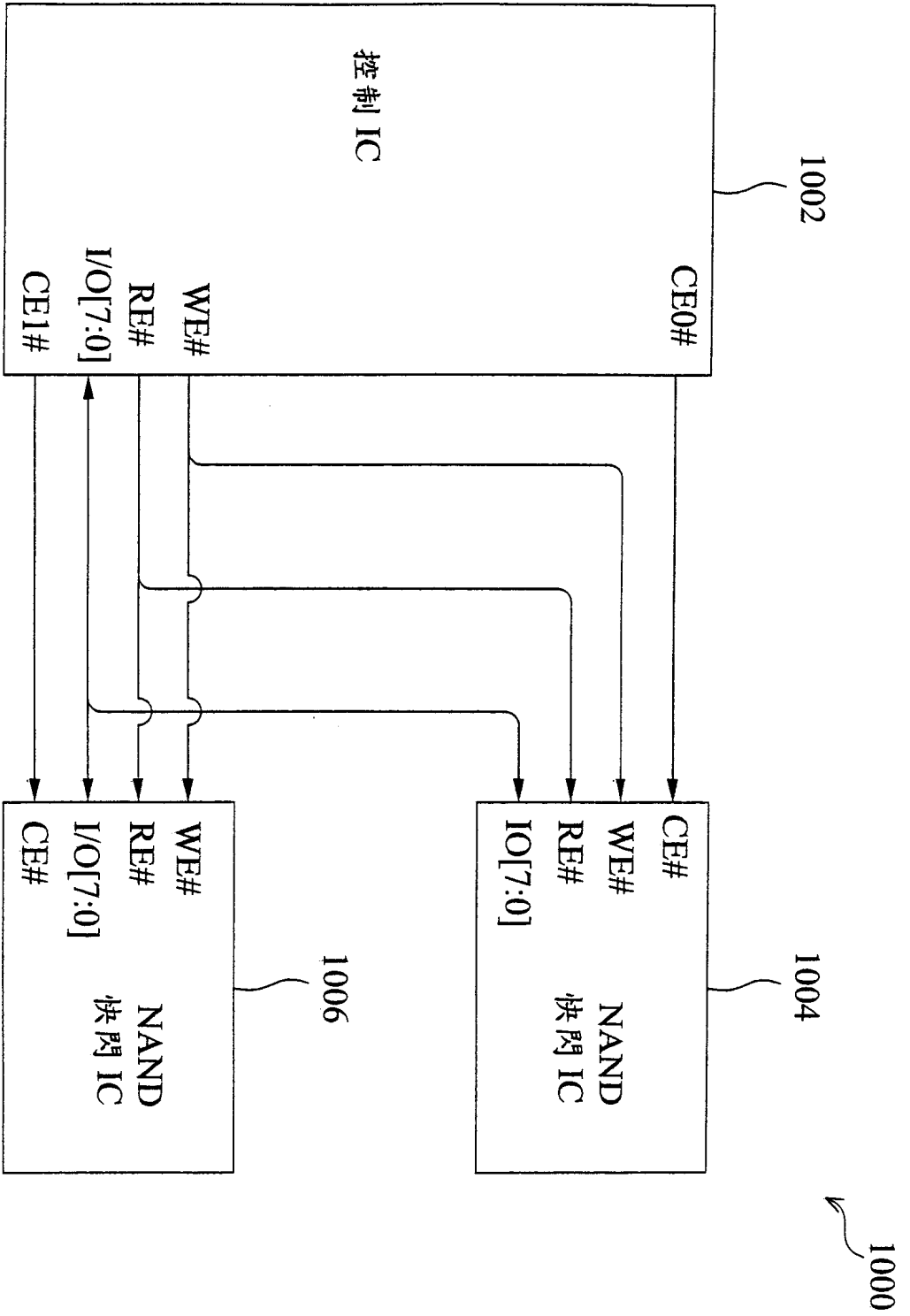
第8B圖



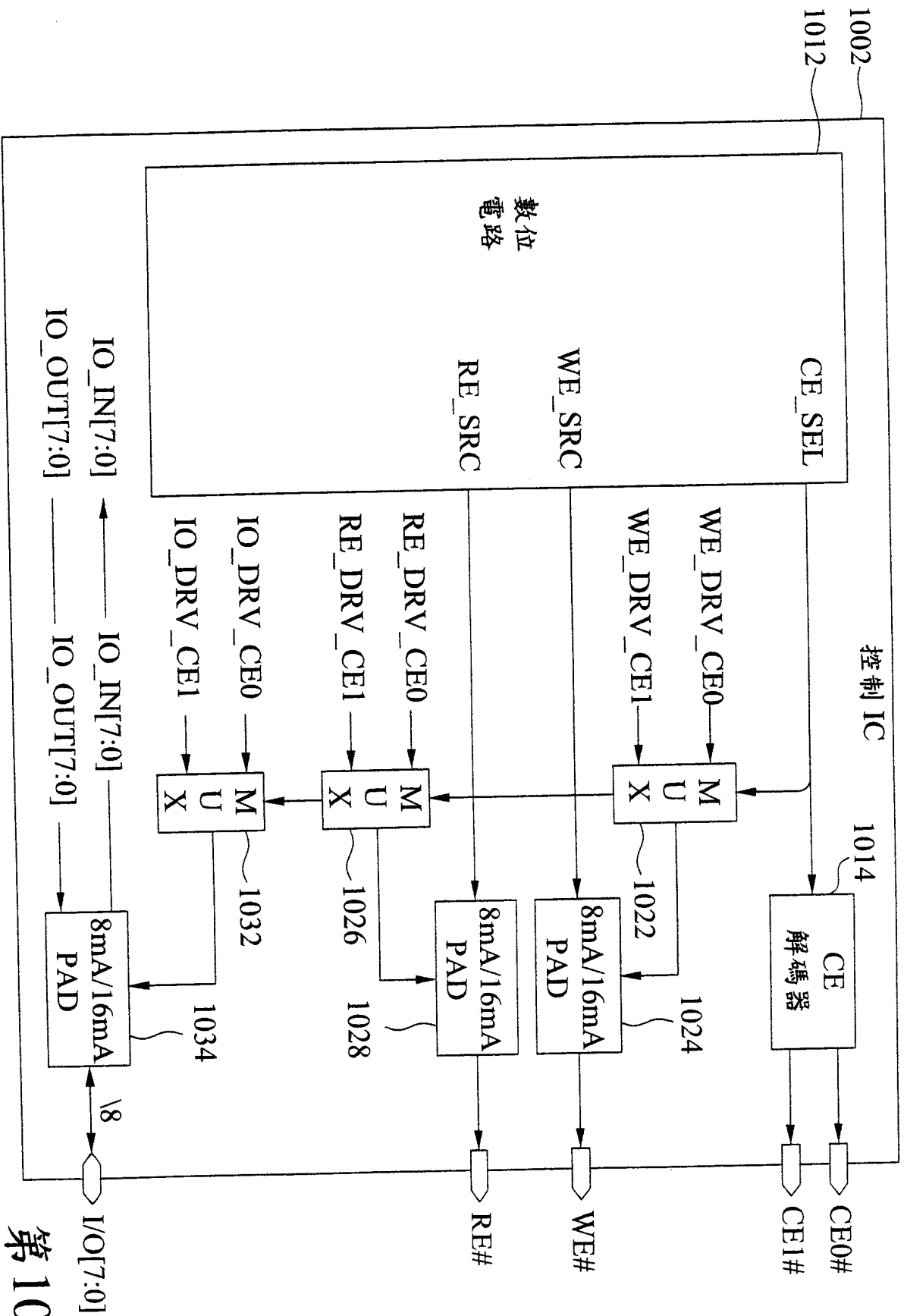
第9A圖

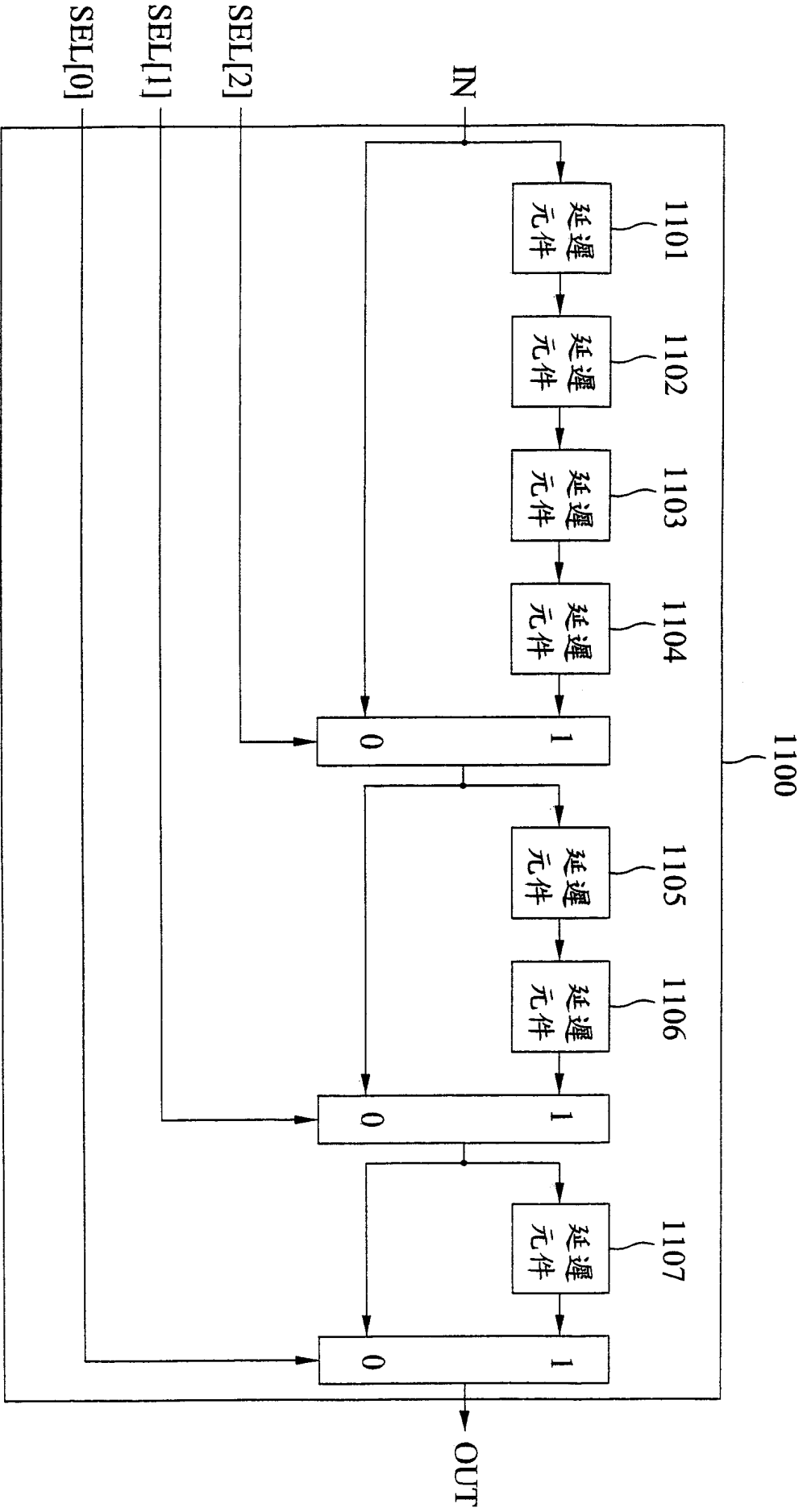


第9B圖

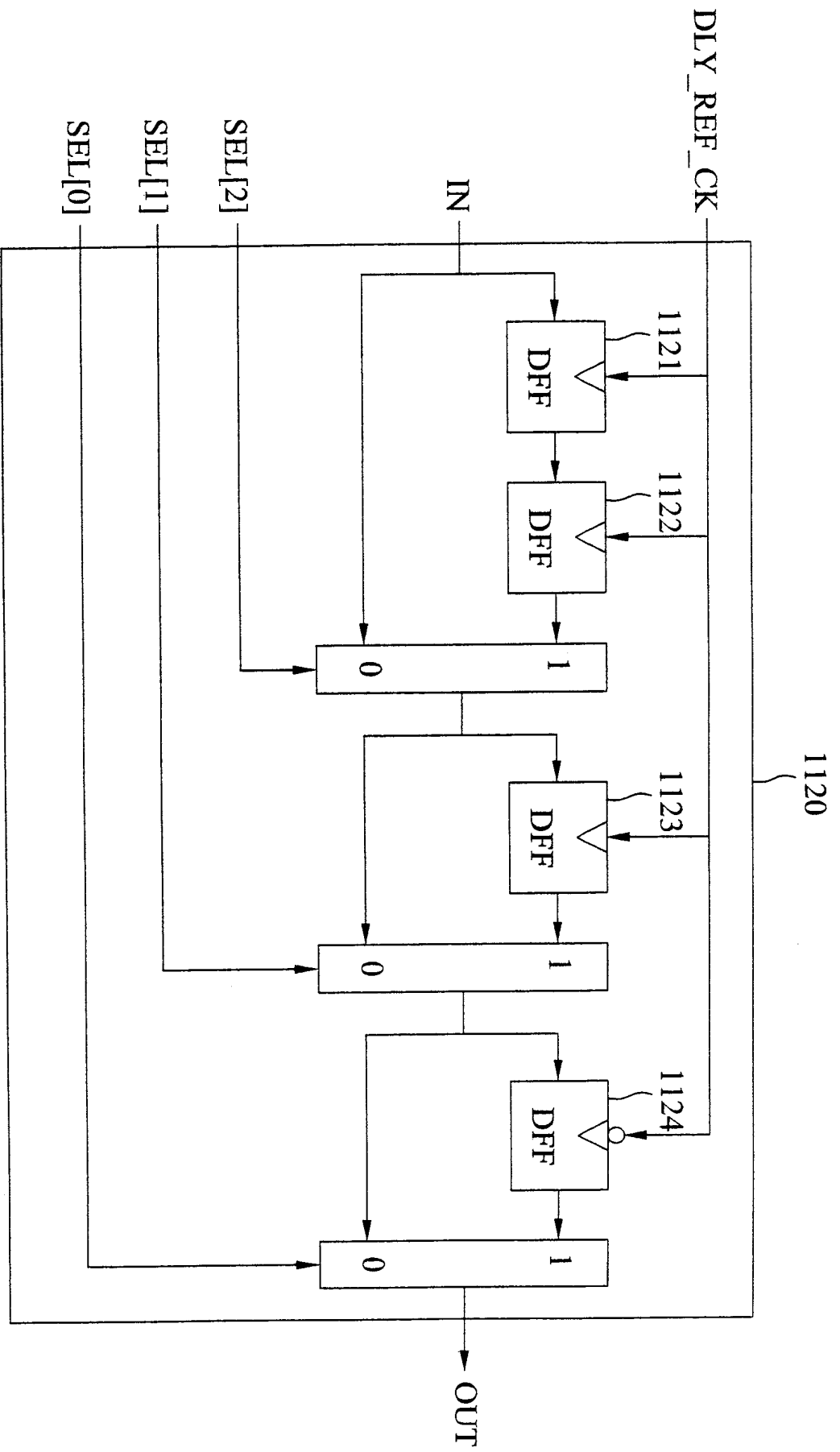


第10A圖

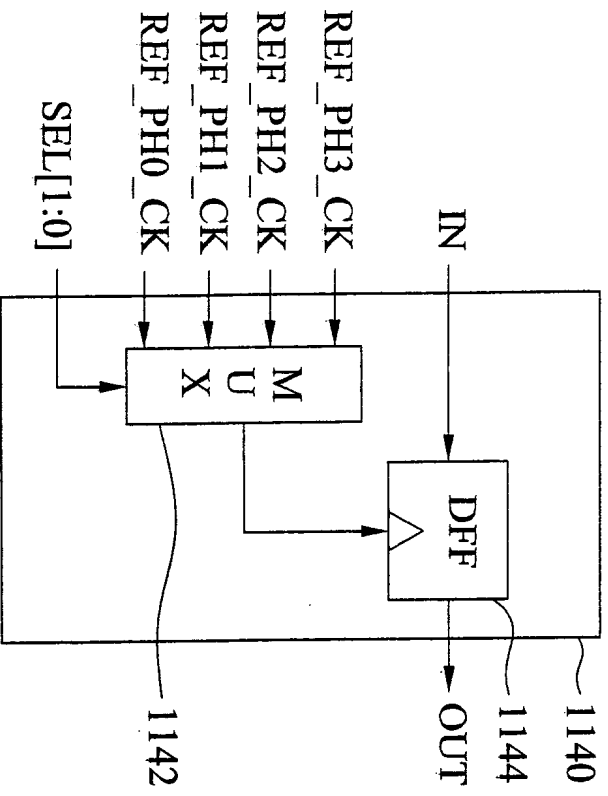




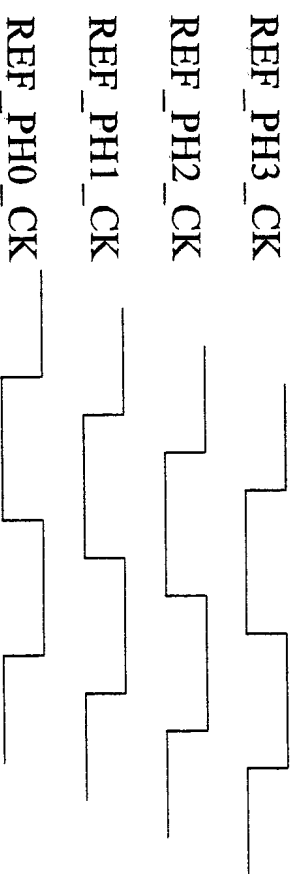
第11A圖



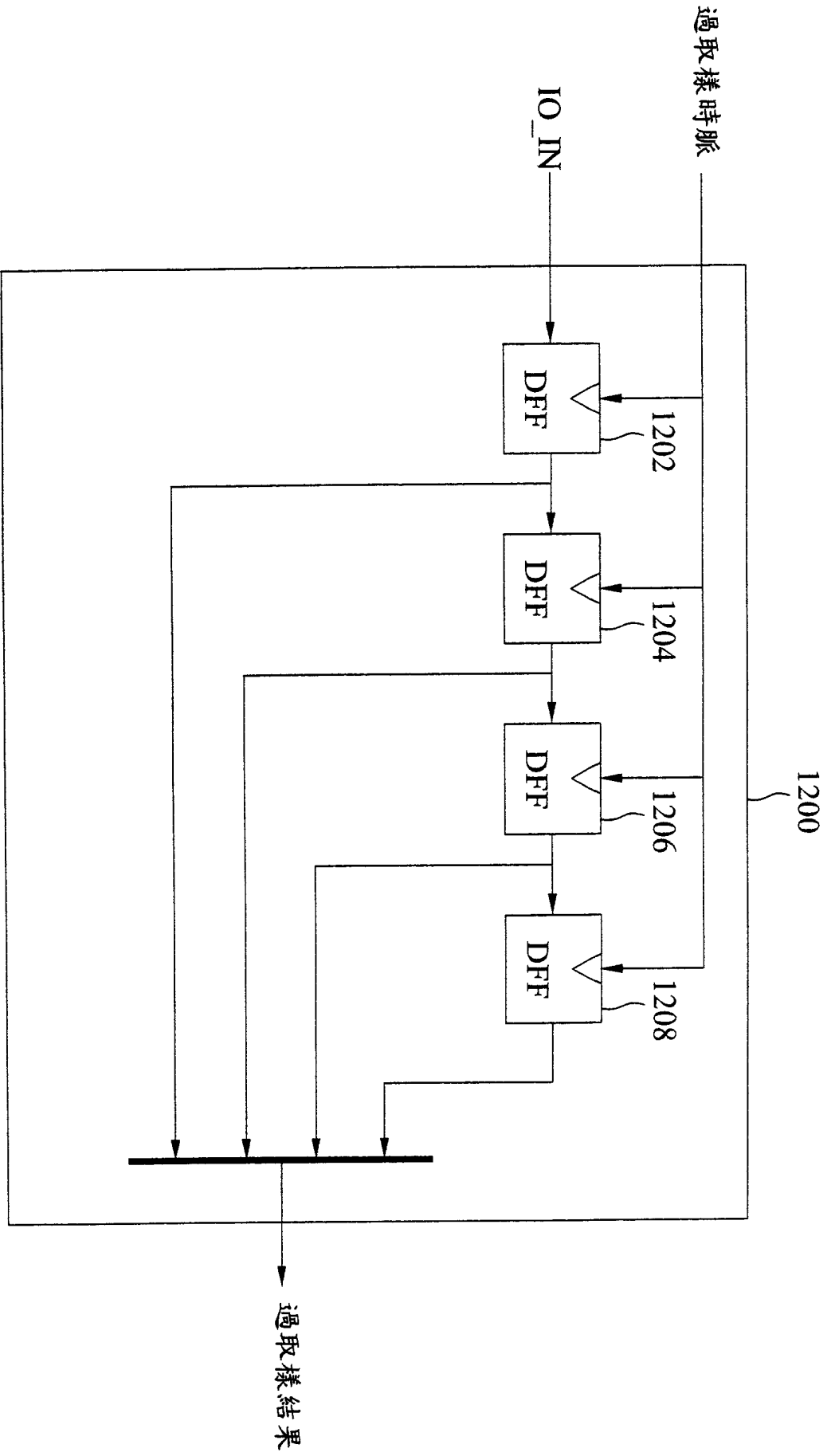
第 11B 圖



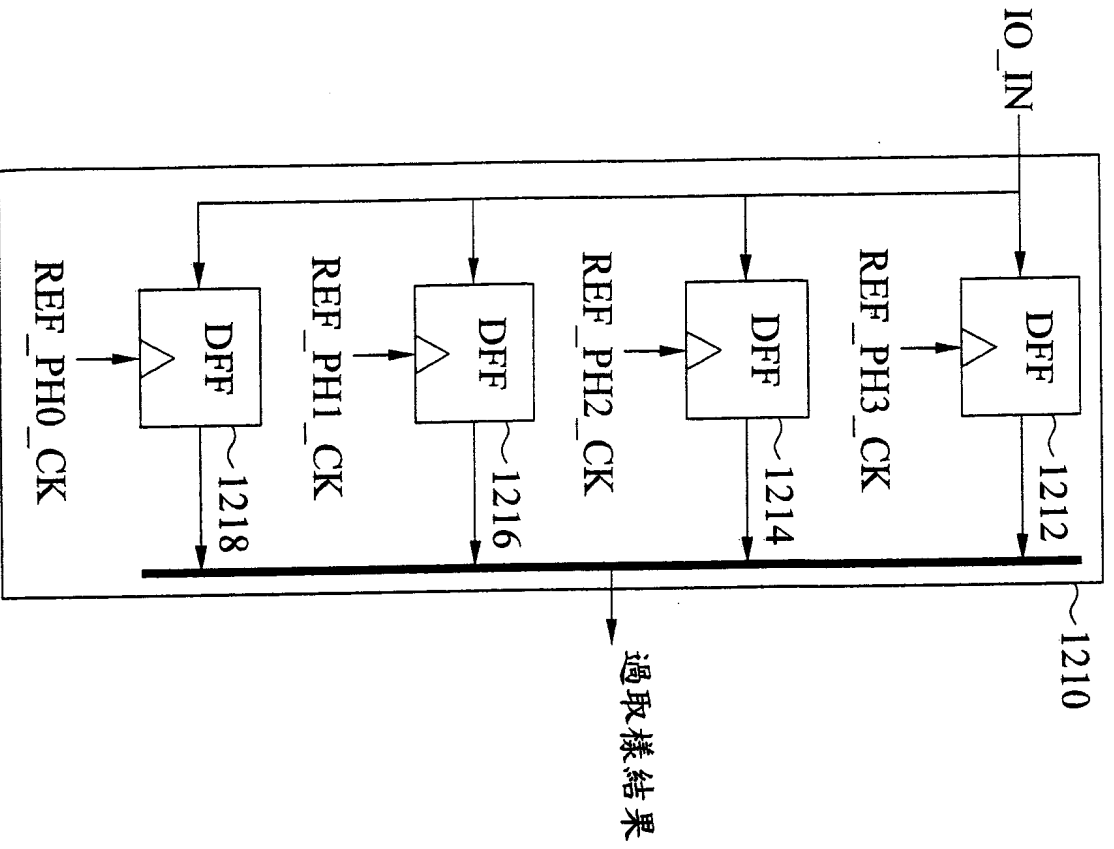
第11C圖



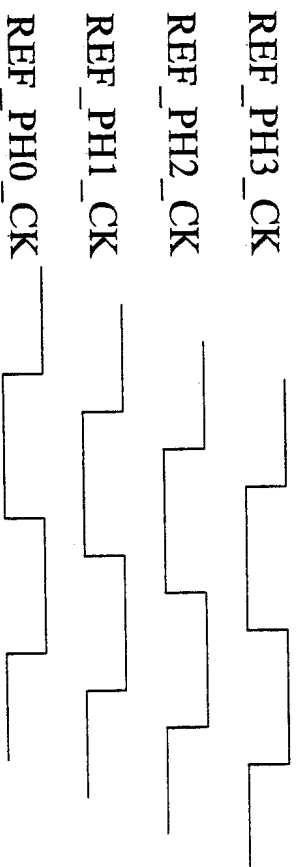
第11D圖



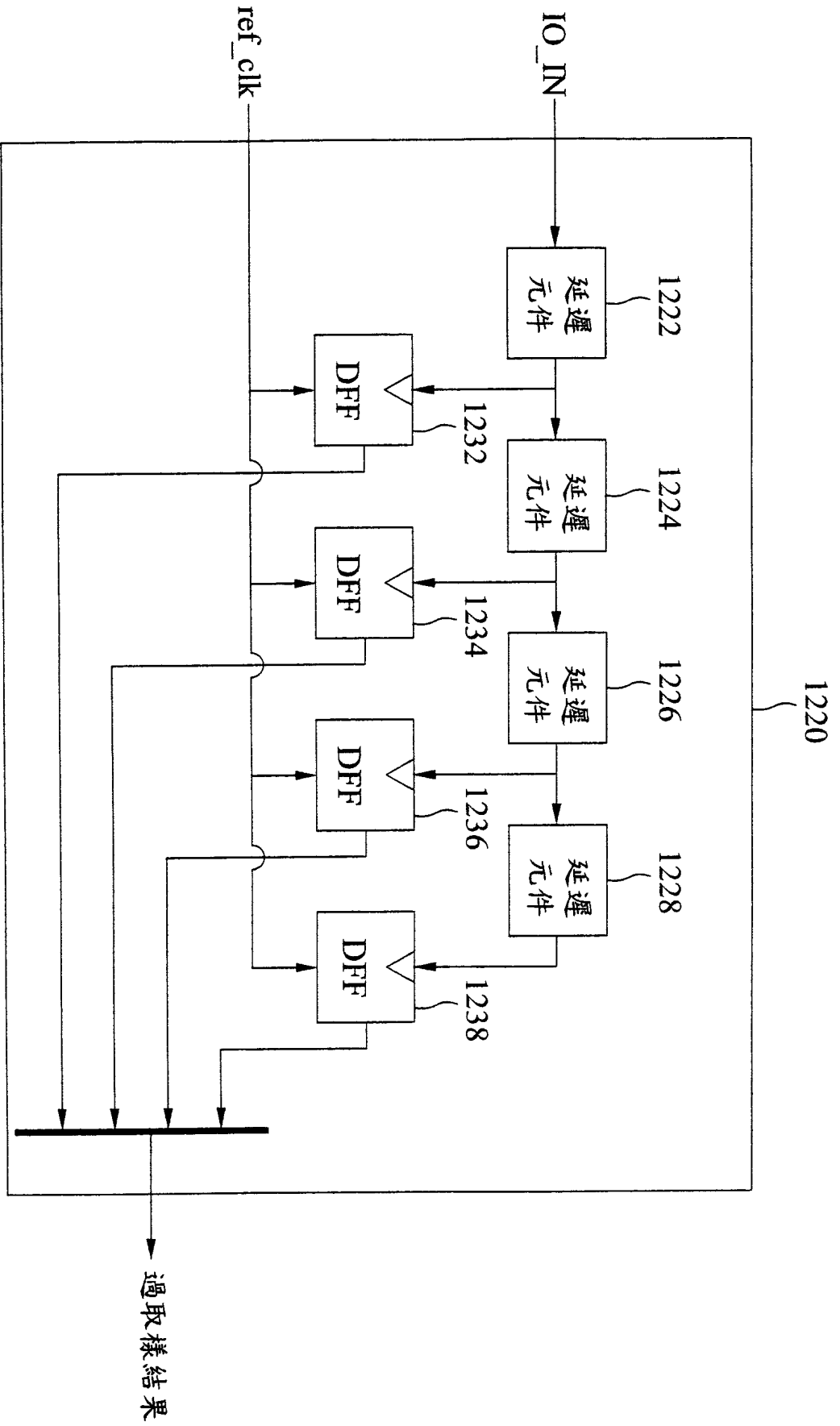
第12A圖



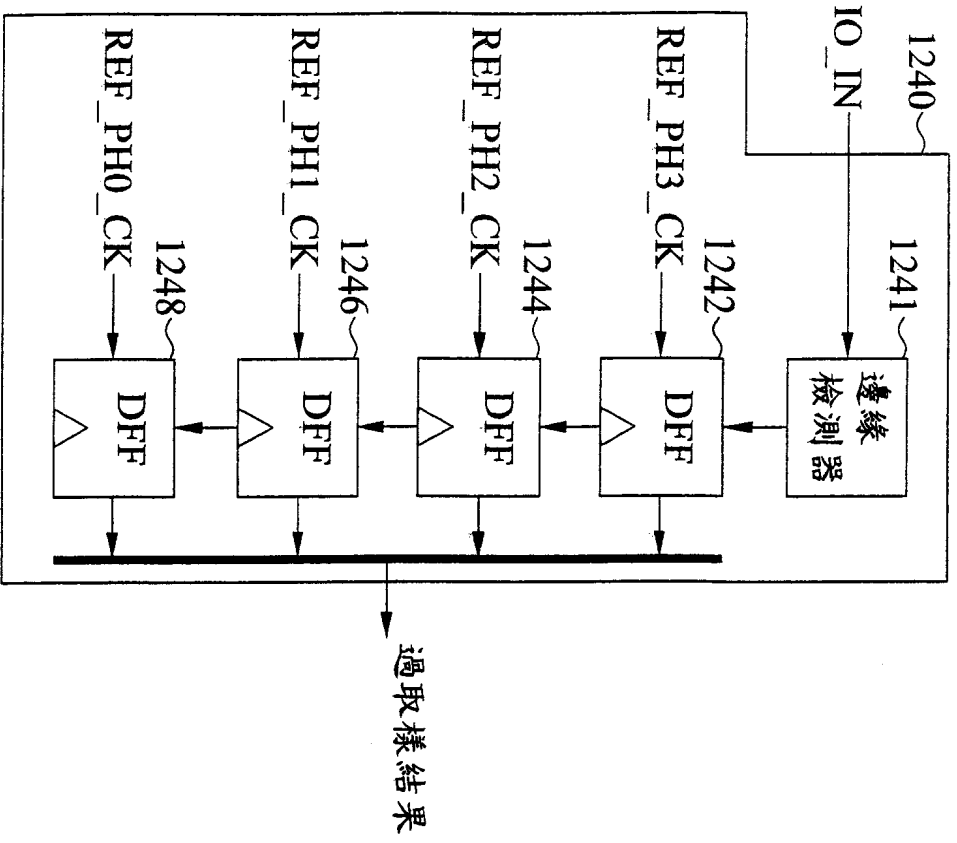
第12B圖



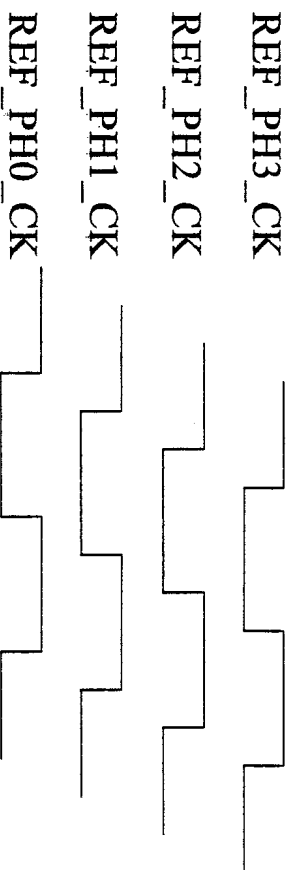
第12C圖



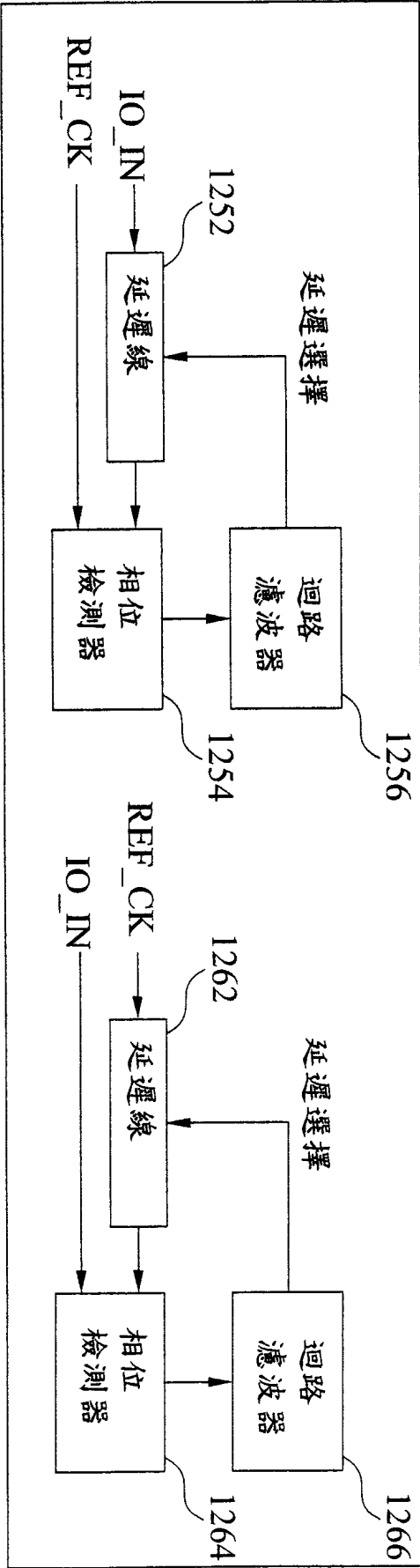
第12D圖



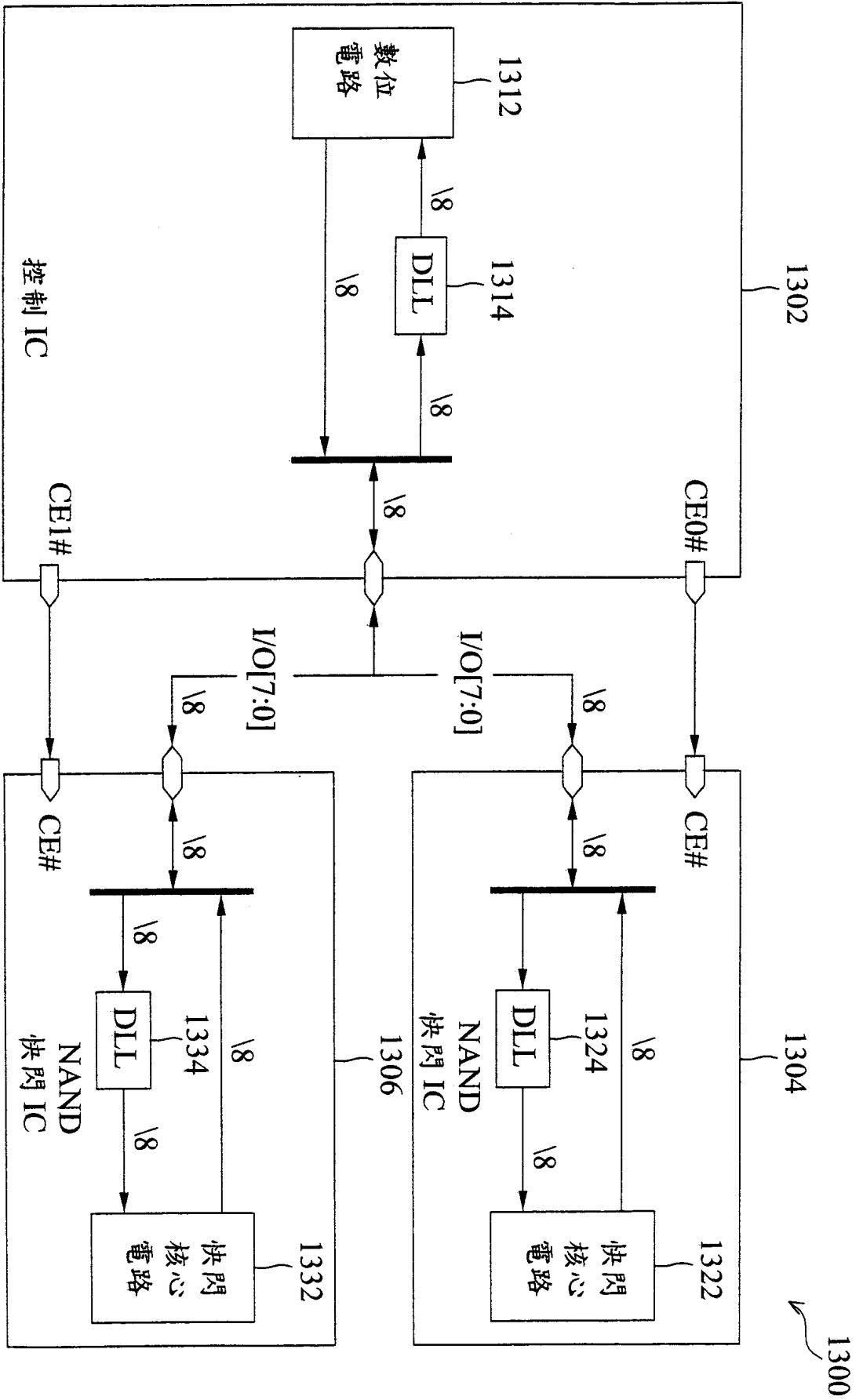
第12E圖



第12F圖



第12G圖



第13圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200~快閃裝置；

202~控制 IC；

204、206~NAND 快閃 IC。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：