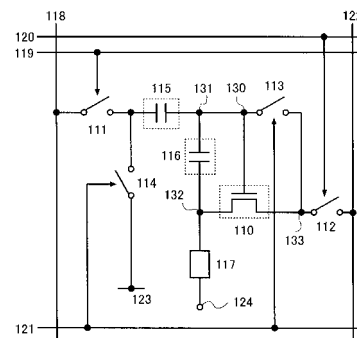




【特許請求の範囲】

【請求項 1】

第 1 及び第 2 のトランジスタと、第 1 乃至第 6 のスイッチと、容量素子と、発光素子と、を有し、

前記第 3 のスイッチと前記発光素子との間に、前記第 1 のトランジスタ及び前記第 1 のスイッチは、直列に電氣的に接続され、

前記第 3 のスイッチと前記発光素子との間に、前記第 2 のトランジスタ及び前記第 2 のスイッチは、直列に電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 4 のスイッチを介して、前記第 3 のスイッチと電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 2 の端子は、前記第 5 のスイッチを介して、第 2 の配線と電氣的に接続され、

前記容量素子の第 2 の端子は、前記第 6 のスイッチを介して、第 3 の配線と電氣的に接続されることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、信号によって輝度に変化する表示素子で形成された画素や、その画素を駆動させる信号線駆動回路や走査線駆動回路を含む表示装置に関する。また、その駆動方法に関する。さらには、その表示装置を表示部に有する電子機器に関する。

【背景技術】

【0002】

近年、画素をエレクトロルミネッセンス (EL: Electro Luminescence) などの発光素子を用いた自発光型の表示装置、いわゆる発光装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード (OLED (Organic Light Emitting Diode)) や EL 素子が注目を集めており、EL ディスプレイなどに用いられるようになってきている。これらの発光素子は自ら発光するため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要である。また、応答速度が速い等の利点がある。なお、発光素子の輝度は、そこを流れる電流値によって制御されるものが多い。

【0003】

また、発光素子の発光を制御するトランジスタが画素ごとに設けられたアクティブマトリクス型表示装置の開発が進められている。アクティブマトリクス型表示装置は、パッシブマトリクス型表示装置では困難な高精細な表示や大画面表示を可能とするだけでなく、パッシブマトリクス型表示装置より低い消費電力で動作するため実用化が期待されている。

【0004】

従来のアクティブマトリクス型表示装置の画素構成を図 62 に示す (特許文献 1)。図 62 に示した画素は、薄膜トランジスタ (Thin Film Transistor: TFT) 11、TFT 12、容量素子 13、発光素子 14 を有し、信号線 15 及び走査線 16 に接続されている。なお、TFT 12 のソース電極もしくはドレイン電極のいずれか一方及び容量素子 13 の一方の電極には電源電位 V_{dd} が供給され、発光素子 14 の対向電極にはグランド電位が供給されている。

【0005】

このとき、発光素子に供給する電流値を制御する TFT 12、即ち駆動用 TFT の半導体層にアモルファスシリコンを用いた場合、劣化等によりしきい値電圧 (V_{th}) に変動

10

20

30

40

50

が生じる。この場合、異なる画素に信号線 15 から同じ電位を印加したにもかかわらず、発光素子 14 に流れる電流は画素ごとに異なり、表示される輝度が画素によって不均一となる。なお、駆動用 T F T の半導体層にポリシリコンを用いた場合においても、トランジスタの特性が劣化したり、ばらついたりする。

【0006】

この問題を改善すべく、特許文献 2 において図 63 の画素を用いた動作方法が提案されている。図 63 に示した画素は、トランジスタ 21、発光素子 24 に供給する電流値を制御する駆動用トランジスタ 22、容量素子 23、発光素子 24 を有し、画素は信号線 25、走査線 26 に接続されている。なお、駆動用トランジスタ 22 は N M O S トランジスタであり、駆動用トランジスタ 22 のソース電極もしくはドレイン電極のいずれか一方にはグラウンド電位が供給され、発光素子 24 の対向電極には V_{ca} が供給される。

10

【0007】

この画素の動作におけるタイミングチャートを図 64 に示す。図 64 において、1 フレーム期間は、初期化期間 31、しきい値電圧 (V_{th}) 書き込み期間 32、データ書き込み期間 33 及び発光期間 34 に分割される。なお、1 フレーム期間とは 1 画面分の画像を表示する期間に相当し、初期化期間、しきい値電圧 (V_{th}) 書き込み期間及びデータ書き込み期間をまとめてアドレス期間と呼ぶ。

【0008】

まず、しきい値電圧書き込み期間 32 において、駆動用トランジスタ 22 のしきい値電圧が容量素子に書き込まれる。その後、データ書き込み期間 33 において、画素の輝度を示すデータ電圧 (V_{data}) が容量素子に書き込まれ、 $V_{data} + V_{th}$ が容量素子に蓄積される。そして、発光期間において駆動用トランジスタ 22 はオンとなり、 V_{ca} を変化させることでデータ電圧によって指定された輝度で発光素子 24 が発光する。このような動作により、駆動用トランジスタのしきい値電圧の変動による輝度のばらつきを低減している。

20

【0009】

特許文献 3 においても、駆動用 T F T のしきい値電圧にデータ電位を加えた電圧がゲート・ソース間電圧となり、T F T のしきい値電圧が変動した場合であっても流れる電流は変化しないことが開示されている。

上述のように表示装置では、駆動用 T F T のしきい値電圧のばらつきに起因する電流値のばらつきを抑制することが求められていた。

30

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開平 8-234683 号公報

【特許文献 2】特開 2004-295131 号公報

【特許文献 3】特開 2004-280059 号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

40

特許文献 2 及び 3 に記載されている動作方法はいずれの場合においても、 V_{ca} の電位を 1 フレーム期間当たりに数度と変化させることで上述した初期化、しきい値電圧の書き込み、発光を行っていた。これらの画素において、 V_{ca} が供給されている発光素子の一方の電極、即ち対向電極は画素領域全体に形成されているため、初期化及びしきい値電圧の書き込み以外にデータの書き込み動作を行っている画素がたとえ一つでもあると発光素子を発光させることができない。よって、図 65 に示すように、1 フレーム期間における発光期間の割合 (即ち、デューティー比) が小さくなってしまう。

【0012】

デューティー比が低いと発光素子や駆動用トランジスタに流す電流値を大きくする必要があるので、発光素子にかかる電圧が大きくなり消費電力が大きくなる。また、発光素子

50

や駆動用トランジスタが劣化しやすくなるため、画面の焼きつきが生じたり、劣化前と同等の輝度を得るにはさらに大きな電力を要することになる。

【0013】

また、対向電極は全画素接続されているため、発光素子は容量の大きい素子として機能する。よって、対向電極の電位を変えるためには、高い消費電力が必要となる。

【0014】

上記問題を鑑み、本発明は、消費電力が低く、明るい表示装置を提供することを課題とする。また、データ電位によって指定された輝度からのずれが少ない画素構成、半導体装置、及び表示装置を得ることを課題とする。なお、発光素子を有する表示装置のみが対象となるわけではなく、本発明はトランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することを課題とする。

10

【課題を解決するための手段】

【0015】

本発明の一は、負荷に供給する電流値を制御するトランジスタと、第1の保持容量と、第2の保持容量と、第1のスイッチ乃至第4のスイッチとを含む画素を有し、前記第2の保持容量に前記トランジスタのしきい値電圧を保持させた後、ビデオ信号に応じた電位を前記画素に入力する。このようにして、前記第2の保持容量に、前記しきい値電圧に前記ビデオ信号に応じた電位のうちの前記第1の保持容量と容量分割された電位が加算された電圧を保持させることで、トランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制する。よって、発光素子をはじめとする負荷に所望の電流を供給することができる。また、ビデオ信号によって指定された輝度からのずれが少ない表示装置を提供することが可能となる。

20

【0016】

本発明の一は、トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第2のスイッチを介して第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのゲート電極は、前記保持容量及び前記第4のスイッチを介して第2の配線に電氣的に接続され、前記トランジスタのゲート電極は、前記保持容量及び前記第1のスイッチを介して第3の配線に電氣的に接続されている半導体装置である。

30

【0017】

本発明の一は、トランジスタと、第1の保持容量と、第2の保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記第2の保持容量を介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第2のスイッチを介して第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第4のスイッチを介して第2の配線と電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第1のスイッチを介して第3の配線と電氣的に接続されている半導体装置である。

40

【0018】

本発明の一は、トランジスタと、第1の保持容量と、第2の保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチと、第5のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記第2の保持容量を介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのソース電極及

50

びドレイン電極の一方は第5のスイッチを介して第4の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第2のスイッチを介して第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第4のスイッチを介して第2の配線に電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第1のスイッチを介して第3の配線に電氣的に接続されている半導体装置である。

【0019】

上記構成において、前記第2の配線は第1のスイッチを制御する配線と同一であることを特徴としても良い。また、前記第2の配線は前行もしくは次行の第1のスイッチ乃至第4のスイッチを制御する走査線のいずれかであっても良い。

10

【0020】

本発明の一は、トランジスタと、第1の保持容量と、第2の保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記第2の保持容量を介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第2のスイッチを介して第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第4のスイッチを介して前記第1の配線と電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第1のスイッチを介して第3の配線と電氣的に接続されている半導体装置である。

20

【0021】

本発明の一は、トランジスタと、第1の保持容量と、第2の保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、整流素子とを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記第2の保持容量を介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第2のスイッチを介して第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記整流素子を介して第2の配線に電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第1のスイッチを介して第3の配線に電氣的に接続されている半導体装置である。

30

【0022】

本発明の一は、トランジスタと、第1の保持容量と、第2の保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の一方は前記第2の保持容量を介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第2のスイッチを介して第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して前記トランジスタのゲート電極と電氣的に接続され、前記トランジスタのゲート電極は、前記第1の保持容量及び前記第1のスイッチを介して第3の配線に電氣的に接続され、前記第4のスイッチは前記第1の保持容量と並列に電氣的に接続され、なおかつ前記第1のスイッチを介して前記第3の配線に電氣的に接続されている半導体装置である。

40

【0023】

前記トランジスタは、Nチャネル型トランジスタであってもよい。また、前記トランジスタの半導体層は、非晶質半導体膜からなることを特徴としてもよい。さらに、前記トラ

50

ンジスタの半導体層は、アモルファスシリコンからなることを特徴としてもよい。

【0024】

また、前記トランジスタの半導体層は、結晶性半導体膜からなることを特徴としてもよい。

【0025】

上記発明において、前記第1の配線の電位は、前記画素電極の電位に前記トランジスタのしきい値電圧を加算した値より高いことを特徴しても良い。

【0026】

また、前記トランジスタは、Pチャネル型トランジスタであってもよい。その場合、上記発明において、前記第1の配線の電位は、前記画素電極の電位から前記トランジスタのしきい値電圧を減算した値より低いことを特徴としても良い。

【0027】

本発明の一は、第1の保持容量と、ソース電極及びドレイン電極の一方が負荷に電氣的に接続され、ソース電極及びドレイン電極の他方が第1の配線に電氣的に接続され、ゲート電極が前記第1の保持容量を介して第2の配線と電氣的に接続されるトランジスタと、前記トランジスタのゲートソース間電圧を保持する第2の保持容量と、前記第1の保持容量に第1の電圧を、前記第2の保持容量に第2の電圧を保持させる手段と、前記第2の保持容量の第2の電圧を前記トランジスタのしきい値電圧まで放電させる手段と、前記第2の配線からビデオ信号に応じた電位を前記第1の保持容量に入力することにより前記トランジスタに設定された電流を前記負荷に供給する手段とを有することを特徴とする半導体装置である。

【0028】

前記トランジスタは、Nチャネル型トランジスタであってもよい。また、前記トランジスタの半導体層は、非晶質半導体膜からなることを特徴としてもよい。さらに、前記トランジスタの半導体層は、アモルファスシリコンからなることを特徴としてもよい。

【0029】

また、前記トランジスタの半導体層は、結晶性半導体膜からなることを特徴としてもよい。

【0030】

また、前記トランジスタは、Pチャネル型トランジスタであってもよい。

【0031】

また、本発明の一は、上記に記載した半導体装置を有する表示装置である。また、前記表示装置を有する電子機器である。

【0032】

なお、明細書に示すスイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることが出来る。また、これらを組み合わせた論理回路をスイッチとして用いることも可能である。

【0033】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。また、スイッチとして動作させるトランジスタのソース電極の電位が、低電位側電源（Vss、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対

にソース電極の電位が高電位側電源（V_{dd}など）に近い状態で動作する場合はPチャネル型のトランジスタを用いることが望ましい。このように動作させることで、ゲートソース間電圧の絶対値を大きくできるため、スイッチとしての動作がより容易になる。また、ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなることを防止することができる。

【0034】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、様々な入力電圧に対し出力電圧を制御しやすいため、適切な動作を行うことができる。さらに、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることができるため、消費電力を低減することも可能である。

10

【0035】

なお、スイッチとしてトランジスタを用いる場合、ソース電極及びドレイン電極の一方がスイッチの入力端子として、ソース電極及びドレイン電極の他方が出力端子として、ゲート電極がスイッチの導通を制御する端子として機能する。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、スイッチとしてトランジスタよりダイオードを用いた方が、端子を制御するための配線が不要なため、配線数を少なくすることができる。

【0036】

なお、本発明において接続されているとは、電氣的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係、例えば図または文章に示された接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が配置されていてもよい。もちろん、間に他の素子を介さずに配置されていてもよく、電氣的に接続されているとは直接的に接続されている場合を含むものとする。

20

なお、負荷はエレクトロルミネセンス素子に代表される発光素子に限定されず、電流が流れることにより明るさ、色調、偏光などが変化する表示媒体を適用することができる。その他、所望の電流を負荷に供給することができれば良いため、負荷には例えば電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）など磁氣的作用によりコントラストが変化する表示媒体なども適用することができる。また、電子放出素子にカーボンナノチューブを利用することも可能である。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などが挙げられる。また、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイや反射型液晶ディスプレイが、電子インクを用いた表示装置としては電子ペーパーがある。

30

【0037】

なお、トランジスタとは、ゲート電極と、ドレイン領域と、ソース領域とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、ソース領域またはドレイン領域の範囲を正確に限定することが困難である。そこで、トランジスタの接続関係を説明する際には、ドレイン領域とソース領域の2端子についてはこれらの領域に接続された電極の一方を第1の電極、他方を第2の電極と表記し、説明に用いる。

40

【0038】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよく、エミッタとコレクタのいずれか一方が第1の電極、他方が第2の電極に相当する。

50

【0039】

本発明において、トランジスタは、様々な形態のトランジスタを適用させることができ、種類に特に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFET）などを用いることができる。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減や製造装置の大型化を図ることができる。製造装置の大型化が可能となることで、大型基板上に製造でき、同時に多くの個数の表示装置を製造できる。よって、さらに低コストで製造することが可能となる。また、製造温度が低いため、耐熱性の弱い基板を用いることもでき、例えばガラス基板等の透光性を有する基板上にトランジスタを製造できる。

10

【0040】

なお、多結晶シリコンを製造する際、触媒（ニッケルなど）を用いることにより結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することが可能となる。なお、必ずしも触媒を用いる必要はない。

【0041】

また、微結晶シリコンを用いた際にも、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッチなど）を基板上に一体形成することが出来る。

20

【0042】

また、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。その場合、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることが出来る。これらにより、特性、サイズや形状などのバラツキが少なく、電流供給能力が高いトランジスタを製造することができる。よって、回路の低消費電力化、回路の高集積化等を図ることができる。

【0043】

また、ZnO、 α -InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらにこれらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することができる。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、これらをトランジスタと同時に成膜又は形成できるため、コストを低減することができる。

30

【0044】

また、インクジェットや印刷法を用いて形成したトランジスタなども用いることができる。これにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。また、マスク（レチクル）を用いずに製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。さらに、レジストを用いる必要がないため、工程数が削減され、製造コストを低減することができる。また、必要な部分にのみ成膜するため、全面に成膜した後にエッチングする場合に比べ材料が無駄にならず低コストで作製することが可能となる。

40

【0045】

また、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。このようなトランジスタはフレキシブルな基板にも設けることが可能であるため、衝撃耐性に優れている。これらに限らず、その他様々なトランジスタを用いることができる。

50

【0046】

なお、トランジスタが形成されている基板の種類においても、様々なものを用いることができ、特定のものに限定されることはない。トランジスタが形成される基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。また、ある基板でトランジスタを形成し、その後、他の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、より特性の高いトランジスタの形成、耐熱性の向上や軽量化を図ることができる。

10

【0047】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。このようなマルチゲート構造により、オフ電流の低減及びトランジスタの耐圧向上によりトランジスタの信頼性をより優れたものとすることができる。また、マルチゲート構造により、飽和領域で動作する際、ドレイン・ソース間電圧が変化してもドレイン・ソース間電流があまり変化せず、傾きがフラットな電圧－電流特性を得ることができる。傾きがフラットな電圧－電流特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性の良い差動回路やカレントミラー回路を実現することが出来る。また、チャネル領域の上下にゲート電極が配置されている構造でもよい。チャネル領域の上下にゲート電極を配置することにより、実効的なチャネル領域が増えるため、電流量の増加や空乏層ができやすくなることによるS値の低減を図ることができる。なお、チャネル領域の上下にゲート電極が配置した場合、複数のトランジスタが並列に接続されたような構成となる。

20

30

【0048】

また、チャネル領域の上にゲート電極が配置されている構造でもよいし、チャネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよい。また、チャネル領域が複数の領域に分かれていたり、チャネル領域が並列もしくは直列に接続されていてもよい。さらに、チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。このようにチャネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造とすることにより、チャネル領域の一部に電荷がたまり、動作が不安定となることを防ぐことができる。また、LDD領域を設けても良い。LDD領域を設けることにより、オフ電流の低減及びトランジスタの耐圧向上によりトランジスタの信頼性をより優れたものとすることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する際、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず傾きがフラットな電圧－電流特性を得ることができる。

40

【0049】

なお、上述したように、本発明におけるトランジスタは、様々なタイプのトランジスタを用いることができ、さらに様々な基板上に形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板上に形成されていてもよい。例えば、所定の機能を実現させるために必要な回路の全てがガラス基板、プラスチック基板、単結晶基板、またはSOI基板上に形成されていてもよい。このように所定の機能を実

50

現させるために必要な回路の全てが同じ基板上に形成することで、部品点数の削減によるコストの低減や回路部品との接続点数の低減による信頼性の向上を図ることができる。一方、所定の機能を実現させるために必要な回路の一部をある基板に、所定の機能を実現させるために必要な回路の別の一部を他の基板に形成してもよい。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板上に形成する必要はない。

【0050】

例えば、所定の機能を実現させるために必要な回路の一部をガラス基板上に、別の一部を単結晶基板上に形成し、このように単結晶基板上のトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減や回路部品との接続点数の低減による信頼性の向上を図ることができる。また、駆動電圧が高い部分や駆動周波数が高い部分の回路は消費電力が大きいので、このような部分の回路は他の回路と同じ基板に形成せず、例えば単結晶基板上に形成したICチップを用いることで消費電力の増加を防ぐことができる。

なお、本明細書において、一画素とは明るさを制御できる要素一つ分を示すものとする。一例としては、一画素は一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R (赤) G (緑) B (青) の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、RGBW (Wは白) やRGBに、例えばイエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したものなどがある。また、RGBの中の少なくとも一色に類似した色を、RGBに追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2は、いずれも青色であるが、周波数が多少異なっている。同様に、R1、R2、G、BやR、G1、G2、Bとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができる。また、このような色要素を用いることにより、消費電力を低減することが出来る。また、別の例としては、1つの色要素について複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素としてもよい。一例として、面積階調を行う場合または副画素 (サブ画素) を有している場合が挙げられる。このような場合、一つの色要素につき明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素としてもよく、この場合一つの色要素は複数の画素で構成されることとなる。また、明るさを制御する領域が1つの色要素の中に複数あっても、それらをまとめて、1つの色要素を1画素としてもよい。なお、その場合には一つの色要素で一つの画素を構成することとなる。また、1つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、1つの色要素について複数ある領域が有する画素電極の電位を各々異なるものとすることで液晶分子に加わる電圧を異

【0051】

なお、本明細書において、半導体装置とは半導体素子 (トランジスタやダイオードなど) を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、基板上に負荷を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体だけではなく、それにフレキシブルプリントサーキット (FPC) やプリント配線基盤 (PWB) が取り付けられたものも含む。

【0052】

なお、本発明において、ある物の上に形成されている、あるいは～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直

10

20

30

40

50

接接していることに限定されない。直接接してはいない場合、つまり間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上に（もしくは層A上に）層Bが形成されているという場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に別の層（例えば層Cや層Dなど）が形成されており、その上に層Bが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って、例えば層Aの上方に層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に別の層（例えば層Cや層Dなど）が形成されおり、その上に層Bが形成されている場合とを含むものとする。なお、～の下、もしくは～の下方に、という記載の場合についても、同様に直接接している場合と、接していない場合とを含むこととする。

10

【発明の効果】

【0053】

本発明により、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができる。そのため、発光素子をはじめとする負荷に所望の電流を供給することができる。特に、負荷として発光素子を用いる場合、輝度のばらつきが少なく1フレーム期間における発光期間の割合が高い表示装置を提供することができる。

【図面の簡単な説明】

【0054】

【図1】実施の形態1に示す画素構成を説明する図。

20

【図2】図1で示した画素の動作を説明するタイミングチャート。

【図3】図1で示した画素の動作を説明する図。

【図4】チャネル長変調による電圧－電流特性のモデル図。

【図5】実施の形態1に示す画素構成を説明する図。

【図6】実施の形態1に示す画素構成を説明する図。

【図7】実施の形態1に示す表示装置を説明する図。

【図8】実施の形態1に示す表示装置の書き込み動作を説明する図。

【図9】実施の形態2に示す画素構成を説明する図。

【図10】実施の形態3に示す画素構成を説明する図。

【図11】実施の形態3に示す画素構成を説明する図。

30

【図12】実施の形態3に示す画素構成を説明する図。

【図13】実施の形態4に示す画素構成を説明する図。

【図14】実施の形態4に示す画素構成を説明する図。

【図15】実施の形態4に示す画素構成を説明する図。

【図16】実施の形態4に示す画素構成を説明する図。

【図17】実施の形態9に示す画素の部分断面図。

【図18】実施の形態9に示す発光素子を説明する図。

【図19】実施の形態9に示す光の取り出し方向を説明する図。

【図20】実施の形態9に示す画素の部分断面図。

【図21】実施の形態9に示す画素の部分断面図。

40

【図22】実施の形態9に示す画素の部分断面図。

【図23】実施の形態9に示す画素の部分断面図。

【図24】実施の形態9に示す画素の部分断面図。

【図25】実施の形態11に示す表示装置を説明する図。

【図26】実施の形態11に示す表示装置を説明する図。

【図27】実施の形態11に示す表示装置を説明する図。

【図28】実施の形態11に示す画素の部分断面図。

【図29】実施の形態5に示す画素構成を説明する図。

【図30】実施の形態5に示す画素構成を説明する図。

【図31】実施の形態6に示す画素構成を説明する図。

50

- 【図 3 2】図 3 1 で示した画素の動作を説明するタイミングチャート。
- 【図 3 3】本発明を適用可能な電子機器を説明する図。
- 【図 3 4】携帯電話機の構成例を示す図。
- 【図 3 5】EL モジュールの例を示す図。
- 【図 3 6】EL テレビ受像器の主要な構成を示すブロック図。
- 【図 3 7】実施の形態 6 に示す画素構成を説明する図。
- 【図 3 8】実施の形態 7 に示す画素構成を説明する図。
- 【図 3 9】デジタル階調方式と時間階調方式とを組み合わせた駆動方式を説明する図。
- 【図 4 0】実施の形態 7 に示す画素構成を説明する図。
- 【図 4 1】実施の形態 7 に示す画素構成を説明する図。
- 【図 4 2】実施の形態 7 に示す画素構成を説明する図。
- 【図 4 3】実施の形態 1 に示す画素構成を説明する図。
- 【図 4 4】図 6 に示す画素のレイアウトを説明する上面図。
- 【図 4 5】図 6 に示す画素のレイアウトを説明する上面図。
- 【図 4 6】実施の形態 8 に示す画素構成を説明する図。
- 【図 4 7】図 4 6 で示した画素の動作を説明するタイミングチャート。
- 【図 4 8】図 4 6 で示した画素の動作を説明する図。
- 【図 4 9】実施の形態 8 に示す画素構成を説明する図。
- 【図 5 0】実施の形態 8 に示す画素構成を説明する図。
- 【図 5 1】実施の形態 10 に示す発光素子を説明する図。
- 【図 5 2】実施の形態 10 に示す発光素子を説明する図。
- 【図 5 3】実施の形態 1 に示す画素の動作を説明する図。
- 【図 5 4】実施の形態 1 に示す画素構成を説明する図。
- 【図 5 5】実施の形態 1 に示す画素構成を説明する図。
- 【図 5 6】本発明に係る表示装置の応用例を説明する図。
- 【図 5 7】本発明に係る表示装置の応用例を説明する図。
- 【図 5 8】本発明に係る表示装置の応用例を説明する図。
- 【図 5 9】本発明に係る表示装置の応用例を説明する図。
- 【図 6 0】本発明に係る表示装置の応用例を説明する図。
- 【図 6 1】本発明に係る表示装置の応用例を説明する図。
- 【図 6 2】従来技術の画素構成を説明する図。
- 【図 6 3】従来技術の画素構成を説明する図。
- 【図 6 4】従来技術に示した画素を動作させるタイミングチャート。
- 【図 6 5】従来技術を用いた際の 1 フレーム期間における発光期間の割合を説明する図。
- 【発明を実施するための形態】

【0055】

以下、本発明の一態様について説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

（実施の形態 1）

本発明の画素の基本構成について、図 1 を用いて説明する。図 1 に示す画素は、トランジスタ 110、第 1 のスイッチ 111、第 2 のスイッチ 112、第 3 のスイッチ 113、第 4 のスイッチ 114、第 1 の容量素子 115、第 2 の容量素子 116、発光素子 117 を有する。なお、画素は、信号線 118、第 1 の走査線 119、第 2 の走査線 120、第 3 の走査線 121、電源線 122 及び電位供給線 123 に接続されている。本実施の形態において、トランジスタ 110 は N チャンネル型トランジスタとし、そのゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき、導通状態になるものとする。また、発光素子 117 の画素電極は陽極、対向電極 124 は陰極として機能する。なお、

トランジスタのゲート・ソース間電圧は V_{gs} 、ドレイン・ソース間電圧は V_{ds} 、しきい値電圧は V_{th} 、第1の容量素子115及び第2の容量素子116に蓄積された電圧はそれぞれ V_{c1} 、 V_{c2} と記し、電源線122、電位供給線123及び信号線118を、それぞれ第1の配線、第2の配線、第3の配線とも呼ぶ。また、第1の走査線119、第2の走査線120及び第3の走査線121を、それぞれ第4の配線、第5の配線、第6の配線と呼んでも良い。

【0056】

トランジスタ110の第1の電極（ソース電極及びドレイン電極の一方）は、発光素子117の画素電極に接続され、第2の電極（ソース電極及びドレイン電極の他方）は第2のスイッチ112を介して電源線122に接続され、ゲート電極は第3のスイッチ113及び第2のスイッチ112を介して電源線122と接続されている。なお、第3のスイッチ113は、トランジスタ110のゲート電極と第2のスイッチ112との間に接続されている。

10

【0057】

また、トランジスタ110のゲート電極と第3のスイッチ113との接続箇所をノード130とすると、ノード130は第1の容量素子115及び第1のスイッチ111を介して信号線118と接続されている。つまり、第1の容量素子115の第1の電極が第1のスイッチ111を介して信号線118に、第2の電極がトランジスタ110のゲート電極に接続されている。また、第1の容量素子115の第1の電極は第4のスイッチ114を介して電位供給線123とも接続されている。ノード130は、さらに第2の容量素子116を介してトランジスタ110の第1の電極とも接続されている。つまり、第2の容量素子116の第1の電極がトランジスタ110のゲート電極と、第2の電極がトランジスタ110の第1の電極に接続されている。これら容量素子は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、場合によっては図55に示すようにトランジスタ110のゲート容量を用いて第2の容量素子116を省略することも可能である。これらの電圧を保持する手段を保持容量と言う。また、ノード130と、第1の容量素子115の第2の電極と第2の容量素子116の第1の電極とが接続されている配線との接続箇所をノード131、トランジスタ110の第1の電極と、第2の容量素子116の第2の電極と発光素子117の画素電極とが接続されている配線との接続箇所をノード132、及びトランジスタ110の第2の電極と、第2のスイッチ112と第3のスイッチ113とが接続されている配線との接続箇所をノード133とする。

20

30

【0058】

なお、第1の走査線119、第2の走査線120、第3の走査線121に信号を入力することにより、それぞれ第1のスイッチ111、第2のスイッチ112、第3のスイッチ113及び第4のスイッチ114のオンオフが制御される。

【0059】

信号線118には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

【0060】

次に、図1で示した画素の動作について図2のタイミングチャート及び図3を用いて説明する。なお、図2において1画面分の画像を表示する期間に相当する1フレーム期間は、初期化期間、しきい値電圧書き込み期間、データ書き込み期間及び発光期間に分割される。また、初期化期間、しきい値電圧書き込み期間、データ書き込み期間をまとめてアドレス期間と呼ぶ。1フレーム期間は特に限定はないが、画像をみる人がちらつき（フリッカ）を感じないように少なくとも $1/60$ 秒以下とすることが好ましい。

40

【0061】

なお、発光素子117の対向電極124には V_1 の電位（ V_1 ：任意の数）が入力される。また、発光素子117が発光するために少なくとも必要とする電位差を V_{EL} とすると、電源線122には $V_1 + V_{EL} + V_{th} + \alpha$ （ α ：任意の正の数）の電位が入力される。つまり、電源線122は $V_1 + V_{EL} + V_{th} + \alpha$ 以上の電位であれば良い。電位供

50

給線 1 2 3 の電位は特に限定されないが、画素が形成されたパネルに入力する電位の範囲内であることが好ましい。こうすることで、電源を別途作製する必要がなくなる。なお、ここでは電位供給線 1 2 3 の電位を V_2 とする。

【0062】

まず、図 2 (A) 及び図 3 (A) に示すように初期化期間では、第 1 のスイッチ 1 1 1 をオフとし、第 2 のスイッチ 1 1 2、第 3 のスイッチ 1 1 3 及び第 4 のスイッチ 1 1 4 をオンとする。このとき、トランジスタ 1 1 0 は導通状態であり、第 1 の容量素子 1 1 5 には $V_1 + V_{EL} + V_{th} + \alpha - V_2$ が、第 2 の容量素子 1 1 6 には $V_{th} + \alpha$ が保持される。なお、初期化期間では、第 1 の容量素子 1 1 5 には所定の電圧が、第 2 の容量素子 1 1 6 には少なくとも V_{th} より高い電圧が保持されれば良い。

10

【0063】

図 2 (B) 及び図 3 (B) に示すしきい値電圧書き込み期間では、第 2 のスイッチ 1 1 2 をオフとする。そのため、トランジスタ 1 1 0 の第 1 の電極即ちソース電極の電位は次第に上昇し、トランジスタ 1 1 0 のゲート・ソース間電圧 V_{gs} がしきい値電圧 (V_{th}) となったところでトランジスタ 1 1 0 は非導通状態となる。よって、第 2 の容量素子 1 1 6 に保持される電圧 V_{c2} はおおむね V_{th} となる。

【0064】

その後の図 2 (C) 及び図 3 (C) に示すデータ書き込み期間においては、第 3 のスイッチ 1 1 3 及び第 4 のスイッチ 1 1 4 をオフとした後、第 1 のスイッチ 1 1 1 をオンとし、信号線 1 1 8 より輝度データに応じた電位 ($V_2 + V_{data}$) を入力する。このとき、第 2 の容量素子 1 1 6 に保持される電圧 V_{c2} は、第 1 の容量素子 1 1 5、第 2 の容量素子 1 1 6 及び発光素子 1 1 7 の静電容量をそれぞれ C_1 、 C_2 、 C_3 とすると $C_3 > C_1$ 、 C_2 より式 (1) のように表すことができる。

20

【0065】

【数 1】

$$V_{c2} = V_{th} + V_{data} \times \frac{C_1}{C_1 + C_2} \quad \dots(1)$$

【0066】

なお、 C_1 と C_2 は信号線 1 1 8 より供給する電位を決定する際に必要であるが、これらの関係は特に限定されない。なお、 $C_1 > C_2$ の場合には、輝度変化に伴う V_{data} の振幅を少なくすることが可能であるため消費電力を低減することができる。一方、 $C_2 > C_1$ の場合には、周囲のスイッチのオン、オフやオフ電流による V_{c2} の変化を抑制することができる。これらの相反する効果より C_1 と C_2 は等しく、第 1 の容量素子 1 1 5 と第 2 の容量素子 1 1 6 の大きさは同じであることが好ましい。

30

【0067】

なお、次の発光期間において発光素子 1 1 7 を非発光としたい場合には、 $V_{data} \leq 0$ の電位を入力すれば良い。

【0068】

次に、図 2 (D) 及び図 3 (D) に示す発光期間では、第 1 のスイッチ 1 1 1 をオフとした後、第 2 のスイッチ 1 1 2 をオンとする。このとき、トランジスタ 1 1 0 のゲート・ソース間電圧は $V_{gs} = V_{th} + V_{data} \times (C_1 / (C_1 + C_2))$ であり、輝度データに応じた電流がトランジスタ 1 1 0 及び発光素子 1 1 7 に流れ、発光素子 1 1 7 が発光する。もちろん、信号線 1 1 8 より入力される輝度データに応じた電位は、トランジスタ 1 1 0 のゲート・ソース間電圧が $V_{gs} = V_{th} + V_{data} \times (C_1 / (C_1 + C_2))$ となることを考慮して V_{data} を決定する。

40

【0069】

なお、発光素子 1 1 7 に流れる電流 I は、トランジスタ 1 1 0 を飽和領域で動作させた場合、式 (2) で表される。

【0070】

50

【数 2】

$$\begin{aligned}
 I &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} (V_{gs} - V_{th})^2 \\
 &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} \left(V_{th} + V_{data} \times \frac{C_1}{C_1 + C_2} - V_{th} \right)^2 \\
 &= \frac{1}{2} \left(\frac{W}{L} \right) \mu C_{ox} \left(V_{data} \times \frac{C_1}{C_1 + C_2} \right)^2 \dots (2)
 \end{aligned}$$

10

【0071】

また、トランジスタ110を線形領域で動作させた場合、発光素子117に流れる電流Iは式(3)で表される。

【0072】

【数 3】

$$\begin{aligned}
 I &= \left(\frac{W}{L} \right) \mu C_{ox} \left[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \\
 &= \left(\frac{W}{L} \right) \mu C_{ox} \left[\left(V_{th} + V_{data} \times \frac{C_1}{C_1 + C_2} - V_{th} \right) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \\
 &= \left(\frac{W}{L} \right) \mu C_{ox} \left[\left(V_{data} \times \frac{C_1}{C_1 + C_2} \right) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \dots (3)
 \end{aligned}$$

20

【0073】

ここで、Wはトランジスタ110のチャネル幅、Lはチャネル長、 μ は移動度、 C_{ox} は蓄積容量を指す。

【0074】

式(2)及び式(3)より、トランジスタ110の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子117に流れる電流は、トランジスタ110のしきい値電圧(V_{th})に依存しない。よって、トランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流を発光素子117に供給することができる。

30

【0075】

以上のことから、トランジスタ110のしきい値電圧のばらつきに起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能となる。

【0076】

さらに、トランジスタ110を飽和領域で動作させた場合においては、発光素子117の劣化による輝度のばらつきも抑制できる。なお、発光素子の劣化は、その電流電圧特性が劣化前に比べ平行にシフトした場合に限られない。例えば、特性の傾きや特性が曲線で表される際にはその微分値が劣化前と比べ異なる場合も含まれる。発光素子117が劣化すると、発光素子117の V_{EL} は増大し、トランジスタ110の第1の電極、即ちソース電極の電位は上昇する。このとき、トランジスタ110のソース電極は第2の容量素子116の第2の電極に、トランジスタ110のゲート電極は第2の容量素子116の第1の電極に接続されており、なおかつゲート電極側は浮遊状態となっている。そのため、ソース電位の上昇に伴い、同じ電位だけトランジスタ110のゲート電位も上昇する。よって、トランジスタ110の V_{gs} は変化しないため、たとえ発光素子が劣化してもトランジスタ110及び発光素子117に流れる電流に影響しない。なお、式(2)においても発光素子に流れる電流Iはソース電位やドレイン電位に依存しないことがわかる。

40

50

【0077】

よって、トランジスタ110を飽和領域で動作させた場合においては、トランジスタ110のしきい値電圧のばらつき及び発光素子117の劣化に起因したトランジスタ110に流れる電流のばらつきを抑制することができる。

【0078】

なお、トランジスタ110を飽和領域で動作させた場合、チャネル長Lが短いほど、降伏現象によりドレイン電圧を著しく増大させると電流が大量に流れやすい。

【0079】

また、ドレイン電圧をピンチオフ電圧より増大させるとピンチオフ点がソース側に移動し、実質チャネルとして機能する実効的なチャネル長は減少する。これにより、電流値が増大する。この現象をチャネル長変調と呼ぶ。なお、ピンチオフ点とはチャネルが消滅していきゲート下においてチャネルの厚さが0となる境界箇所であり、ピンチオフ電圧とはピンチオフ点がドレイン端となる時の電圧を指す。この現象も、チャネル長Lが短いほど起こり易い。例えば、チャネル長変調による電圧－電流特性のモデル図を図4に示す。なお、図4において、トランジスタのチャネル長Lは(a) > (b) > (c)である。

【0080】

以上のことから、トランジスタ110を飽和領域で動作させる場合、ドレイン・ソース間電圧V_{ds}に対する電流Iはより一定に近い方が好ましい。よって、トランジスタ110のチャネル長Lは長い方がより好ましい。たとえば、トランジスタのチャネル長Lはチャネル幅Wより大きい方が好ましい。また、チャネル長Lは10 μm以上50 μm以下、より望ましくは15 μm以上40 μm以下が好ましい。ただし、チャネル長L及びチャネル幅Wはこれに限定されない。

【0081】

以上のようにトランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができるため、本発明においてそのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図1に示した発光素子117は、代表的にはEL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）を適用することができる。また、発光素子117に換えて、電子放出素子、液晶素子、電子インクなどを適用することもできる。図5に発光素子117にEL素子517を用いた例を示す。なお、図5は画素電極511から対向電極124に電流が流れている様子を示している。

【0082】

また、トランジスタ110は発光素子117に供給する電流を制御する機能を有していれば良いため、特にトランジスタの種類は限定されず様々なものを用いることができる。例えば、結晶性半導体膜を用いた薄膜トランジスタ（TFT）、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnOやα-InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタをトランジスタ110に適用することができる。

【0083】

第1のスイッチ111は輝度データに応じた電位、即ちビデオ信号を信号線118より画素に入力するタイミングを選択し、主に第1の容量素子115に保持される電圧、及び第2の容量素子116に保持される電圧即ちトランジスタ110のゲート・ソース間電圧を変化させるものである。また、第2のスイッチ112はトランジスタ110の第2の電極に所定の電位を供給するタイミングを選択するものである。なお、場合によっては第1の容量素子115の第2の電極及び第2の容量素子116の第1の電極にも前記所定の電位を供給する。第3のスイッチ113は、トランジスタ110のゲート電極と第2の電極との接続を制御するものであり、第4のスイッチ114は各フレーム期間毎に第1の容量素子115に所定の電圧を保持させるタイミングを選択し、第1の容量素子115の第1の電極に所定の電位を供給するか否かを制御するものである。そのため、第1のスイッチ

111、第2のスイッチ112、第3のスイッチ113、第4のスイッチ114は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、第1のスイッチ111、第2のスイッチ112及び第4のスイッチ114は、上記タイミングで信号もしくは電位を画素に与えることができれば特に必要はない。また、第3のスイッチ113においても上記機能を実現できれば特に必要はない。

【0084】

例えば、初期化期間及びしきい値電圧書き込み期間において第1の容量素子115に所定の電圧を保持させることができ、さらに画素の階調に従った信号をデータ書き込み期間に画素に入力することができる場合には、画素内に第1のスイッチ111及び第4のスイッチ114を設けなくても良い。さらに、画素に初期期間及び発光期間において $V_1 + V_{EL} + V_{th} + \alpha$ ($\alpha > 0$) を供給することが可能であれば図43に示すように第2のスイッチ112を特に設けなくても良い。図43に示す画素は、トランジスタ110、第1の容量素子115、第3のスイッチ113、画素電極4300を有する。そして、トランジスタ110の第1の電極（ソース電極及びドレイン電極の一方）は画素電極4300に接続され、ゲート電極は第3のスイッチ113を介してトランジスタ110の第2の電極と接続されている。また、トランジスタ110のゲート電極は第1の容量素子115の第2の電極とも接続されている。なお、第1の容量素子115の第1の電極には階調に従った信号、即ち輝度データに応じた電位（即ち、 $V_2 + V_{data}$ ）及び第1の容量素子115に所定の電圧を保持させるための任意の電位（即ち、 V_2 ）が所定の期間に供給される。なお、トランジスタ110のゲート容量4310を保持容量として利用しているため、図1における第2の容量素子116を特に設ける必要はない。このような画素においても、図2に示すタイミングチャートと同様にそれぞれの電極に所望の電位を供給することで、トランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、画素電極4300に所望の電流を供給することができる。もちろん、図1における第2の容量素子116においてもトランジスタ110のゲート容量を利用し、省略することも可能である。

【0085】

次に、図6に第1のスイッチ111、第2のスイッチ112、第3のスイッチ113及び第4のスイッチ114にNチャンネル型のトランジスタを適用した場合について示す。なお、図1の構成と共通するところは、共通の符号を用いてその説明を省略する。

【0086】

第1のスイッチングトランジスタ611が図1における第1のスイッチ111に相当し、第2のスイッチングトランジスタ612が第2のスイッチ112に相当し、第3のスイッチングトランジスタ613が第3のスイッチ113に相当し、第4のスイッチングトランジスタ614が第4のスイッチ114に相当する。なお、トランジスタ110のチャンネル長は、第1のスイッチングトランジスタ611、第2のスイッチングトランジスタ612、第3のスイッチングトランジスタ613及び第4のスイッチングトランジスタ614のいずれのトランジスタのチャンネル長より長い方が好ましい。

【0087】

第1のスイッチングトランジスタ611はゲート電極が第1の走査線119に、第1の電極が信号線118に、第2の電極が第1の容量素子115の第1の電極に接続されている。

【0088】

また、第2のスイッチングトランジスタ612はゲート電極が第2の走査線120に接続され、第1の電極がノード133に接続され、第2の電極が電源線122に接続されている。

【0089】

第3のスイッチングトランジスタ613はゲート電極が第3の走査線121に接続され、第1の電極がノード130に接続され、第2の電極がノード133に接続されている。

【0090】

また、第4のスイッチングトランジスタ614はゲート電極が第3の走査線121に接続され、第1の電極が第1の容量素子115の第1の電極に接続され、第2の電極が電位供給線123に接続されている。

【0091】

各々のスイッチングトランジスタは、それぞれの走査線に入力される信号がHレベルのときにオンとなり、入力される信号がLレベルのときにオフとなる。

【0092】

図6に示した画素のレイアウトの一形態を上面図を用いて図44に示す。なお、トランジスタや容量素子、発光素子等の構成については後述の実施形態で説明するため、ここではレイアウトについてのみ説明する。また、図44に示すトランジスタ110及び第1のスイッチングトランジスタ611乃至第4のスイッチングトランジスタ614には、半導体層の下にゲート電極が位置するボトムゲート型のトランジスタを用いている。

【0093】

図44に示す導電層4410は、第1の走査線119と第1のスイッチングトランジスタ611のゲート電極として機能する部分を含み、導電層4411は信号線118と第1のスイッチングトランジスタ611の第1の電極として機能する部分を含む。また、導電層4412は、第1のスイッチングトランジスタ611の第2の電極と、第1の容量素子115の第1の電極と、第4のスイッチングトランジスタ614の第1の電極として機能する部分を含む。導電層4413は、第1の容量素子115の第2の電極と、第2の容量素子116の第1の電極と、トランジスタ110のゲート電極として機能する部分を含む。なお、この導電層4413は、配線4414を介して第3のスイッチングトランジスタ613の第1の電極として機能する部分を含む導電層4415と接続されている。導電層4416は、第2の容量素子116の第2の電極と、トランジスタ110の第1の電極として機能する部分を含み、コンタクトを介して発光素子の画素電極4455と接続されている。また、導電層4417は、トランジスタ110の第2の電極と、第3のスイッチングトランジスタ613の第2の電極と、第2のスイッチングトランジスタ612の第1の電極として機能する部分を含み、導電層4418は、電源線122と、第2のスイッチングトランジスタ612の第2の電極として機能する部分を含む。導電層4419は、第2の走査線120と、第2のスイッチングトランジスタ612のゲート電極として機能する部分を含む。導電層4420は、第3のスイッチングトランジスタ613のゲート電極と、第4のスイッチングトランジスタ614のゲート電極として機能する部分を含み、配線4421を介して第3の走査線121と接続されている。また、第4のスイッチングトランジスタ614の第2の電極として機能する部分を含む導電層4422は、配線4423を介して電位供給線123と接続されている。

【0094】

なお、各々の導電層のうち第1のスイッチングトランジスタ611のゲート電極、第1の電極及び第2の電極として機能する部分は、それぞれを含む導電層と半導体層4431とが重なって形成されている部分であり、第2のスイッチングトランジスタ612のゲート電極、第1の電極及び第2の電極として機能する部分は、それぞれを含む導電層と半導体層4432とが重なって形成されている部分である。また、各々の導電層のうち第3のスイッチングトランジスタ613のゲート電極、第1の電極及び第2の電極として機能する部分は、それぞれを含む導電層と半導体層4433と重なって形成されている部分であり、第4のスイッチングトランジスタ614のゲート電極、第1の電極及び第2の電極として機能する部分は、それぞれを含む導電層と半導体層4434とが重なって形成されている部分である。同様に、トランジスタ110においても、ゲート電極、第1の電極及び第2の電極として機能する部分は、それぞれを含む導電層と半導体層4430と重なって形成されている導電層部分である。なお、第1の容量素子115は、導電層4412と導電層4413とが重なっている部分に、第2の容量素子116は導電層4413と導電層4416とが重なっている部分に形成されている。

10

20

30

40

50

【0095】

なお、導電層4410、導電層4413、導電層4419、導電層4420、第3の走査線121及び電位供給線123は、同一材料で同じ層を用いて作製することができる。半導体層4430、半導体層4431、半導体層4432、半導体層4433及び半導体層4434や、導電層4411、導電層4412、導電層4415、導電層4416、導電層4417、導電層4418及び導電層4422は、それぞれ同一材料で同じ層を用いて作製することができる。また、画素電極4455と同一材料で同じ層を用いて、配線4414、配線4421、配線4423を作製することができる。

【0096】

図44に示すように、第1のスイッチングトランジスタ611を除く各々のトランジスタにおいてソース電極及びド레인電極の一方が他方の電極を包み囲むような構造とすることで、チャンネル幅をかせぐことができる。よって、画素を構成するトランジスタの半導体層に結晶性半導体層より移動度の低い非晶質半導体層を用いた際には特に有効である。もちろん、第1のスイッチングトランジスタ611においても、ソース電極及びド레인電極の一方が他方の電極を包み囲むような構造としても良い。

【0097】

次に、図6に示した画素の図44とは異なるレイアウトの一形態を上面図を用いて図45に示す。なお、図45に示すトランジスタ110及び第1のスイッチングトランジスタ611乃至第4のスイッチングトランジスタ614には、半導体層上にゲート電極が位置する順スタガ型等のトップゲート型トランジスタを用いている。

【0098】

図45において、導電層4510は、第1の走査線119と第1のスイッチングトランジスタ611のゲート電極として機能する部分を含み、導電層4511は信号線118と第1のスイッチングトランジスタ611の第1の電極として機能する部分を含む。半導体膜4520は、第1のスイッチングトランジスタ611の半導体層及び第2の電極として機能する部分、第4のスイッチングトランジスタ614の第1の電極及び半導体層として機能する部分、第1の容量素子115の第1の電極として機能する部分を含む。なお、半導体膜4520は配線4512を介して電位供給線123と接続されており、配線4512は第4のスイッチングトランジスタ614の第2の電極として機能する。また、導電層4513は、第1の容量素子115の第2の電極と、第2の容量素子116の第1の電極とトランジスタ110のゲート電極として機能する部分を含む。なお、導電層4513は第3のスイッチングトランジスタ613の第1の電極として機能する配線4514を介して半導体膜4521と接続されている。この半導体膜4521は、第3のスイッチングトランジスタ613の半導体層及び第2の電極として機能する部分、第2のスイッチングトランジスタ612の第1の電極及び半導体層として機能する部分、トランジスタ110の第1の電極、半導体及び第2の電極として機能する部分、さらには第2の容量素子116の第2の電極として機能する部分を含む。導電層4515は、第2の走査線120と、第2のスイッチングトランジスタ612のゲート電極として機能する部分を含む。導電層4516は、電源線122と、第2のスイッチングトランジスタ612の第2の電極として機能する部分を含む。導電層4517は、第3のスイッチングトランジスタ613のゲート電極として機能する部分、及び第4のスイッチングトランジスタ614のゲート電極として機能する部分を含み、配線4518を介して第3の走査線121と接続されている。なお、発光素子の画素電極4545は配線4519を介して半導体膜4521と接続されている。

【0099】

なお、第1の容量素子115は、半導体膜4520と導電層4513とが重なっている部分に、第2の容量素子116は半導体膜4521と導電層4513とが重なっている部分に形成されている。

【0100】

また、導電層4510、導電層4513、導電層4515、導電層4517、第3の走

10

20

30

40

50

査線 1 2 1 及び電位供給線 1 2 3 は、同一材料で同じ層を用いて作製することができる。半導体膜 4 5 2 0、半導体膜 4 5 2 1 も同一材料で同じ層を用いて作製することができる。また、導電層 4 5 1 1 と同一材料で同じ層を用いて、配線 4 5 1 2、配線 4 5 1 4、導電層 4 5 1 6、配線 4 5 1 8 を作製することができる。

【0101】

なお、画素のレイアウトは上記に限定されるものではない。

【0102】

図 6 の画素構成においても、図 1 と同様の動作方法によりトランジスタ 1 1 0 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子 1 1 7 に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ 1 1 0 を飽和領域で動作させた場合においては、発光素子 1 1 7 の劣化に起因した輝度のばらつきも抑制することができる。

10

【0103】

また、Nチャネル型のトランジスタのみで画素を構成することができるため、製造工程の簡略化を図ることができる。また、画素を構成するトランジスタの半導体層に非晶質半導体、セミアモルファス半導体などを用いることができる。例えば、非晶質半導体としてアモルファスシリコン (a-Si:H) が挙げられる。これらの半導体を用いることにより、さらに製造工程の簡略化が可能である。したがって、製造コストの削減や歩留まりの向上を図ることができる。

【0104】

20

なお、第 1 のスイッチングトランジスタ 6 1 1、第 2 のスイッチングトランジスタ 6 1 2、第 3 のスイッチングトランジスタ 6 1 3 及び第 4 のスイッチングトランジスタ 6 1 4 は、単なるスイッチとして動作させるため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD 領域を設けているものやマルチゲート構造にしているものなどがある。また、Nチャネル型とPチャネル型の両方を用いて、CMOS 型のスイッチにしてもよい。

【0105】

また、図 1 と同様の動作を行うものであれば、スイッチの接続は様々な構成をとることができ、図 1 に限定されない。図 1 の画素構成の動作を説明した図 3 からわかるように、本発明では初期化期間、しきい値電圧書き込み期間、データ書き込み期間及び発光期間は、それぞれ図 5 3 (A) 乃至 (D) に示す実線のように導通がとれていれば良い。よって、これを満たすようにスイッチ等を配置し動作させうる構成であれば良い。

30

【0106】

また、初期化期間では、第 1 の容量素子 1 1 5 に所定の電圧が、第 2 の容量素子 1 1 6 には少なくともトランジスタ 1 1 0 のしきい値電圧 V_{th} より高い電圧が保持されれば良いため、図 5 4 に示すようにノード 1 3 2 は第 5 のスイッチ 5 4 0 5 を介して電位供給線 5 4 0 1 と接続されていても良い。この第 5 のスイッチ 5 4 0 5 は初期化期間のみオンするものとし、図 5 4 では第 5 のスイッチ 5 4 0 5 のオン、オフを制御する走査線は図示していない。なお、電位供給線 5 4 0 1 の電位は、 $V_1 + V_{EL}$ より低い電位であれば良い。より好ましくは、 V_1 以下の電位であり、このような電位とすることで発光素子 1 1 7 に逆方向のバイアス電圧が印加できるため、発光素子における短絡箇所を絶縁化したり、発光素子の劣化を抑制することができる。よって、発光素子の寿命を延ばすことができる。

40

【0107】

続いて、上述した本発明の画素を有する表示装置について図 7 を用いて説明する。

【0108】

表示装置は、信号線駆動回路 7 1 1、走査線駆動回路 7 1 2 及び画素部 7 1 3 を有し、画素部 7 1 3 は、信号線駆動回路 7 1 1 から列方向に伸張して配置された複数の信号線 $S_1 \sim S_m$ 及び電源線 $P_1 _ 1 \sim P_m _ 1$ 、走査線駆動回路 7 1 2 から行方向に伸張して配

50

置された複数の第1の走査線 $G1_1 \sim Gn_1$ 、第2の走査線 $G1_2 \sim Gn_2$ 、第3の走査線 $G1_3 \sim Gn_3$ 及び電位供給線 $P1_2 \sim Pn_2$ 、並びに信号線 $S1 \sim Sm$ に対応してマトリクス状に配置された複数の画素714を有する。そして、各画素714は、信号線 Sj （信号線 $S1 \sim Sm$ のうちいずれか一）、電源線 Pj_1 、第1の走査線 Gi_1 （走査線 $G1_1 \sim Gn_1$ のうちいずれか一）、第2の走査線 Gi_2 、第3の走査線 Gi_3 及び電位供給線 Pi_2 と接続されている。

【0109】

なお、信号線 Sj 、電源線 Pj_1 、第1の走査線 Gi_1 、第2の走査線 Gi_2 、第3の走査線 Gi_3 、電位供給線 Pi_2 は、それぞれ図1の信号線118、電源線122、第1の走査線119、第2の走査線120、第3の走査線121、電位供給線123に相当する。

10

【0110】

走査線駆動回路712から出力される信号により、動作させる画素の行を選択すると共に同行に属するそれぞれの画素に対し同時に図2に示した動作を行う。なお、図2のデータ書き込み期間においては、選択された行の画素に信号線駆動回路711から出力されたビデオ信号を書き込む。このとき、それぞれの画素の輝度データに応じた電位が各信号線 $S1 \sim Sm$ に入力される。

【0111】

図8に示すように、例えば i 行目のデータ書き込み期間を終えると $i+1$ 行目に属する画素へ信号の書き込みを行う。なお、図8には、各行におけるデータ書き込み期間を表すためにこれを忠実に表すことができる図2の第1のスイッチ111の動作を抜粋し記載している。そして、 i 行目においてデータ書き込み期間を終えた画素は、発光期間に移り、その画素へ書き込まれた信号にしたがって発光する。

20

【0112】

よって、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0113】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、トランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性を向上させることができる。

30

【0114】

なお、図7に示した表示装置の構成は一例であって本発明はこれに限定されない。例えば、電位供給線 $P1_2 \sim Pn_2$ は第1の走査線 $G1_1 \sim Gn_1$ と平行に配置されている必要はなく、信号線 $S1 \sim Sm$ と平行に配置されていても良い。また、電源線 $P1_1 \sim Pm_1$ においても信号線 $S1 \sim Sm$ と平行に配置されている必要はなく、第1の走査線 $G1_1 \sim Gn_1$ と平行に配置されていても良い。

【0115】

本実施形態では第3のスイッチ113及び第4のスイッチ114のオンオフは同一の走査線、即ち第3の走査線121を用いて制御している場合について示したが、それぞれ異なる走査線を用いて図2のタイミングチャートに従って各々のスイッチを制御しても良い。

40

【0116】

なお、しきい値電圧のばらつきには、画素間における各トランジスタのしきい値電圧の違いのほか、1つのトランジスタに注目した場合において経時的なしきい値電圧の変化も含むものとする。さらに、各トランジスタのしきい値電圧の違いは、トランジスタの作製時におけるトランジスタ特性の違いによるものも含まれるものとする。なお、ここでいうトランジスタは発光素子等の負荷に電流を供給する機能を有するトランジスタを指す。

50

(実施の形態 2)

本実施形態では、実施の形態 1 とは異なる構成の画素を図 9 に示す。なお、実施の形態 1 と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0117】

図 9 (A) に示す画素は、トランジスタ 110、第 1 のスイッチ 111、第 2 のスイッチ 112、第 3 のスイッチ 113、整流素子 914、第 1 の容量素子 115、第 2 の容量素子 116、発光素子 117 を有する。なお、画素は、信号線 118、第 1 の走査線 119、第 2 の走査線 120、第 3 の走査線 921、第 4 の走査線 922 及び電源線 122 に接続されている。図 9 (A) に示した画素は、図 1 における第 4 のスイッチ 114 に整流素子 914 を用いた構成となっており、第 1 の容量素子 115 の第 1 の電極は、整流素子 914 を介して第 4 の走査線 922 と接続されている。つまり、整流素子 914 は第 1 の容量素子 115 の第 1 の電極から第 4 の走査線 922 に電流が流れるように接続されている。もちろん、実施の形態 1 に示したように第 1 のスイッチ 111、第 2 のスイッチ 112 及び第 4 のスイッチ 114 は、トランジスタ等を用いてもよい。また、整流素子 914 には、図 9 (B) に示すショットキー・バリア型 951、PIN 型 952、PN 型 953 などのダイオードの他、ダイオード接続されているトランジスタ 954、955 等を用いることができる。ただし、トランジスタ 954 及びトランジスタ 955 は、電流を流す方向によってトランジスタの極性を適宜選択する必要がある。

【0118】

整流素子 914 は、第 4 の走査線 922 に H レベルの信号が入力されたときには電流が流れず、L レベルの信号が入力されたときには整流素子 914 に電流が流れる。よって、図 9 の画素を図 1 に示した画素と同様に動作させる際には、初期化期間及びしきい値電圧書き込み期間において第 4 の走査線 922 に L レベルの信号を入力し、それ以外の期間においては H レベルの信号を入力する。L レベルの信号は整流素子 914 にただ電流が流れるだけでなく、実施の形態 1 と同様、画素に入力する輝度データに応じた電位を ($V_2 + V_{data}$) とすると第 2 の容量素子 116 の第 1 の電極の電位を V_2 にまで下げる必要があるため、 V_2 から整流素子 914 の順方向におけるしきい値電圧を引いた電位であることとする。ただし、 V_2 は任意の値であり、発光期間において発光素子 117 を非発光としたい場合には $V_{data} = 0$ の電位を入力すれば良い。また、H レベルの信号は、上述したように整流素子 914 に電流が流れなければ良いため、 V_2 から整流素子 914 の順方向におけるしきい値電圧を減算した値より大きければ良い。

【0119】

上記事項を考慮し、図 9 の画素構成においても図 1 と同様に動作させることによりトランジスタ 110 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子 117 に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ 110 を飽和領域で動作させた場合においては、発光素子 117 の劣化に起因した輝度のばらつきも抑制することができる。

【0120】

また、本実施形態に示した画素を図 7 の表示装置に適用することができる。実施の形態 1 と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1 フレーム期間における発光期間の割合 (即ち、デューティ比) を非常に大きくでき、おおむね 100% にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0121】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0122】

本実施形態は、上述した図1以外にもその他の実施の形態に示した画素構成とも自由に組み合わせることができる。即ち、整流素子914は、他の実施形態に示した画素にも適用することが可能である。

(実施の形態3)

本実施形態では、実施の形態1及び2とは異なる構成の画素を図10及び11に示す。具体的には、図1に示した電位供給線123を他の配線で代用する構成の画素について述べる。なお、第1の容量素子115の第1の電極に任意の電位を供給できれば良いためこのような構成をとり得ることができる。実施の形態1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

10

【0123】

図10(A)に示す画素はトランジスタ110、第1のスイッチ111、第2のスイッチ112、第3のスイッチ113、第4のスイッチ114、第1の容量素子115、第2の容量素子116、発光素子117を有する。なお、画素は、信号線118、第1の走査線119、第2の走査線120、第3の走査線121及び電源線122に接続されている。

【0124】

実施の形態1に示した図1の画素では第1の容量素子115の第1の電極は第4のスイッチ114を介して電位供給線123に接続していたのに対し、図10(A)では電源線122に接続することができる。これは、電位供給線123に限らず、初期化期間及びしきい値電圧書き込み期間において第1の容量素子115に所定の電圧が保持されるように第1の電極に電位を供給できれば良いからである。そのため、電位供給線のかわりに電源線122を用いることができる。このように、第1の容量素子115の第1の電極に電位を供給する配線を電源線122で代用することで配線数を減らすことが可能となり、開口率を向上させることができる。

20

【0125】

また、図10(B)に示すように第4のスイッチ114を第1の容量素子115と並列に接続しても良い。つまり、第1の容量素子115の第1の電極は第4のスイッチ114を介してノード131に接続しても良い。このような構成においても、初期化期間及びしきい値電圧書き込み期間において第1の容量素子115に所定の電圧が保持されるように第1の電極に電位を供給することができる。

30

【0126】

また、図11の画素に示すように第1の容量素子115の第1の電極を発光素子117の対向電極124もしくは対向電極124に所定の電位を供給している配線に第4のスイッチ114を介して接続しても良い。即ち、図1における電位供給線123から供給される電位の代わりに対向電極124に供給される所定の電位を用いても良い。以上のようにして、配線数を減らすことが可能となり、開口率を向上させることができる。

【0127】

また、第1の容量素子115の第1の電極と発光素子117の対向電極124とを接続する配線を、対向電極124と接続するだけではなく、対向電極124に接しかつ並列に延伸させることで対向電極における補助配線として利用しても良い。もちろん、補助配線は一画素内のみにとどまらず、隣接する画素や画素領域全体に渡っていても良い。このような補助配線により対向電極124の低抵抗化を図ることができる。そのため、対向電極を薄膜化した際には抵抗値の増加を防ぐことができる。特に、対向電極に透明電極を用いた場合において効果的である。また、対向電極の抵抗値が高くなった場合に、電圧降下による対向電極の不均一な面内電位分布によって生じる発光素子117の輝度のばらつきを抑制することができる。よって、さらに信頼性を向上させることができる。

40

【0128】

また、図10及び図11に示した画素構成においても、実施の形態1と同様の動作をさせることにより、トランジスタ110のしきい値電圧のばらつきに起因した電流値のばら

50

つきを抑制することができる。よって、輝度データに対応した電流を発光素子 117 に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。なお、トランジスタ 110 の動作領域は特に限定されないが、飽和領域で動作させた場合には、発光素子 117 の劣化に起因したトランジスタ 110 に流れる電流のばらつきにおいても抑制することができる。

【0129】

なお、図 1 における電位供給線は、初期化期間及びしきい値電圧書き込み期間において第 1 の容量素子 115 の第 1 の電極に任意の電位を供給し、第 1 の容量素子 115 に所定の電圧が保持されれば良い。よって、電位供給線を代用する配線は上記に限定されず、初期化期間及びしきい値電圧書き込み期間に電位が変化しない配線であれば良い。例えば、図 12 に示すように第 1 の走査線 119 や、第 3 の走査線 121 を用いることも可能である。ただし、第 3 の走査線 121 を用いる場合には、第 4 のスイッチ 114 は実施の形態 2 で示した整流素子として機能する場合があることに留意し、スイッチの種類を選択する必要がある。

【0130】

さらに、本実施形態で示した画素を図 7 の表示装置に適用することができる。実施の形態 1 と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1 フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね 100% にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0131】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0132】

上記に限らず、本実施の形態は、他の実施形態に示した画素構成とも自由に組み合わせることができる。

（実施の形態 4）

本実施形態では、実施の形態 1 乃至 3 とは異なる構成の画素を図 13 乃至図 16 に示す。なお、実施の形態 3 においては一画素に注目して述べたが、各画素に接続された配線を画素間で共有して用いることにより配線数を減らすことも可能である。この場合、正常に動作をするのであれば様々な配線を共有することができる。例えば、隣の画素と配線を共有することが可能であり、その方法の一例について本実施形態で述べる。なお、実施の形態 1 と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0133】

図 13 に示す画素 1300 はトランジスタ 110、第 1 のスイッチ 111、第 2 のスイッチ 112、第 3 のスイッチ 113、第 4 のスイッチ 114、第 1 の容量素子 115、第 2 の容量素子 116、発光素子 117 を有する。なお、画素は、信号線 118、第 1 の走査線 119、第 2 の走査線 120、第 3 の走査線 121 及び前列の電源線 1322 に接続されている。

【0134】

実施の形態 1 に示した図 1 の画素では第 1 の容量素子 115 の第 1 の電極は第 4 のスイッチ 114 を介して電位供給線 123 に接続されていたのに対し、図 13 では前列の電源線 1322 に接続することができる。これは、電位供給線 123 に限らず、初期化期間及びしきい値電圧書き込み期間において第 1 の容量素子 115 に所定の電圧が保持されるように第 1 の容量素子 115 の第 1 の電極に電位を供給できれば良いからである。そのため、電位供給線のかわりに前列の電源線 1322 を用いることができる。このように、画素

1300は前列の画素と配線を共有することで配線数を減らすことが可能となり、開口率を向上させることができる。

【0135】

なお、図13に示した画素構成においても、実施の形態1と同様の動作をさせることにより、トランジスタ110のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子117に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。なお、トランジスタ110の動作領域は特に限定されないが、飽和領域で動作させた場合には、発光素子117の劣化に起因したトランジスタ110に流れる電流のばらつきにおいても抑制することができる。

10

【0136】

また、図14の画素1400に示すように図1の電位供給線123を次行の第1の走査線1419と共有しても良い。画素1400においても、実施の形態1と同様の動作をさせることができる。ただし、画素1400が属する行の初期化期間及びしきい値電圧書き込み期間は配線を共有した行のデータ書き込み期間と重ならないように動作させる必要がある。

【0137】

また、図15の画素1500に示すように図1の電位供給線123を次行の第2の走査線1520と共有しても良い。画素1500においても、実施の形態1と同様の動作をさせることができる。ただし、画素1500が属する行の初期化期間及びしきい値電圧書き込み期間は配線を共有した行のしきい値電圧書き込み期間及びデータ書き込み期間と重なるように動作させるか、全くこれらと重ならないように動作させる必要がある。つまり、第1の容量素子115の第1の電極に供給する電位を第2のスイッチ112をオンもしくはオフさせる信号のいずれか一方を用いることとする。

20

【0138】

また、上記の他、図1の電位供給線123を図16に示すように前行の第3の走査線1621と共有しても良い。ただし、画素1600が属する行の初期化期間及びしきい値電圧書き込み期間は配線を共有した行のしきい値電圧書き込み期間及びデータ書き込み期間と重ならないように動作させる必要がある。

【0139】

なお、本実施形態では図1の電位供給線123が前列の電源線、または次行もしくは前行の走査線と共有する場合について示したが、初期化期間及びしきい値電圧書き込み期間において第1の容量素子115に所定の電圧が保持されるように第1の電極に電位を供給することが可能な配線であればそれ以外でも良い。

30

【0140】

さらに、本実施形態で示した画素を図7の表示装置に適用することができる。なお、表示装置において、図13乃至図16に記載した画素ごとの動作の制約及び各行におけるデータ書き込み期間が重複しない範囲内で、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

40

【0141】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0142】

上記に限らず、本実施の形態は、他の実施形態に示した画素構成とも自由に組み合わせることができる。

（実施の形態5）

50

本実施形態では、実施の形態 1 とは異なる構成の画素について図 29 に示す。なお、実施の形態 1 と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0143】

図 29 に示す画素は、トランジスタ 2910、第 1 のスイッチ 111、第 2 のスイッチ 112、第 3 のスイッチ 113、第 4 のスイッチ 114、第 1 の容量素子 115、第 2 の容量素子 116、発光素子 117 を有する。なお、画素は、信号線 118、第 1 の走査線 119、第 2 の走査線 120、第 3 の走査線 121、電源線 122、及び電位供給線 123 に接続されている。

【0144】

本実施形態におけるトランジスタ 2910 は、トランジスタを 2 つ直列に接続したマルチゲート型トランジスタであり、実施の形態 1 のトランジスタ 110 と同じ位置に設けられている。ただし、直列に接続されるトランジスタの数は特に限定されない。

【0145】

図 1 の画素と同様に図 29 に示した画素を動作させることにより、トランジスタ 2910 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子 117 に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。なお、トランジスタ 2910 の動作領域は特に限定されないが、飽和領域で動作させた場合には、発光素子 117 の劣化に起因したトランジスタ 2910 に流れる電流のばらつきにおいても抑制することができる。

【0146】

本実施形態におけるトランジスタ 2910 のチャンネル長 L は、直列に接続された 2 つのトランジスタのチャンネル幅が等しい場合、各トランジスタのチャンネル長の合計として作用する。よって、飽和領域においてドレイン・ソース間電圧 V_{ds} にかかわらず、より一定に近い電流値を得られやすい。特に、トランジスタ 2910 は長いチャンネル長 L を有するトランジスタの作製が困難な場合に有効である。なお、2 つのトランジスタの接続部は抵抗として機能する。

【0147】

なお、トランジスタ 2910 は発光素子 117 に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ (TFET)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板や SOI 基板を用いて形成されるトランジスタ、MOS 型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO や a-InGaZnO などの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【0148】

また、図 29 に示した画素は、図 1 に示した画素と同様、第 1 のスイッチ 111、第 2 のスイッチ 112、第 3 のスイッチ 113、第 4 のスイッチ 114 はトランジスタ等を用いることができる。

【0149】

さらに、図 7 の表示装置に本実施形態で示した画素を適用することができる。実施の形態 1 と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1 フレーム期間における発光期間の割合 (即ち、デューティ比) を非常に大きくでき、おおむね 100% にすることも可能となる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0150】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むこと

10

20

30

40

50

ができる。よって、表示装置としての信頼性が向上する。

【0151】

なお、トランジスタ2910は直列に接続されたトランジスタに限らず、図30のトランジスタ3010に示すような並列にトランジスタが接続された構成であっても良い。トランジスタ3010によって、より大きな電流を発光素子117に供給することができる。また、並列に接続した2つのトランジスタによってトランジスタの特性が平均化されるため、トランジスタ3010を構成するトランジスタ本来の特性ばらつきをより小さくすることができる。よって、ばらつきが小さいとトランジスタのしきい値電圧のばらつきに起因する電流値のばらつきをより抑制しやすくなることができる。

【0152】

また、トランジスタ3010に示した並列に接続されたトランジスタの各々をさらに図29に示したトランジスタ2910のように直列に接続しても良い。

【0153】

上記に限らず、本実施の形態は、他の実施形態に示した画素構成とも自由に組み合わせることができる。つまり、トランジスタ2910もしくはトランジスタ3010は、他の実施の形態に示した画素構成にも適用することが可能である。

（実施の形態6）

本実施形態では、本発明の画素において発光素子に供給する電流値を制御するトランジスタを期間毎に切り替えることにより、トランジスタの経時的な劣化を平均化する画素構成について図31を用いて説明する。

【0154】

図31に示す画素は、第1のトランジスタ3101、第2のトランジスタ3102、第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114、第5のスイッチ3103、第6のスイッチ3104、第1の容量素子3115、第2の容量素子3116、発光素子3117を有する。なお、画素は、信号線3118、第1の走査線3119、第2の走査線3120、第3の走査線3121、電源線3122、及び電位供給線3123に接続されている。さらに図31には図示していないが、第5のスイッチ3103及び第6のスイッチ3104のオン、オフを制御する第4及び第5の走査線にも接続されている。本実施形態において、第1のトランジスタ3101及び第2のトランジスタ3102はNチャネル型トランジスタとし、それぞれのトランジスタはゲート・ソース間電圧(V_{gs})がしきい値電圧を上回ったとき、導通状態になるものとする。また、発光素子3117の画素電極は陽極、対向電極3124は陰極とする。なお、トランジスタのゲート・ソース間電圧は V_{gs} 、第1の容量素子3115及び第2の容量素子3116に蓄積された電圧はそれぞれ V_{c1} 、 V_{c2} と記す。また、第1のトランジスタ3101のしきい値電圧を V_{th1} 、第2のトランジスタ3102のしきい値電圧を V_{th2} と記し、電源線3122、電位供給線3123及び信号線3118を、それぞれ第1の配線、第2の配線、第3の配線とも呼ぶ。

【0155】

第1のトランジスタ3101の第1の電極（ソース電極及びドレイン電極の一方）は、第5のスイッチ3103を介して発光素子3117の画素電極に接続され、第2の電極（ソース電極及びドレイン電極の他方）は第2のスイッチ3112を介して電源線3122に接続されている。また、第1のトランジスタ3101のゲート電極も第3のスイッチ3113及び第2のスイッチ3112を介して電源線3122と接続されている。なお、第3のスイッチ3113は、第1のトランジスタ3101のゲート電極と第2のスイッチ3112との間に接続されており、第1のトランジスタ3101の第2の電極と、第2のスイッチ3112と第3のスイッチ3113とが接続されている配線との接続箇所をノード3133とする。

【0156】

第2のトランジスタ3102の第1の電極（ソース電極及びドレイン電極の一方）は、第6のスイッチ3104を介して発光素子3117の画素電極に接続され、第2の電極（

10

20

30

40

50

ソース電極及びドレイン電極の他方)は第1のトランジスタ3101の第2の電極と接続されている。なお、第1のトランジスタ3101の第2の電極と第2のトランジスタ3102の第2の電極との接続箇所をノード3132とすると、ノード3132はノード3133と接続されている。また、第2のトランジスタ3102のゲート電極は第3のスイッチ3113を介してノード3133に接続されている。なお、第1のトランジスタ3101のゲート電極と第2のトランジスタ3102のゲート電極とは接続されている。

【0157】

また、第1のトランジスタ3101及び第2のトランジスタ3102のゲート電極と、第3のスイッチ3113との接続箇所をノード3130とすると、ノード3130は第1の容量素子3115及び第1のスイッチ3111を介して信号線3118と接続されている。つまり、第1の容量素子3115の第1の電極が第1のスイッチ3111を介して信号線3118に、第2の電極が第1のトランジスタ3101及び第2のトランジスタ3102のゲート電極に接続されている。また、第1の容量素子3115の第1の電極は第4のスイッチ3114を介して電位供給線3123とも接続されている。ノード3130は、さらに第2の容量素子3116を介して発光素子3117の画素電極とも接続されている。つまり、第2の容量素子3116の第1の電極が第1のトランジスタ3101及び第2のトランジスタ3102のゲート電極と、第2の電極が第5のスイッチ3103もしくは第6のスイッチ3104を介して第1のトランジスタ3101及び第2のトランジスタ3102の第1の電極に接続されている。これら容量素子は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、場合によっては第1のトランジスタ3101及び第2のトランジスタ3102のゲート容量を用いて第2の容量素子3116を省略することも可能である。

【0158】

なお、第1の走査線3119、第2の走査線3120、第3の走査線3121に信号を入力することにより、それぞれ第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113及び第4のスイッチ3114のオンオフが制御される。上述したように、図31においては第5のスイッチ3103及び第6のスイッチ3104のオンオフを制御する走査線は省略している。

【0159】

信号線3118には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

【0160】

次に、図31で示した画素の動作について図32のタイミングチャートを用いて説明する。なお、図32において1画面分の画像を表示する期間に相当する1フレーム期間は、初期化期間、しきい値電圧書き込み期間、データ書き込み期間及び発光期間に分割される。

【0161】

なお、発光素子3117の対向電極3124にはV1の電位(V1:任意の数)が入力される。また、発光素子3117が発光するために少なくとも必要とする電位差を V_{EL} とすると、電源線3122には $V1 + V_{EL} + V_{th} + \alpha$ (α :任意の正の数)の電位が入力される。つまり、電源線3122は $V1 + V_{EL} + V_{th} + \alpha$ 以上の電位であれば良い。なお、 V_{th} は V_{th1} もしくは V_{th2} の大きい方の値とする。電位供給線3123の電位は特に限定されないが、画素が形成されたパネルに入力する電位の範囲内であることが好ましい。こうすることで、電源を別途作製する必要がなくなる。なお、ここでは電位供給線3123の電位をV2とおく。

【0162】

まず、図32(A)に示すように初期化期間では、第1のスイッチ3111及び第6のスイッチ3104をオフとし、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114及び第5のスイッチ3103をオンとする。このとき、第1のトランジスタ3101は導通状態であり、第1の容量素子3115には $V1 + V_{EL} + V_{th} +$

$\alpha - V_2$ が、第2の容量素子3116には $V_{th} + \alpha$ が保持される。なお、この初期化期間では、第1の容量素子3115には所定の電圧が、第2の容量素子3116には少なくとも V_{th1} より高い電圧が保持されれば良い。

【0163】

図32(B)に示すしきい値電圧書き込み期間では、第2のスイッチ3112をオフとする。そのため、第1のトランジスタ3101の第1の電極即ちソース電極の電位は次第に上昇し、第1のトランジスタ3101のゲート・ソース間電圧 V_{gs} がしきい値電圧(V_{th1})となったところで第1のトランジスタ3101は非導通状態となる。よって、第2の容量素子3116に保持される電圧 V_{c2} はおおむね V_{th1} となる。

【0164】

その後の図32(C)に示すデータ書き込み期間においては、第3のスイッチ3113及び第4のスイッチ3114をオフとした後、第1のスイッチ3111をオンとし、信号線3118より輝度データに応じた電位($V_2 + V_{data}$)を入力する。このときに、第2の容量素子3116に保持される電圧 V_{c2} は、第1の容量素子3115、第2の容量素子3116及び発光素子3117の静電容量をそれぞれ C_1 、 C_2 、 C_3 とすると $C_3 \gg C_1$ 、 C_2 より $V_{th1} + V_{data} \times (C_1 / (C_1 + C_2))$ となる。

【0165】

なお、 C_1 と C_2 は信号線3118より供給する電位を決定する際に必要であるが、これらの関係は特に限定されない。なお、 $C_1 > C_2$ の場合には、輝度変化に伴う V_{data} の振幅を少なくすることが可能であるため消費電力を低減することができる。一方、 $C_2 > C_1$ の場合には、周囲のスイッチのオン、オフやオフ電流による V_{c2} の変化を抑制することができる。これらの相反する効果より C_1 と C_2 は等しく、第1の容量素子3115と第2の容量素子3116の大きさは同じであることが好ましい。

【0166】

なお、次の発光期間において発光素子3117を非発光としたい場合には、 $V_{data} \leq 0$ の電位を入力すれば良い。

【0167】

次に、図32(D)に示す発光期間では、第1のスイッチ3111をオフとした後、第2のスイッチ3112をオンとする。このとき、第1のトランジスタ3101のゲート・ソース間電圧 V_{gs} は $V_{th1} + V_{data} \times (C_1 / (C_1 + C_2))$ となり、輝度データに応じた電流が第1のトランジスタ3101及び発光素子3117に流れ、発光素子3117が発光する。

【0168】

このような動作により、発光素子3117に流れる電流は、第1のトランジスタ3101の動作領域が飽和領域、線形領域のいずれの場合においても、第1のトランジスタ3101のしきい値電圧(V_{th1})に依存しない。

【0169】

さらに、図32(E)に示す次の1フレーム期間における初期化期間では、第5のスイッチ3103をオフとし、第3のスイッチ3113、第4のスイッチ3114及び第6のスイッチ3104をオンとする。第2のトランジスタ3102は導通状態となり、第1の容量素子3115には $V_1 + V_{EL} + V_{th} + \alpha - V_2$ が、第2の容量素子3116には $V_{th} + \alpha$ が保持される。なお、この初期化期間では、第1の容量素子3115には所定の電圧が、第2の容量素子3116には少なくとも V_{th2} より高い電圧が保持されれば良い。

【0170】

次に、図32(F)に示すしきい値電圧書き込み期間では、第2のスイッチ3112をオフとする。そのため、第2のトランジスタ3102の第1の電極即ちソース電極の電位は次第に上昇し、第2のトランジスタ3102のゲート・ソース間電圧 V_{gs} がしきい値電圧(V_{th2})となったところで第2のトランジスタ3102は非導通状態となる。よって、第2の容量素子3116に保持される電圧 V_{c2} はおおむね V_{th2} となる。

10

20

30

40

50

【0171】

その後の図32 (G)に示すデータ書き込み期間においては、第3のスイッチ3113及び第4のスイッチ3114をオフとした後、第1のスイッチ3111をオンとし、信号線3118より輝度データに応じた電位 ($V_2 + V_{data}$) を入力する。このときに、第2の容量素子116に保持される電圧 V_{c2} は、 $V_{th2} + V_{data} \times (C_1 / (C_1 + C_2))$ となる。

【0172】

次に、図32 (H)に示す発光期間では、第1のスイッチ3111をオフとした後、第2のスイッチ3112をオンとする。このとき、第2のトランジスタ3102のゲート・ソース間電圧 V_{gs} は $V_{th2} + V_{data} \times (C_1 / (C_1 + C_2))$ となり、輝度データに応じた電流が第2のトランジスタ3102及び発光素子3117に流れ、発光素子3117が発光する。

【0173】

また、第2のトランジスタ3102の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子3117に流れる電流はしきい値電圧 (V_{th2}) に依存しない。

【0174】

よって、第1のトランジスタ3101、第2のトランジスタ3102のいずれのトランジスタを用いて発光素子に供給する電流を制御してもトランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流値を発光素子3117に供給することができる。なお、第1のトランジスタ3101、第2のトランジスタ3102を切り替えて用いることにより、一つのトランジスタに加わる負荷を軽くすることでトランジスタの経時的なしきい値電圧の変化を小さいものとすることができる。

【0175】

以上のことから、第1のトランジスタ3101、第2のトランジスタ3102のしきい値電圧に起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定とするため消費電力を低くすることが可能である。

【0176】

さらに、第1のトランジスタ3101、第2のトランジスタ3102を飽和領域で動作させた場合においては、発光素子3117の劣化による各々のトランジスタに流れる電流のばらつきも抑制することができる。

【0177】

なお、第1のトランジスタ3101、第2のトランジスタ3102を飽和領域で動作させた場合、これらトランジスタのチャネル長 L は長い方がより好ましい。

【0178】

また、本発明ではトランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができるため、そのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図31に示した発光素子3117は、代表的にはEL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）を適用することができる。また、発光素子3117に換えて、電子放出素子、液晶素子、電子インクなどを適用することもできる。

【0179】

また、第1のトランジスタ3101、第2のトランジスタ3102は発光素子3117に供給する電流値を制御する機能を有していれば良いため、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ (TFT)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnOや α -InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【0180】

第1のスイッチ3111は輝度データに応じた電位、即ち信号を信号線3118より画素に入力するタイミングを選択し、主に第1の容量素子3115に保持される電圧、及び第2の容量素子3116に保持される電圧即ち第1のトランジスタ3101もしくは第2のトランジスタ3102のゲート・ソース間電圧を変化させるものである。また、第2のスイッチ3112は第1のトランジスタ3101もしくは第2のトランジスタ3102の第2の電極に所定の電位を供給するタイミングを選択するものである。なお、場合によっては第1の容量素子3115の第2の電極及び第2の容量素子3116の第1の電極にも前記所定の電位を供給する。第3のスイッチ3113は第1のトランジスタ3101もしくは第2のトランジスタ3102のゲート電極と各々のトランジスタの第2の電極との接続を制御するものであり、第4のスイッチ3114は各フレーム期間毎に第1の容量素子3115に所定の電圧を保持させるタイミングを選択し、第1の容量素子3115の第1の電極に所定の電位を供給するか否かを制御するものである。そのため、第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、第1のスイッチ3111、第2のスイッチ3112及び第4のスイッチ3114は、上記タイミングで信号もしくは電位を画素に与えることができれば特に必要はない。また、第3のスイッチ3113においても上記機能を実現できれば特に必要はない。

【0181】

例えば、第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114、第5のスイッチ3103、第6のスイッチ3104にNチャネル型のトランジスタを用いた場合、画素をNチャネル型のトランジスタのみで構成することができるため、製造工程の簡略化を図ることができる。また、画素を構成するトランジスタの半導体層に非晶質半導体やセミアモルファス半導体などを用いることができる。例えば、非晶質半導体としてアモルファスシリコン(a-Si:H)が挙げられる。これらの半導体を用いることにより、さらに製造工程の簡略化が可能である。したがって、製造コストの削減や歩留まりの向上を図ることができる。

【0182】

なお、第1のスイッチ3111、第2のスイッチ3112、第3のスイッチ3113、第4のスイッチ3114、第5のスイッチ3103、第6のスイッチ3104にトランジスタを用いた場合、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。

【0183】

また、第1のトランジスタ3101及び第5のスイッチ3103と第2のトランジスタ3102及び第6のスイッチ3104は、図37に示すようにそれぞれ入れ替わっていても良い。つまり、第1のトランジスタ3101及び第2のトランジスタ3102の第1の電極は第2の容量素子3116を介して第1のトランジスタ3101及び第2のトランジスタ3102のゲート電極に接続されている。また、第1のトランジスタ3101の第2の電極は第5のスイッチ3103を介してノード3132と接続され、第2のトランジスタ3102の第2の電極は第6のスイッチ3104を介してノード3132と接続されている。

【0184】

また、図31及び図37ではトランジスタとスイッチをセットにして、つまり第1のトランジスタ3101と第5のスイッチ3103、第2のトランジスタ3102と第6のスイッチ3104をセットにして並列数が2の場合について記載したが、並列に配置する数は特に限定されない。

【0185】

また、図7の表示装置に本実施形態で示した画素を適用することで、実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能で

あるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0186】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0187】

なお、本実施形態においても、実施の形態3で示したように電位供給線3123を同一画素内の配線で代用したり、実施の形態4のように他の行の配線と共有しても良い。また、第1のトランジスタ3101及び第2のトランジスタ3102のそれぞれに、トランジスタが直列に接続されたマルチゲート型トランジスタや並列に配置されたトランジスタを用いても良い。これらに限らず、本実施の形態は、実施の形態1乃至5に示した画素構成に適用することが可能である。

（実施の形態7）

本実施形態では、実施の形態1とは異なる構成の画素を示す。実施の形態1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。なお、これらは実施の形態1と同様に動作させるものとする。

【0188】

本実施形態では、発光素子117に強制的に電流が流れないようにする画素構成について説明する。つまり、非発光状態を強制的に作ることで、残像が見えにくく、動画特性に優れた表示装置を得ることを目的とする。

【0189】

このような画素構成の一つを図38に示す。図38に示す画素は、トランジスタ110、第1のスイッチ111、第2のスイッチ112、第3のスイッチ113、第4のスイッチ114、第1の容量素子115、第2の容量素子116、発光素子117の他に第5のスイッチ3801を有する。なお、画素は、信号線118、第1の走査線119、第2の走査線120、第3の走査線121、電源線122、及び電位供給線123の他、第4の走査線3802にも接続されている。

【0190】

図38において、第5のスイッチ3801は、第2の容量素子116と並列に接続されている。そのため、第5のスイッチ3801がオンになるとトランジスタ110のゲート電極と第1の電極間が短絡することになる。よって、第2の容量素子116に保持されていたトランジスタ110のゲートソース間電圧を0Vにすることができるため、トランジスタ110はオフとなり、発光素子117を非発光とすることができる。なお、第5のスイッチ3801におけるオンオフの制御は、第4の走査線3802に入力される信号によって画素一行ずつ走査する。

【0191】

このような動作により、画素に書き込まれた信号を消去する。よって、次の初期化期間まで強制的に非発光の状態となる消去期間を設けることができる。つまり、黒表示が挿入されることになる。よって、残像が見えにくくなり、動画特性の向上を図ることができる。

【0192】

ところで、表示装置の階調を表現する駆動方式には、アナログ階調方式とデジタル階調方式がある。アナログ階調方式には、発光素子の発光強度をアナログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。アナログ階調方式においては発光素子の発光強度をアナログ制御する方式がよく用いられている。一方、デジタル階調方式はデジタル制御で発光素子をオンオフさせ、階調を表現している。デジタル階調方式の場合、デジタル信号で処理できるためノイズに強いというメリットがあるが、発光・非発光の2状態しかないため、このままでは2階調しか表現できない。そこで、別の手法を組み合わせ

て、多階調化を図ることが行われている。多階調化のための手法としては、画素の発光面積に重みをつけてその選択により階調表示を行う面積階調方式と、発光時間に重みをつけてその選択により階調表示を行う時間階調方式とがある。

【0193】

このデジタル階調方式と時間階調方式とを組み合わせした場合、図39に示すように1フレーム期間を複数のサブフレーム期間(SFn)に分割する。各サブフレーム期間は、初期化期間、しきい値電圧書き込み期間及びデータ書き込み期間を有するアドレス期間(Ta)と、発光期間(Ts)とを有する。なお、サブフレーム期間は表示ビット数nに応じた数を1フレーム期間に設ける。また、各サブフレーム期間における発光期間の長さの比を $2^{(n-1)} : 2^{(n-2)} : \dots : 2 : 1$ とし、各発光期間で発光素子の発光、もしくは非発光を選択し、発光素子が発光している1フレーム期間中の合計時間の差を利用して階調表現を行う。1フレーム期間において、発光している合計時間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図39においては4ビット階調の例を示しており、1フレーム期間は4つのサブフレーム期間に分割され、発光期間の組み合わせによって、 $2^4 = 16$ 階調を表現できる。なお、発光期間の長さの比は、特に2のべき乗の比としなくても、階調表現は可能である。また、あるサブフレーム期間をさらに分割していても良い。

10

【0194】

なお、上記のように時間階調方式を用いて多階調化を図る場合、下位ビットの発光期間の長さは短いため、発光期間の終了後直ちに次のサブフレーム期間のデータ書き込み動作を開始しようとする、前のサブフレーム期間のデータ書き込み動作と重複してしまい、正常な動作ができなくなる。そのため、サブフレーム期間内に上記のような消去期間を設けることで、全行に要するデータ書き込み期間より短い発光も表現することができる。即ち、発光期間を自由に設定することができる。

20

【0195】

本発明は、アナログ階調方式において特に有効であることはもちろん、デジタル階調方式と時間階調方式とを組み合わせた方式においても、発光期間を自由に設定することができるため、消去期間を設けることは有効である。

【0196】

また、電源線122からトランジスタ110を介して発光素子117の画素電極までの間の電流の経路を断つことで、消去期間を設けても良い。例えば、電源線122からトランジスタ110を介して発光素子117の画素電極までの間の電流経路に新たにスイッチを設け、一行ずつ画素を走査してそのスイッチをオフにすることにより消去期間を設けることができる。

30

【0197】

このような構成の一つを図40に示す。図40の構成は、図1の画素構成に加え、第5のスイッチ4001がトランジスタ110の第1の電極とノード132との間に接続されている。そして、第5のスイッチ4001のオンオフは、第4の走査線4002に入力される信号によって制御される。この第5のスイッチ4001をオフにすることにより、消去期間を設けることが可能である。

40

【0198】

また、トランジスタ110の第2の電極とノード133との間や、図41に示すように発光素子117の画素電極とノード132との間に第5のスイッチを接続して消去期間を設けても良い。

【0199】

もちろん、図1における画素において第2のスイッチ112をオフとし電源線122から発光素子117への電流経路を断つことで、新たなスイッチを設けずに消去期間を設けても良い。

【0200】

また、トランジスタ110のゲート電極の電位を変化させることで強制的に消去期間を

50

設けることもできる。

【0201】

このような構成の一つを図42に示す。図42の構成は、図1の画素構成に加え整流素子4201を有し、その整流素子4201を介してトランジスタ110のゲート電極と第4の走査線4202とが接続されている。なお、トランジスタ110がNチャネル型トランジスタであるとする、整流素子4201はトランジスタ110のゲート電極から第4の走査線4202に電流が流れるように接続されている。第4の走査線4202はトランジスタ110を強制的にオフにするときのみLレベルの信号が入力され、それ以外はHレベルの信号を入力される。第4の走査線4202がHレベルのときには整流素子4201には電流が流れず、Lレベルになるとトランジスタ110のゲート電極から第4の走査線4202へ電流が流れる。このように第4の走査線4202へ電流を流すことにより、トランジスタ110のゲート・ソース間電圧をしきい値電圧(V_{th})以下にし、トランジスタ110を強制的にオフにする。なお、Lレベルの電位は、トランジスタ110のゲート電極の電位がLレベルの電位に整流素子4201の順方向におけるしきい値電圧を加算した電位以下にならないことを考慮し、決定しなければならない。

10

【0202】

なお、整流素子4201には、図9(B)に示したショットキー・バリア型、PIN型、PN型のダイオードの他、ダイオード接続されているトランジスタ等を用いることができる。

20

【0203】

なお、画素構成は強制的に非発光とする手段を有していれば、黒表示の挿入により残像が見えにくくすることができるため上記の構成に特に限定されない。

【0204】

本実施形態に示した消去期間を設けるためのスイッチ等は、上述した図1の画素構成に限らずその他の実施の形態に示した画素構成にも適用することが可能である。

【0205】

また、このようなスイッチを設けなくても初期化期間を長く設定することで、初期化期間は消去期間を兼ねることができる。よって、実施の形態1乃至6に記載した画素を動作する際、残像が見えにくくするために黒表示させたい期間を初期化期間の長さと設定することで、動画特性の向上を図ることもできる。なお、上述したように第2のスイッチをオフすることで消去期間を設けることも可能である。また、発光期間において電源線122の電位を対向電極124の電位と同一にすることにより黒表示を挿入しても良い。

30

【0206】

なお、本実施形態で示した画素は、実施の形態1において示した表示装置に適用することができる。以上のことから、輝度のばらつきが少なく、かつ動画特性に優れた表示装置を得ることができる。

(実施の形態8)

本実施形態では、発光素子に供給する電流値を制御するトランジスタにPチャネル型トランジスタを適用した場合について図46を用いて説明する。

【0207】

図46に示す画素は、トランジスタ4610、第1のスイッチ4611、第2のスイッチ4612、第3のスイッチ4613、第4のスイッチ4614、第1の容量素子4615、第2の容量素子4616、発光素子4617を有する。画素は、信号線4618、第1の走査線4619、第2の走査線4620、第3の走査線4621、電源線4622、及び電位供給線4623に接続されている。本実施の形態において、トランジスタ4610はPチャネル型トランジスタとし、そのゲート・ソース間電圧の絶対値($|V_{gs}|$)がしきい値電圧($|V_{th}|$)を上回ったとき(つまり、 V_{gs} が V_{th} を下回ったとき)、導通状態になるものとする。また、発光素子4617の画素電極は陰極、対向電極4624は陽極として機能する。なお、トランジスタのゲート・ソース間電圧の絶対値を $|V_{gs}|$ 、しきい値電圧の絶対値を $|V_{th}|$ 、第1の容量素子4615及び第2の容量

40

50

素子 4 6 1 6 に蓄積された電圧をそれぞれ V_{c1} 、 V_{c2} と記す。また、電源線 4 6 2 2、電位供給線 4 6 2 3 及び信号線 4 6 1 8 を、それぞれ第 1 の配線、第 2 の配線、第 3 の配線とも呼ぶ。さらに、第 1 の走査線 4 6 1 9、第 2 の走査線 4 6 2 0 及び第 3 の走査線 4 6 2 1 を、それぞれ第 4 の配線、第 5 の配線、第 6 の配線と呼んでも良い。

【0208】

トランジスタ 4 6 1 0 の第 1 の電極（ソース電極及びドレイン電極の一方）は、発光素子 4 6 1 7 の画素電極に接続され、第 2 の電極（ソース電極及びドレイン電極の他方）は第 2 のスイッチ 4 6 1 2 を介して電源線 4 6 2 2 に接続され、ゲート電極は第 3 のスイッチ 4 6 1 3 及び第 2 のスイッチ 4 6 1 2 を介して電源線 4 6 2 2 と接続されている。なお、第 3 のスイッチ 4 6 1 3 は、トランジスタ 4 6 1 0 のゲート電極と第 2 のスイッチ 4 6 1 2 との間に接続されている。

10

【0209】

また、トランジスタ 4 6 1 0 のゲート電極と第 3 のスイッチ 4 6 1 3 との接続箇所をノード 4 6 3 0 とすると、ノード 4 6 3 0 は第 1 の容量素子 4 6 1 5 及び第 1 のスイッチ 4 6 1 1 を介して信号線 4 6 1 8 と接続されている。つまり、第 1 の容量素子 4 6 1 5 の第 1 の電極が第 1 のスイッチ 4 6 1 1 を介して信号線 4 6 1 8 に、第 2 の電極がトランジスタ 4 6 1 0 のゲート電極に接続されている。また、第 1 の容量素子 4 6 1 5 の第 1 の電極は第 4 のスイッチ 4 6 1 4 を介して電位供給線 4 6 2 3 と接続されている。ノード 4 6 3 0 は、さらに第 2 の容量素子 4 6 1 6 を介してトランジスタ 4 6 1 0 の第 1 の電極とも接続されている。つまり、第 2 の容量素子 4 6 1 6 の第 1 の電極がトランジスタ 4 6 1 0 のゲート電極と、第 2 の電極がトランジスタ 4 6 1 0 の第 1 の電極に接続されている。これら容量素子は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、場合によってはトランジスタ 4 6 1 0 のゲート容量を用いて第 2 の容量素子 4 6 1 6 を省略することも可能である。

20

【0210】

なお、第 1 の走査線 4 6 1 9、第 2 の走査線 4 6 2 0、第 3 の走査線 4 6 2 1 に信号を入力することにより、それぞれ第 1 のスイッチ 4 6 1 1、第 2 のスイッチ 4 6 1 2、第 3 のスイッチ 4 6 1 3 及び第 4 のスイッチ 4 6 1 4 のオンオフが制御される。

【0211】

信号線 4 6 1 8 には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

30

【0212】

次に、図 4 6 で示した画素の動作について図 4 7 のタイミングチャート及び図 4 8 を用いて説明する。なお、図 4 7 において 1 画面分の画像を表示する期間に相当する 1 フレーム期間は、初期化期間、しきい値電圧書き込み期間、データ書き込み期間及び発光期間に分割される。また、初期化期間、しきい値電圧書き込み期間、データ書き込み期間をまとめてアドレス期間と呼ぶ。1 フレーム期間は特に限定はないが、画像をみる人がちらつき（フリッカ）を感じないように少なくとも $1/60$ 秒以下とすることが好ましい。

【0213】

なお、発光素子 4 6 1 7 の対向電極 4 6 2 4 には V_1 の電位（ V_1 ：任意の数）が入力される。また、発光素子 4 6 1 7 が発光するために少なくとも必要とする電位差を V_{EL} とすると、電源線 4 6 2 2 には $V_1 - V_{EL} - |V_{th}| - \alpha$ （ α ：任意の正の数）の電位が入力される。つまり、電源線 4 6 2 2 は $V_1 - V_{EL} - |V_{th}| - \alpha$ 以下の電位であれば良い。電位供給線 4 6 2 3 の電位は特に限定されないが、画素が形成されたパネルに入力する電位の範囲内であることが好ましい。こうすることで、電源を別途作製する必要がなくなる。なお、ここでは電位供給線 4 6 2 3 の電位を V_2 とおく。

40

【0214】

まず、図 4 7（A）及び図 4 8（A）に示すように初期化期間では、第 1 のスイッチ 4 6 1 1 をオフとし、第 2 のスイッチ 4 6 1 2、第 3 のスイッチ 4 6 1 3 及び第 4 のスイッチ 4 6 1 4 をオンとする。このとき、トランジスタ 4 6 1 0 は導通状態であり、第 1 の容

50

量素子 4615 には $V_1 - V_{EL} - |V_{th}| - \alpha - V_2$ が、第 2 の容量素子 4616 には $|V_{th}| + \alpha$ が保持される。なお、初期化期間では、第 1 の容量素子 4615 には所定の電圧が、第 2 の容量素子 4616 には少なくとも $|V_{th}|$ より高い絶対値の電圧が保持されれば良い。

【0215】

図 47 (B) 及び図 48 (B) に示すしきい値電圧書き込み期間では、第 2 のスイッチ 4612 をオフとする。そのため、トランジスタ 4610 のゲート電極は次第に上昇し、トランジスタ 4610 のゲート・ソース間電圧 V_{gs} がしきい値電圧 $|V_{th}|$ となったところでトランジスタ 4610 は非導通状態となる。よって、第 2 の容量素子 4616 に保持される電圧 V_{c2} はおおむね $|V_{th}|$ となる。

10

【0216】

その後の図 2 (C) 及び図 3 (C) に示すデータ書き込み期間においては、第 3 のスイッチ 4613 及び第 4 のスイッチ 4614 をオフとした後、第 1 のスイッチ 4611 をオンとし、信号線 4618 より輝度データに応じた電位 ($V_2 - V_{data}$) を入力する。このときに、第 2 の容量素子 4616 に保持される電圧 V_{c2} は、第 1 の容量素子 4615、第 2 の容量素子 4616 及び発光素子 4617 の静電容量をそれぞれ C_1 、 C_2 、 C_3 とすると $C_3 \gg C_1$ 、 C_2 より式 (4) のように表すことができる。

【0217】

【数 4】

$$V_{c2} = \left| -|V_{th}| - V_{data} \times \frac{C_1}{C_1 + C_2} \right| \dots (4)$$

20

【0218】

なお、 C_1 と C_2 は信号線 4618 より供給する電位を決定する際に必要であるが、これらの関係は特に限定されない。なお、 $C_1 > C_2$ の場合には、輝度変化に伴う V_{data} の振幅を少なくすることが可能であるため消費電力を低減することができる。一方、 $C_2 > C_1$ の場合には、周囲のスイッチのオン、オフやオフ電流による V_{c2} の変化を抑制することができる。これらの相反する効果より C_1 と C_2 は等しく、第 1 の容量素子 4615 と第 2 の容量素子 4616 の大きさは同じであることが好ましい。

【0219】

なお、次の発光期間において発光素子 4617 を非発光としたい場合には、 $V_{data} \leq 0$ の電位を入力すれば良い。

30

【0220】

次に、図 47 (D) 及び図 48 (D) に示す発光期間では、第 1 のスイッチ 4611 をオフとした後、第 2 のスイッチ 4612 をオンとする。このとき、トランジスタ 4610 のゲート・ソース間電圧は $V_{gs} = -|V_{th}| - V_{data} \times (C_1 / (C_1 + C_2))$ であり、輝度データに応じた電流がトランジスタ 4610 及び発光素子 4617 に流れ、発光素子 4617 が発光する。もちろん、信号線 4618 より入力される輝度データに応じた電位は、トランジスタ 4610 のゲート・ソース間電圧が $V_{gs} = -|V_{th}| - V_{data} \times (C_1 / (C_1 + C_2))$ となることを考慮して V_{data} を決定する必要がある。

40

【0221】

なお、発光素子 4617 に流れる電流 I は、トランジスタ 4610 を飽和領域で動作させた場合、式 (5) で表される。

【0222】

【数 5】

$$I = \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (V_{\text{gs}} - V_{\text{th}})^2$$

$$= \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (-|V_{\text{th}}| - V_{\text{data}} \times \frac{C_1}{C_1+C_2} - V_{\text{th}})^2 \dots (5)$$

【0 2 2 3】

トランジスタ 4 6 1 0 は P チャネル型のトランジスタであるため、 $V_{\text{th}} < 0$ である。
よって、式 (5) は式 (6) に変形できる。

10

【0 2 2 4】

【数 6】

$$I = \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (-V_{\text{data}} \times \frac{C_1}{C_1+C_2})^2 \dots (6)$$

【0 2 2 5】

また、トランジスタ 4 6 1 0 を線形領域で動作させた場合、発光素子に流れる電流 I は
式 (7) で表される。

【0 2 2 6】

20

【数 7】

$$I = \left(\frac{W}{L} \right) \mu_{\text{Cox}} [(V_{\text{gs}} - V_{\text{th}})V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2]$$

$$= \left(\frac{W}{L} \right) \mu_{\text{Cox}} [(-|V_{\text{th}}| - V_{\text{data}} \times \frac{C_1}{C_1+C_2} - V_{\text{th}})V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2] \dots (7)$$

【0 2 2 7】

$V_{\text{th}} < 0$ より、式 (7) は式 (8) に変形できる。

【0 2 2 8】

30

【数 8】

$$I = \left(\frac{W}{L} \right) \mu_{\text{Cox}} [(-V_{\text{data}} \times \frac{C_1}{C_1+C_2})V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2] \dots (8)$$

【0 2 2 9】

ここで、 W はトランジスタ 4 6 1 0 のチャネル幅、 L はチャネル長、 μ は移動度、 C_{ox} は蓄積容量を指す。

【0 2 3 0】

式 (6) 及び式 (8) より、トランジスタ 4 6 1 0 の動作領域が飽和領域、線形領域の
いずれの場合においても、発光素子 4 6 1 7 に流れる電流はトランジスタ 4 6 1 0 のしき
い値電圧 (V_{th}) に依存しない。よって、トランジスタ 4 6 1 0 のしきい値電圧のばら
つきに起因した電流値のばらつきを抑制し、輝度データに対応した電流を発光素子 4 6 1
7 に供給することができる。

40

【0 2 3 1】

以上のことから、トランジスタ 4 6 1 0 のしきい値電圧のばらつきに起因した輝度のば
らつきを抑制することができる。また、対向電極の電位を一定として動作させるため消費
電力を低くすることが可能となる。

【0 2 3 2】

さらに、トランジスタ 4 6 1 0 を飽和領域で動作させた場合においては、発光素子 4 6

50

17の劣化による輝度のばらつきも抑制できる。発光素子4617が劣化すると、発光素子4617の V_{EL} は増大し、トランジスタ4610の第1の電極、即ちソース電極の電位は減少する。このとき、トランジスタ4610のソース電極は第2の容量素子4616の第2の電極に、トランジスタ4610のゲート電極は第2の容量素子4616の第1の電極に接続されており、なおかつゲート電極側は浮遊状態となっている。そのため、ソース電位の減少に伴い、同じ電位だけトランジスタ4610のゲート電位も減少する。よって、トランジスタ4610の V_{gs} は変化しないため、たとえ発光素子が劣化してもトランジスタ4610及び発光素子4617に流れる電流に影響しない。なお、式(6)においても発光素子に流れる電流 I はソース電位やドレイン電位に依存しないことがわかる。

【0233】

よって、トランジスタ4610を飽和領域で動作させた場合においては、トランジスタ4610のしきい値電圧のばらつき及び発光素子4617の劣化に起因したトランジスタ4610に流れる電流のばらつきを抑制することができる。

【0234】

なお、トランジスタ4610を飽和領域で動作させた場合、降伏現象やチャネル長変調による電流量の増加を抑制するために、トランジスタ4610のチャネル長 L は長い方がより好ましい。

【0235】

以上のようにトランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができるため、本発明においてそのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図46に示した発光素子4617は、代表的にはEL素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)を適用することができる。また、発光素子4617に換えて、電子放出素子、液晶素子、電子インクなどを適用することもできる。図49に発光素子4617にEL素子4917を用いた例を示す。なお、図49は対向電極4624から画素電極4911に電流が流れている様子を示している。

【0236】

また、トランジスタ4610は発光素子4617に供給する電流値を制御する機能を有していれば良いため、その種類は特に限定されず様々なものを用いることができる。例えば、結晶性半導体膜を用いた薄膜トランジスタ(TFT)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnOや α -InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタをトランジスタ4610に適用することができる。

【0237】

第1のスイッチ4611は輝度データに応じた電位、即ち信号を信号線4618より画素に入力するタイミングを選択し、主に第1の容量素子4615に保持される電圧、及び第2の容量素子4616に保持される電圧即ちトランジスタ4610のゲート・ソース間電圧を変化させるものである。また、第2のスイッチ4612はトランジスタ4610の第2の電極に所定の電位を供給するタイミングを選択するものである。なお、場合によっては第1の容量素子4615の第2の電極及び第2の容量素子4616の第1の電極にも前記所定の電位を供給する。第3のスイッチ4613はトランジスタ4610のゲート電極と第2の電極との接続を制御するものであり、第4のスイッチ4614は各フレーム期間毎に第1の容量素子4615に所定の電圧を保持させるタイミングを選択し、第1の容量素子4615の第1の電極に所定の電位を供給するか否かを制御するものである。そのため、第1のスイッチ4611、第2のスイッチ4612、第3のスイッチ4613、第4のスイッチ4614は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、第1のスイッチ4611、第2のスイッチ4612及び第4のスイッチ4614は、上記タイミ

10

20

30

40

50

ングで信号もしくは電位を画素に与えることができれば特に必要はない。また、第3のスイッチ4613においても上記機能を実現できれば特に必要はない。

【0238】

なお、トランジスタを用いた場合、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているものなどがある。また、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

【0239】

たとえば、第1のスイッチ4611、第2のスイッチ4612、第3のスイッチ4613、第4のスイッチ4614にPチャネル型のトランジスタを適用した場合、それぞれのスイッチのオンオフを制御する走査線にはオンさせたいときにはLレベルの信号が、オフさせたいときにはHレベルの信号が入力される。この場合、Pチャネル型のトランジスタのみで画素を構成することができるため、製造工程の簡略化を図ることができる。

【0240】

さらに、図7の表示装置に本実施形態で示した画素を適用することでき、実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0241】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0242】

なお、本実施形態は、その他の実施の形態に示した画素構成とも自由に組み合わせることができる。例えば、実施の形態2と同様に、第4のスイッチ4614に整流素子を用いても良いし、実施の形態3及び4のように電位供給線4623を他の配線で代用しても良い。また、トランジスタ4610を実施の形態5及び6で示したトランジスタの構成とすることもできる。その他、実施の形態7に示した構成及び動作を適用することも可能である。これらに限らず、本実施形態に記載したトランジスタ4610は、他の実施の形態に示した画素にも適用することが可能である。

【0243】

ただし、発光素子に流れる電流を制御するトランジスタの極性によって、整流素子に流れる電流の向きを異ならせる必要がある。例えば、消去期間を設けるために整流素子を用いた場合について図50を用いて説明する。

【0244】

トランジスタ4610がPチャネル型トランジスタである場合には、整流素子5001は第4の走査線5002からノード4630に電流が流れるように接続されている。第4の走査線5002はトランジスタ4610を強制的にオフにするときのみHレベルの信号が入力され、それ以外はLレベルの信号を入力される。第4の走査線5002がLレベルのときには、整流素子5001には電流が流れず、Hレベルになると第4の走査線5002からノード4630へ電流が流れる。このようにノード4630へ電流を流すことでトランジスタ4610のゲート電位を上昇させ、トランジスタ4610のゲート・ソース間電圧をしきい値電圧（ $|V_{th}|$ ）以下にしてトランジスタ4610を強制的にオフにする。このような動作により、黒表示が挿入され残像が見えにくくなり、動画特性を向上させることができる。

（実施の形態9）

本実施形態では、本発明の画素の部分断面図の一形態について図17を用いて説明する

。なお、本実施形態における部分断面図に示されているトランジスタは、発光素子に供給する電流値を制御する機能を有するトランジスタである。

【0245】

まず、絶縁表面を有する基板1711上に下地膜1712を形成する。絶縁表面を有する基板1711としては、ガラス基板、石英基板、プラスチック基板（ポリイミド、アクリル、ポリエチレンテレフタレート、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等）、セラミックス基板等の絶縁性基板の他、金属基板（タンタル、タングステン、モリブデン等）や半導体基板等の表面に絶縁膜を形成したものも用いることができる。ただし、少なくともプロセス中に発生する熱に耐えうる基板を使用する必要がある。

【0246】

下地膜1712としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜（ SiO_xN_y ）等の絶縁膜を用い、これら絶縁膜を単層又は2以上の複数層で形成する。なお、下地膜1712は、スパッタ法、CVD法等を用いて形成すればよい。本実施形態では下地膜1712を単層としているが、もちろん2以上の複数層でも構わない。

【0247】

次に、下地膜1712上にトランジスタ1713を形成する。トランジスタ1713は、少なくとも半導体層1714と、半導体層1714上に形成されたゲート絶縁膜1715と、半導体層1714上にゲート絶縁膜1715を介して形成されたゲート電極1716から構成されており、半導体層1714は、ソース領域及びドレイン領域を有する。

【0248】

半導体層1714は、アモルファスシリコン（ a-Si:H ）の他、シリコン、シリコン・ゲルマニウム（ SiGe ）等を主成分とする非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体、非晶質半導体中に0.5nm~20nmの結晶粒を観察することができる微結晶半導体や、ポリシリコン（ p-Si:H ）等の結晶性半導体膜を用いることができる。なお、0.5nm~20nmの結晶粒を観察することができる微結晶状態はいわゆるマイクロクリスタルと呼ばれている。例えば、半導体層1714に非晶質半導体膜を用いる場合には、スパッタ法、CVD法等を用いて形成すれば良く、結晶性半導体膜を用いる場合には、例えば非晶質半導体膜を形成した後さらに結晶化すれば良い。また、必要があればトランジスタのしきい値電圧を制御するために上記主成分の他に、微量の不純物元素（リン、ヒ素、ボロン等）が含まれていても良い。

【0249】

次に、半導体層1714を覆ってゲート絶縁膜1715を形成する。ゲート絶縁膜1715には、例えば酸化珪素、窒化珪素または窒化酸化珪素等を用いて単層または複数の膜を積層させて形成する。なお、成膜方法には、CVD法、スパッタ法等を用いることができる。

【0250】

続いて、半導体層1714の上方にゲート絶縁膜1715を介してそれぞれゲート電極1716を形成する。ゲート電極1716は単層で形成してもよいし、複数の金属膜を積層して形成してもよい。なお、ゲート電極は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。例えば、第1の導電層として窒化タンタルを用い、第2の導電層としてタングステン（W）を用いた、第1の導電膜と第2の導電膜からなるゲート電極としてもよい。

【0251】

次に、ゲート電極1716またはレジストを形成し所望の形状にしたものをマスクとして用い、半導体層1714にn型またはp型の導電性を付与する不純物を選択的に添加する。このようにして、半導体層1714に、チャンネル形成領域および不純物領域（ソース領域、ドレイン領域、GOLD領域、LDD領域を含む）が形成される。また、添加される不純物元素の導電型によりNチャンネル型トランジスタ、またはPチャンネル型トランジス

10

20

30

40

50

タとを区別して作製することができる。

【0252】

なお、図17は、LDD領域1720を自己整合的に作製するために、ゲート電極1716を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール1717を形成する。その後、半導体層1714に導電性を付与する不純物を添加することにより、ソース領域1718、ドレイン領域1719及びLDD領域1720を形成することができる。そのため、LDD領域1720はサイドウォール1717の下部に位置する。なお、サイドウォール1717は、LDD領域1720を自己整合的に形成するために設けるのであって、必ずしも設けなくてもよい。なお、導電性を付与する不純物としてはリン、ヒ素、ボロン等が用いられる。

10

【0253】

次に、ゲート電極1716を覆って、第1の層間絶縁膜1730として第1の絶縁膜1721、第2の絶縁膜1722を積層し形成する。第1の絶縁膜1721、第2の絶縁膜1722としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜(SiO_xN_y)等の無機絶縁膜、もしくは低誘電率の有機樹脂膜(感光性や非感光性の有機樹脂膜)を用いることができる。また、シロキサンを含む膜を用いてもよい。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料であり、置換基としては、有機基(例えばアルキル基、芳香族炭化水素)が用いられる。また、置換基にフルオロ基を含んでいても良い。

20

【0254】

なお、第1の絶縁膜1721、第2の絶縁膜1722に同一材料の絶縁膜を用いても良い。本実施形態では第1の層間絶縁膜1730を2層の積層構造としたが、1層としても良いし、3層以上の積層構造としても良い。

【0255】

なお、第1の絶縁膜1721、第2の絶縁膜1722は、スパッタ法、CVD法、スピコーティング法等を用いて形成すればよく、有機樹脂膜やシロキサンを含む膜を用いる場合には塗布法を用いて形成すればよい。

【0256】

その後、第1の層間絶縁膜1730上にソース電極及びドレイン電極1723を形成する。なお、ソース電極及びドレイン電極1723は、それぞれコンタクトホールを介してソース領域1718、ドレイン領域1719に接続されている。

30

【0257】

なお、ソース電極及びドレイン電極1723は、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、ロジウム(Rh)、タングステン(W)、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、カドミウム(Cd)、亜鉛(Zn)、鉄(Fe)、チタン(Ti)、珪素(Si)、ゲルマニウム(Ge)、ジルコニウム(Zr)、バリウム(Ba)、ネオジム(Nd)等の金属又はその合金、若しくはその金属窒化物、又はこれらの積層膜を用いることができる。

40

【0258】

次に、ソース電極及びドレイン電極1723を覆って第2の層間絶縁膜1731を形成する。第2の層間絶縁膜1731としては、無機絶縁膜や、樹脂膜、又はこれらの積層を用いることができる。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0259】

第2の層間絶縁膜1731上には画素電極1724を形成する。次に、画素電極1724の端部を覆うように絶縁物1725を形成する。絶縁物1725は、後に形成される発光物質を含む層1726の成膜を良好なものとするため、絶縁物1725の上端部または

50

下端部が曲率を有する曲面となるように形成することが好ましい。例えば、絶縁物 1725 の材料としてポジ型の感光性アクリルを用いた場合、絶縁物 1725 の上端部のみに曲率半径 ($0.2 \mu\text{m} \sim 3 \mu\text{m}$) を有する曲面を持たせることが好ましい。また、絶縁物 1725 として、感光性の光によってエッチャントに不溶解性となるネガ型、あるいは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。さらには、絶縁物 1725 の材料として有機物に限らず酸化珪素、酸化窒化珪素等の無機物も用いることができる。

【0260】

次に、画素電極 1724 及び絶縁物 1725 上に発光物質を含む層 1726 及び対向電極 1727 を形成する。

10

【0261】

なお、画素電極 1724 と対向電極 1727 とにより発光物質を含む層 1726 が挟まれた領域では発光素子 1728 が形成されている。

【0262】

次に、発光素子 1728 の詳細について図 18 を用いて説明する。なお、図 17 における画素電極 1724 及び対向電極 1727 は、それぞれ図 18 の画素電極 1801、対向電極 1802 に相当する。また、図 18 (a) においては、画素電極を陽極、対向電極を陰極とする。

【0263】

図 18 (a) に示すように、画素電極 1801 と対向電極 1802 との間には、発光層 1813 の他、正孔注入層 1811、正孔輸送層 1812、電子輸送層 1814、電子注入層 1815 等も設けられている。これらの層は、画素電極 1801 の電位が対向電極 1802 の電位よりも高くなるように電圧を印加したときに、画素電極 1801 側から正孔が注入され対向電極 1802 側から電子が注入されるように積層されている。

20

【0264】

このような発光素子において、画素電極 1801 から注入された正孔と、対向電極 1802 から注入された電子とは、発光層 1813 において再結合し、発光物質を励起状態にする。そして、励起状態の発光物質が基底状態に戻るときに発光する。なお、発光物質とは、ルミネセンス (エレクトロルミネセンス) が得られる物質であれば良い。

【0265】

発光層 1813 を形成する物質について特に限定はなく、発光物質のみから形成された層であっても良いが、濃度消光を生じる場合には発光物質が有するエネルギーギャップよりも大きいエネルギーギャップを有する物質 (ホスト) からなる層中に発光物質が分散するように混合された層であることが好ましい。これによって、発光物質の濃度消光を防ぐことができる。なお、エネルギーギャップとは最低空分子軌道 (LUMO: Lowest Unoccupied Molecular Orbital) 準位と最高被占分子軌道 (HOMO: Highest Occupied Molecular Orbital) 準位とのエネルギー差をいう。

30

【0266】

また、発光物質についても特に限定はなく、所望の発光波長の発光をし得る物質を用いればよい。例えば、赤色系の発光を得たいときには、4-ジシアノメチレン-2-イソプロピル-6-[2-(1, 1, 7, 7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン (略称: DCJTI)、4-ジシアノメチレン-2-メチル-6-[2-(1, 1, 7, 7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン (略称: DCJT)、4-ジシアノメチレン-2-tert-ブチル-6-[2-(1, 1, 7, 7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン (略称: DCJTB) やベリフランテン、2, 5-ジシアノ-1, 4-ビス[2-(10-メトキシ-1, 1, 7, 7-テトラメチルジュロリジン-9-イル)エテニル]ベンゼン等、600nm から 680nm に発光スペクトルのピークを有する発光を呈する物質を用いることができる。また、緑色系の発光を得たいときは、N, N'-ジメチルキナクリドン (略

40

50

称：DMQd)、クマリン6やクマリン545T、トリス(8-キノリノラト)アルミニウム(略称：Alq)、N,N'-ジフェニルキナクリドン(略称：DPQd)等、500nmから550nmに発光スペクトルのピークを有する発光を呈する物質を用いることができる。また、青色系の発光を得たいときは、9,10-ビス(2-ナフチル)-tert-ブチルアントラセン(略称：t-BuDNA)、9,9'-ビアントリル、9,10-ジフェニルアントラセン(略称：DPA)や9,10-ビス(2-ナフチル)アントラセン(略称：DNA)、ビス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-ガリウム(BGa q)、ビス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム(BAl q)等、420nmから500nmに発光スペクトルのピークを有する発光を呈する物質を用いることができる。

10

【0267】

発光物質を分散状態にするために用いる物質についても特に限定はなく、例えば、9,10-ジ(2-ナフチル)-2-tert-ブチルアントラセン(略称：t-BuDNA)等のアントラセン誘導体、または4,4'-ビス(N-カルバゾリル)ビフェニル(略称：CBP)等のカルバゾール誘導体の他、ビス[2-(2-ヒドロキシフェニル)ピリジナト]亜鉛(略称：Znp p₂)、ビス[2-(2-ヒドロキシフェニル)ベンゾオキサゾラト]亜鉛(略称：ZnBOX)等の金属錯体等を用いることができる。

【0268】

画素電極1801を形成する陽極材料は特に限定はされないが、仕事関数の大きい(仕事関数4.0eV以上)金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。このような陽極材料の具体例としては、金属材料の酸化物として、インジウム錫酸化物(略称：ITO)、酸化珪素を含有するITO(略称：ITSO)、酸化インジウムに2~20[w t %]の酸化亜鉛(ZnO)を混合したターゲットを用いて形成されるインジウム亜鉛酸化物(略称：IZO)の他、金(Au)、白金(Pt)、ニッケル(Ni)、タングステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、または金属材料の窒化物(例えば、窒化チタン)等を挙げることができる。

20

【0269】

一方、対向電極1802を形成する物質としては、仕事関数の小さい(仕事関数3.8eV以下)金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることができる。このような陰極材料の具体例としては、周期表の1族または2族に属する元素、すなわちリチウム(Li)やセシウム(Cs)等のアルカリ金属またはマグネシウム(Mg)、カルシウム(Ca)、ストロンチウム(Sr)等のアルカリ土類金属、及びこれらを含む合金(Mg:Ag、Al:Li)が挙げられる。また、対向電極1802と発光層1813との間に、電子注入性に優れた層を当該対向電極と積層して設けることにより、仕事関数の大小に関わらず、Al、Ag、ITOや酸化珪素を含有するITO等の画素電極1801の材料として挙げた材料も含めた様々な導電性材料を対向電極1802として用いることができる。また、後述する電子注入層1815に、特に電子を注入する機能に優れた材料を用いることにより同様の効果を得ることができる。

30

【0270】

なお、発光した光を外部に取り出すために、画素電極1801と対向電極1802のいずれか一方または両方がITO等の透明電極、または可視光が透過出来るような数~数十nmの厚さで形成された電極であることが好ましい。

40

【0271】

画素電極1801と発光層1813との間には、図18(a)に示すように正孔輸送層1812を有する。正孔輸送層とは、画素電極1801から注入された正孔を発光層1813へ輸送する機能を有する層である。このように、正孔輸送層1812を設け、画素電極1801と発光層1813とを離すことによって、発光が金属に起因して消光することを防ぐことができる。

【0272】

50

なお、正孔輸送層 1812 には、正孔輸送性の高い物質を用いて形成することが好ましく、特に $1 \times 10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質を用いて形成することが好ましい。なお、正孔輸送性の高い物質とは、電子よりも正孔の移動度が高い物質をいう。正孔輸送層 1812 を形成するのに用いることができる物質の具体例としては、4, 4'-ビス [N-(1-ナフチル)-N-フェニルアミノ] ビフェニル (略称: NPB)、4, 4'-ビス [N-(3-メチルフェニル)-N-フェニルアミノ] ビフェニル (略称: TPD)、4, 4', 4'-トリリス (N, N-ジフェニルアミノ) トリフェニルアミン (略称: TDATA)、4, 4', 4'-トリリス [N-(3-メチルフェニル)-N-フェニルアミノ] トリフェニルアミン (略称: MTDATA)、4, 4'-ビス {N-[4-(N, N-ジ-m-トリルアミノ)フェニル]-N-フェニルアミノ} ビフェニル (略称: DNTPD)、1, 3, 5-トリリス [N, N-ジ(m-トリル)アミノ] ベンゼン (略称: m-MTAB)、4, 4', 4'-トリリス (N-カルバゾリル) トリフェニルアミン (略称: TCTA)、フタロシアニン (略称: H_2Pc)、銅フタロシアニン (略称: CuPc)、バナジルフタロシアニン (略称: VOPc) 等が挙げられる。また、正孔輸送層 1812 は、以上に述べた物質から成る層を二以上組み合わせて形成した多層構造の層であってもよい。

【0273】

また、対向電極 1802 と発光層 1813 との間には、図 18 (a) に示すように電子輸送層 1814 を有していてもよい。ここで、電子輸送層とは、対向電極 1802 から注入された電子を発光層 1813 へ輸送する機能を有する層である。このように、電子輸送層 1814 を設け、対向電極 1802 と発光層 1813 とを離すことによって、発光が電極材料の金属に起因して消光することを防ぐことができる。

【0274】

電子輸送層 1814 について特に限定はなく、トリリス (8-キノリノラト) アルミニウム (略称: Alq)、トリリス (4-メチル-8-キノリノラト) アルミニウム (略称: Almq_3)、ビス (10-ヒドロキシベンゾ [h]-キノリナト) ベリリウム (略称: BeBq_2)、ビス (2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム (略称: BALq) など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等によって形成されたものを用いることができる。その他、ビス [2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト] 亜鉛 (略称: $\text{Zn}(\text{BOX})_2$)、ビス [2-(2-ヒドロキシフェニル)-ベンゾチアゾラト] 亜鉛 (略称: $\text{Zn}(\text{BTZ})_2$) などのオキサゾール系、チアゾール系配位子を有する金属錯体等によって形成されたものであってもよい。また、2-(4-ビフェニル)-5-(4-tert-ブチルフェニル)-1, 3, 4-オキサジアゾール (略称: PBD) や、1, 3-ビス [5-(p-tert-ブチルフェニル)-1, 3, 4-オキサジアゾール-2-イル] ベンゼン (略称: OXD-7)、3-(4-tert-ブチルフェニル)-4-フェニル-5-(4-ビフェニル)-1, 2, 4-トリアゾール (略称: TAZ)、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニル)-1, 2, 4-トリアゾール (略称: p-EtTAZ)、バソフェナントロリン (略称: BPhen)、バソキュプロイン (略称: BCP) 等を用いて形成されたものであってもよい。電子輸送層 1814 は、以上に記載したような正孔の移動度よりも電子の移動度が高い物質を用いて形成することが好ましい。また、電子輸送層 1814 は、 $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の電子移動度を有する物質を用いて形成することがより好ましい。なお、電子輸送層 1814 は、以上に述べた物質から成る層を二以上組み合わせて形成した多層構造であってもよい。

【0275】

さらに、画素電極 1801 と正孔輸送層 1812 との間には、図 18 (a) に示すように、正孔注入層 1811 を有していてもよい。ここで、正孔注入層とは、陽極として機能する電極から正孔輸送層 1812 へ正孔の注入を促す機能を有する層である。

【0276】

正孔注入層 1811 について特に限定はなく、モリブデン酸化物やバナジウム酸化物、

ルテニウム酸化物、タングステン酸化物、マンガン酸化物等の金属酸化物によって形成されたものを用いることができる。この他、フタロシアニン（略称：H₂Pc）や銅フタロシアニン（CuPc）等のフタロシアニン系の化合物、4, 4-ビス（N-（4-（N, N-ジ-*m*-トリルアミノ）フェニル）-N-フェニルアミノ）ビフェニル（略称：DNTPD）等の芳香族アミン系の化合物、或いはポリ（エチレンジオキシチオフェン）／ポリ（スチレンスルホン酸）水溶液（PEDOT／PSS）等の高分子等によっても正孔注入層1811を形成することができる。

【0277】

また、前記金属酸化物と、正孔輸送性の高い物質とを混合したものを、画素電極1801と正孔輸送層1812との間に設けても良い。このような層は、厚膜化しても駆動電圧の上昇を伴わないため、層の膜厚を調整することでマイクロキャビティ効果や光の干渉効果を利用した光学設計を行うことができる。そのため、色純度に優れ、視野角に依存する色変化などが小さい高品質な発光素子を作製することができる。また、画素電極1801の表面に成膜時に発生する凹凸や電極表面に残った微少な残渣の影響で画素電極1801と対向電極1802がショートすることを防ぐ膜厚を選ぶことができる。

【0278】

また、対向電極1802と電子輸送層1814との間には、図18（a）に示すように、電子注入層1815を有していてもよい。ここで、電子注入層とは、陰極として機能する電極から電子輸送層1814へ電子の注入を促す機能を有する層である。なお、電子輸送層を特に設けない場合は、陰極として機能する電極と発光層との間に電子注入層を設け、発光層への電子の注入を補助してもよい。

【0279】

電子注入層1815について特に限定はなく、フッ化リチウム（LiF）、フッ化セシウム（CsF）、フッ化カルシウム（CaF₂）等のようなアルカリ金属又はアルカリ土類金属の化合物を用いて形成されたものを用いることができる。この他、Alqまたは4, 4-ビス（5-メチルベンズオキサゾルー2-イル）スチルベン（BzOs）等のように電子輸送性の高い物質と、マグネシウムまたはリチウム等のようにアルカリ金属又はアルカリ土類金属とを混合したものも、電子注入層1815として用いることができる。

【0280】

なお、正孔注入層1811、正孔輸送層1812、発光層1813、電子輸送層1814、電子注入層1815は、それぞれ、蒸着法、インクジェット法、または塗布法等、いずれの方法で形成しても構わない。また、画素電極1801または対向電極1802についても、スパッタ法または蒸着法等、いずれの方法を用いて形成しても構わない。

【0281】

また、発光素子の層構造は、図18（a）に記載したものに限定されず、図18（b）に示すように陰極として機能する電極から順に作製してもよい。つまり、画素電極1801を陰極とし、画素電極1801上に電子注入層1815、電子輸送層1814、発光層1813、正孔輸送層1812、正孔注入層1811、対向電極1802の順で積層しても良い。なお、対向電極1802は陽極として機能する。

【0282】

なお、発光素子は、発光層が一層のものについて記載したが、複数の発光層を有するものであってもよい。複数の発光層を設け、それぞれの発光層からの発光を混合することで、白色光を得ることができる。たとえば2層の発光層を有する発光素子の場合、第1の発光層と第2の発光層との間には、間隔層や、正孔を発生する層及び電子を発生する層を設けることが好ましい。このような構成により、外部に射出したそれぞれの発光は、視覚的に混合され、白色光として視認される。よって、白色光を得ることができる。

【0283】

また、発光は、図17において画素電極1724または対向電極1727のいずれか一方または両方を通して外部に取り出される。従って、画素電極1724または対向電極1727のいずれか一方または両方は、透光性を有する物質で成る。

【0284】

対向電極1727のみが透光性を有する物質からなる場合、図19(a)に示すように発光は対向電極1727を通して基板と逆側から取り出される。また、画素電極1724のみが透光性を有する物質からなる場合、図19(b)に示すように発光は画素電極1724を通して基板側から取り出される。画素電極1724および対向電極1727がいずれも透光性を有する物質からなるものである場合、図19(c)に示すように発光は画素電極1724および対向電極1727を通して、基板側および基板と逆側の両方から取り出される。

【0285】

配線や電極は、上述した材料に限らず、アルミニウム(Al)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジウム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マグネシウム(Mg)、スカンジウム(Sc)、コバルト(Co)、亜鉛(Zn)、ニオブ(Nb)、シリコン(Si)、リン(P)、ボロン(B)、ヒ素(As)、ガリウム(Ga)、インジウム(In)、錫(Sn)等の群から選ばれた一つ又は複数の元素、もしくは前記群から選ばれた一つ又は複数の元素を成分とする化合物や合金材料(例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を含有するITO(ITSO)、酸化亜鉛(ZnO)、アルミネオジウム(Al-Nd)、マグネシウム銀(Mg-Ag)など)、もしくはこれらの化合物を組み合わせた物質等を用いて形成することができる。また、これらの元素とシリコンの化合物(シリサイド)(例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど)や窒素の化合物(例えば、窒化チタン、窒化タンタル、窒化モリブデン等)を用いて形成しても良い。なお、シリコン(Si)には、n型不純物(リンなど)やp型不純物(ボロンなど)が多く含まれていても良い。これらの不純物を含むことで導電率が向上し、配線や電極として利用しやすくなる。なお、シリコンには、単結晶、多結晶(ポリシリコン)、非晶質(アモルファスシリコン)のいずれを用いてもよい。単結晶シリコンや多結晶シリコンを用いた際には抵抗を小さくすることができ、非晶質シリコンでは簡単な製造工程で作製することができる。

【0286】

アルミニウムや銀を用いた際には、導電率が高いため信号遅延を低減することが可能である。また、エッチングが容易であるため、パターニングしやすく微細加工を行うことができる。また、銅においても、導電率が高いため信号遅延を低減することができる。モリブデンは、ITO、IZOなどの酸化物半導体やシリコンと接触しても、材質不良を起こす等の問題を生じることなく製造することができる。また、パターニングやエッチングを行いやすく、耐熱性にも優れているため望ましい。チタンにおいても、ITO、IZOなどの酸化物半導体やシリコンと接触しても材質不良を起こす等の問題を生じることなく製造でき、かつ優れた耐熱性を有するため望ましい。また、タングステンやネオジウムは、優れた耐熱性を有するため望ましい。なお、ネオジウムはアルミニウムとの合金にすると耐熱性が向上し、アルミニウムのヒロックを抑制することができる。シリコンは、トランジスタが有する半導体層と同時に形成することが可能であり、高い耐熱性を有する。また、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を含有するITO(ITSO)、酸化亜鉛(ZnO)、シリコン(Si)は透光性を有するため、光を透過させるような部分に用いる際には特に望ましく、これらは例えば画素電極や共通電極として用いることができる。

【0287】

なお、配線や電極は、上記材料を用いて形成された単層構造に限らず、多層構造であってもよい。例えば、単層構造で形成する場合には、製造工程を簡略化することができ、コストを低減することができる。また、多層構造では、それぞれの材料のメリットを生かし、デメリットを低減させることが可能であるため、性能に優れた配線や電極を形成することができる。たとえば、抵抗の低い材料(アルミニウムなど)を多層構造の一部に含む構成とすることで、配線の低抵抗化を図ることができる。また、耐熱性の高い材料を含むよ

うな構成（例えば、耐熱性が低いが他のメリットを有する材料を耐熱性が高い材料で挟むような積層構造）にすれば、高い耐熱性を有し、かつ単層では生かせなかったメリットを生かすことが可能となる。そのため、例えばアルミニウムを含む層をモリブデンやチタンを含む層により挟む構成の配線や電極を用いることが望ましい。

【0288】

また、配線や電極が他の材料の配線や電極等と直接接するような部分がある場合、お互いに悪影響を及ぼすことがある。例えば、一方の材料が他方の材料中に混入し、各々の材料の性質を変えてしまい、本来の目的を果たせなくなったり、製造する際に問題が生じ、正常に製造できなくなったりすることがある。このような場合、ある層を他の層で挟んだり、覆ったりすることにより解決することができる。例えば、インジウム錫酸化物（ITO）とアルミニウムを接触させたい場合は、間にチタンやモリブデンを介在させることが望ましい。また、シリコンとアルミニウムを接触させたい場合も同様に、間にチタンやモリブデンを介在させることが望ましい。

【0289】

次に、トランジスタ1713に非晶質半導体膜を半導体層に用いた順スタガ構造のトランジスタについて説明する。画素の部分断面図を図20に示す。なお、図20では、順スタガ構造のトランジスタを記すと共に、画素が有する容量素子についても合わせて説明する。

【0290】

図20に示すように、基板2011上に下地膜2012が形成されている。さらに下地膜2012上に画素電極2013が形成されている。また、画素電極2013と同層に同じ材料からなる第1の電極2014が形成されている。

【0291】

さらに、下地膜2012上に配線2015及び配線2016が形成され、画素電極2013の端部は配線2015で覆われている。配線2015及び配線2016の上部にN型の導電性を有するN型半導体層2017及びN型半導体層2018が形成されている。また、配線2015と配線2016の間であって、下地膜2012上に半導体層2019が形成されている。そして、半導体層2019の一部はN型半導体層2017及びN型半導体層2018上にまで延長されている。この半導体層はアモルファスシリコン（a-Si:H）等の非晶質半導体から形成されている。なお、非晶質半導体に限らずセミアモルファス半導体、微結晶半導体等であっても良い。また、半導体層2019上にゲート絶縁膜2020が形成されている。また、ゲート絶縁膜2020と同層の同じ材料からなる絶縁膜2021が第1の電極2014上にも形成されている。

【0292】

さらに、ゲート絶縁膜2020上に、ゲート電極2022が形成され、トランジスタ2025が形成されている。また、ゲート電極2022と同層に同じ材料でなる第2の電極2023が第1の電極2014上に絶縁膜2021を介して形成され、絶縁膜2021が第1の電極2014と第2の電極2023とで挟まれた構成の容量素子2024が形成されている。また、画素電極2013の端部、トランジスタ2025及び容量素子2024を覆って、層間絶縁膜2026が形成されている。

【0293】

層間絶縁膜2026及びその開口部に位置する画素電極2013上に発光物質を含む層2027及び対向電極2028が形成され、発光物質を含む層2027が画素電極2013と対向電極2028とで挟まれた領域で発光素子2029が形成されている。

【0294】

また、図20（a）に示す第1の電極2014を図20（b）に示すように配線2015及び2016と同層の同一材料で形成し、絶縁膜2021が第1の電極2030と第2の電極2023とで挟まれた構成の容量素子2031としても良い。また、図20において、トランジスタ2025にNチャネル型トランジスタを用いたが、Pチャネル型トランジスタでも良い。

10

20

30

40

50

【0295】

基板2011、下地膜2012、画素電極2013、ゲート絶縁膜2020、ゲート電極2022、層間絶縁膜2026、発光物質を含む層2027及び対向電極2028に用いられる材料は、図17において説明した基板1711、下地膜1712、画素電極1724、ゲート絶縁膜1715、ゲート電極1716、層間絶縁膜1730及び1731、発光物質を含む層1726及び対向電極1727と同様の材料をそれぞれ用いることができる。また、配線2015、配線2016は、図17におけるソース電極及びドレイン電極1723と同様の材料を用いれば良い。

【0296】

次に、半導体層に非晶質半導体膜を用いたトランジスタの他の構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり半導体層の下にゲート電極が位置するボトムゲート型のトランジスタを有する画素の部分断面図を図21に示す。

【0297】

基板2111上に下地膜2112が形成されている。さらに下地膜2112上にゲート電極2113が形成されている。また、ゲート電極2113と同層に同じ材料からなる第1の電極2114が形成されている。ゲート電極2113の材料には図17におけるゲート電極1716に使用される材料の他、リングが添加された多結晶シリコンや金属とシリコンの化合物であるシリサイドでもよい。

【0298】

また、ゲート電極2113及び第1の電極2114を覆うようにゲート絶縁膜2115が形成されている。

【0299】

ゲート絶縁膜2115上に、半導体層2116が形成されている。また、半導体層2116と同層に同じ材料からなる半導体層2117が第1の電極2114上に形成されている。なお、この半導体層はアモルファスシリコン(a-Si:H)等の非晶質半導体から形成されている。また、これに限らずセミアモルファス半導体、微結晶半導体等であっても良い。

【0300】

半導体層2116上にはN型の導電性を有するN型半導体層2118及びN型半導体層2119が形成され、半導体層2117上にはN型半導体層2120が形成されている。

【0301】

N型半導体層2118及びN型半導体層2119上にはそれぞれ配線2121、配線2122が形成され、トランジスタ2129が形成されている。また、N型半導体層2120上には配線2121及び配線2122と同層の同一材料からなる導電層2123が形成され、この導電層2123と、N型半導体層2120と、半導体層2117とで第2の電極を構成している。なお、この第2の電極と第1の電極2114とでゲート絶縁膜2115が挟み込まれた構成の容量素子2130が形成されている。

【0302】

また、配線2121の一方の端部は延在し、その延在した配線2121上部に接して画素電極2124が形成されている。

【0303】

また、画素電極2124の端部、トランジスタ2129及び容量素子2130を覆うように絶縁物2125が形成されている。

【0304】

画素電極2124及び絶縁物2125上には発光物質を含む層2126及び対向電極2127が形成され、画素電極2124と対向電極2127とで発光物質を含む層2126が挟まれた領域では発光素子2128が形成されている。

【0305】

容量素子2130の第2の電極の一部となる半導体層2117及びN型半導体層2120は特に設けなくても良い。つまり、第2の電極を導電層2123とし、第1の電極21

10

20

30

40

50

1 4と導電層2 1 2 3とでゲート絶縁膜2 1 1 5が挟まれた構造の容量素子としてもよい。

【0 3 0 6】

また、トランジスタ2 1 2 9にNチャネル型トランジスタを用いたが、Pチャネル型トランジスタでも良い。

【0 3 0 7】

なお、図2 1 (a)において、配線2 1 2 1を形成する前に画素電極2 1 2 4を形成することで、図2 1 (b)に示すような画素電極2 1 2 4と同層の同一材料からなる第2の電極2 1 3 1と第1の電極2 1 1 4とでゲート絶縁膜2 1 1 5が挟まれた構成の容量素子2 1 3 2を形成しても良い。

10

【0 3 0 8】

逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。次に、チャネル保護構造のトランジスタの場合について図2 2を用いて説明する。なお、図2 2において、図2 1と同様のものに関しては共通の符号を用いて示す。

【0 3 0 9】

図2 2 (a)に示すチャネル保護型構造のトランジスタ2 2 0 1は図2 1 (a)に示したチャネルエッチ構造のトランジスタ2 1 2 9とは半導体層2 1 1 6においてチャネルが形成される領域上にエッチングのマスクとなる絶縁物2 2 0 2が設けられている点で異なる。

20

【0 3 1 0】

同様に、図2 2 (b)に示すチャネル保護型構造のトランジスタ2 2 0 1は、図2 1 (b)に示したチャネルエッチ構造のトランジスタ2 1 2 9とは半導体層2 1 1 6においてチャネルが形成される領域上にエッチングのマスクとなる絶縁物2 2 0 2が設けられている点で異なる。

【0 3 1 1】

本発明の画素を構成するトランジスタの半導体層に非晶質半導体膜を用いることで、製造コストを削減することができる。なお、各材料には図1 7において説明したものを可以用ることができる。

【0 3 1 2】

また、トランジスタの構造や容量素子の構成は上述したものに限られず、さまざまな構造もしくは構成のトランジスタや容量素子を用いることができる。

30

【0 3 1 3】

また、トランジスタの半導体層にはアモルファスシリコン(a-Si:H)等の非晶質半導体、セミアモルファス半導体、微結晶半導体からなる半導体膜の他、ポリシリコン(p-Si:H)等の結晶性半導体膜を用いても良い。

【0 3 1 4】

図2 3に、半導体層に結晶性半導体膜を用いたトランジスタを有する画素の部分断面図を示し、以下に説明する。なお、図2 3に示すトランジスタ2 3 1 8は、図2 9で示したマルチゲート型のトランジスタである。

40

【0 3 1 5】

図2 3に示すように、基板2 3 0 1上に下地膜2 3 0 2が形成され、その上に半導体層2 3 0 3が形成されている。なお、半導体層2 3 0 3は、結晶性半導体膜を所望の形状にパターニングし形成する。

【0 3 1 6】

結晶性半導体膜の作製方法の一例を以下に記す。まず、基板2 3 0 1上にスパッタ法、CVD法等によりアモルファスシリコン膜を成膜する。そして、成膜したアモルファスシリコン膜を熱結晶化法、レーザー結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等を用いて結晶化し、結晶性半導体膜を得る。なお、これらの結晶化方法を組み合わせて結晶化しても良い。

50

【0317】

また、結晶化を施す膜は、アモルファスシリコン膜をはじめとする非晶質半導体膜に限定される必要はなく、セミアモルファス半導体、微結晶半導体等の半導体膜でも良い。また、非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を用いても良い。

【0318】

熱結晶化法により結晶性半導体膜を形成する場合には、加熱炉、レーザ照射、若しくはRTA (Rapid Thermal Annealing)、又はこれらを組み合わせて用いることができる。

【0319】

また、レーザ結晶化法により結晶性半導体膜を形成する場合には、連続発振型のレーザビーム (CWレーザビーム) やパルス発振型のレーザビーム (パルスレーザビーム) を用いることができる。ここで用いることができるレーザビームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、YVO₄、フォルステライト (Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶 (セラミック) のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd：YVO₄レーザ (基本波1064nm) の第2高調波 (532nm) や第3高調波 (355nm) を用いることができる。このときレーザのエネルギー密度は0.01~100MW/cm²程度 (好ましくは0.1~10MW/cm²) 必要である。そして、走査速度を10~2000cm/sec程度として照射する。

【0320】

なお、単結晶のYAG、YVO₄、フォルステライト (Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶 (セラミック) のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi：サファイアレーザは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0321】

また、ニッケルなどの触媒元素を用いた熱結晶化法により結晶性半導体膜を形成する場合には、結晶化後にニッケルなどの触媒元素を除去するゲッタリング処理を行うことが好ましい。

【0322】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。この部分的に結晶化された結晶性半導体膜を所望の形状にパターンニングして島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層2303に用いる。

【0323】

また、結晶性半導体層は、トランジスタ2318のチャネル形成領域2304及びソース領域又はドレイン領域となる不純物領域2305に用いられる他、容量素子2319の下部電極となる半導体層2306及び不純物領域2308にも用いられる。なお、不純物領域2308は特に設ける必要はない。また、チャネル形成領域2304及び半導体層2

306にはチャネルドープが行われていても良い。

【0324】

次に、半導体層2303及び容量素子2319の下部電極上にはゲート絶縁膜2309が形成されている。さらに、半導体層2303上にはゲート絶縁膜2309を介してゲート電極2310が、容量素子2319の半導体層2306上にはゲート絶縁膜2309を介してゲート電極2310と同層に同じ材料からなる上部電極2311が形成されている。このようにして、トランジスタ2318及び容量素子2319が作製される。

【0325】

次に、トランジスタ2318及び容量素子2319を覆って層間絶縁膜2312が形成され、層間絶縁膜2312上にはコンタクトホールを介して不純物領域2305と接する配線2313が形成されている。そして、配線2313に接して層間絶縁膜2312上には画素電極2314が形成され、画素電極2314の端部及び配線2313を覆って絶縁物2315が形成されている。さらに、画素電極2314上に発光物質を含む層2316及び対向電極2317が形成され、画素電極2314と対向電極2317とで発光物質を含む層2316が挟まれた領域では発光素子2320が形成されている。

10

【0326】

また、半導体層にポリシリコン(p-Si:H)等の結晶性半導体膜を用いたボトムゲート型のトランジスタを有する画素の部分断面を図24に示す。

【0327】

基板2401上に下地膜2402が形成され、その上にゲート電極2403が形成されている。また、ゲート電極2403と同層に同じ材料からなる容量素子2423の第1の電極2404が形成されている。

20

【0328】

なお、ゲート電極2403及び第1の電極2404を覆うようにゲート絶縁膜2405が形成されている。

【0329】

そのゲート絶縁膜2405上には半導体層が形成されている。なお、半導体膜は、非晶質半導体、セミアモルファス半導体、微結晶半導体等の半導体膜を熱結晶化法、レーザー結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等を用いて結晶化し、所望の形状にパターニングして半導体層を形成する。

30

【0330】

このような半導体層を用いてトランジスタ2422のチャネル形成領域2406、LD領域2407及びソース領域又はドレイン領域となる不純物領域2408、並びに容量素子2423の第2の電極となる領域2409、不純物領域2410及び不純物領域2411が形成される。なお、不純物領域2410及び不純物領域2411は特に設けなくても良い。また、チャネル形成領域2406及び領域2409には不純物が添加されていても良い。

【0331】

なお、容量素子2423は、ゲート絶縁膜2405が第1の電極2404及び半導体層から形成された領域2409等からなる第2の電極で挟まれた構成である。

40

【0332】

次に、半導体層を覆って第1の層間絶縁膜2412が形成され、第1の層間絶縁膜2412上にコンタクトホールを介して不純物領域2408と接する配線2413が形成されている。

【0333】

また、第1の層間絶縁膜2412には開口部2415が形成されている。トランジスタ2422、容量素子2423及び開口部2415を覆うように第2の層間絶縁膜2416が形成され、第2の層間絶縁膜2416上にコンタクトホールを介して、配線2413と接続された画素電極2417が形成されている。また、画素電極2417の端部を覆って絶縁物2418が形成されている。そして、画素電極2417上に発光物質を含む層24

50

19及び対向電極2420が形成され、画素電極2417と対向電極2420とで発光物質を含む層2419が挟まれた領域では発光素子2421が形成されている。なお、発光素子2421の下部に開口部2415が位置している。つまり、発光素子2421からの発光を基板側から取り出すときには第1の層間絶縁膜2412に開口部2415を有するため透過率を高めることができる。

【0334】

本発明の画素を構成するトランジスタの半導体層に結晶性半導体膜を用いることにより、例えば、図7における走査線駆動回路712及び信号線駆動回路711を画素部713と一体形成することが容易になる。

【0335】

なお、半導体層に結晶性半導体膜を用いたトランジスタにおいても構造は上述したものに限られず、さまざまな構造をとることができる。なお、容量素子においても同様である。また、本実施形態において、特に断りがない限り図17における材料を適宜使用することができる。

【0336】

本実施形態で示したトランジスタは、実施の形態1乃至8に記載した画素において発光素子に供給する電流値を制御するトランジスタとして利用することができる。よって、実施の形態1乃至8に記載したように画素を動作させることで、トランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。

【0337】

さらに、このような画素を図7の表示装置に適用することにより、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0338】

また、しきい値電圧書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

（実施の形態10）

本実施形態では、実施の形態9に示した発光素子とは異なる構成を有する素子について説明する。

【0339】

エレクトロルミネセンスを利用する発光素子は、発光材料が有機化合物もしくは無機化合物かによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0340】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた発光層を有し、後者は、発光材料の薄膜からなる発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機EL素子ではドナーアクセプター再結合型発光、薄膜型無機EL素子では局在型発光である場合が多い。

【0341】

本実施形態で使用される発光材料は、少なくとも母体材料と発光中心となる不純物元素（発光物質とも言う）とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法や液相法（共沈法

10

20

30

40

50

）などの様々な方法を用いることができる。また、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法やこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【0342】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、700～1500℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

10

【0343】

液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。

【0344】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛（ZnS）、硫化カドミウム（CdS）、硫化カルシウム（CaS）、硫化イットリウム（Y₂S₃）、硫化ガリウム（Ga₂S₃）、硫化ストロンチウム（SrS）、硫化バリウム（BaS）等を用いることができる。また、酸化物としては、例えば、酸化亜鉛（ZnO）、酸化イットリウム（Y₂O₃）等を用いることができる。また、窒化物としては、例えば、窒化アルミニウム（AlN）、窒化ガリウム（GaN）、窒化インジウム（InN）等を用いることができる。さらに、セレン化亜鉛（ZnSe）、テルル化亜鉛（ZnTe）等も用いることができ、硫化カルシウム－ガリウム（CaGa₂S₄）、硫化ストロンチウム－ガリウム（SrGa₂S₄）、硫化バリウム－ガリウム（BaGa₂S₄）、等の3元系の混晶であってもよい。

20

【0345】

局在型発光の発光中心として、マンガン（Mn）、銅（Cu）、サマリウム（Sm）、テルビウム（Tb）、エルビウム（Er）、ツリウム（Tm）、ユーロピウム（Eu）、セリウム（Ce）、プラセオジウム（Pr）などを用いることができる。なお、電荷補償として、フッ素（F）、塩素（Cl）などのハロゲン元素が添加されていてもよい。

30

【0346】

一方、ドナー－アクセプター再結合型発光の発光中心として、ドナー準位を形成する第1の不純物元素及びアクセプター準位を形成する第2の不純物元素を含む発光材料を用いることができる。第1の不純物元素は、例えば、フッ素（F）、塩素（Cl）、アルミニウム（Al）等を用いることができる。第2の不純物元素としては、例えば、銅（Cu）、銀（Ag）等を用いることができる。

【0347】

ドナー－アクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第1の不純物元素又は第1の不純物元素を含む化合物と、第2の不純物元素又は第2の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第1の不純物元素又は第1の不純物元素を含む化合物としては、例えば、フッ素（F）、塩素（Cl）、窒化アルミニウム（Al₂S₃）等を用いることができ、第2の不純物元素又は第2の不純物元素を含む化合物としては、例えば、銅（Cu）、銀（Ag）、硫化銅（Cu₂S）、硫化銀（Ag₂S）等を用いることができる。焼成温度は、700～1500℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

40

【0348】

また、固相反応を利用する場合の不純物元素として、第1の不純物元素と第2の不純物

50

元素で構成される化合物を組み合わせ用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料を得ることができる。第1の不純物元素と第2の不純物元素で構成される化合物としては、例えば、塩化銅（CuCl）、塩化銀（AgCl）等を用いることができる。

【0349】

なお、これらの不純物元素の濃度は、母体材料に対して0.01～10atom%であればよく、好ましくは0.05～5atom%の範囲である。

【0350】

薄膜型無機EL素子の場合、発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着（EB蒸着）法等の真空蒸着法、スパッタリング法等の物理気相成長法（PVD）、有機金属CVD法、ハイドライド輸送減圧CVD法等の化学気相成長法（CVD）、原子層エピタキシ法（ALE）等を用いて形成することができる。

【0351】

図51（A）乃至（C）に発光素子として用いることのできる薄膜型無機EL素子の一例を示す。図51（A）乃至（C）において、発光素子は、第1の電極5101、発光層5102、第2の電極5103を含む。

【0352】

図51（B）及び図51（C）に示す発光素子は、図51（A）の発光素子において、電極と発光層との間に絶縁層を設けた構造である。図51（B）に示す発光素子は、第1の電極5101と発光層5102との間に絶縁層5104を有し、図51（C）に示す発光素子は、第1の電極5101と発光層5102との間に絶縁層5104aを、第2の電極5103と発光層5102との間に絶縁層5104bを有している。このように絶縁層を発光層を挟持する一対の電極のうちの一方と発光層との間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

【0353】

また、図51（B）では第1の電極5101に接するように絶縁層5104が設けられているが、絶縁層と発光層の順番を逆にして、第2の電極5103に接するように絶縁層5104を設けてもよい。

【0354】

分散型無機EL素子の場合、粒子状の発光材料をバインダ中に分散させ膜状の発光層を形成する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉碎などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、発光層としての形状に保持するための物質である。発光材料は、バインダによって発光層中に均一に分散し固定される。

【0355】

分散型無機EL素子の場合、発光層の形成方法は、選択的に発光層を形成できる液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷など）、スピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、10～1000nmの範囲である。また、発光材料及びバインダを含む発光層において、発光材料の割合は50wt%以上80wt%以下とするよい。

【0356】

図52（A）乃至（C）に発光素子として用いることのできる分散型無機EL素子の一例を示す。図52（A）における発光素子は、第1の電極5101、発光層5202、第2の電極5103の積層構造を有し、発光層5202中にバインダによって保持された発光材料5201を含む。

【0357】

本実施の形態に用いることのできるバインダとしては、絶縁性を有する有機材料や無機材料を用いることができる。なお、有機材料及び無機材料の混合材料を用いてもよい。有機絶縁材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリ

10

20

30

40

50

マーや、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコン樹脂、エポキシ樹脂、フッ化ビニリデンなどの樹脂を用いることができる。また、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole) などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si 結合を含む樹脂に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、アリール基) が用いられる。この他、置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、有機材料は上記の他、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂 (ポリベンゾオキサゾール) 等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウム (BaTiO_3) やチタン酸ストロンチウム (SrTiO_3) などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

10

【0358】

また、バインダに含まれる無機絶縁材料としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸素及び窒素を含む珪素、窒化アルミニウム (AlN)、酸素及び窒素を含むアルミニウムまたは酸化アルミニウム (Al_2O_3)、酸化チタン (TiO_2)、 BaTiO_3 、 SrTiO_3 、チタン酸鉛 (PbTiO_3)、ニオブ酸カリウム (KNbO_3)、ニオブ酸鉛 (PbNbO_3)、酸化タンタル (Ta_2O_5)、タンタル酸バリウム (BaTa_2O_6)、タンタル酸リチウム (LiTaO_3)、酸化イットリウム (Y_2O_3)、酸化ジルコニウム (ZrO_2)、硫化亜鉛 (ZnS)、その他の無機材料を含む物質から選ばれる材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる (添加等によって) ことによって、発光材料及びバインダよりなる発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

20

【0359】

作製工程において、発光材料はバインダを含む溶液中に分散されるが本実施の形態に用いることのできるバインダを含む溶液の溶媒としては、バインダ材料が溶解し、発光層を形成する方法 (各種ウェットプロセス) 及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。有機溶媒等を用いることができ、例えばバインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート (PGMEAともいう)、3-メトシキ-3-メチル-1-ブタノール (MMBともいう) などを用いることができる。

30

【0360】

図52 (B) 及び図52 (C) に示す発光素子は、図52 (A) の発光素子において、電極と発光層間に絶縁層を設ける構造である。図52 (B) に示す発光素子は、第1の電極5101と発光層5202との間に絶縁層5104を有し、図52 (C) に示す発光素子は、第1の電極5101と発光層5202との間に絶縁層5104a、第2の電極5103と発光層5202との間に絶縁層5104bとを有している。このように絶縁層は発光層を挟持する一対の電極のうち的一方と発光層との間のみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

40

【0361】

また、図52 (B) では第1の電極5101に接するように絶縁層5104が設けられているが、絶縁層と発光層の順序を逆にして、第2の電極5103に接するように絶縁層5104を設けてもよい。

【0362】

図51 及び図52 における絶縁層5104、5104a、5104bは、特に限定されることはないが、絶縁耐性が高く、緻密な膜質であることが好ましく、さらには、誘電率が高いことが好ましい。例えば、酸化シリコン (SiO_2)、酸化イットリウム (Y_2O_3)、酸化チタン (TiO_2)、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO_2)、酸化タンタル (Ta_2O_5)、チタン酸バリウム (BaTiO_3)、チタン酸

50

ストロンチウム (SrTiO_3)、チタン酸鉛 (PbTiO_3)、窒化シリコン (Si_3N_4)、酸化ジルコニウム (ZrO_2) 等やこれらの混合膜又は2種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、CVD等により成膜することができる。また、絶縁層はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは10～1000nmの範囲である。

【0363】

なお、第1の電極5101及び第2の電極5103には、金属、合金、導電性化合物、及びこれらの混合物などを用いることができる。例えば、実施の形態9に記載した画素電極1801及び対向電極1802に用いた材料を適宜選択して用いることができる。

10

【0364】

なお、本実施の形態で示す発光素子は、発光層を挟持する一对の電極間、すなわち第1の電極5101及び第2の電極5103に電圧を印加することで発光が得られる。

【0365】

以上のようにして得られた無機EL素子は、実施の形態9における発光素子として用いることができる他、他の実施の形態とも自由に組み合わせることができる。

(実施の形態11)

本実施の形態では、本発明の表示装置の一形態について図25を用いて説明する。

【0366】

図25(a)は、表示装置を示す上面図、図25(b)は図25(a)中A-A'線断面図(A-A'で切断した断面図)である。表示装置は、基板2510上に図中において点線で示された信号線駆動回路2501、画素部2502、第1の走査線駆動回路2503、第2の走査線駆動回路2506を有する。なお、これらは封止基板2504、シール材2505を用いて封止されている。

20

【0367】

なお、2508は第1の走査線駆動回路2503、第2の走査線駆動回路2506及び信号線駆動回路2501に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントドサーキット)2509からビデオ信号、クロック信号、スタート信号等を受け取る。FPC2509と表示装置との接続部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)2518及び2519がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示していないが、このFPCにはプリント配線基板(PWB)が取り付けられていてもよい。本発明の表示装置とは、表示装置本体だけでなく、FPCもしくはPWBが取り付けられた状態も含むものとする。また、ICチップなどが実装されたものも含むものとする。

30

【0368】

断面構造について図25(b)を用いて説明する。基板2510上には画素部2502とその周辺駆動回路(第1の走査線駆動回路2503、第2の走査線駆動回路2506及び信号線駆動回路2501)が形成されているが、ここでは信号線駆動回路2501と、画素部2502が示されている。

40

【0369】

なお、信号線駆動回路2501はNチャネル型トランジスタ2520、2521のように同一導電型のトランジスタで構成されている。もちろん、Pチャネル型トランジスタや同一導電型のトランジスタだけでなくPチャネル型トランジスタも用いてCMOS回路を形成しても良い。また、本実施形態では、基板上に周辺駆動回路を一体形成した表示パネルを示しているが、必ずしもその必要はなく、周辺駆動回路の全てもしくは一部をICチップなどに形成し、COGなどで実装しても良い。

【0370】

画素部2502は、実施の形態1乃至8に記載した画素が用いられている。なお、図2

50

5 (b) にはスイッチとして機能するトランジスタ 2511 と、発光素子に供給する電流値を制御するトランジスタ 2512 と、発光素子 2528 が示されている。なお、トランジスタ 2512 の第 1 の電極は発光素子 2528 の画素電極 2513 と接続されている。また、画素電極 2513 の端部を覆って絶縁物 2514 が形成されている。ここでは、絶縁物 2514 はポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0371】

また、カバレッジを良好なものとするため、絶縁物 2514 の上端部または下端部が断面において曲率を有する曲面が形成されるようにする。例えば、絶縁物 2514 の材料としてポジ型の感光性アクリルを用いた場合、絶縁物 2514 の上端部のみに曲率半径 ($0.2\ \mu\text{m} \sim 3\ \mu\text{m}$) を有する曲面を持たせることが好ましい。また、絶縁物 2514 として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。さらには、絶縁物 2514 の材料として有機物に限らず酸化珪素、窒化珪素等の無機物も用いることができる。

【0372】

また、画素電極 2513 上には、発光物質を含む層 2516 および対向電極 2517 が形成される。発光物質を含む層 2516 には、少なくとも発光層が設けられていれば、その他の層については特には限定されず、適宜選択することができる。

【0373】

さらにシール材 2505 を用いて封止基板 2504 と基板 2510 とを貼り合わせることで、基板 2510、封止基板 2504、およびシール材 2505 で囲まれた空間 2507 に発光素子 2528 が備えられた構造になっている。なお、空間 2507 には、不活性気体 (窒素やアルゴン等) が充填される場合の他、シール材 2505 で充填される構成も含むものとする。

【0374】

なお、シール材 2505 にはエポキシ系樹脂を用いることが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。封止基板 2504 に用いる材料としては、ガラス基板や石英基板の他、FRP (Fiber glass-Reinforced Plastics)、PVF (ポリビニルフロライド)、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

【0375】

なお、画素部 2502 に実施の形態 1 乃至 8 に記載した画素を用い動作させることで、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。

【0376】

図 25 に示すように、信号線駆動回路 2501、画素部 2502、第 1 の走査線駆動回路 2503 及び第 2 の走査線駆動回路 2506 を一体形成することで、表示装置の低コスト化を図ることができる。さらに、信号線駆動回路 2501、画素部 2502、第 1 の走査線駆動回路 2503 及び第 2 の走査線駆動回路 2506 に用いられるトランジスタを同一導電型とした場合には、作製工程の簡略化が図れるためさらなる低コスト化を図ることができる。

【0377】

以上のようにして、本発明の表示装置を得ることができる。なお、上述した構成は一例であって本発明の表示装置の構成はこれに限定されない。

【0378】

なお、表示装置の構成としては、図 26 (a) に示すように信号線駆動回路 2601 を IC チップ上に形成して、COG 等で表示装置に実装した構成としても良い。なお、図 26 (a) における基板 2600、画素部 2602、第 1 の走査線駆動回路 2603、第 2 の走査線駆動回路 2604、FPC 2605、IC チップ 2606、IC チップ 2607、封止基板 2608、シール材 2609 はそれぞれ図 25 (a) における基板 2510、

10

20

30

40

50

画素部 2502、第 1 の走査線駆動回路 2503、第 2 の走査線駆動回路 2506、FPC 2509、IC チップ 2518、IC チップ 2519、封止基板 2504、シール材 2505 に相当する。

【0379】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS 等を用いて IC チップに形成し、低消費電力化を図る。また、IC チップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図ることが可能である。

【0380】

なお、第 1 の走査線駆動回路 2603 や第 2 の走査線駆動回路 2604 を画素部 2602 と一体形成することで、低コスト化が図れる。さらに、この第 1 の走査線駆動回路 2603、第 2 の走査線駆動回路 2604 及び画素部 2602 は同一導電型のトランジスタで構成することでさらなる低コスト化が図ることができる。このとき、第 1 の走査線駆動回路 2603 及び第 2 の走査線駆動回路 2604 にブートラップ回路を用いることにより出力電位が低くなってしまうことを防止することができる。また、第 1 の走査線駆動回路 2603 及び第 2 の走査線駆動回路 2604 を構成するトランジスタの半導体層にアモルファスシリコンを用いた場合、劣化によりしきい値電圧が変動するため、これを補正する機能を有することが好ましい。

【0381】

なお、画素部 2602 においても実施の形態 1 乃至 8 に記載した画素を用い動作させることで、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、FPC 2605 と基板 2600 との接続部において機能回路（メモリやバッファ）が形成された IC チップを実装することで基板面積を有効利用することができる。

【0382】

また、図 25 (a) の信号線駆動回路 2501、第 1 の走査線駆動回路 2503 及び第 2 の走査線駆動回路 2506 に相当する信号線駆動回路 2611、第 1 の走査線駆動回路 2613 及び第 2 の走査線駆動回路 2614 を、図 26 (b) に示すようにそれぞれ IC チップ上に形成し、COG 等で表示パネルに実装した構成としても良い。なお、図 26 (b) における基板 2610、画素部 2612、FPC 2615、IC チップ 2616、IC チップ 2617、封止基板 2618、シール材 2619 はそれぞれ図 25 (a) における基板 2510、画素部 2502、FPC 2509、IC チップ 2518、IC チップ 2519、封止基板 2504、シール材 2505 に相当する。

【0383】

また、画素部 2612 のトランジスタの半導体層に非晶質半導体、例えばアモルファスシリコン (a-Si:H) を用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

【0384】

また、画素の行方向及び列方向にそれぞれ信号線駆動回路、第 1 の走査線駆動回路及び第 2 の走査線駆動回路を設けなくても良い。例えば、図 27 (a) に示すように IC チップ上に形成された周辺駆動回路 2701 が図 26 (b) に示す第 1 の走査線駆動回路 2613、第 2 の走査線駆動回路 2614 及び信号線駆動回路 2611 の機能を有するようにしても良い。なお、図 27 (a) における基板 2700、画素部 2702、FPC 2704、IC チップ 2705、IC チップ 2706、封止基板 2707、シール材 2708 はそれぞれ図 25 (a) の基板 2510、画素部 2502、FPC 2509、IC チップ 2518、IC チップ 2519、封止基板 2504、シール材 2505 に相当する。

【0385】

図 27 (b) に、図 27 (a) の表示装置の配線の接続を説明する模式図を示す。なお、図 27 (b) には、基板 2710、周辺駆動回路 2711、画素部 2712、FPC 2713、FPC 2714 が図示されている。

10

20

30

40

50

【0386】

FPC2713及びFPC2714は周辺駆動回路2711に外部からの信号及び電源電位を入力する。そして、周辺駆動回路2711からの出力は、画素部2712の有する画素に接続された行方向及び列方向の配線に入力される。

【0387】

また、発光素子に白色の発光素子を用いる場合、封止基板にカラーフィルターを設けることでフルカラー表示を実現することができる。このような表示装置にも本発明を適用することが可能である。図28に、画素部の部分断面図の一例を示す。

【0388】

図28に示すように、基板2800上に下地膜2802が形成され、その上に発光素子に供給する電流値を制御するトランジスタ2801が形成され、トランジスタ2801の第1の電極に接して画素電極2803が形成され、その上に発光物質を含む層2804と対向電極2805が形成されている。

【0389】

なお、画素電極2803と対向電極2805とで発光物質を含む層2804が挟まれているところが発光素子となる。なお、図28においては白色光を発光するものとする。そして、発光素子の上部には赤色のカラーフィルター2806R、緑色のカラーフィルター2806G、青色のカラーフィルター2806Bが設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するためにブラックマトリクス(BMともいう)2807が設けられている。

【0390】

本実施形態の表示装置は実施の形態1乃至8だけではなく、実施の形態9または10に記載した構成とも適宜組み合わせることが可能である。また、表示装置の構成は上記に限らず、本発明を他の構成の表示装置においても適用することができる。

(実施の形態12)

本発明の表示装置は様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。なお、電子機器として、ビデオカメラやデジタルカメラ等のカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

【0391】

図33(A)はディスプレイであり、筐体3301、支持台3302、表示部3303、スピーカー部3304、ビデオ入力端子3305等を含む。

【0392】

なお、表示部3303には実施の形態1乃至8に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するディスプレイを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0393】

なお、近年、ディスプレイの大型化のニーズが強くなっているなか、ディスプレイの大型化に伴い価格の上昇が問題となっている。そのため、いかに製造コストの削減を図り、高品質な製品を少しでも低価格に抑えるかが課題となる。

【0394】

本発明の画素は、同一導電型のトランジスタで作製することができるため、工程数を減らし製造コストを削減することができる。また、画素を構成するトランジスタの半導体層に非晶質半導体、例えばアモルファスシリコン(a-Si:H)を用いることで、工程を

簡略化し、さらなるコストダウンが図れる。この場合には、画素部周辺の駆動回路をＩＣチップ上に形成し、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）等で表示パネルに実装すると良い。なお、動作速度の高い信号線駆動回路はＩＣチップ上に形成し、比較的動作速度の低い走査線駆動回路は画素部と共に同一導電型のトランジスタで構成される回路で一体形成しても良い。

【０３９５】

図３３（Ｂ）はカメラであり、本体３３１１、表示部３３１２、受像部３３１３、操作キー３３１４、外部接続ポート３３１５、シャッターボタン３３１６等を含む。

【０３９６】

なお、表示部３３１２には実施の形態１乃至８に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するカメラを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。

【０３９７】

また、近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、高性能なものをいかに低価格に抑えるかが重要となる。

【０３９８】

本発明の画素は、同一導電型のトランジスタで作製することができるため、工程数を減らし製造コストを削減することができる。また、画素を構成するトランジスタの半導体層に非晶質半導体、例えばアモルファスシリコン（ａ－Ｓｉ：Ｈ）を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には、画素部周辺の駆動回路をＩＣチップ上に形成し、ＣＯＧ等で表示パネルに実装すると良い。なお、動作速度の高い信号線駆動回路はＩＣチップ上に形成し、比較的動作速度の低い走査線駆動回路は画素部と共に同一導電型のトランジスタで構成される回路で一体形成しても良い。

【０３９９】

図３３（Ｃ）はコンピュータであり、本体３３２１、筐体３３２２、表示部３３２３、キーボード３３２４、外部接続ポート３３２５、ポインティングデバイス３３２６等を含む。なお、表示部３３２３には実施の形態１乃至８に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するコンピュータを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【０４００】

図３３（Ｄ）はモバイルコンピュータであり、本体３３３１、表示部３３３２、スイッチ３３３３、操作キー３３３４、赤外線ポート３３３５等を含む。なお、表示部３３３２には実施の形態１乃至８に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するモバイルコンピュータを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【０４０１】

図３３（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体３３４１、筐体３３４２、表示部Ａ３３４３、表示部Ｂ３３４４、記録媒体（ＤＶＤ等）読み込み部３３４５、操作キー３３４６、スピーカー部３３４７等を含む。表示部Ａ３３４３は主として画像情報を表示し、表示部Ｂ３３４４は主として文字情報を表示することができる。なお、表示部Ａ３３４３や表示部Ｂ３３４４には実施の形態１乃至８に記載した画素が用いられている。本発明により、画素間もしくは画素における経時

的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有する画像再生装置を得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【0402】

図33(F)はゴーグル型ディスプレイであり、本体3351、表示部3352、アーム部3353を含む。なお、表示部3352には実施の形態1乃至8に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するゴーグル型ディスプレイを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

10

【0403】

図33(G)はビデオカメラであり、本体3361、表示部3362、筐体3363、外部接続ポート3364、リモコン受信部3365、受像部3366、バッテリー3367、音声入力部3368、操作キー3369、接眼部3360等を含む。なお、表示部3362には実施の形態1乃至8に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するビデオカメラを得ることができる。なお、本発明では対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

20

【0404】

図33(H)は携帯電話機であり、本体3371、筐体3372、表示部3373、音声入力部3374、音声出力部3375、操作キー3376、外部接続ポート3377、アンテナ3378等を含む。なお、表示部3373には実施の形態1乃至8に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有する携帯電話機を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

30

【0405】

このように本発明は、あらゆる電子機器に適用することが可能である。

(実施の形態13)

本実施の形態において、本発明の表示装置を表示部に有する携帯電話の構成例について図34を用いて説明する。

【0406】

表示パネル3410はハウジング3400に脱着自在に組み込まれる。ハウジング3400は表示パネル3410のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル3410を固定したハウジング3400はプリント基板3401に嵌入されモジュールとして組み立てられる。

40

【0407】

表示パネル3410はFPC3411を介してプリント基板3401に接続される。プリント基板3401には、スピーカー3402、マイクロフォン3403、送受信回路3404、CPU及びコントローラなどを含む信号処理回路3405が形成されている。このようなモジュールと、入力手段3406、バッテリー3407を組み合わせ、筐体3409及び筐体3412に収納する。なお、表示パネル3410の画素部は筐体3412に形

50

成された開口窓から視認できように配置する。

【0408】

表示パネル3410は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）をトランジスタを用いて基板上に一体形成し、他の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル3410に実装しても良い。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。また、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOGなどで表示パネルに実装しても良い。

【0409】

なお、画素部には、実施の形態1乃至8に記載した画素を用いる。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有する表示パネル3410を得ることができる。なお、本発明では対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【0410】

また、本実施形態に示した構成は携帯電話の一例であって、このような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

（実施の形態14）

本実施形態では、表示パネルと、回路基板を組み合わせたELモジュールについて図35及び図36を用いて説明する。

【0411】

図35に示すように、表示パネル3501は画素部3503、走査線駆動回路3504及び信号線駆動回路3505を有している。回路基板3502には、例えば、コントロール回路3506や信号分割回路3507などが形成されている。なお、表示パネル3501と回路基板3502は接続配線3508によって接続されている。接続配線3508にはFPC等を用いることができる。

【0412】

表示パネル3501は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）をトランジスタを用いて基板上に一体形成し、他の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル3501に実装しても良い。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。また、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOGなどで表示パネルに実装しても良い。

【0413】

なお、画素部には、実施の形態1乃至8に記載した画素を用いる。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネル3501を得ることができる。なお、本発明では対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【0414】

このようなELモジュールによりELテレビ受像機を完成させることができる。図36は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ3601は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路3602と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路3603と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路3506により処理される。コントロール回路3506は、走査線側と信号線側にそれぞれ信号を出力する。

デジタル駆動する場合には、信号線側に信号分割回路 3507 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

【0415】

チューナ 3601 で受信した信号のうち、音声信号は音声信号増幅回路 3604 に送られ、その出力は音声信号処理回路 3605 を経てスピーカー 3606 に供給される。制御回路 3607 は受信局（受信周波数）や音量の制御情報を入力部 3608 から受け、チューナ 3601 や音声信号処理回路 3605 に信号を送出する。

【0416】

例えば、実施の形態 12 に記載した図 33（A）の筐体 3301 に、図 35 の EL モジュールを組みこんで、テレビ受像機を完成させることができる。

10

【0417】

もちろん、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に面積の表示媒体として様々な用途に適用することができる。

（実施の形態 15）

本実施形態では、本発明に係る表示装置の応用例について説明する。

【0418】

図 56 に、本発明に係る表示装置を建造物と一体にして設けた例について示す。図 56 は、筐体 5600、表示パネル 5601、スピーカー部 5602 等を含む建造物を示している。なお、5603 は、表示パネル 5601 を操作するためのリモコン装置である。

20

【0419】

表示パネル 5601 には実施の形態 1 乃至 8 に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネルを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【0420】

図 56 に示す表示装置は、建造物と一体にして設けられているため、スペースを広く必要とすることなく設置することができる。

30

【0421】

図 57 に、本発明に係る表示装置を建造物と一体にして設けた他の例について示す。表示パネル 5701 は、ユニットバス 5702 と一体にして取り付けられており、入浴者は入浴しながら表示パネル 5701 の視聴が可能となる。表示パネル 5701 には入浴者が操作することで情報を表示することができる。そのため、広告や娯楽手段として利用できる機能を有する。

【0422】

表示パネル 5701 には実施の形態 1 乃至 8 に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネルを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

40

【0423】

なお、本発明に係る表示装置は、図 57 で示したユニットバス 5702 の側壁だけではなく、様々な場所と一体に設けることができる。たとえば、鏡面の一部や浴槽自体と一体に設けられていても良い。また、表示装置の形状は、鏡面や浴槽の形状に合わせたものとなってもよい。

【0424】

図 58 に、本発明に係る表示装置を、建造物と一体にして設けた他の例について示す。

50

図 5 8 において、表示パネル 5 8 0 2 は柱状体 5 8 0 1 の曲面に合わせて湾曲されている。ここでは、柱状体 5 8 0 1 を電柱として説明する。

【0 4 2 5】

図 5 8 に示す表示パネル 5 8 0 2 は、人間の視点より高い位置に設けられている。電柱のように屋外で繰り返し林立している建造物に表示パネル 5 8 0 2 を設置することで、不特定多数の視認者に対し表示パネル 5 8 0 2 を介して情報を提供することができる。そのため、表示パネルを広告として利用することが適している。また、表示パネル 5 8 0 2 は、外部からの制御により同じ画像を表示させること、また瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示及び広告効果が期待できる。また、表示パネル 5 8 0 2 に自発光型の表示素子を設けることで、夜間であっても視認性の高い表示媒体として有用であるといえる。また、表示パネル 5 8 0 2 を電柱に設置することで表示パネル 5 8 0 2 の電力供給手段の確保が容易である。また、災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

【0 4 2 6】

表示パネル 5 8 0 2 には実施の形態 1 乃至 8 に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネルを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。また、フィルム状の基板に設けられた有機トランジスタを用いても良い。

【0 4 2 7】

なお、本実施形態では本発明の表示装置と一体にした建造物として壁、ユニットバス、柱状体を例示したが、他の様々な建造物にも設けることが可能である。

【0 4 2 8】

次に、本発明に係る表示装置を、移動物と一体にして設けた例について示す。

【0 4 2 9】

図 5 9 は、本発明に係る表示装置を自動車と一体にして設けた例について示した図である。表示パネル 5 9 0 2 は、自動車の車体 5 9 0 1 と一体にして設けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示することができる。また、表示パネル 5 9 0 2 はナビゲーション機能を有していてもよい。

【0 4 3 0】

表示パネル 5 9 0 2 には実施の形態 1 乃至 8 に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネルを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【0 4 3 1】

なお、本発明に係る表示装置は、図 5 9 で示した車体 5 9 0 1 だけではなく、様々な場所に設けることができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラー等と一体にして設けてもよい。このとき、表示パネル 5 9 0 2 の形状は、設置するものの形状に合わせたものとなっていてよい。

【0 4 3 2】

図 6 0 は、本発明に係る表示装置を列車車両と一体にして設けた例について示した図である。

【0 4 3 3】

図 6 0 (a) は、列車車両のドア 6 0 0 1 のガラスに表示パネル 6 0 0 2 を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要な人件費がかからないという利点がある。また、表示パネル 6 0 0 2 は、外部からの信号により

表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、たとえば電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができる。このように画像の切り替えを瞬時に行うことで、より効果的な広告効果が期待できる。

【0434】

図60(b)は、列車車両のドア6001のガラスの他に、ガラス窓6003及び天井6004に表示パネル6002を設けた例について示した図である。このように、本発明に係る表示装置は、従来では設置が困難であった場所に容易に設けることが可能であるため、効果的な広告効果を得ることができる。また、本発明に係る表示装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時に生じていたコストや時間を削減でき、より柔軟な広告の運用および情報伝達が可能となる。

10

【0435】

なお、図60に示す表示パネル6002には実施の形態1乃至8に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネルを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

【0436】

また、本発明に係る表示装置は、上記に限らず、様々な場所に設けることができる。たとえば、つり革、座席シート、てすり、床等と本発明に係る表示装置を一体にして設けてもよい。このとき、表示パネル6002の形状は、設置するものの形状に合わせたものとなってもよい。

20

【0437】

図61は、本発明に係る表示装置を、旅客用飛行機と一体にして設けた例について示した図である。

【0438】

図61(a)は、旅客用飛行機の座席上部の天井6101に表示パネル6102を設けたときの使用時の形状について示した図である。表示パネル6102は、ヒンジ部6103を介して天井6101と一体にして設けられており、ヒンジ部6103の伸縮により乗客は所望の位置での表示パネル6102の視聴が可能となる。表示パネル6102は乗客が操作することで情報を表示することができる。そのため、広告や娯楽手段として利用できる機能を有する。また、図61(b)に示すように、ヒンジ部を折り曲げて天井6101に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネル6102の表示素子を点灯させることで、情報伝達手段および誘導灯としても利用可能である。

30

【0439】

なお、図61に示す表示パネル6102には実施の形態1乃至8に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネルを得ることができる。なお、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに同一導電型のトランジスタやトランジスタの半導体層に非晶質半導体膜を用いることで低コスト化を図ることができる。

40

【0440】

なお、本発明に係る表示装置は、図61で示した天井6101だけではなく、様々な場所と一体に設けることができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にして設けてもよい。また、多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル6102の形状は、設置するものの形状に合わせたものとなってもよい。

【0441】

50

なお、本実施形態において、移動体として電車車両本体、自動車車体、飛行機車体について例示したがこれらに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等の様々なものを適用することができる。本発明に係る表示装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に本発明に係る表示装置を設置することにより移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板等の用途に用いることが可能となる。

【0442】

本実施形態の表示装置は実施の形態1乃至8だけではなく、実施の形態9または10に記載した構成とも適宜組み合わせることが可能である。なお、表示装置の構成は上述したものに限られない。

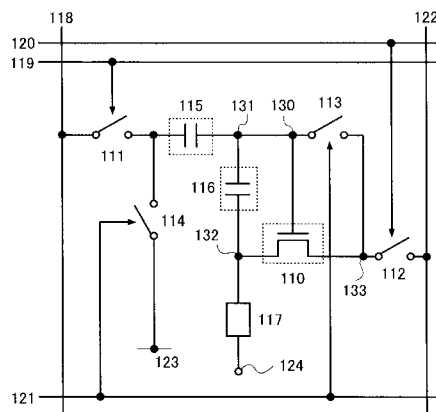
【符号の説明】

【0443】

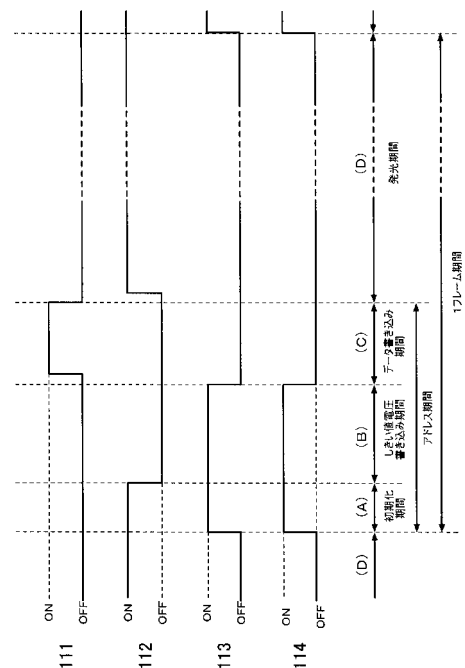
110	トランジスタ	
111	第1のスイッチ	
112	第2のスイッチ	
113	第3のスイッチ	
114	第4のスイッチ	
115	第1の容量素子	
116	第2の容量素子	20
117	発光素子	
118	信号線	
119	第1の走査線	
120	第2の走査線	
121	第3の走査線	
122	電源線	
123	電位供給線	
124	対向電極	
611	第1のスイッチングトランジスタ	
612	第2のスイッチングトランジスタ	30
613	第3のスイッチングトランジスタ	
614	第4のスイッチングトランジスタ	
2910	トランジスタ	
3010	トランジスタ	
3101	第1のトランジスタ	
3102	第2のトランジスタ	
3103	第5のスイッチ	
3104	第6のスイッチ	
3111	第1のスイッチ	
3112	第2のスイッチ	40
3113	第3のスイッチ	
3114	第4のスイッチ	
3115	第1の容量素子	
3116	第2の容量素子	
3117	発光素子	
3118	信号線	
3119	第1の走査線	
3120	第2の走査線	
3121	第3の走査線	
3122	電源線	50

- 3 1 2 3 電位供給線
- 3 1 2 4 対向電極
- 3 8 0 1 第 5 のスイッチ
- 3 8 0 2 第 4 の走査線
- 4 0 0 1 第 5 のスイッチ
- 4 0 0 2 第 4 の走査線
- 4 2 0 1 整流素子
- 4 2 0 2 第 4 の走査線
- 4 6 1 0 トランジスタ
- 4 6 1 1 第 1 のスイッチ
- 4 6 1 2 第 2 のスイッチ
- 4 6 1 3 第 3 のスイッチ
- 4 6 1 4 第 4 のスイッチ
- 4 6 1 5 第 1 の容量素子
- 4 6 1 6 第 2 の容量素子
- 4 6 1 7 発光素子
- 4 6 1 8 信号線
- 4 6 1 9 第 1 の走査線
- 4 6 2 0 第 2 の走査線
- 4 6 2 1 第 3 の走査線
- 4 6 2 2 電源線
- 4 6 2 3 電位供給線
- 4 6 2 4 対向電極
- 5 0 0 1 整流素子
- 5 0 0 2 第 4 の走査線

【図 1】

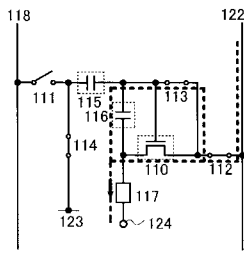


【図 2】

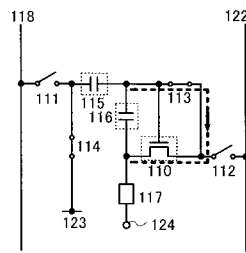


【図 3】

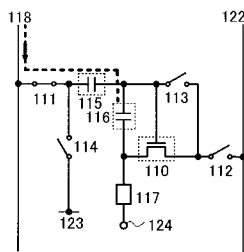
(A) 初期化



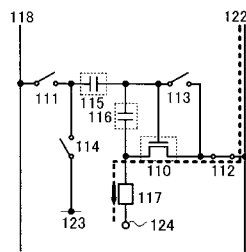
(B) しきい値電圧書き込み



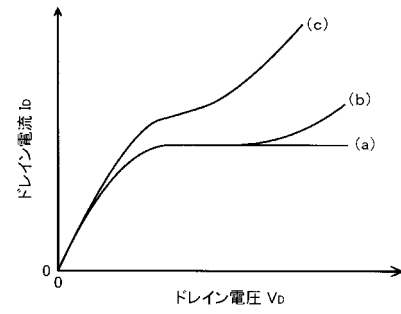
(C) データ書き込み



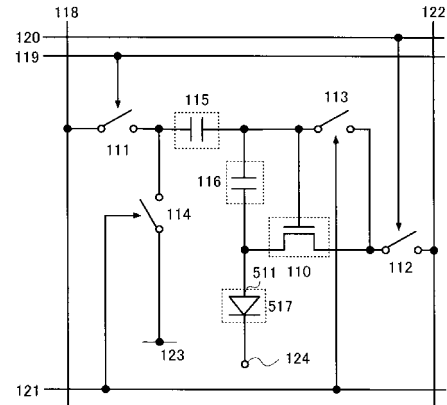
(D) 発光



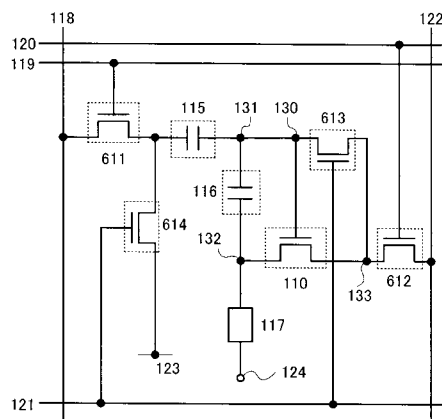
【図 4】



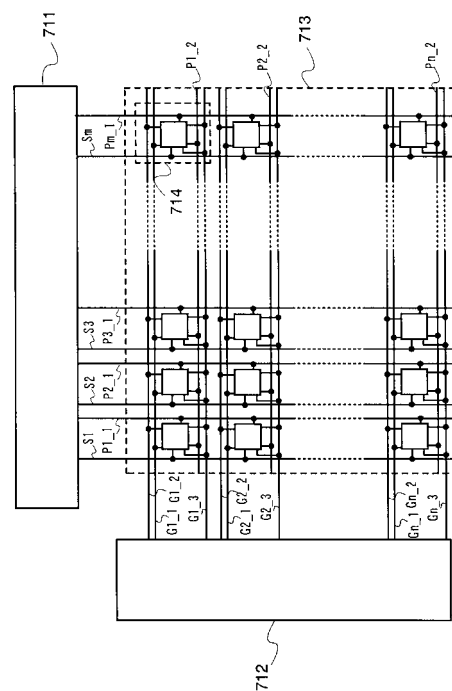
【図 5】



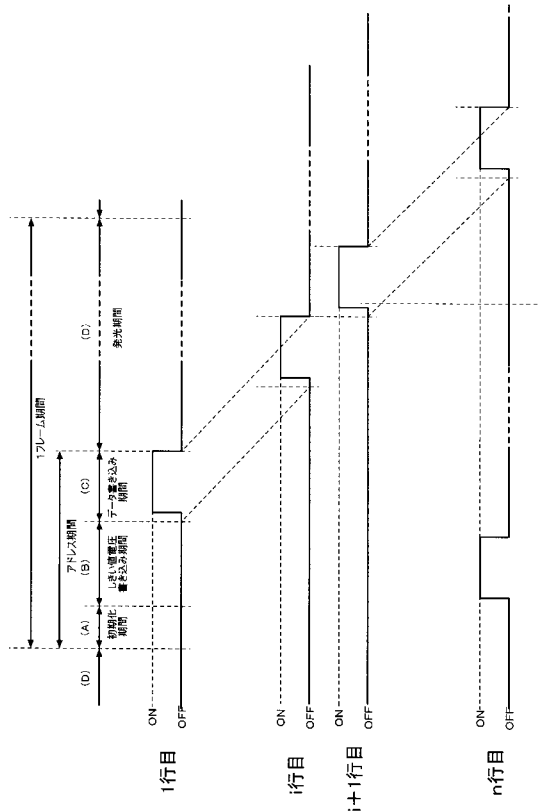
【図 6】



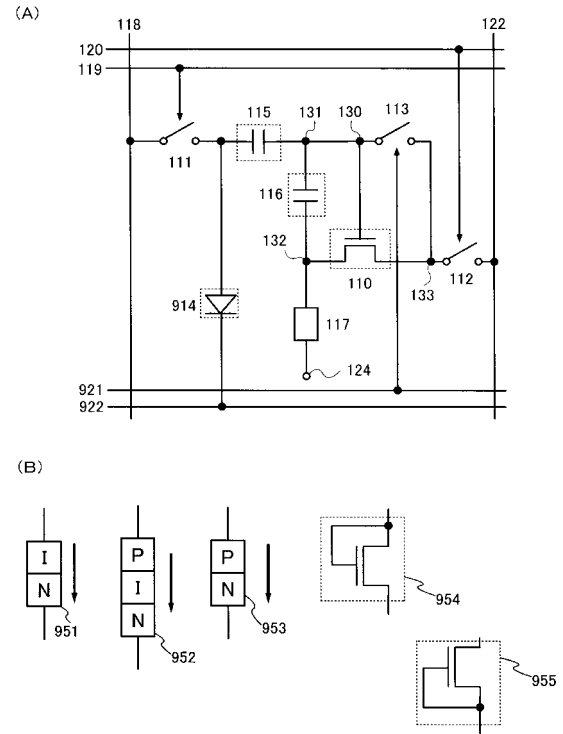
【図 7】



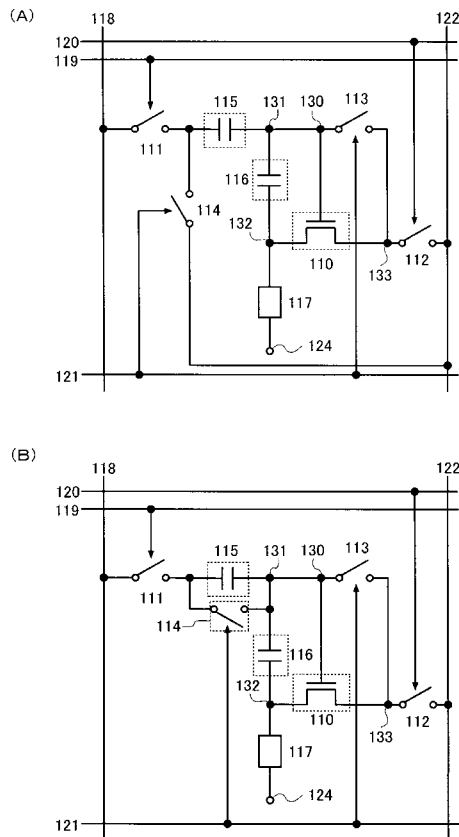
【図 8】



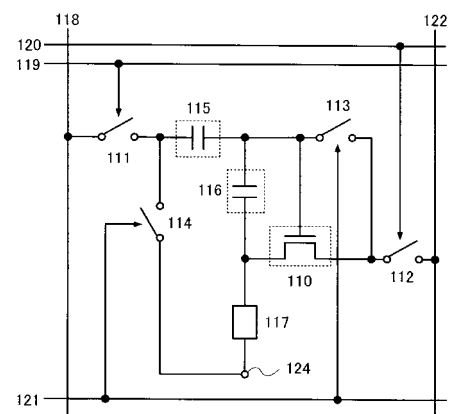
【図 9】



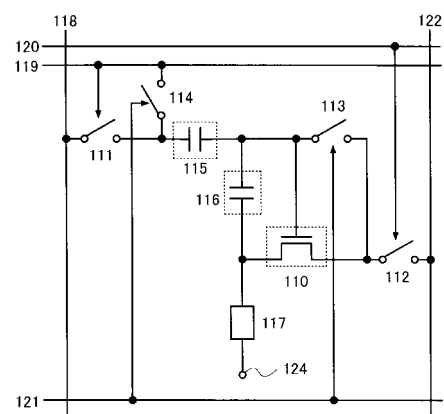
【図 10】



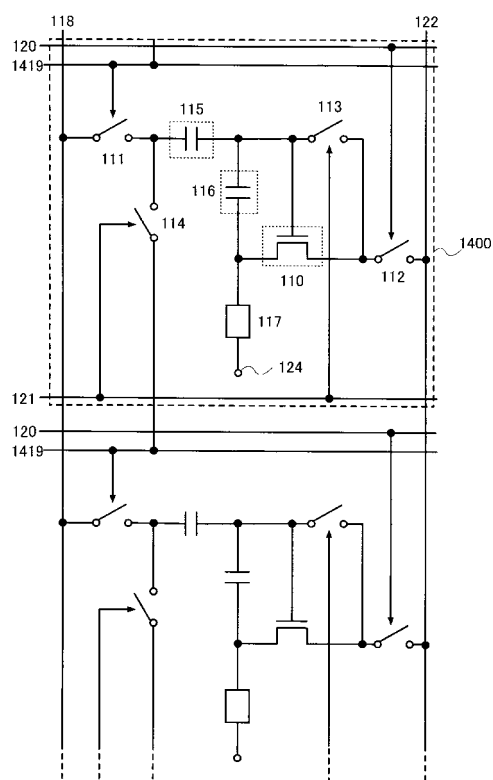
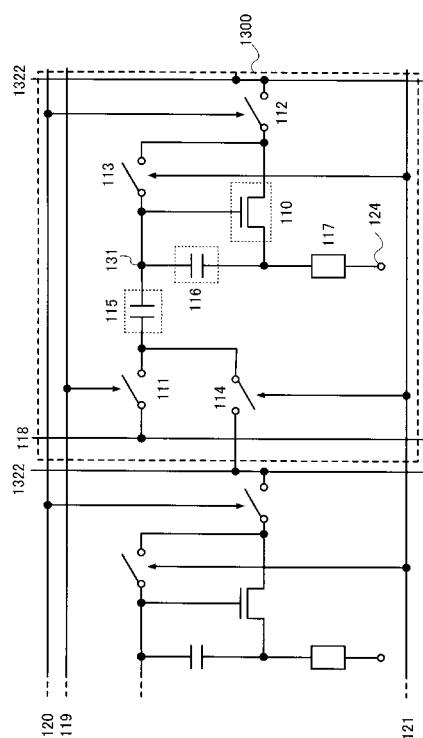
【図 11】



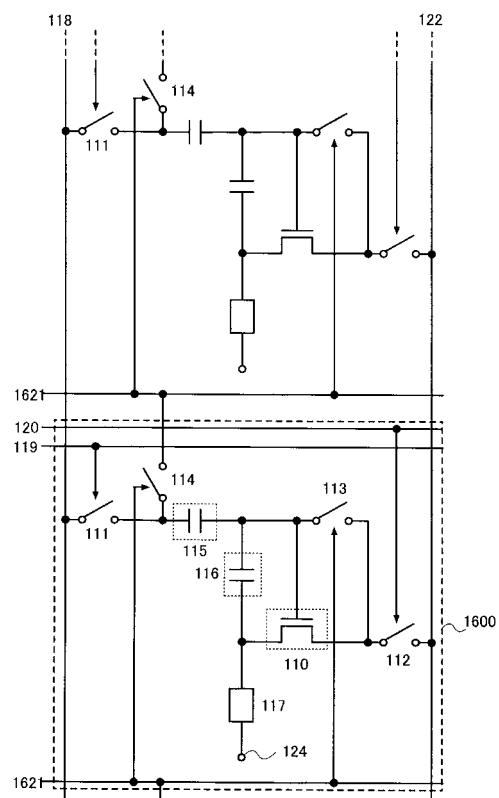
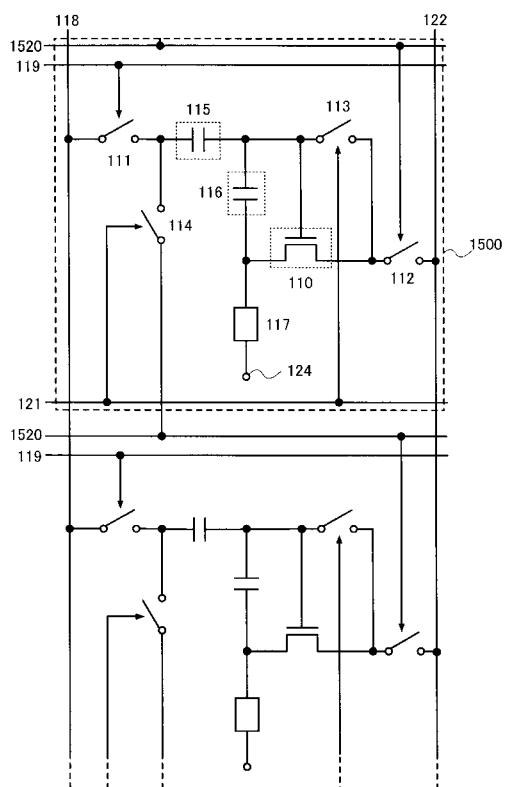
【図 12】



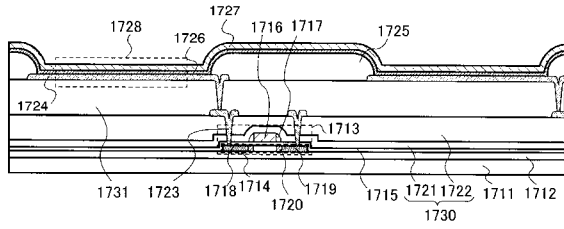
【図 14】



【図 16】

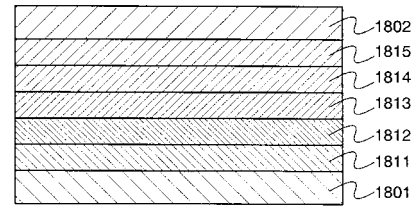


【図 17】

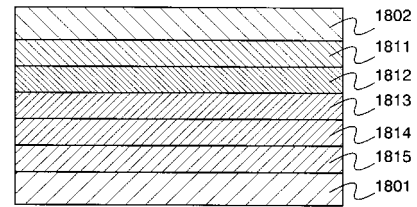


【図 18】

(a)

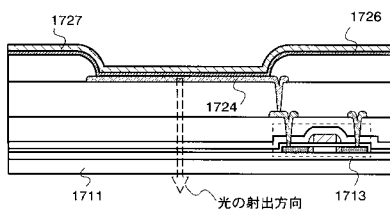


(b)

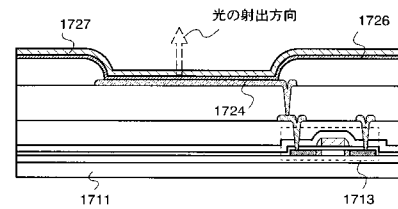


【図 19】

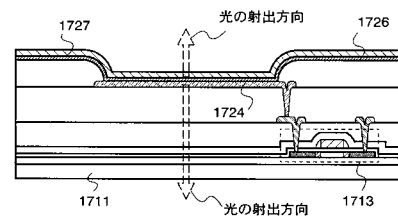
(a)



(b)

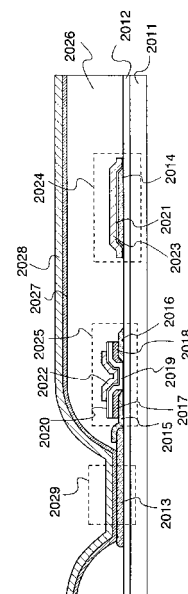


(c)

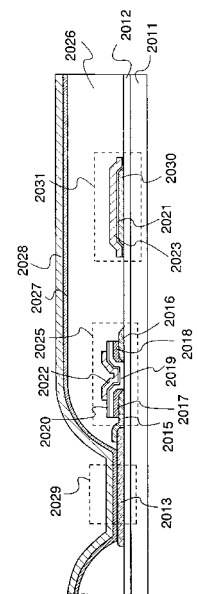


【図 20】

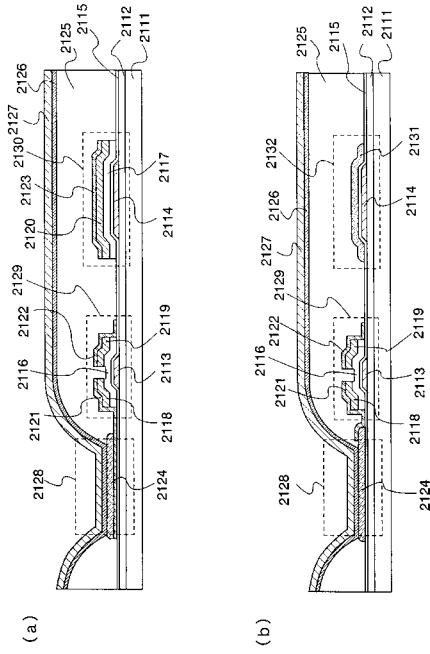
(a)



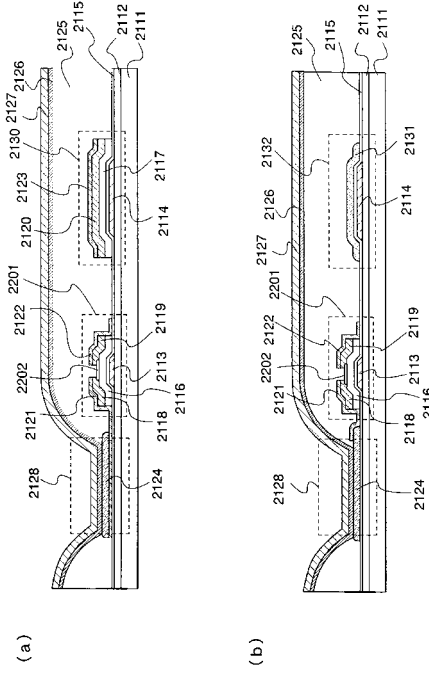
(b)



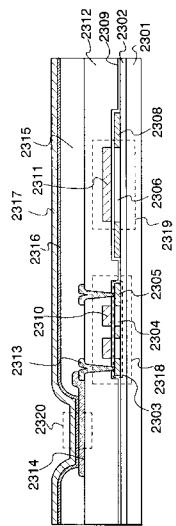
【図 2 1】



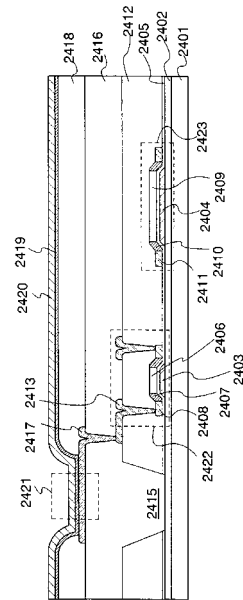
【図 2 2】



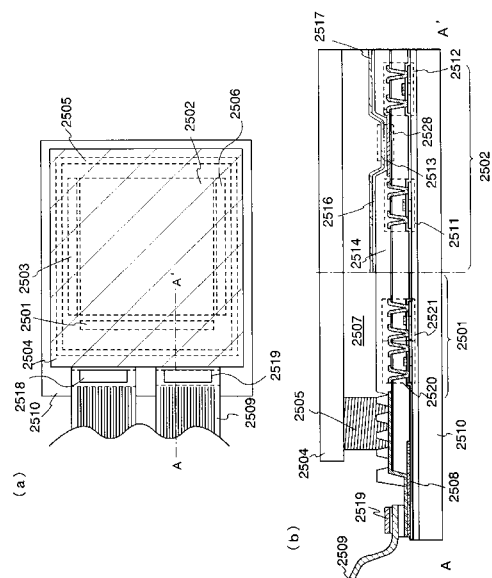
【図 2 3】



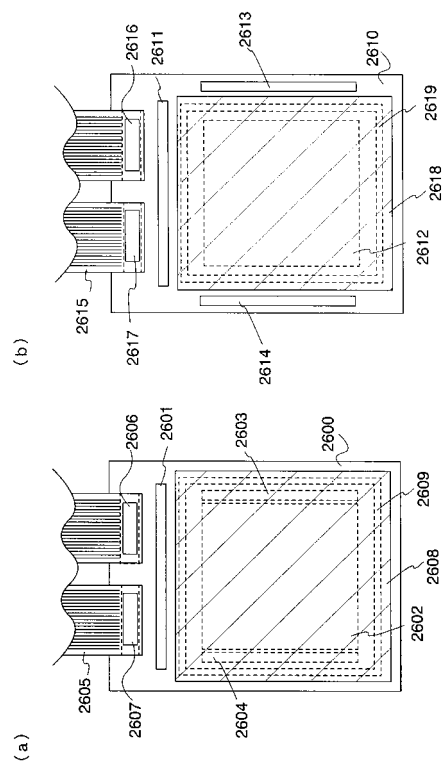
【図 2 4】



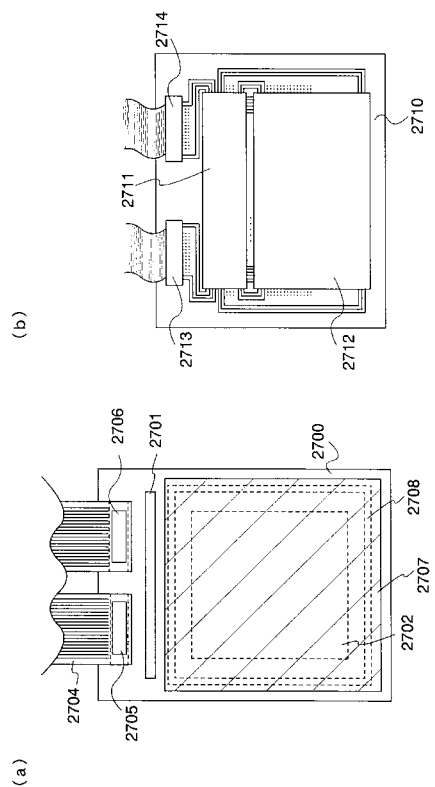
【图 25】



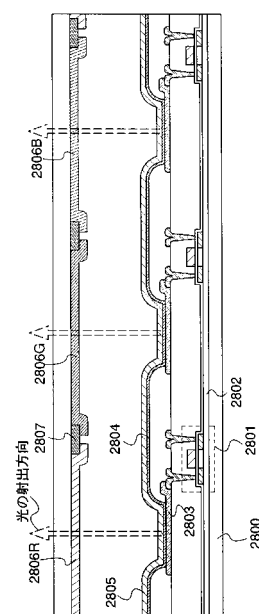
【図 2 6】



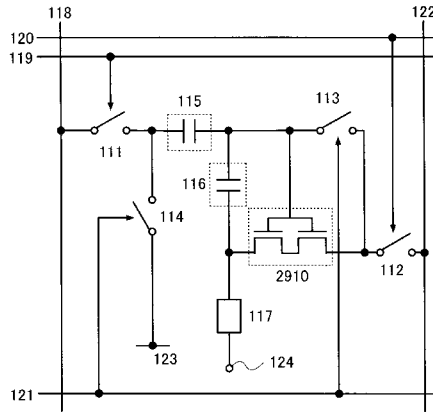
【图 27】



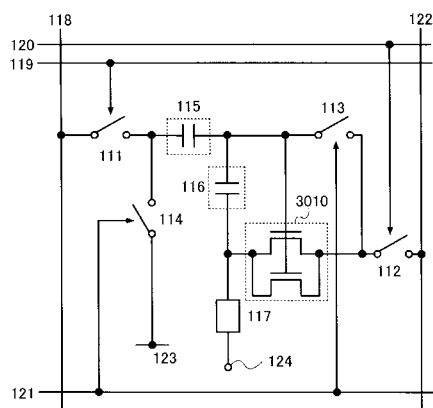
【図 28】



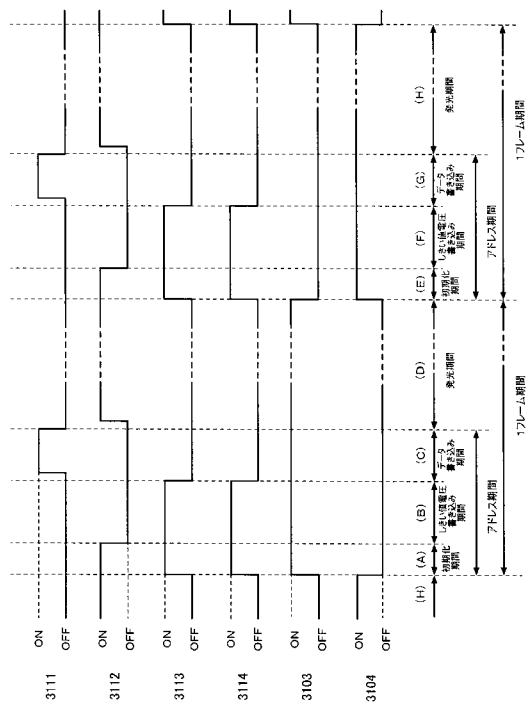
【図 29】



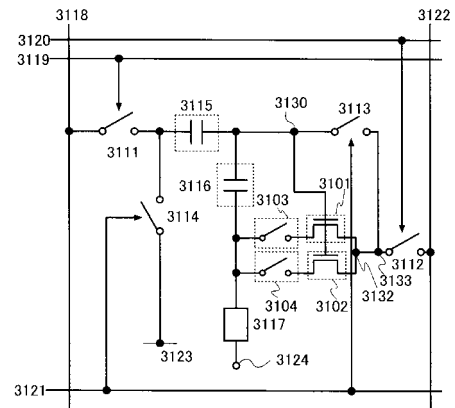
【図 30】



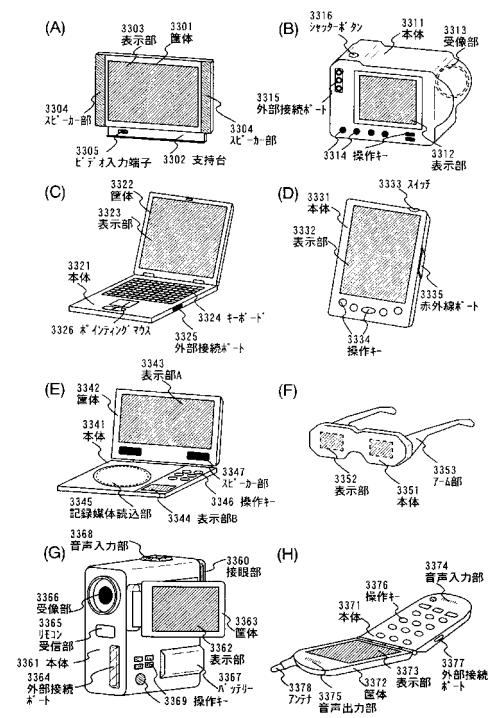
【図 32】



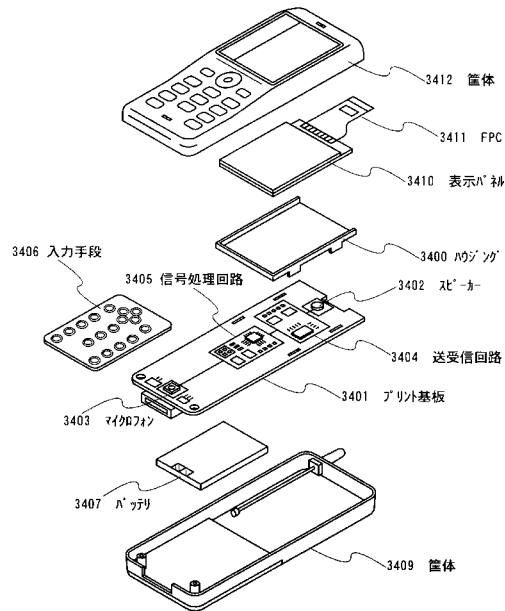
【図 31】



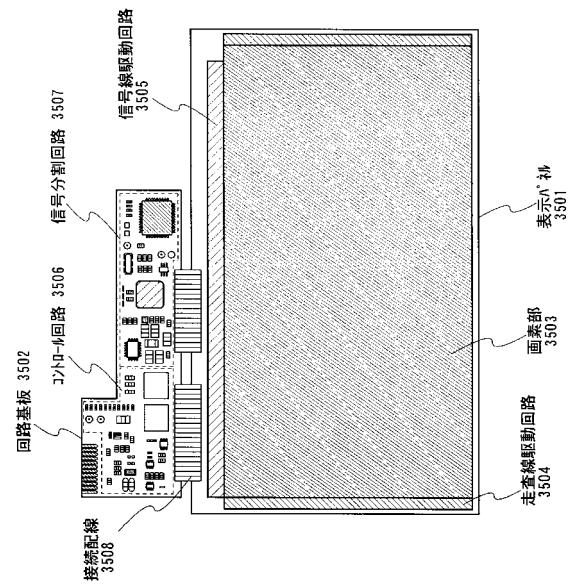
【図 33】



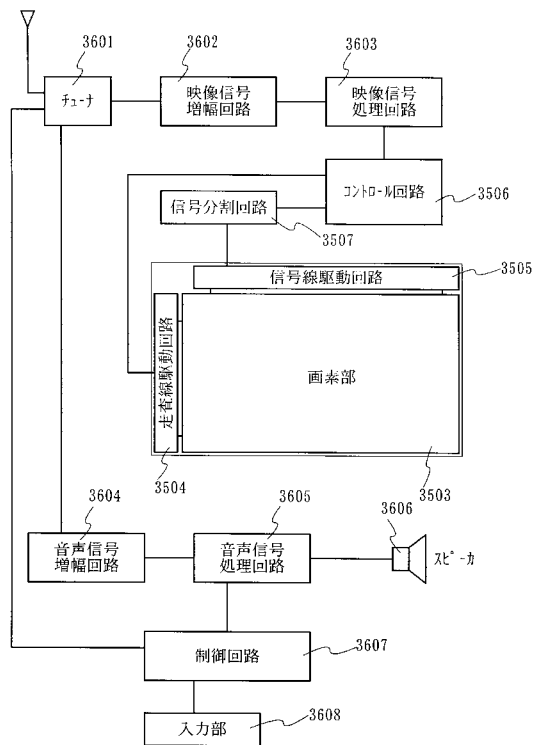
【図 3 4】



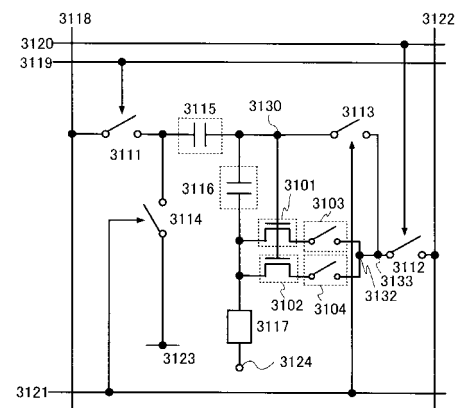
【図 3 5】



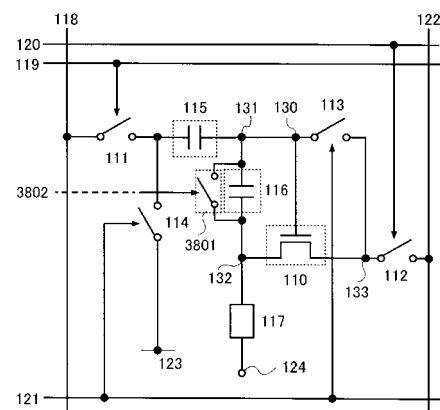
【図 3 6】



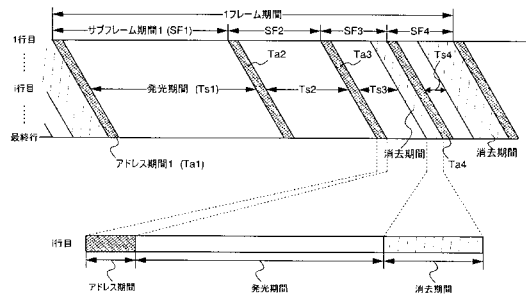
【図 3 7】



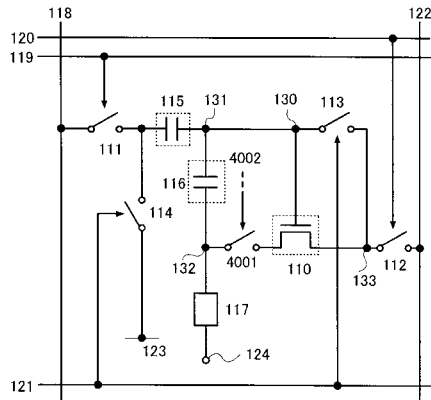
【図 3 8】



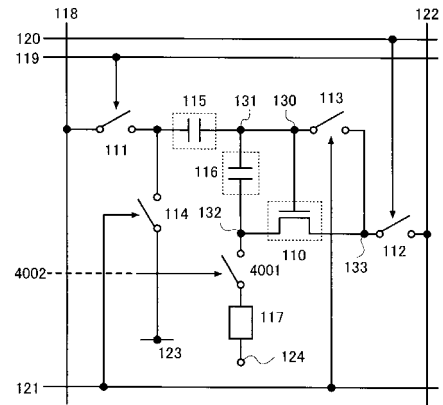
【図 39】



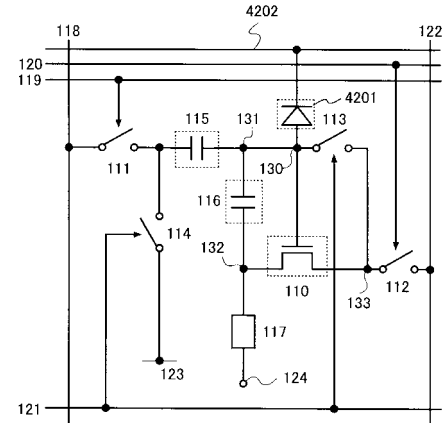
【図 40】



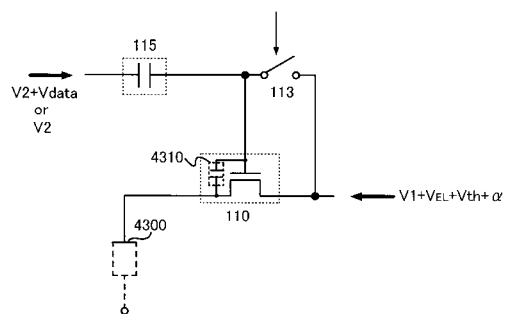
【図 41】



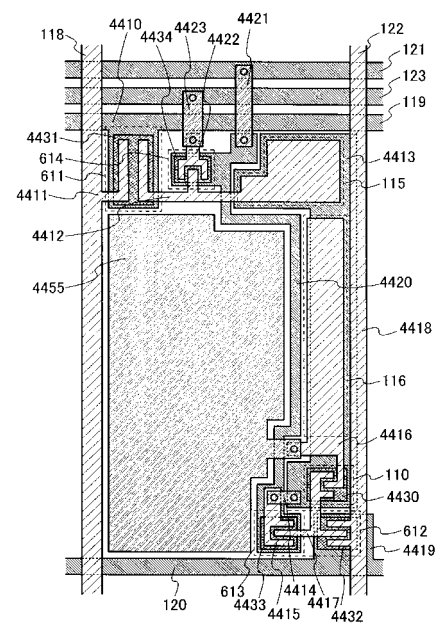
【図 42】



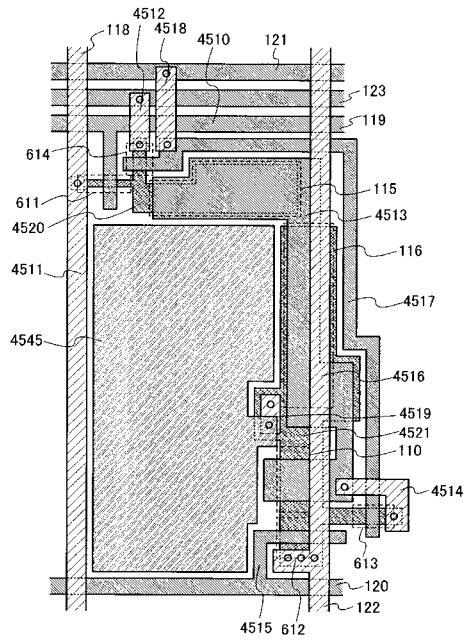
【図 43】



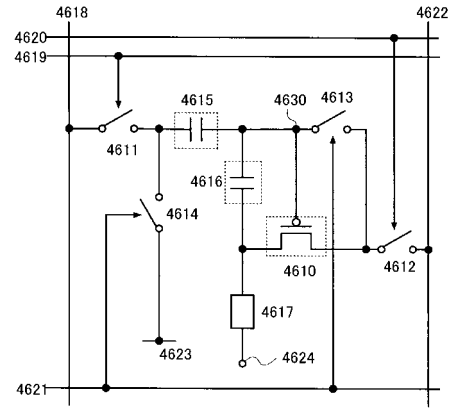
【図 44】



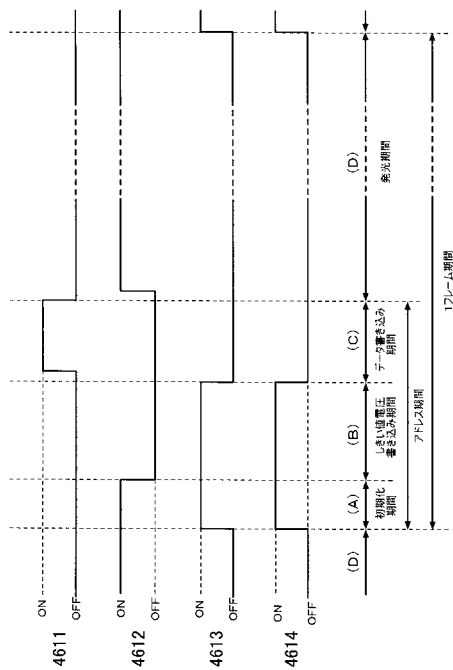
【図 4 5】



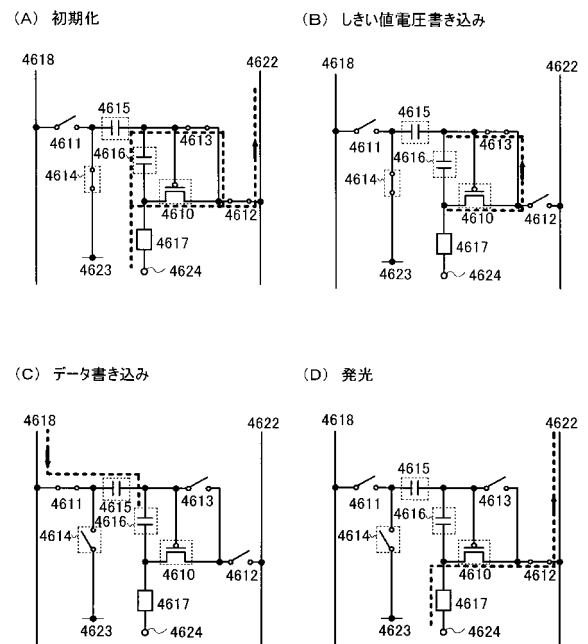
【図 4 6】



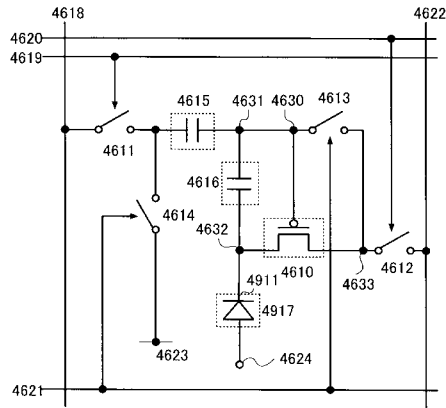
【図 4 7】



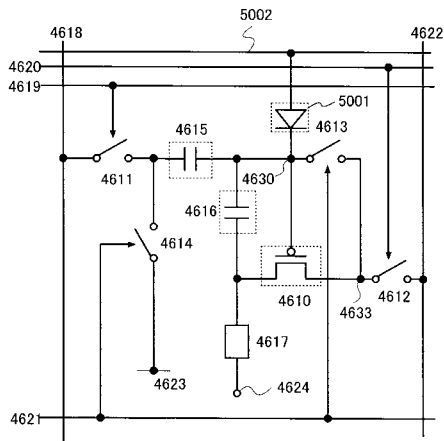
【図 4 8】



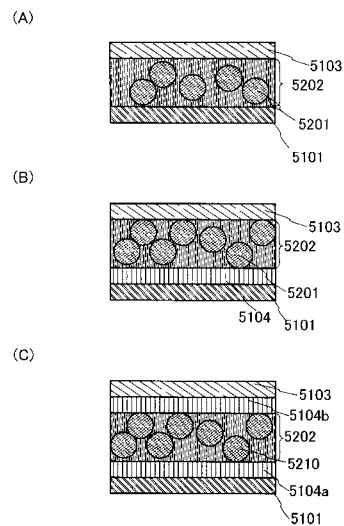
【図 49】



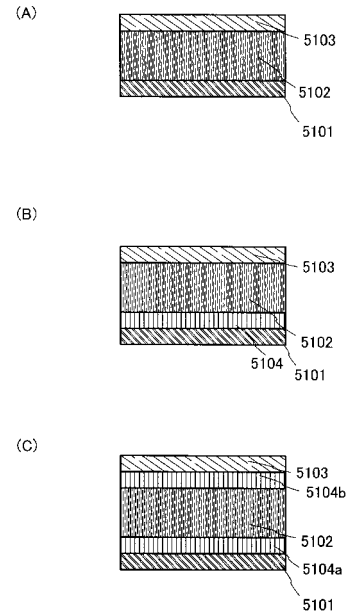
【図 50】



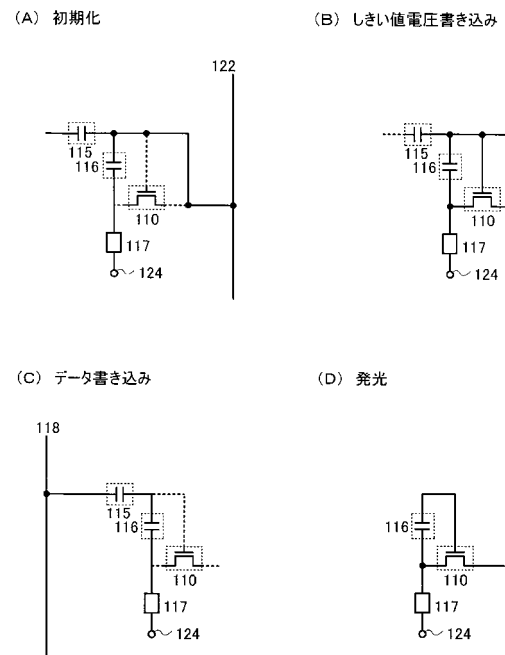
【図 52】



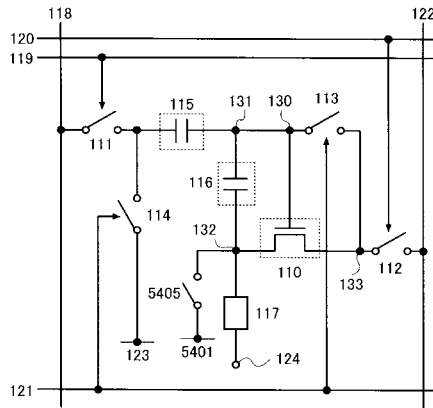
【図 51】



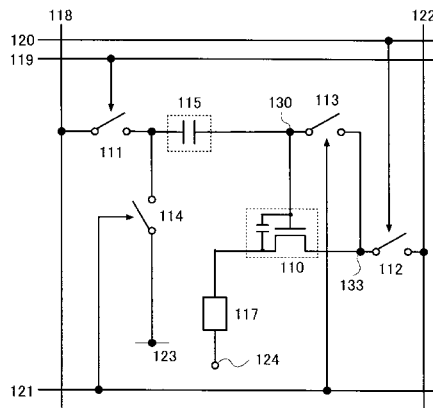
【図 53】



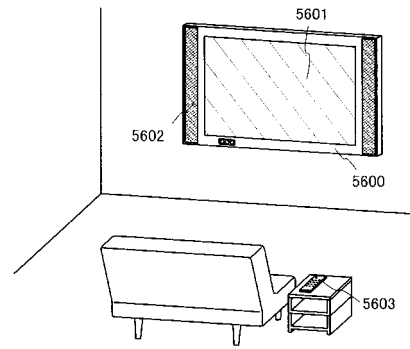
【図 5 4】



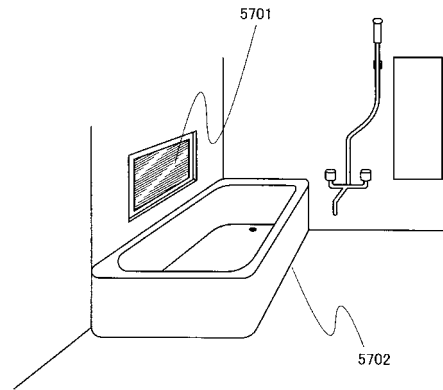
【図 5 5】



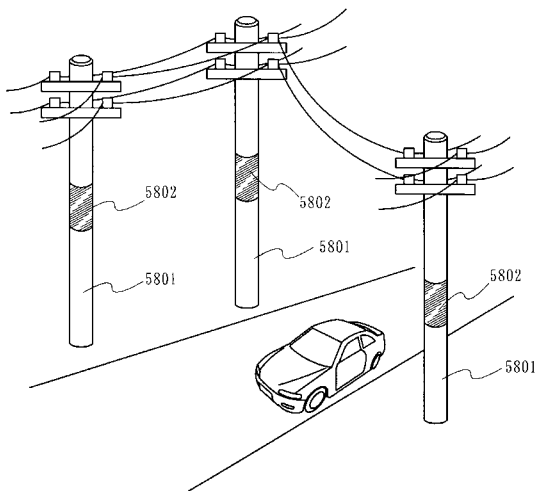
【図 5 6】



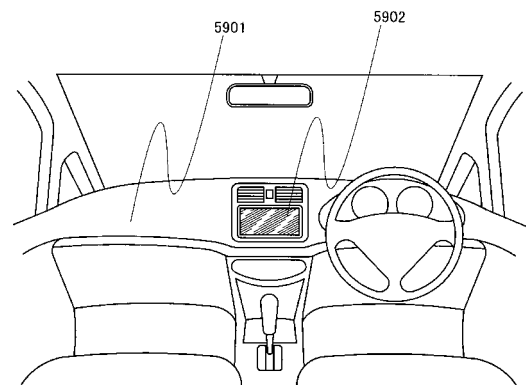
【図 5 7】



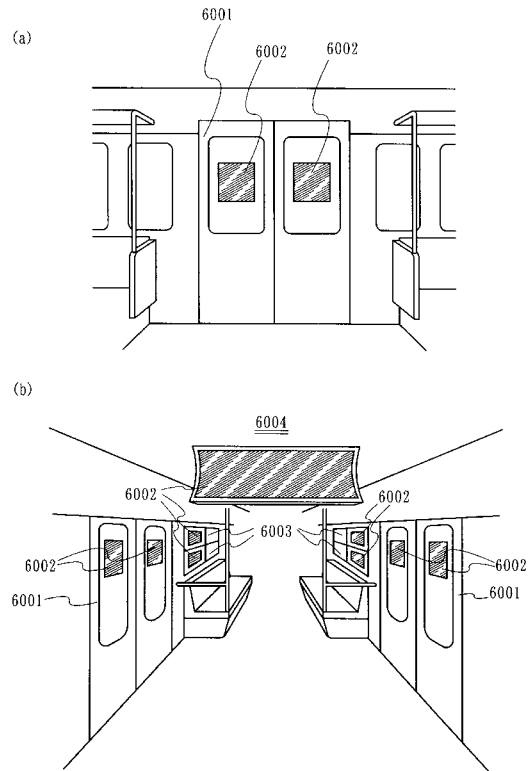
【図 5 8】



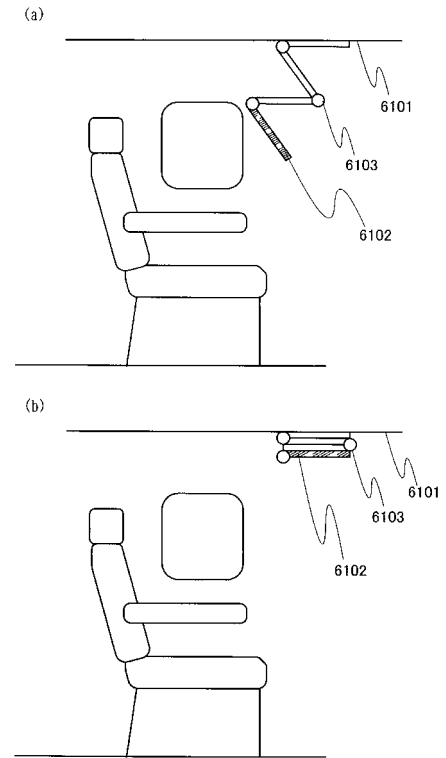
【図 5 9】



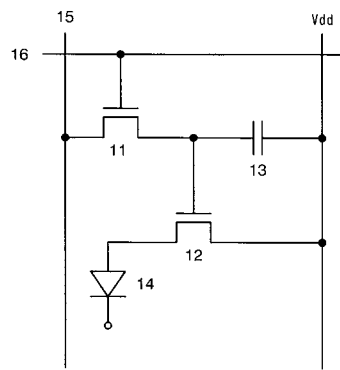
【図 6 0】



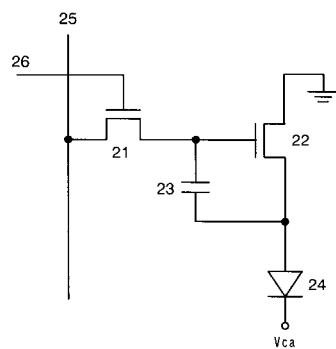
【図 6 1】



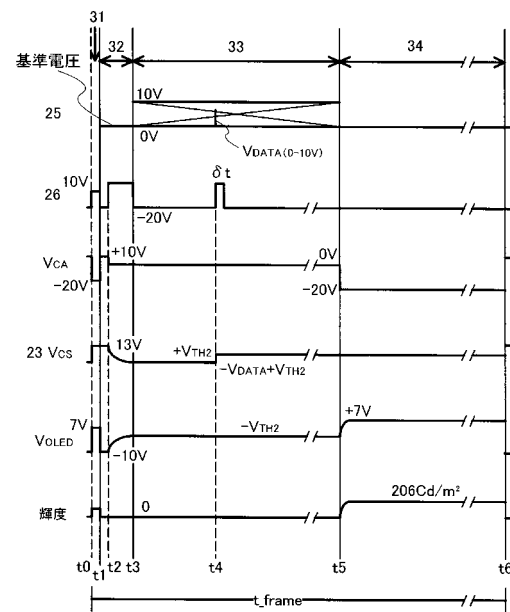
【図 6 2】



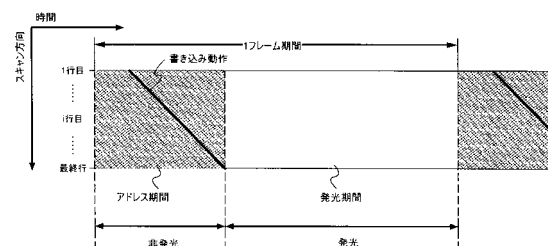
【図 6 3】



【図 6 4】



【図 6 5】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 2 4 B
	H 0 5 B 33/14	A
	H 0 5 B 33/14	Z

Fターム(参考)	5C094	AA03	AA07	AA22	AA25	AA37	BA03	BA27	DB04		
	5C380	AA01	AA02	AB06	AB18	AB22	AC07	AC08	AC09	AC11	AC12
		AC13	AC15	BA01	BA10	BA12	BA28	BA38	BA39	BB02	BB22
		BD02	BE05	CB16	CB18	CC07	CC26	CC27	CC28	CC29	CC30
		CC33	CC39	CC41	CC54	CC62	CC64	CC65	CC72	CC77	CD012
		CD014	CD024	CD025	CD026	CD028	CF46	DA02	DA09	DA16	DA19
		DA35	DA47	HA05	HA13						