

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

## 【發明所屬之技術領域】

本發明係有關於一種具錫塊底部金屬化結構之半導體裝置及其製程，尤指一種覆晶式 (Flip Chip) 半導體封裝結構之覆晶錫塊結構及其製程。

## 【先前技術】

覆晶式 (Flip Chip) 半導體封裝技術為一種先進之半導體封裝技術，其與一般習知之非覆晶式封裝技術最主要不同點在於其中所封裝之半導體晶片係以正面朝下之倒置方式安置於基板上，並藉由複數個錫塊 (Bump) 而錫結與電性連接至基板上。由於覆晶式封裝結構體中不需要使用較佔空間之錫線 (Bonding Wires) 來將半導體晶片電性連接至基板，因此可使整體封裝結構更為輕薄短小。

請參閱第 1 圖，而欲將錫塊 150 錫結於半導體晶片 100 時，首先須在半導體晶片 100 之錫墊 110 上形成一錫塊底部金屬化 (Under Bump Metallurgy, UMB) 結構層 130，該 UMB 結構層 130 包含有一形成於錫墊 110 上之黏著層 (adhesion layer) 130a，例如為鋁金屬層；一防止擴散之阻障層 (barrier layer) 130b，例如鎳鈮合金；以及一用以接著該錫塊 150 之濕潤層 (wetting layer) 130c，例如銅金屬層。其特徵在利用該 UMB 結構層 130 提供接置錫塊、擴散阻障 (diffusion barrier) 以及適當黏著性等功於該錫塊 150 與半導體晶片 100 之錫墊 110 間，俾得以將錫料塗佈至各個 UBM 結構層上，再經回錫程序 (Reflow) 以將所施加之錫料形成所需之錫塊。



## 五、發明說明 (2)

該 UBM製程一般採用之方法係包括濺鍍技術 (Sputtering)、蒸鍍技術 (Evaporation)及電鍍技術 (Plating)等。

請參閱第 2A至第 2E圖，為習知於半導體晶片上進行覆晶銲塊之製程。如第 2A圖所示，首先將一表面具有複數個銲墊 110之半導體晶片 100，再於該半導體晶片 100之表面形成一絕緣保護層 (Passivation Layer)120，並曝露該晶片 100上之銲墊 110，接著於該銲墊上利用濺鍍及電鍍形成一 UBM結構層 130。

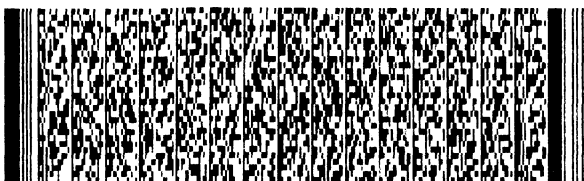
請參閱第 2B圖，將一例如為乾膜 (Dry Film)之拒銲層 (Solder Mask)140設置於該絕緣保護層 120上，且該拒銲層 140預設有複數個開口 141，用以曝露出該 UBM結構層 130。

請參閱第 2C圖，接著進行一銲料塗佈製程，用以將一例如為錫鉛合金 (Sn/Pb)之銲料，透過該開口 141利用網版印刷之技術而塗佈至該 UBM結構層 130，以形成多數之銲塊 150。

請參閱第 2D圖，先進行一回銲 (reflow)製程，以將銲料銲結至該 UBM結構層 130上，之後，再將該拒銲層 140移除，並進行一第二次回銲程序 (Reflow)，以將該銲塊 150圓球化，如第 2E圖所示。

目前已有許多相關於 UBM製程的專利技術，例如包括以下所列之美國專利：

美國專利第 5,773,359號 "INTERCONNECT SYSTEM AND



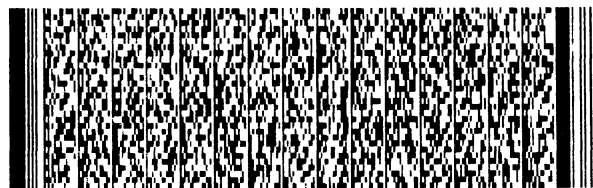
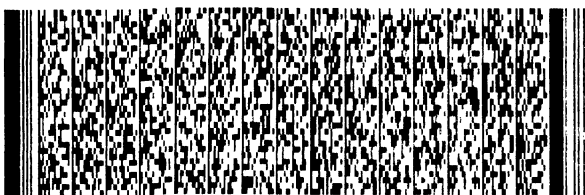
## 五、發明說明 (3)

METHOD OF FABRICATION"。

美國專利第 5,904,859 號 "FLIP CHIP METALLIZATION"。

美國專利第 5,937,320 號 "BARRIER LAYERS FOR ELECTROPLATED SNPB EUTECTIC SOLDER JOINTS"。

而在形成該 UBM 結構層於半導體晶片之鋁製錫墊時，該鋁金屬層係首先形成於該錫墊上以完全覆蓋住該錫墊，俾提供該鋁材質之錫墊與 UBM 結構層間良好之黏著性（亦可提供鉻金屬層）；接著，於該鋁金屬層上形成一鎳/鈦 (Ni-V) 混合層，藉以提供一阻障以避免該晶片錫墊與錫塊電極反應生成共金屬化合物 (intermetallic compounds)；最後，再於該混合金屬層上形成有一銅金屬層（亦可為鎳、鉑、鉬金屬層）作為一濕潤層 (Wetting Layer)，藉以提供該錫塊順利錫結至該 UBM 結構層上。然而，在欲形成錫塊於銅製錫墊上時，上述之 UBM 結構層便不適用，原因在於用以覆蓋在該錫墊之鋁金屬層與銅製錫墊間具較差之黏著性，使得該 UBM 結構層無法有效結合至該錫墊上；鑒此，在形成該 UBM 結構層於例如銅金屬之錫墊時，該 UBM 結構層中首先需採用鈦 (Ti, titanium) 金屬層形成於該錫墊上以覆蓋住該銅製錫墊，俾提供該金屬銅材質之錫墊與 UBM 結構層良好之黏著性；接著，再於該鈦金屬層上形成一混合層以及一銅金屬層，以提供該錫塊順利錫結至該 UBM 結構層。然而，該鈦金屬層雖然能有效結合該銅製錫墊與絕緣保護層，但由於其導電性相較銅金屬



## 五、發明說明(4)

層為差，以致無法提供該錒塊與錒墊間之良好電性連接功能。

因此，如何提供 UBM結構層與金屬銅材質之錒墊間良好電性連接功能，同時亦能維持該錒墊與 UBM結構層良好之接合性，實為目前亟欲解決的課題。

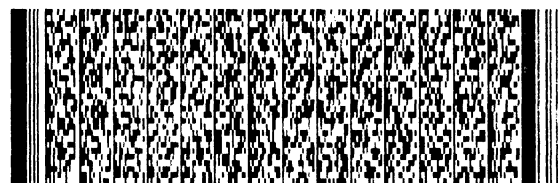
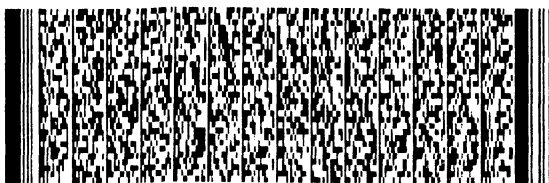
## 【發明內容】

鑒於以上所述習知技術之缺點，本發明之主要目的係提供一種具錒塊底部金屬化結構之半導體裝置及其製程，以有效提供該錒塊底部金屬化(Under Bump Metallurgy, UMB)結構層與錒墊間良好電性連接功能。

本發明之另一目的係提供一種具錒塊底部金屬化結構之半導體裝置及其製程，以有效提供該錒塊底部金屬化(UMB)結構層、錒墊與絕緣保護間良好結合性。

為達上揭及其它目的，本發明之具錒塊底部金屬化結構之半導體裝置係包括一半導體裝置本體，於其表面形成有多數之錒墊；一保護層，係覆蓋於該本體表面上並具有多數之開孔以曝露出該錒墊；複數個錒塊底部金屬化(UMB)結構層，係包含一形成於該錒墊上用以覆蓋部分錒墊之第一金屬層，一形成於該第一金屬層上俾覆蓋住該第一金屬層及其餘外露於該第一金屬層部分錒墊之第二金屬層，與至少一覆蓋於該第二金屬層之第三金屬層；以及複數之錒塊，係形成於該錒塊底部金屬化(UMB)結構層上。

本發明所提供之具錒塊底部金屬化結構之半導體裝置製程係包括下列步驟：首先於一形成有多數錒墊之半導體



## 五、發明說明 (5)

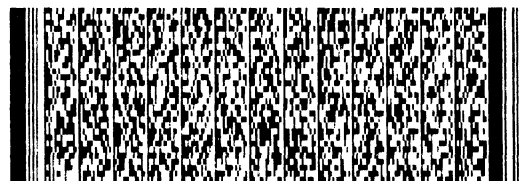
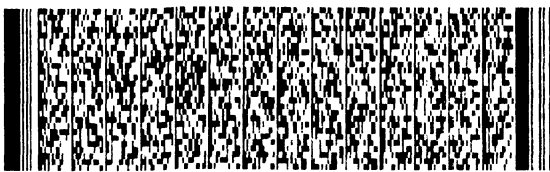
裝置本體表面上覆蓋一保護層，且該保護層具有多數之開孔以曝露出該鉀墊；再於該鉀墊上形成一第一金屬層，並使該第一金屬層得以部分覆蓋於該鉀墊及鉀墊周圍之保護層上；接著於該第一金屬層上形成一第二金屬層以覆蓋住該第一金屬層及其餘外露於該第一金屬層之部分鉀墊，並於該第二金屬層上形成至少一第三金屬層，藉以完成一鉀塊底部金屬化(UMB)結構層；之後於該鉀塊底部金屬化(UMB)結構層上形成鉀塊。

本發明之具鉀塊底部金屬化結構之半導體裝置特點係將該鉀塊底部金屬化(UMB)結構層中之第一金屬層部分覆蓋於該鉀墊及鉀墊周圍之保護層上，以提供該鉀塊底部金屬化(UMB)結構層一錨定作用，俾順利將該鉀塊底部金屬化(UMB)結構層及保護層與該鉀墊相連結；並於該第一金屬層上形成一第二金屬層，以覆蓋住該第一金屬層及其餘部分外露於該第一金屬層之鉀墊，使該第二金屬層得以直接接觸該鉀墊外露表面，俾提供該鉀塊底部金屬化(UMB)結構層上之鉀塊與該鉀墊間良好之電性連接功能，藉以同時提供該鉀塊底部金屬化(UMB)結構層與鉀墊間良好接合及電性連接功能。

## 【實施方式】

請參閱第3A圖，為本發明明具鉀塊底部金屬化結構之半導體裝置第一實施例之剖面示意圖。

該半導體裝置主要係包括一半導體裝置本體200，並於該本體200上形成有多數之鉀墊210；一保護層220，係

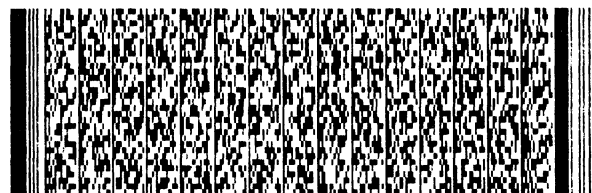
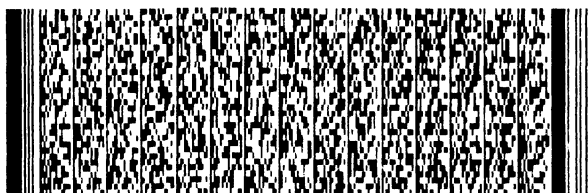


## 五、發明說明 (6)

形成於該本體 200 之表面上，並設置有多數之開孔使該鉚墊 210 得以曝露出該保護層 220；複數個鉚塊底部金屬化 (UMB) 結構層 230，係形成於周圍覆蓋有該保護層 220 之鉚墊 210 外露表面上，其包含有一第一金屬層 230a，係形成於該鉚墊 210 上用以覆蓋部分鉚墊 210 及鉚墊周圍之保護層 220，一第二金屬層 230b，係形成於該第一金屬層 230a 上俾覆蓋住該第一金屬層 230a 及其餘未為該第一金屬層 230a 所覆蓋之部分鉚墊 210，與至少一第三金屬層 230c 係形成於該第二金屬層 230b 上；以及複數個鉚塊 240，以形成於該鉚塊底部金屬化 (UMB) 結構層 230 上。

該半導體裝置本體 200 可適用於半導體封裝基板結構，亦可運用於第二階段組裝電子元件之一般印刷電路板 (Printed Circuit Board)，但最佳者係應用於覆晶 (Flip Chip) 型之半導體晶片或晶圓。而在該半導體裝置本體 200 之表面形成有多數之鉚墊 210，其例如為一銅製鉚墊，係用以作為該半導體本體 200 內部電路之輸出入鉚墊；而由於該些輸出入鉚墊之結構均大致相同，因此為了簡化圖式及說明，僅顯示一個鉚墊來作為範例說明。

該保護層 (Passivation Layer) 220 為一介電層 (dielectric layer)，於一般製程中係採用聚亞醞胺層 (polyimide layer)、二氧化矽層 (silicon dioxide layer)、氮化矽層 (silicon nitride layer) 等，用以覆蓋住該半導體裝置本體 200 表面，以保護其避免受到外界環境污染及破壞，且該保護層 220 具有多數之開孔以曝露

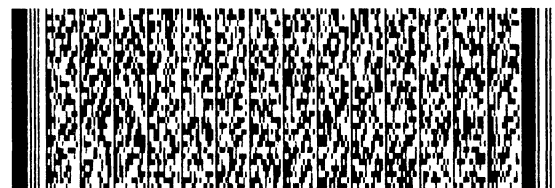
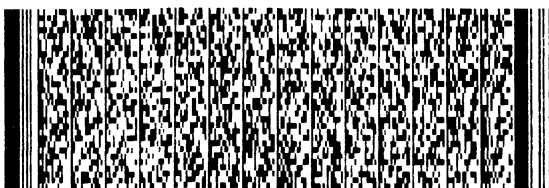


## 五、發明說明 (7)

出該鐳墊 210。

該鐳塊底部金屬化 (UMB) 結構層 230，包含有多數堆疊於該鐳墊 210 上之金屬層，一般於製程中為配合該金屬銅材質之鐳墊 210，首先係於該銅製鐳墊 210 上形成一第一金屬層 230a，例如鈦金屬層，藉以提供該金屬銅材質之鐳墊 230 與該 UBM 結構層 230 良好之接合性；且該第一金屬層 230a 之鈦金屬層係部分覆蓋於曝露出該保護層 220 之鐳墊 210 中心及圍繞該鐳墊 210 周圍之保護層 220 上表面，以曝露出該鐳墊 210 上表面之環形區域及覆蓋於該鐳墊 210 周圍之保護層側邊，如第 3B 圖所示；同時為加強該鈦金屬層與鐳墊 210 及保護層 220 之接合力，亦可形成至少一連接於鐳墊 210 中心之鈦金屬層部分及圍繞於該保護層 220 上表面之鈦金屬部分的鈦金屬層連接部，如第 3C 圖所示；其中該部分覆蓋於鐳墊 210 之金屬層種類、形狀及數量，非以本圖式所限制，惟僅需提供該 UBM 結構層 230 與鐳墊 210 連結之金屬層種類、形狀及數量皆可應用於本發明中。

該鐳塊底部金屬化 (UMB) 結構層 230 復包含有一第二金屬層 230b，例如為銅金屬層，係形成於該第一金屬層 230a 上以覆蓋住該第一金屬層 230a 及其餘部分鐳墊 210，俾透過該銅金屬層直接接觸未為該鈦金屬層所覆蓋之其餘銅製鐳墊 210，以提供該鐳塊底部金屬化 (UMB) 結構層 230 與該鐳墊 210 間良好之電性連接功能。而於該銅金屬層上復可覆蓋有一第三金屬層 230c，例如鎳金屬層，以提供包覆其中之該銅金屬層良好環境保護與後續鐳結其上之鐳塊良好





## 五、發明說明 (8)

之沾潤作用，俾使該鉀塊 240 得以順利接置於該鉀塊底部金屬化 (UMB) 結構層 230 之上。

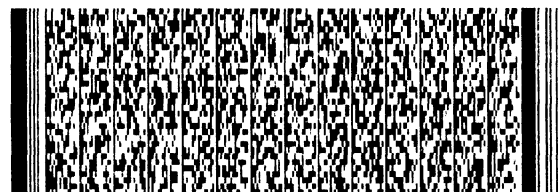
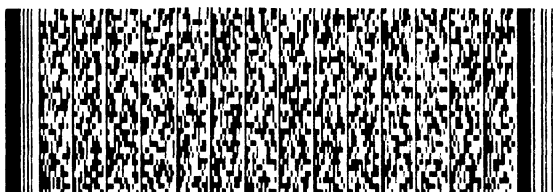
請參閱第 4A 圖，為本發明第二實施例之具鉀塊底部金屬化結構之半導體裝置示意圖。如圖所示，本發明第二實施例之半導體裝置與第一實施例所揭示者大致相同，其不同處在於製備該鉀塊底部金屬化 (UMB) 結構層 230 時，該第一金屬層 230a，例如鈦金屬層，係部分覆蓋於曝露出於該保護層之鉀墊 210 中心及圍繞該鉀墊 210 周圍之保護層 220 上表面及側邊，而僅曝露出該鉀墊 210 外表面之環形部分，如第 4B 圖所示，進一步藉由加大該鈦金屬面積，以增加該 UBM 結構層 230 及保護層 220 與該鉀墊 210 之接合能力；再者，亦可形成至少一連接該鉀墊 210 中心之鈦金屬層部分及圍繞於該保護層 220 表面之鈦金屬部分的鈦金屬層連接部，如第 4C 圖所示。

請參閱第 5A 第 5E 圖，為本發明第二實施例具鉀塊底部金屬化結構之半導體裝置製程剖面示意圖。

如第 5A 圖所示，首先於一預先形成有多數例如銅製鉀墊 310 之半導體晶片 300 表面覆蓋有一保護層 320，例如二氧化矽層，並使該保護層 320 於該鉀墊 310 處僅覆蓋於該鉀墊 310 之周圍表面，俾使該保護層 320 具有多數曝露出該鉀墊 310 中心部分之開孔 321。

如第 5B 圖所示，接著於該保護層 320 上濺鍍 (sputtering) 形成有第一金屬層，例如鈦金屬層 330a。

如第 5C 圖所示，再針對覆蓋於該保護層 320 之鈦金屬



## 五、發明說明 (9)

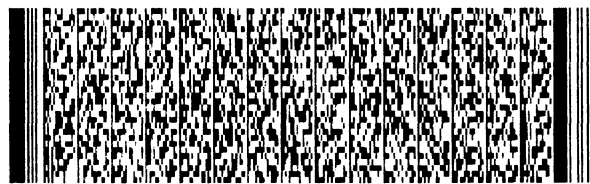
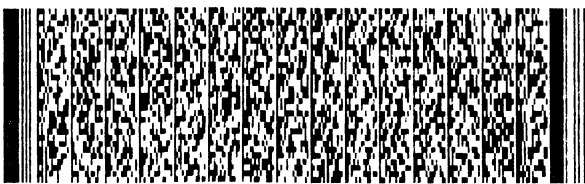
層 330a 進行蝕刻 (etching)，使該鈦金屬層於該銅製鉀墊 310 表面形成有一例如第 4B 圖所示之用以部分覆蓋該鉀墊 310 及周圍保護層 320 表面之圖形，以利用該鈦金屬層 330a 與銅製鉀墊 310 良好接合能力，提供該保護層 320 與該鉀墊 310 間良好接合效果。

如第 5D 圖所示，接著於該完成圖案化之鈦金屬層 330a 表面電鍍第二及第三金屬層，例如為銅金屬層 330b 及鎳金屬層 330c，使該銅金屬層 330b 得以覆蓋於未為該鈦金屬層 330a 所覆蓋之部分鉀墊 310 以直接接觸該銅製鉀墊 310，再使該鎳金屬層 330c 完整覆蓋於該銅金屬層 330b 上，以完成該鉀塊底部金屬化 (UMB) 結構層 330。

如第 5E 圖所示，最後於該鉀塊底部金屬化 (UMB) 結構層 330 上塗佈一鉀料，並經回鉀製程而形成一鉀塊 340，以完成本發明之具鉀塊底部金屬化結構之半導體裝置。

由於該鈦金屬層係部分覆蓋於該銅製鉀墊上，以維持該 UMB 結構層及保護層與該鉀墊之接合能力，同時該鈦金屬層並非完全覆蓋於該銅製鉀墊上，使後續形成於鈦金屬層上之銅金屬層得以直接接觸該銅製鉀墊，以同時維持良好之電性連接功能。

惟以上所述之具體實施例，僅係用以例釋本發明之特點及功效，而非用以限定本發明之可實施範疇，在未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵蓋。



## 圖式簡單說明

## 【圖式簡單說明】

第 1 圖係習知之鍍塊底部金屬化 (UBM) 結構層剖面示意圖；

第 2A 至 2E 圖係習知用以進行覆晶鍍塊製程之剖面示意圖；

第 3A 圖係本發明之具鍍塊底部金屬化結構之半導體裝置第一實施例之剖面示意圖；

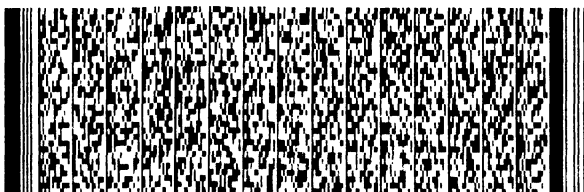
第 3B 及 3C 圖係本發明之具鍍塊底部金屬化結構之半導體裝置第一實施例之第一金屬層上視圖；

第 4A 圖係本發明之具鍍塊底部金屬化結構之半導體裝置第二實施例之剖面示意圖；

第 4B 及 4C 圖係本發明之具鍍塊底部金屬化結構之半導體裝置第二實施例之第一金屬層上視圖；以及

第 5A 至 5E 圖係本發明之具鍍塊底部金屬化結構之半導體裝置製程之剖面示意圖。

100 半導體晶片	110 鍍墊
120 絕緣保護層	130 UBM結構層
130a 黏著層	130b 阻障層
130c 濕潤層	140 拒鍍層
141 開口	150 鍍塊
200 半導體裝置本體	210 鍍墊
220 保護層	230 UBM結構層
230a 第一金屬層	230b 第二金屬層



## 圖式簡單說明

230c 第三金屬層  
300 半導體晶片  
320 保護層  
330 UBM結構層  
330b 銅金屬層  
340 鐳塊

240 鐳塊  
310 銅製鐳墊  
321 開孔  
330a 鈦金屬層  
330c 鎳金屬層



## 四、中文發明摘要 (發明名稱：具銲塊底部金屬化結構之半導體裝置及其製程)

一種具銲塊底部金屬化結構之半導體裝置及其製程。係在至少一形成有多數銲墊之半導體裝置本體表面覆蓋一保護層，且該保護層具有多數之開孔以曝露出該銲墊；再於該銲墊上形成一第一金屬層，並使該第一金屬層得以部分覆蓋於該銲墊及銲墊周圍之保護層上；接著於該第一金屬層上形成一第二金屬層以覆蓋住該第一金屬層及其餘外露於該第一金屬層之部分銲墊，與至少一覆蓋於該第二金屬層之第三金屬層，以完成一銲塊底部金屬化(UMB)結構層；之後於該UMB結構層上形成一銲塊，俾同時提供該UMB結構層與該銲墊間良好之接合效果與電性連接功能。

本案代表圖：第3A圖

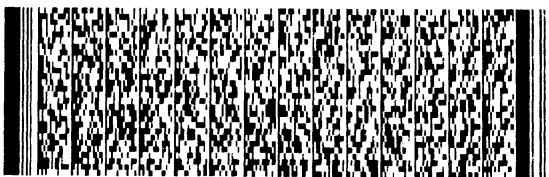
200 半導體裝置本體

210 銲墊

220 保護層

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE WITH UNDER BUMP METALLURGY AND METHOD FOR FABRICATING THE SAME)

A semiconductor device with under bump metallurgy and a method for fabricating the semiconductor device are proposed, wherein on a surface of the semiconductor device a plurality of pads are formed, and a passivation layer is formed over the surface of the semiconductor device in a manner that the pads are exposed via a plurality of holes formed through the passivation layer. A

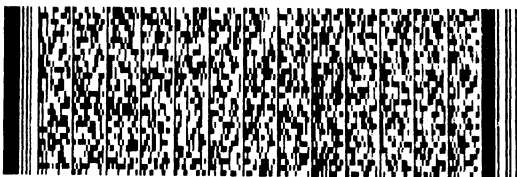


四、中文發明摘要 (發明名稱：具鐳塊底部金屬化結構之半導體裝置及其製程)

- 230 UBM結構層
- 230a 第一金屬層
- 230b 第二金屬層
- 230c 第三金屬層
- 240 鐳塊

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE WITH UNDER BUMP METALLURGY AND METHOD FOR FABRICATING THE SAME)

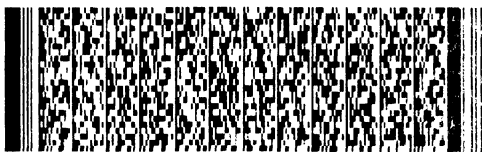
first metal layer is further formed over the passivation layer to partially cover the pads and the portions of the passivation layer adjacent to the holes. Then, a second metal layer is formed above the first metal layer to cover the first metal layer and the surface of the pad at area free of the first metal layer and at least a third metal layer is formed above the second metal



四、中文發明摘要 (發明名稱：具鋅塊底部金屬化結構之半導體裝置及其製程)

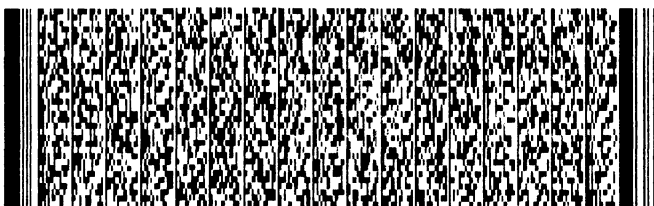
陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE WITH UNDER BUMP METALLURGY AND METHOD FOR FABRICATING THE SAME)

layer, so as to form the under bump metallurgy (UBM). Finally, a bump is deposited above the UMB, in order to increase the adhesion and provide a better electrical performance between the UBM and the pad.



## 六、申請專利範圍

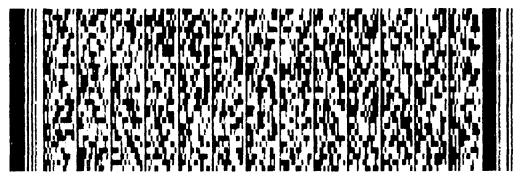
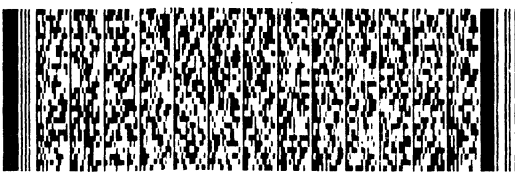
1. 一種具銲塊底部金屬化結構之半導體裝置，係包括：
  - 一半導體裝置本體，並於該本體表面形成有複數個銲墊；
  - 一保護層，係覆蓋於該半導體裝置本體之表面，並形成有複數個開孔以外露出該銲墊；
  - 複數個銲塊底部金屬化(UMB)結構層，該UMB結構層包含有多數之金屬層以形成於周圍覆蓋有該保護層之銲墊外露表面上，其中第一金屬層係形成於該銲墊上用以覆蓋住部分銲墊及銲墊周遭之保護層，第二金屬層係形成於該第一金屬層上俾覆蓋住該第一金屬層及其餘外露於該第一金屬層之部分銲墊；以及
  - 複數個銲塊，係形成於該UMB結構層上。
2. 如申請專利範圍第1項之具銲塊底部金屬化結構之半導體裝置，其中，該銲塊底部金屬化(UMB)結構層復包含有至少一第三金屬層覆蓋於該第二金屬層上。
3. 如申請專利範圍第1項之具銲塊底部金屬化結構之半導體裝置，其中，該半導體裝置本體為一半導體晶片(chip)、晶圓(wafer)、半導體封裝基板及電路板之任一者。
4. 如申請專利範圍第1項之具銲塊底部金屬化結構之半導體裝置，其中，該銲墊之主要材質為金屬銅。
5. 如申請專利範圍第1項之具銲塊底部金屬化結構之半導體裝置，其中，該第一金屬層之主要材質為金屬鈦。
6. 如申請專利範圍第1項之具銲塊底部金屬化結構之半導





## 六. 申請專利範圍

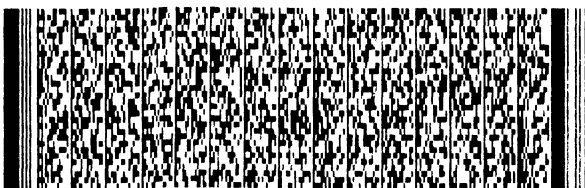
- 體裝置，其中，該第二金屬層之主要材質為金屬銅。
7. 如申請專利範圍第2項之具鉀塊底部金屬化結構之半導體裝置，其中，該第三金屬層之主要材質為金屬鎳。
8. 如申請專利範圍第1項之具鉀塊底部金屬化結構之半導體裝置，其中，該保護層為一介電層 (dielectric layer)。
9. 如申請專利範圍第8項之具鉀塊底部金屬化結構之半導體裝置，其中，該保護層之材質為聚亞醯胺層 (polyimide layer)、二氧化矽層 (silicon dioxide layer)及氮化矽層 (silicon nitride layer)之任一者。
10. 一種具鉀塊底部金屬化結構之半導體裝置製程，係包括：
- 首先於至少一形成有多數鉀墊之半導體裝置本體表面覆蓋一保護層，且該保護層具有多數之開孔以曝露出該鉀墊；
- 接著於該鉀墊上形成一具有複數層金屬層之鉀塊底部金屬化 (UMB)結構層，其中第一金屬層係部分覆蓋於該鉀墊及鉀墊周圍之保護層上，第二金屬層係覆蓋住該第一金屬層及其餘外露於該第一金屬層之部分鉀墊；以及
- 於該 UMB結構層上形成一鉀塊。
11. 如申請專利範圍第10項之具鉀塊底部金屬化結構之半導體裝置製程，其中，於該第二金屬層上復可形成有

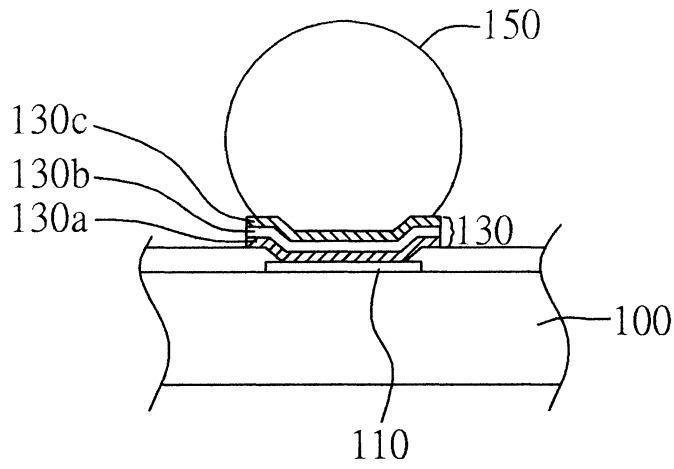


## 六、申請專利範圍

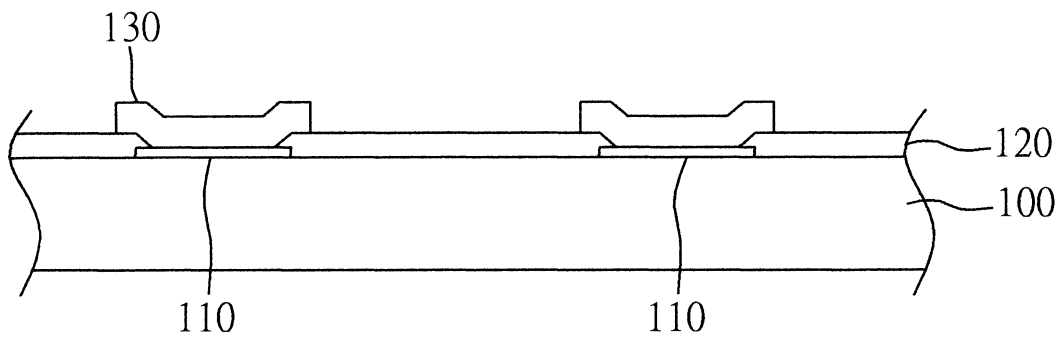
至少一第三金屬層。

12. 如申請專利範圍第10項之具鍍塊底部金屬化結構之半導體裝置製程，其中，該半導體裝置本體為一半導體晶片 (chip) 及晶圓 (wafer) 之任一者。
13. 如申請專利範圍第10項之具鍍塊底部金屬化結構之半導體裝置製程，其中，該鍍墊之主要材質為金屬銅。
14. 如申請專利範圍第10項之具鍍塊底部金屬化結構之半導體裝置製程，其中，該第一金屬層之主要材質為金屬鈦。
15. 如申請專利範圍第10項之具鍍塊底部金屬化結構之半導體裝置製程，其中，該第二金屬層之主要材質為金屬銅。
16. 如申請專利範圍第11項之具鍍塊底部金屬化結構之半導體裝置製程，其中，該第三金屬層之主要材質為金屬鎳。
17. 如申請專利範圍第10項之具鍍塊底部金屬化結構之半導體裝置製程，其中，該保護層為一介電層 (dielectric layer)。
18. 如申請專利範圍第17項之具鍍塊底部金屬化結構之半導體裝置製程，其中，該保護層之材質為聚亞醯胺層 (polyimide layer)、二氧化矽層 (silicon dioxide layer) 及氮化矽層 (silicon nitride layer) 之任一者。

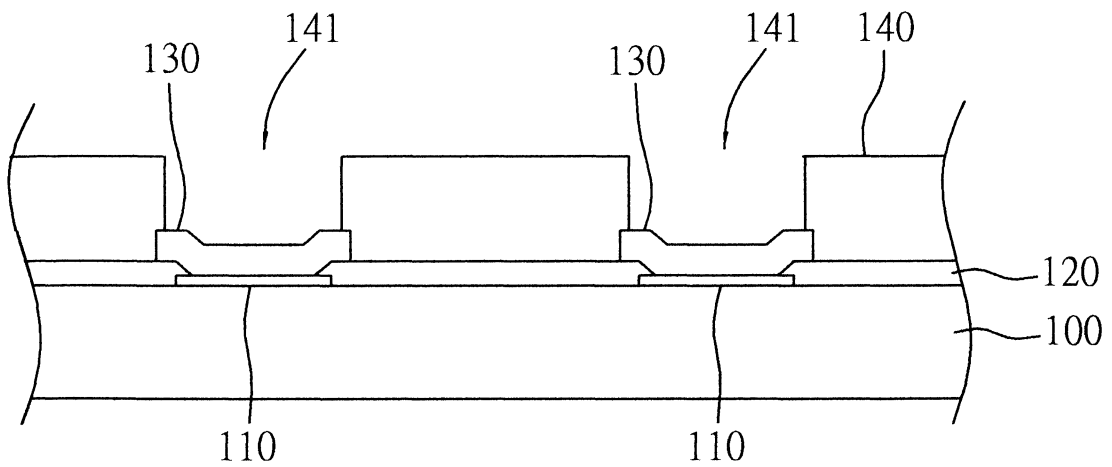




第 1 圖 (先前技術)

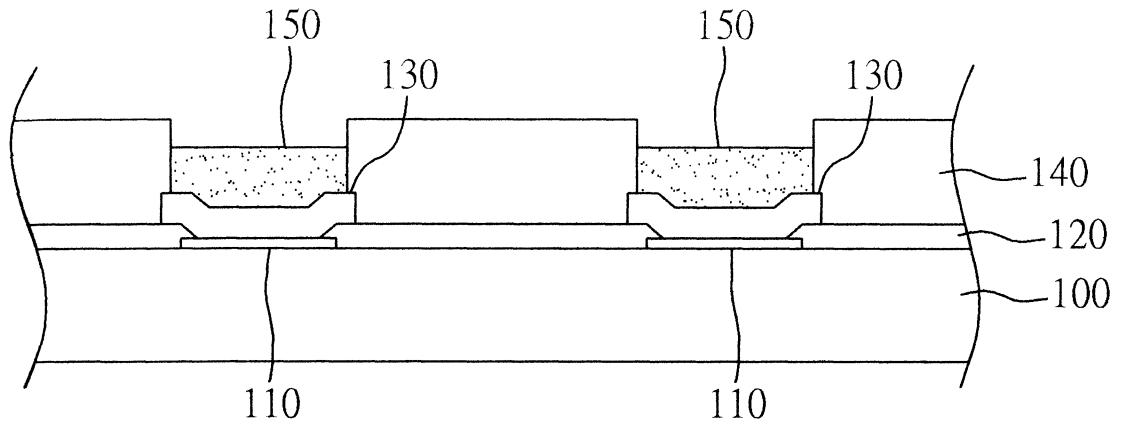


第 2A 圖 (先前技術)

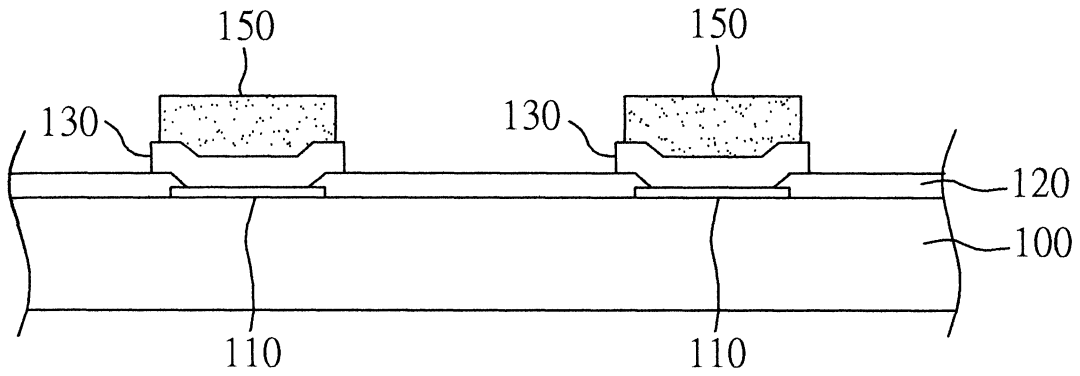


第 2B 圖 (先前技術)

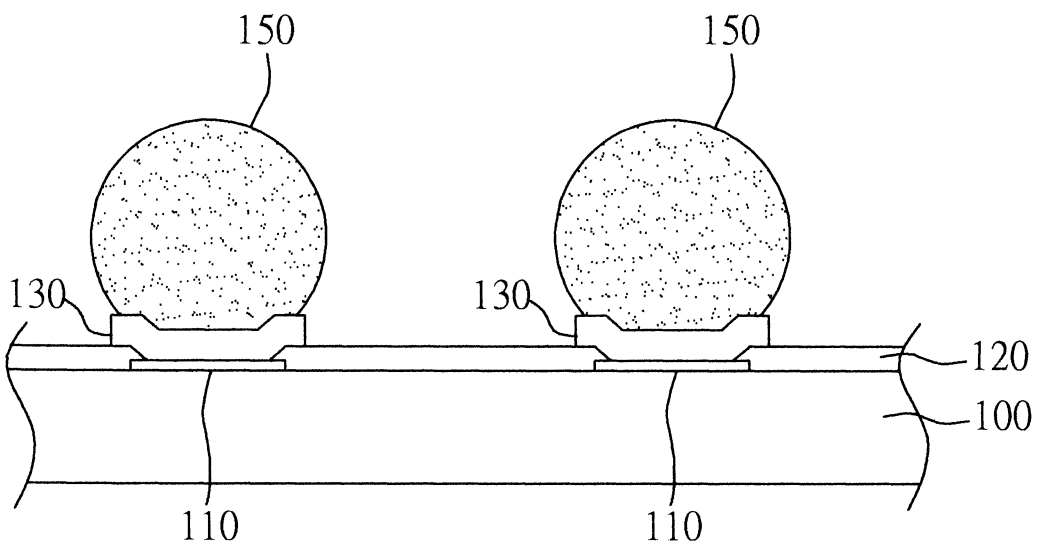
16997



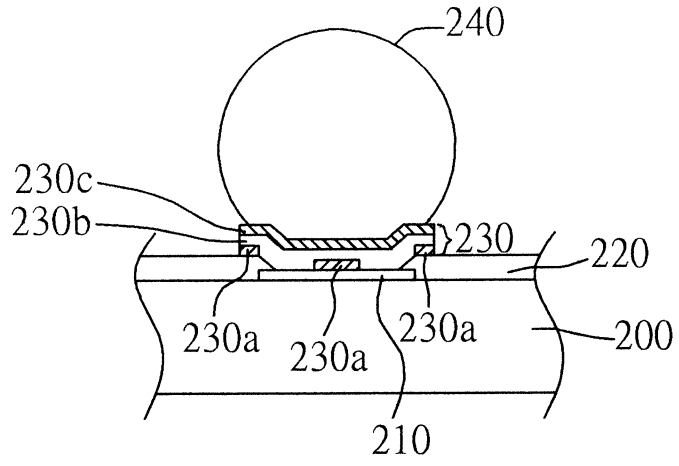
第 2C 圖 (先前技術)



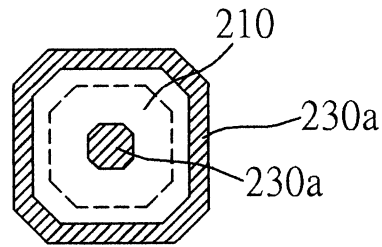
第 2D 圖 (先前技術)



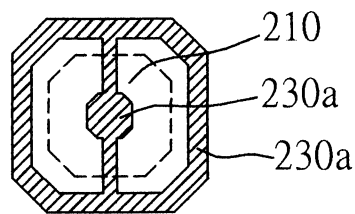
第 2E 圖 (先前技術)



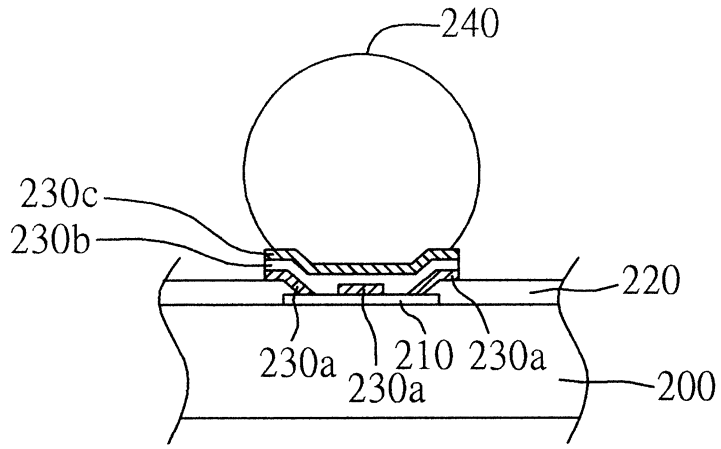
第 3A 圖 (代表圖)



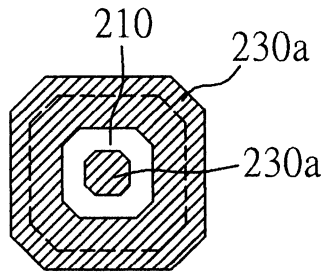
第 3B 圖



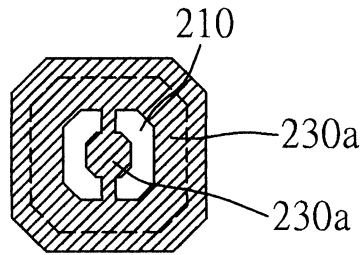
第 3C 圖



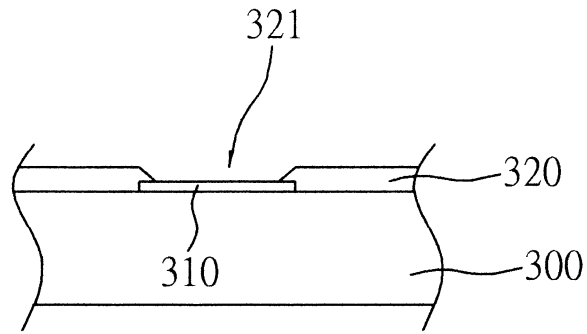
第 4A 圖



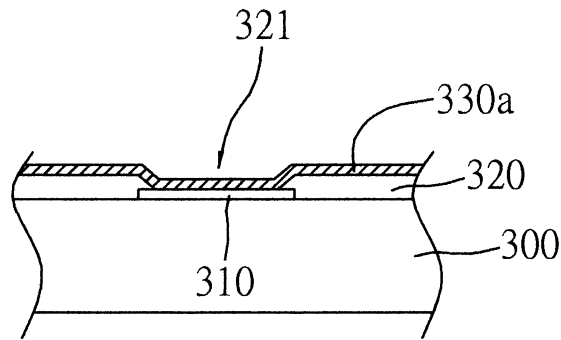
第 4B 圖



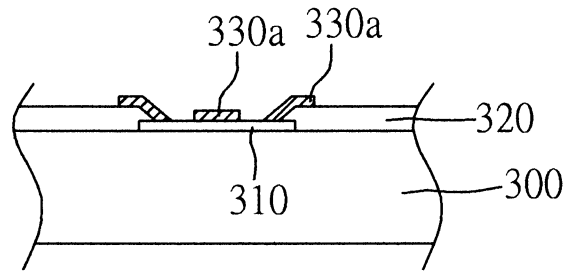
第 4C 圖



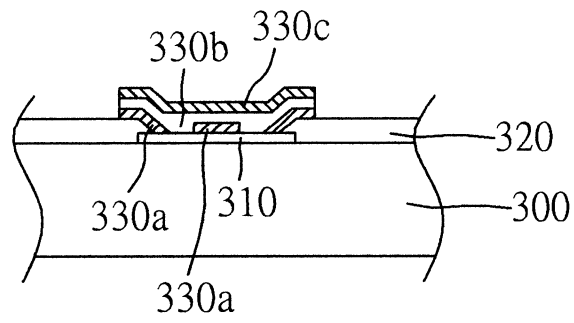
第 5A 圖



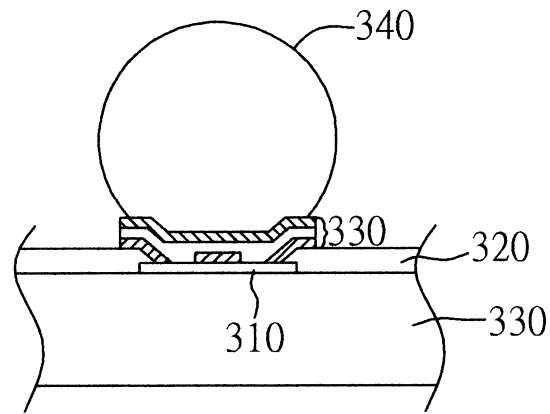
第 5B 圖



第 5C 圖



第 5D 圖



第 5E 圖



四、中文發明摘要 (發明名稱：具銲塊底部金屬化結構之半導體裝置及其製程)

一種具銲塊底部金屬化結構之半導體裝置及其製程。係在至少一形成有多數銲墊之半導體裝置本體表面覆蓋一保護層，且該保護層具有多數之開孔以曝露出該銲墊；再於該銲墊上形成一第一金屬層，並使該第一金屬層得以部分覆蓋於該銲墊及銲墊周圍之保護層上；接著於該第一金屬層上形成一第二金屬層以覆蓋住該第一金屬層及其餘外露於該第一金屬層之部分銲墊，與至少一覆蓋於該第二金屬層之第三金屬層，以完成一銲塊底部金屬化(UMB)結構層；之後於該UMB結構層上形成一銲塊，俾同時提供該UMB結構層與該銲墊間良好之接合效果與電性連接功能。

本案代表圖：第3A圖

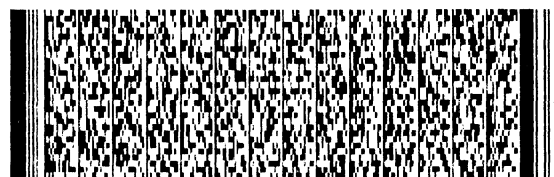
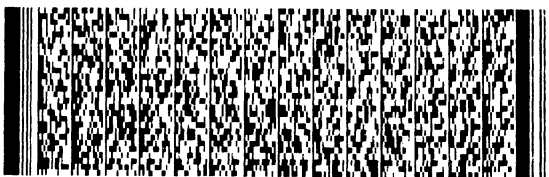
200 半導體裝置本體

210 銲墊

220 保護層

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE WITH UNDER BUMP METALLURGY AND METHOD FOR FABRICATING THE SAME)

A semiconductor device with under bump metallurgy and a method for fabricating the semiconductor device are proposed, wherein on a surface of the semiconductor device a plurality of pads are formed, and a passivation layer is formed over the surface of the semiconductor device in a manner that the pads are exposed via a plurality of holes formed through the passivation layer. A

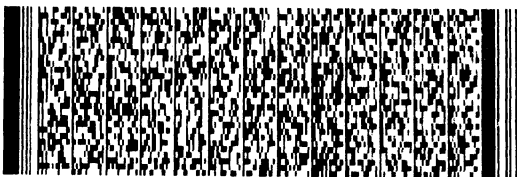


四、中文發明摘要 (發明名稱：具鐳塊底部金屬化結構之半導體裝置及其製程)

- 230 UBM結構層
- 230a 第一金屬層
- 230b 第二金屬層
- 230c 第三金屬層
- 240 鐳塊

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE WITH UNDER BUMP METALLURGY AND METHOD FOR FABRICATING THE SAME)

first metal layer is further formed over the passivation layer to partially cover the pads and the portions of the passivation layer adjacent to the holes. Then, a second metal layer is formed above the first metal layer to cover the first metal layer and the surface of the pad at area free of the first metal layer and at least a third metal layer is formed above the second metal



申請日期： 91-11-15	IPC分類
申請案號： 91133105	H01L23/48

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	具鐳塊底部金屬化結構之半導體裝置及其製程	91年12月5日 修正 補充
	英文	SEMICONDUCTOR DEVICE WITH UNDER BUMP METALLURGY AND METHOD FOR FABRICATING THE SAME	
二、 發明人 (共1人)	姓名 (中文)	1. 楊格權	
	姓名 (英文)	1. Ke-Chuan YANG	
	國籍 (中英文)	1. 中華民國 ROC	
	住居所 (中文)	1. 台中市美村路一段272號4樓之8	
	住居所 (英文)	1. 4-8F1., No. 272, Section 1, Meitsun Road, Taichung, Taiwan, R.O.C.	
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 矽品精密工業股份有限公司	
	名稱或姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.	
	國籍 (中英文)	1. 中華民國 ROC	
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)	
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.	
	代表人 (中文)	1. 林文伯	
	代表人 (英文)	1. Wen-Po LIN	

