(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/108 (2006.01)

(45) 공고일자 2006년08월02일
(11) 등록번호 10-0609194
(24) 등록일자 2006년07월27일

(21) 출원번호 10-2004-7001769
(22) 출원일자 2004년02월05일
번역문 제출일자 2004년02월05일
(86) 국제출원번호 PCT/JP2003/001603
국제출원일자 2003년02월14일

(65) 공개번호 10-2004-0030929
(43) 공개일자 2004년04월09일
(87) 국제공개번호 WO 2003/069676
국제공개일자 2003년08월21일

(30) 우선권주장 JP-P-2002-00036084 2002년02월14일 일본(JP)

(73) 특허권자
마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자
오가와히사시
일본국오오사카후가타노시이쿠노3-27-5

나카오카히로아키
일본국교토후교타나베시가스미자카1-20-16

가지야아츠히로
일본국효고켄산다시아카시아다이5-17-5

하시모토신
일본국오오사카후히라카타시다구치야마3-21-6

에가시라교코
일본국도야마켄다카오카시이즈미마치6-11-2-에이

(74) 대리인
김영철

심사관 : 조지은

(54) 반도체장치 및 그 제조방법

요약

메모리영역에는 메모리 셀 트랜지스터와 플래너형 커패시터가 형성되며, 논리회로영역에는 CMOS의 각 트랜지스터가 형성된다. 플래너형 커패시터의 용량절연막(15) 및 플레이트전극(16b)은, 얕은 트렌치분리(12a)와 공유하는 트렌치에 걸쳐 형성되며, 용량절연막(15) 및 플레이트전극(16b)에 의해 트렌치 상부가 메워진다. 축적노드인 n형 확산층(19) 단부는, 트렌치 상부의 측면을 따라 얕은 트렌치분리(12a)와 중첩되는 영역까지 형성된다. 기판면적을 증대하는 일없이 커패시터로서 기능하는 부분의 면적을 증대시킨다.

대표도

도 2

색인어

메모리영역, 논리회로영역, 용량절연막, 플레이트전극, 트렌치분리

명세서

기술분야

본 발명은 반도체기억장치 및 그 제조방법에 관하며, 특히 DRAM을 논리칩에 탑재하는 소위 DRAM 혼재 논리LSI에 적용되는 것이다.

배경기술

최근 소형화와 대용량 메모리용량과 고속의 데이터 전송속도가 요구되는 멀티미디어 기기에 맞는 고성능 논리회로와 DRAM메모리부를 혼합 탑재한 DRAM 혼재 디바이스가 실용화되고 있다. DRAM 혼재 디바이스는 DRAM 메모리셀의 정보기억부인 커패시터가 반도체기판의 트렌치 내에 형성된 트렌치 커패시터형과, 반도체기판 주면의 위쪽에 커패시터나 전극이 3 차원적으로 적재된 스택 커패시터형으로 크게 나눌 수 있다.

한편, 보다 간편하게 메모리셀을 형성할 수 있는 디바이스로서, 게이트절연막을 용량절연막으로서 이용하며, 게이트전극을 플레이트전극으로 이용하는, 소위 플래너형(MOS구조)의 DRAM 및 논리회로를 혼합 탑재한 디바이스가 최근 새로이 주목받고 있다.

[해결과제]

그러나 상기 종래의 DRAM·논리 혼재 디바이스에 대해서는, 각각 다음과 같은 문제가 있다.

상기 트렌치 커패시터형이나 스택형의 DRAM·논리 혼재 디바이스를 제조하기 위한 프로세스에서는, 메모리셀 트랜지스터와 더불어 메모리셀 커패시터를 형성하기 위해 복잡한 공정이 추가된다. 그 결과, 설계변경 등을 위한 개발기간이나, 디바이스 제조에 필요한 기간이 장기화되는 위에, 디바이스의 수율향상이 점점 더 어려워져, 제조원가도 높아진다는 문제가 있다.

또 플래너형의 DRAM·논리 혼재 디바이스에 대해서는, 이를 제조하기 위한 공정은 짧고 단순하지만 메모리셀의 크기가 스택커패시터형이나 트렌치커패시터형보다 커져버리기 때문에, 대용량의 DRAM을 논리회로에 혼합 탑재하면서 고밀도화된 반도체장치를 얻기가 어려워져버린다는 문제가 있다.

발명의 상세한 설명

본 발명의 목적은, 기판면적의 증대를 초래하는 일없이 커패시터 용량을 증대시킬 수 있는 DRAM 또는 이 DRAM과 논리회로를 혼합 탑재시킨 반도체장치 및 그 제조방법을 제공하는 데 있다.

본 발명의 반도체장치는, 반도체기판과, 상기 반도체기판에 형성된 오목부와, 상기 반도체기판 상에 형성된 게이트전극 및 게이트절연막, 그리고 상기 반도체기판 내에서 상기 게이트전극 양 측방에 형성된 소스 드레인 확산층을 갖는 메모리셀 트랜지스터와, 상기 반도체기판 상면과 상기 오목부의 적어도 일부에 걸쳐지도록 상기 메모리셀 트랜지스터의 게이트전극과 공통인 도체막으로 형성된 플레이트전극, 및 상기 플레이트전극 하방에 형성된 용량절연막을 갖는 커패시터를 구비하며, 상기 오목부 하부에는 절연막이 매입되어 있고, 상기 플레이트전극 및 용량절연막은, 상기 오목부 내에서는 상기 절연막 상에 형성되어 있다.

이로써 반도체기판 상면과 오목부에 걸치는 플레이트전극을 갖는 플래너형 또는 트렌치형의 커패시터를 구비한 반도체장치가 얻어진다. 그리고 플레이트전극이 메모리셀 트랜지스터의 게이트전극과 공통인 도체막으로 형성되므로, 반도체장치

전체의 단차가 작아져, 미세구조를 형성하기가 용이해진다. 또, 상기 오목부 하부에는 절연막이 매입되며, 상기 플레이트전극 및 용량절연막은, 상기 오목부 내에서 상기 절연막 상에 형성됨으로써, 기판면적을 늘리는 일없이 오목부 측면 일부만 커패시터 용량으로서 기능하는 부분의 면적이 확대된다. 따라서 고밀도화에 적합한 기억용량부를 갖는 반도체장치가 얻어진다.

상기 커패시터는, 상기 반도체기판 내에서 상기 용량절연막을 개재하고 상기 플레이트전극과 대향 형성되며, 상기 메모리셀 트랜지스터의 소스·드레인 확산층 중 어느 한쪽 확산층에 접속되어, 상기 소스·드레인 확산층과 동일 도전형의 축적노드용 확산층을 추가로 구비할 수 있다.

삭제

상기 오목부 내의 절연막이 소자분리용 절연막으로 기능함에 따라, 소자분리 일부를 커패시터로서도 공유시킴으로써, 고밀도화에 적합한 구조가 된다.

상기 플레이트전극 및 용량절연막은, 상기 오목부 내를 메워도 된다. 이 경우, 상기 플레이트전극이 형성되는 상기 도체막 및 상기 용량절연막의 합계 두께는 상기 오목부 폭의 1/2 이상임으로써, 오목부 상방에서 도체막 상면이 평탄해진다. 따라서 패터닝 정밀도가 높은 미세한 게이트전극을 갖는 메모리셀 트랜지스터가 얻어진다.

상기 플레이트전극을 형성하기 위한 도체막 상에 형성된 상부절연막을 추가로 구비하며, 상기 상부절연막 및 상기 플레이트전극이 형성되는 상기 도체막 및 상기 용량절연막의 합계 두께는, 상기 오목부 폭의 1/2 이상임으로써, 반사방지막이나 하드마스크를 형성하고자 할 경우에도 오목부 상방의 상부절연막 평탄성을 유지할 수 있다.

상기 용량절연막과 상기 메모리셀 트랜지스터의 상기 게이트절연막은, 공통 막으로 형성돼도 되며, 서로 다른 막으로 형성돼도 된다.

상기 반도체기판 상에 형성된 게이트전극 및 게이트절연막과, 상기 반도체기판 내에 형성된 소스·드레인 확산층을 갖는 논리트랜지스터를 추가로 구비하는 경우에, 상기 커패시터의 플레이트전극과, 상기 메모리셀 트랜지스터의 게이트전극과, 상기 논리회로 트랜지스터의 각 게이트전극은, 모두 공통 도체막으로 형성되는 것이 바람직하다.

본 발명의 제 1 반도체장치 제조방법은, 반도체기판과, 게이트전극 및 소스·드레인 확산층을 갖는 메모리셀 트랜지스터와, 플레이트전극 및 용량절연막을 갖는 커패시터를 구비하는 반도체장치의 제조방법이며, 상기 반도체기판의 상면 영역에 트렌치를 형성하는 공정(a)과, 상기 트렌치를 매입하는 제 1 절연막을 형성하는 공정(b)과, 상기 제 1 절연막 일부의 상부를 제거하는 공정(c)과, 상기 공정(c) 후에 상기 트렌치 내 및 상기 반도체기판의 상면 상에 걸쳐, 제 2 절연막과 이 제 2 절연막을 피복하는 도체막을 형성하는 공정(d)과, 상기 도체막을 패터닝하여, 상기 메모리셀 트랜지스터의 게이트전극과 상기 커패시터의 플레이트전극을 형성하는 공정(e)을 포함한다.

이 방법으로써, 트렌치 측면의 일부가 커패시터로서 기능하므로, 기판면적당 용량밀도가 높은 플래너형 커패시터를 갖는 반도체장치가 얻어진다.

상기 공정(c) 후에 상기 공정(d)에 앞서, 상기 반도체기판 상면의 일부와, 상기 트렌치가 노출된 측면에 걸치는 영역에 불순물을 도핑하여, 상기 커패시터의 축적노드가 될 불순물확산층을 형성하는 공정을 추가로 포함할 수 있다.

상기 공정(d)에서는, 상기 제 2 절연막으로서 산화막과 질화막을 순차 적층시킨 후, 상기 질화막을 산화시켜 산화막, 질화막 및 산화막의 적층막으로 이루어지는 용량절연막을 형성함과 동시에, 상기 반도체기판 표면을 산화시켜 상기 메모리셀 트랜지스터의 게이트절연막을 형성하고, 상기 공정(e)에서는, 상기 도체막을 상기 용량절연막과 게이트절연막 상에 형성함으로써, 게이트절연막과 용량절연막의 재질을 바꾸면서 공통 도체막으로 게이트전극과 플레이트전극을 형성하기가 가능해진다.

상기 반도체장치가, 게이트전극 및 소스·드레인 확산층을 갖는 논리트랜지스터를 추가로 구비하는 경우, 상기 공정(a)에서는 상기 논리트랜지스터 형성영역에서 소자분리용 트렌치를 형성하고, 상기 공정(b)에서는 상기 논리트랜지스터 형성영역의 상기 트렌치를 상기 제 1 절연막으로 매입하고, 상기 공정(c)에서는 상기 논리트랜지스터 형성영역의 상기 트렌치를 매입하는 상기 제 1 절연막은 그대로 남겨둠으로써, 소자분리용 트렌치를 이용한 커패시터를 형성해가면서 논리트랜지스터의 소자분리를 동시에 형성할 수 있게되어, 공정의 간소화와 반도체장치의 고밀도화를 도모할 수 있다.

본 발명의 제 2 반도체장치 제조방법은, 반도체기판과, 게이트전극 및 소스·드레인 확산층을 갖는 메모리셀 트랜지스터와, 플레이트전극 및 용량절연막을 갖는 커패시터를 구비하는 반도체장치의 제조방법으로, 상기 반도체기판의 상면 영역에 트렌치를 형성하는 공정(a)과, 상기 트렌치 내 및 상기 반도체기판의 상면 상에 걸쳐, 제 2 절연막과 이 제 2 절연막을 피복하는 도체막을 형성하는 공정(b)과, 상기 도체막을 패터닝하여, 상기 메모리셀 트랜지스터의 게이트전극과, 상기 커패시터의 플레이트전극을 형성하는 공정(c)을 포함하며, 상기 공정(b)에서는, 상기 제 2 절연막으로서 산화막과 질화막을 순차 적층시킨 후, 상기 질화막을 산화시켜 산화막, 질화막 및 산화막의 적층막으로 이루어지는 용량절연막을 형성함과 동시에, 상기 반도체기판 표면을 산화시켜 상기 메모리셀 트랜지스터의 게이트절연막을 형성하고, 상기 공정(c)에서는, 상기 도체막을 상기 용량절연막과 게이트절연막 상에 형성하며, 상기 공정(b)에서는, 상기 제 2 절연막과 상기 도체막의 합계막 두께가 상기 트렌치 홈 폭의 1/2보다 두껍다.

이 방법에 의해, 트렌치형 커패시터를 형성할 때, 공정(b)에서 트렌치 상방의 도체막 상면이 평탄해지므로, 공정(c)에서 도체막의 패터닝 정밀도가 향상된다.

또, 게이트절연막과 용량절연막의 재질을 바꾸면서 공통 도체막으로 게이트전극과 플레이트전극을 형성하기가 가능해진다.

상기 공정(a)에 앞서, 산화막으로 이루어지는 트렌치분리를 형성하는 공정을 추가로 포함하며, 상기 공정(a)에서는 상기 트렌치분리의 일부를 포함하고, 복수의 활성영역에 걸치는 개구를 갖는 레지스트마스크를 이용하여, 상기 반도체기판을 에칭하고 상기 트렌치를 형성함으로써, 레지스트마스크의 위치조정이 불필요해져 공정의 간소화를 도모할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 제 1 실시형태에 관한 반도체장치 중 메모리부의 구성을 나타내는 평면도.

도 2의 (a), (b)는 각각, 도 1에 나타내는 IIa-IIa선에서의 단면도 및 IIb-IIb선에서의 단면도.

도 3의 (a)~(c)는 제 1 실시형태에서 반도체장치의 제 1 제조방법을 나타내는 단면도.

도 4의 (a)~(c)는 제 1 실시형태에서 반도체장치의 제 2 제조방법을 나타내는 단면도.

도 5의 (a)~(c)는 제 1 실시형태의 변형예에서 반도체장치의 제조공정을 나타내는 단면도.

도 6은 본 발명의 제 2 실시형태에 관한 반도체장치 중 메모리부의 구성을 나타내는 평면도.

도 7의 (a), (b)는 각각, 도 6에 나타내는 VIIa-VIIa선에서의 단면도 및 VIIb-VIIb선에서의 단면도.

도 8의 (a)~(c)는 제 2 실시형태에서 반도체장치의 제조공정을 나타내는 단면도.

도 9의 (a)~(c)는 제 2 실시형태에서 반도체장치의 제조방법의 변형예를 나타내는 단면도.

도 10은 본 발명의 제 3 실시형태에 관한 반도체장치 중 메모리부의 구성을 나타내는 평면도.

도 11의 (a), (b)는 각각, 도 10에 나타내는 XIa-XIa선에서의 단면도 및 XIb-XIb선에서의 단면도.

도 12의 (a), (b)는 각각 차례로, 본 발명의 제 4 실시형태에 관한 반도체장치 중 메모리부의 구성을, 게이트 및 플레이트전극보다 상방의 부재를 생략하여 나타내는 평면도, 및 커패시터용 트렌치 형성 시에 이용하는 레지스트마스트의 구조를 나타내는 평면도.

도 13의 (a), (b)는 각각, 도 12에 나타내는 XIIIa-XIIIa선에서의 단면도 및 XIIIb-XIIIb선에서의 단면도.

도 14의 (a), (b)는 각각 차례로, 본 발명의 제 5 실시형태에 관한 반도체장치 중 메모리부의 구성을, 게이트 및 플레이트전극보다 상방의 부재를 생략하여 나타내는 평면도, 및 커패시터용 트렌치 형성 시에 이용하는 레지스트마스트의 구조를 나타내는 평면도.

도 15의 (a)~(d)는 각각, 도 14에 나타내는 XVa-XVa선에서의 단면도 및 XVb-XVb선에서의 단면도.

실시예

(제 1 실시형태)

도 1은, 본 발명의 제 1 실시형태에 관한 반도체장치 중 메모리부 구성을 나타내는 평면도이다. 도 2의 (a), (b)는 각각, 도 1에 나타내는 IIa-IIa선에서의 단면도 및 IIb-IIb선에서의 단면도이다. 여기서 도 2의 (a)에서는 반도체장치의 메모리영역(Rmemo) 및 논리회로영역(Rlogc)에서의 단면구조를 나타내지만, 도 1 및 도 2의 (b)에서는 논리회로영역(Rlogc)에서의 단면구조 도시를 생략한다.

도 1 및 도 2의 (a), (b)에 나타내는 바와 같이 본 실시형태의 반도체장치는, p형 실리콘기판(10)과, 실리콘기판(10)의 메모리영역(Rmemo)에 형성된 p웰(11a)과, 실리콘기판(10)의 논리회로영역(Rlogc)에 형성된 n웰(11b) 및 p웰(11c)과, 메모리영역(Rmemo)의 p웰(11a) 저부를 둘러싸는 심부(深部) n웰(11d)을 구비하는, 이른바 3중 웰 구조를 갖는다. 또 메모리영역(Rmemo)의 활성영역을 구획하는 얕은 트렌치분리(12a)와, 논리회로영역(Rlogc)의 활성영역을 구획하는 얕은 트렌치분리(12b)를 구비한다.

그리고 메모리영역(Rmemo)에서는, p웰(11a) 상에 게이트전극(16a), 게이트절연막(14a), 절연막측벽(25a), 저농도 n형 불순물을 포함하는 저농도 드레인확산층(17b), 고농도 n형 불순물을 포함하는 고농도 드레인확산층(17a) 및 소스확산층(18)을 갖는 메모리셀 트랜지스터(Trm)와, 플레이트전극(16b), 축적노드로서 기능하는 n형 확산층(19), 용량절연막(15) 및 절연막측벽(25b)을 갖는 플래너형 커패시터(Cpp)가 구성된다. 여기서 고농도 드레인확산층(17a) 및 저농도 드레인확산층(17b)에 의해, 메모리셀 트랜지스터의 드레인확산층이 구성된다. 한편, 소스확산층(18)은, 전체적으로 저농도의 n형 불순물을 포함하는 저농도 불순물확산층만으로 구성된다.

플래너형 커패시터(Cpp)의 용량절연막(15) 및 플레이트전극(16b)은, 실리콘기판(10) 상과, 얕은 트렌치분리(12a)와 공유하는 트렌치 내에 걸쳐 형성되며, 용량절연막(15) 및 플레이트전극(16b)에 의해 트렌치 상부가 메워진다. 또 n형 확산층(19) 단부는, 트렌치 상부의 측면을 따라 얕은 트렌치분리(12a) 및 소스확산층(18)과 중첩되는 영역까지 형성된다.

또 논리회로영역(Rlogc)에서는, 게이트전극(16c), 게이트절연막(14b), 절연막측벽(26) 및 p형 소스·드레인 확산층(21)을 갖는 p채널형 MIS트랜지스터(pMIS)와, 게이트전극(16c), 게이트절연막(14b), 절연막측벽(26) 및 n형 소스·드레인 확산층(20)을 갖는 n채널형 MIS트랜지스터(nMIS)가 구성된다.

그리고 기판 전체에는 층간절연막(30)이 퇴적되며, 층간절연막(30)을 관통하여 메모리영역(Rmemo)의 메모리셀 트랜지스터(Trm)의 고농도 드레인확산층(17a)에 접속되는 비트선 콘택트(31)와, 비트선 콘택트(31)에 접속되고 층간절연막(30) 상으로 연장되는 비트선(32)이 형성된다.

또한 논리회로영역(Rlogc)에서도, 층간절연막(30)을 관통하여 소스·드레인 확산층(20, 21)에 도달하는 소스콘택트 및 드레인콘택트나, 층간절연막(30)을 관통하여 게이트전극(16c)과 접촉하는 게이트콘택트 등이 형성되지만, 이들 부재는 본 발명의 본질에 관한 부분이 아니므로 도시가 생략된다.

여기서 본 실시형태의 특징은, 플레이트전극(16b)이 메모리셀 트랜지스터(Trm)의 게이트전극(16c)과 공통된 도체막(본 실시형태에서는 폴리실리콘막)으로 형성되는 점과, 플래너형 커패시터(Cpp)의 용량절연막(15) 및 플레이트전극(16b)이, 얕은 트렌치분리(12a)와 공유하는 트렌치 내로까지 걸쳐지며, 이 트렌치의 상부를 메우는 점이다.

본 실시형태에 의하면, 플레이트전극(16b)이 메모리셀 트랜지스터(Trm)의 게이트전극(16c)과 공통된 도체막으로 형성되므로, 메모리셀 크기의 축소가 가능해진다.

더구나 본 실시형태에 의하면, 얕은 트렌치분리(12a)는, 트렌치의 하부만을 메우며, 트렌치 상부는 플래너형 커패시터(Cpp)의 용량절연막(15) 및 플레이트전극(16b)에 의해 메워진다. 그 결과, 트렌치 상부에서는, 트렌치 측면부에서 n형 확산층(19)(축적노드)과 플레이트전극(16b)이 용량절연막(15)을 개재하고 서로 대향하므로, 그만큼 커패시터용량이 증대하게 된다. 즉 본 실시형태의 플래너형 커패시터(Cpp)는, 실리콘기판(10) 상면 및 트렌치 측면의 일부에 걸쳐 형성되며, 기판면적을 늘리는 일없이 커패시터로서 기능하는 부분의 면적을 증대시킬 수 있다. 이른바 플래너·트렌치 혼합형 커패시터로서 고용량화된 구조로 되며, 이로써 메모리기능을 위해 필요한 면적의 축소를 도모할 수 있다.

-제 1 실시형태의 반도체장치의 제 1 제조방법-

다음으로, 본 발명의 제 1 실시형태의 반도체장치의 제 1 제조방법에 대하여 설명하기로 한다. 도 3의 (a)~(c)는 본 실시형태에서 반도체장치의 제 1 제조방법을 나타내는 단면도이다. 단 도 3의 (a)~(c)에서는, 메모리영역(Rmemo)만을 도시하며, 논리회로영역(Rlogc)의 도시는 생략한다. 또 도 3의 (a)~(c)에서, p웰(11a) 및 심부n웰(11d)은 실리콘기판(10)에 형성되지만, 편의상 실리콘기판(10)의 기판 본체부 도시는 생략한다.

우선 도 3의 (a)에 나타내는 공정에서, 밑받침 산화막과 질화막 마스크를 이용하는 주지의 방법으로, 실리콘기판(10) 표면영역에, 활성영역을 구획하기 위한 분리용 트렌치를 형성한다. 이 때 논리회로영역(Rlogc)에서도 분리용 트렌치가 형성된다. 그 후 분리용 트렌치 내에 실리콘산화막을 매입시켜 소자분리용 절연막(50)을 형성한다. 이 때 논리회로영역(Rlogc)에도 도 2의 (a)에 나타내는 바와 같은 소자분리(12b)가 형성된다. 또한 논리회로영역(Rlogc)의 일부를 피복하는 레지스트마스크(도시 생략)를 이용하여, 실리콘기판(10) 중 메모리영역(Rmemo)에, 가속에너지 1200keV, 도즈량 3.0×10^{12}㎝$^{-2}$의 조건으로 인 이온(P^+) 주입을 하여, 메모리영역(Rmemo)의 p웰(11a) 저부영역에 심부n웰(11d)(도 2의 (a) 참조)을 형성한다. 그리고 논리회로영역(Rlogc)의 p채널형 트랜지스터 형성영역을 피복하는 레지스트마스크(도시 생략)를 이용하여, 실리콘기판(10) 중 메모리영역(Rmemo)과, 논리회로영역(Rlogc) 일부에, 가속에너지 250keV, 도즈량 1×10^{13}㎝$^{-2}$의 조건으로 붕소이온(B^+) 주입을 하여 메모리영역(Rmemo)의 p웰(11c)(도 2의 (a) 참조)을 형성한다. 또 메모리영역(Rmemo)과, 논리회로영역(Rlogc)의 p채널형 트랜지스터 형성영역을 피복하는 레지스트마스크(도시 생략)를 이용하여, 가속에너지 250keV, 도즈량 1×10^{13}㎝$^{-2}$의 조건으로 인 이온(P^+) 주입을 하여, 논리회로영역(Rlogc)에 n웰(11b)(도 2의 (a) 참조)을 형성한다. 여기서 도 2의 (a)에는 도시되지 않지만, 메모리영역(Rmemo)과, 논리회로영역(Rlogc)에서, 얕은 트렌치분리(12a, 12b)의 바로 아래쪽에는 채널스토퍼용 불순물이 주입되며, 트랜지스터의 채널영역 하방에는 펀치스루스토퍼용 불순물이 주입된다. 이들 조건으로는 주지의 조건을 이용할 수 있다.

또 본 실시형태에서는 분리용 트렌치 및 소자분리용 절연막(50)을 형성한 후에, 심부n웰(11d), p웰(11a, 11c) 및 n웰(11b)을 형성하지만, 분리용 트렌치 및 소자분리용 절연막(50)을 형성하기 전에 이들 각 웰을 형성해도 된다.

다음, 도 3의 (b)에 나타내는 공정에서, 논리회로영역(Rlogc) 전체와 메모리영역(Rmemo)의 활성영역 일부를 피복하는 레지스트마스크(51)를 마스크로 이용하며, 메모리영역(Rmemo)만의 소자분리용 절연막(50) 상부를 선택적으로 습식에칭으로 제거하여, 분리용 트렌치 및 소자분리용 절연막(50) 하부를 잔존시켜 이루어지는 얕은 트렌치분리(12a)를 형성한다. 이 때 논리회로영역(Rlogc)에서는 소자분리용 절연막을 에칭하지 않고, 이를 얕은 트렌치분리(12a)(도 2의 (a))로서 그대로 남겨둔다. 또 레지스트마스크(51)를 그대로 주입마스크로 이용하여 비소이온(As^+)을 주입시켜 축적노드가 될 n형 확산층(19)을 형성한다. 이 때 레지스트마스크(51)의 횡방향 치수는 메모리셀 트랜지스터의 소스확산층(18)과, 플래너형 커패시터(Cpp)의 n형 확산층(19)이 중첩되도록 설정된다.

다음에 도 3의 (c)에 나타내는 공정에서, 메모리영역(Rmemo)의 용량절연막(15), 게이트절연막(14a) 및 논리회로영역(Rlogc)의 게이트절연막(14b)이 될 두께 2~6nm의 산화막을 형성한 후, 그 위에 두께 200nm의 폴리실리콘막을 퇴적한다.

그 후 폴리실리콘막 및 산화막을 패터닝함으로써, 메모리영역(Rmemo)에, 플래너형 커패시터(Cpp)의 용량절연막(15) 및 플레이트전극(16b)과, 메모리셀 트랜지스터의 게이트절연막(14a) 및 게이트전극(16a)을 형성한다. 또 도 3의 (c)에는 도시되지 않지만, 논리회로영역(Rlogc)에는 p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 게이트절연막(14b) 및 게이트전극(16c)을 형성한다(도 2의 (a) 참조). 그리고 폴리실리콘막의 패터닝에 앞서, 폴리실리콘막 중 p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 쌍방, 또는 p채널형 MIS트랜지스터의 게이트전극이 될 부분에 게이트전극 저항을 내리기 위한 불순물이온 주입을 해도 된다.

그 후, 메모리영역(Rmemo)의 메모리셀 트랜지스터에 게이트전극(16a) 및 플레이트전극(16b)을 마스크로, 저농도의 비소이온을 주입한다. 이로써 메모리영역(Rmemo)에서는 저농도 드레인확산층(17b) 및 소스확산층(18)이 형성된다. 이 때 메모리셀 트랜지스터의 소스확산층(18)은, 축적노드인 n형 확산층(19)과 중첩되도록 형성된다.

다음으로, 기판 상 전면에 실리콘산화막 및 실리콘질화막을 순차 적층시킨 후, 이방성에칭을 실시함으로써 메모리셀 트랜지스터의 게이트전극(16a) 측면 상에 절연막측벽(25a)을 형성한다. 이 때 트렌치형 커패시터의 플레이트전극(16b) 측면

상에도, 절연막측벽(25b)이 형성된다. 그리고 메모리셀 트랜지스터의 소스확산층(18)은, 2 개의 절연막측벽(25a, 25b)에 의해 피복된다. 또 논리회로영역(Rlogc)에서, p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 각 게이트전극(16c) 측면 상에도 절연막측벽(26)이 형성된다(도 2의 (a) 참조).

또한 논리회로영역(Rlogc) 및 메모리영역(Rmemo)의 n채널형 MIS트랜지스터에 고농도의 비소이온을 주입한다. 이로써 논리회로영역(Rlogc)에서, n채널형 MIS트랜지스터의 소스 ·드레인 확산층(20)이 형성된다. 또 메모리영역(Rmemo)에는 고농도 드레인확산층(17a)이 형성된다. 이 때 소스확산층(18) 위는 절연막측벽(25a, 25b)으로 피복되므로, 고농도 비소가 주입되지 않아 고농도 소스확산층이 형성되는 일은 없다. 또 논리회로영역(Rlogc)에서, p채널형 MIS트랜지스터에, 게이트전극(16c) 및 절연막측벽(26)을 마스크로 고농도의 불화붕소이온을 주입하여, p채널형 MIS트랜지스터의 소스 ·드레인 확산층(21)을 형성한다.

그 후, 기판 상에 두께 900nm의 실리콘산화막을 퇴적시킨 후, CMP에 의해 평탄화시켜 층간절연막(30)을 형성한다. 또한 층간절연막(30)을 관통하여, 메모리영역(Rmemo)의 고농도 드레인확산층(17a)에 도달하는 콘택트홀을 형성한 후, 콘택트홀을 텅스텐 등으로 메움으로써 비트선콘택트(31)를 형성한다. 또 논리회로영역(Rlogc)에서도 소스 ·드레인 콘택트가 형성된다(도 2의 (a)에 도시 생략). 그 후, 층간절연막(30) 상에, 두께 400nm의 알루미늄 합금막(또는 구리 합금막)을 퇴적시킨 다음, 이를 패터닝 함으로써 비트선(32)을 형성한다. 이로써 도 1 및 도 2의 (a), (b)에 나타내는 반도체장치의 구조가 얻어진다.

본 실시형태 반도체장치의 제 1 제조방법에 의하면, 공통의 폴리실리콘막으로부터, 메모리셀 트랜지스터의 게이트전극(16a)과, 플래너형 커패시터의 플레이트전극(16b)과, 논리회로영역(Rlogc) MIS트랜지스터의 게이트전극(16c)을 형성하므로, 공정의 간소화에 의한 제조원가 저감을 도모할 수 있다.

-제 1 실시형태 반도체장치의 제 2 제조방법-

다음으로, 본 발명의 제 1 실시형태 반도체장치의 제 2 제조방법에 대하여 설명한다. 도 4의 (a)~(c)는, 본 실시형태 반도체장치의 제 2 제조방법을 나타내는 단면도이다. 도 4의 (a)~(c)에서는 메모리영역(Rmemo)만을 도시하며, 논리회로영역(Rlogc)의 도시는 생략한다. 또 도 4의 (a)~(c)에서 p웰(11a) 및 심부n웰(11d)은 실리콘기판(10)에 형성되지만, 편의상 실리콘기판(10)의 기판 본체부 도시는 생략한다.

우선, 도 4의 (a)에 나타내는 공정에서, 도 3의 (a)에 나타내는 공정과 마찬가지 조건으로 마찬가지의 처리를 한다. 즉, 실리콘기판(10) 표면영역에, 활성영역을 구획하기 위한 분리용 트렌치를 형성한 후, 분리용 트렌치 내에 실리콘산화막을 매입시켜 소자분리용 절연막(50)(논리회로영역(Rlogc)의 얕은 트렌치분리(12b))을 형성한다. 또 논리회로영역(Rlogc)을 피복하는 레지스트마스크(도시 생략)를 이용하여, 실리콘기판(10) 중 메모리영역(Rmemo)에 인 이온(P^+)을 주입하고, 메모리영역(Rmemo)의 p웰(11a) 저부영역에 심부n웰(11d)(도 2의 (a) 참조)을 형성한다. 그리고 메모리영역(Rmemo)의 p웰(11a)과, 논리회로영역(Rlogc)의 p웰(11c) 및 n웰(11b)(도 2의 (a) 참조)과, 메모리영역(Rmemo) 및 논리회로영역(Rlogc)의 채널스토퍼 및 펀치스루 스토퍼를 형성한다.

다음에 메모리영역(Rmemo) 및 논리회로영역(Rlogc)의 활성영역 상에, 산화막으로 된 주입보호용 산화막(54)을 형성한 후, 주입보호용 산화막(54) 상에 논리회로영역(Rlogc) 전체와 메모리영역(Rmemo)의 활성영역 일부를 피복하는 레지스트마스크(51)를 형성한다. 그리고 이 레지스트마스크(51)를 마스크로 이용하여, 비소이온(As^+)을 주입, 축적노드가 될 n형 확산층(19)을 형성한다. 이 때 레지스트마스크(51)의 횡방향 치수는, 메모리셀 트랜지스터의 소스확산층(18)과, 플래너형 커패시터(Cpp)의 n형 확산층(19)이 중첩되도록 설정된다.

다음, 도 4의 (b)에 나타내는 공정에서, 메모리영역(Rmemo)의 주입보호용 산화막(54)과 소자분리용 절연막(50) 상부를 습식에칭으로 제거하여, 분리용 트렌치 및 소자분리용 절연막(50)의 하부를 잔존시켜 이루어지는 얕은 트렌치분리(12a)를 형성한다. 이 때 논리회로영역(Rlogc)에서는, 소자분리용 절연막을 에칭하지 않고, 이를 얕은 트렌치분리(12b)(도 2의 (a) 참조)로서 그대로 남겨둔다.

다음 도 4의 (c)에 나타내는 공정에서, 도 3의 (c)와 마찬가지 처리를 실시한다. 즉 플래너형 커패시터의 용량절연막(15) 및 플레이트전극(16b)과, 메모리셀 트랜지스터의 게이트절연막(14a) 및 게이트전극(16a)을 형성한다. 또 논리회로영역(Rlogc)에는, p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 게이트절연막(14b) 및 게이트전극(16c)을 형성한다

(도 2의 (a) 참조). 그리고 메모리영역(Rmemo)의 저농도 드레인확산층(17b), 고농도 드레인확산층(17a), 소스확산층(18) 및 절연막측벽(25a, 25b), 논리회로영역(Rlogc)의 각 MIS트랜지스터의 소스·드레인 확산층(20, 21) 및 절연막측벽(26)을 형성한다. 그 후 층간절연막(30)과, 비트선콘택트(31)와, 비트선(32)을 형성한다.

이상의 공정으로써, 도 1 및 도 2의 (a), (b)에 나타내는 구조를 갖는 반도체장치가 얻어진다.

이 제 2 제조방법에서는, 제 1 제조방법과 달리 n형 확산층(19)을 형성하고 나서 소자분리용 절연막(50) 상부를 에칭한다. 그리고 이 제 2 제조방법에 의해서도 상기 제 1 제조방법과 마찬가지 효과를 발휘할 수 있다.

-제 1 실시형태의 변형예에 있어서 반도체장치의 제조방법-

다음으로, 본 발명의 제 1 실시형태의 변형예에 있어서 반도체장치의 제조방법에 대하여 설명한다. 도 5의 (a)~(c)는 제 1 실시형태의 변형예에서 반도체장치의 제조공정을 나타내는 단면도이다. 도 5의 (a)~(c)에서도, 메모리영역(Rmemo)만을 도시하고, 논리회로영역(Rlogc)의 도시는 생략한다. 또 도 5의 (a)~(c)에서 p웰(11a) 및 심부n웰(11d)은 실리콘기판(10)에 형성되지만, 편의상 실리콘기판(10)의 기판 본체부 도시는 생략한다.

우선, 도 5의 (a)에 나타내는 공정에서, 도 3의 (a)에 나타내는 공정과 마찬가지 조건으로 마찬가지의 처리를 한다. 즉, 실리콘기판(10) 표면영역에, 활성영역을 구획하기 위한 분리용 트렌치를 형성한 후, 분리용 트렌치 내에 실리콘산화막을 매입시켜 소자분리용 절연막(50)(논리회로영역(Rlogc)의 얕은 트렌치분리(12b))을 형성한다. 또 논리회로영역(Rlogc)을 피복하는 레지스트마스크(도시 생략)를 이용하여, 실리콘기판(10) 중 메모리영역(Rmemo)에 인 이온(P^+)을 주입하고, 메모리영역(Rmemo)의 p웰(11a) 저부영역에 심부n웰(11d)(도 2의 (a) 참조)을 형성한다. 그리고 메모리영역(Rmemo)의 p웰(11a)과, 논리회로영역(Rlogc)의 p웰(11c) 및 n웰(11b)(도 2의 (a) 참조)과, 메모리영역(Rmemo) 및 논리회로영역(Rlogc)의 채널스토퍼 및 펀치스루 스토퍼를 형성한다.

다음에, 도 5의 (b)에 나타내는 공정에서, 논리회로영역(Rlogc) 전체와 메모리영역(Rmemo)의 활성영역 일부를 피복하는 레지스트마스크(51)를 마스크로 이용하며, 메모리영역(Rmemo)만의 소자분리용 절연막(50) 상부를 선택적으로 습식에칭으로 제거하여, 분리용 트렌치 및 소자분리용 절연막(50) 하부를 잔존시켜 이루어지는 얕은 트렌치분리(12a)를 형성한다. 이 때 논리회로영역(Rlogc)에서는 소자분리용 절연막을 에칭하지 않고, 이를 얕은 트렌치분리(12a)(도 2의 (a))로서 그대로 남겨둔다. 단 이 변형예에서는, 도 3의 (b)에 나타내는 바와 같은 비소이온(As^+) 주입은 하지 않아 n형 확산층(19)은 형성하지 않는다.

즉 본 변형예에서는, 플레이트전극(16b)으로의 바이어스 인가에 의해 p웰 표면의 반전층을 축적노드로서 기능하게 한다.

다음으로, 도 5의 (c)에 나타내는 공정에서 도 3의 (c)와 마찬가지 처리를 실시한다. 즉 플래너형 커패시터의 용량절연막(15) 및 플레이트전극(16b)과, 메모리셀 트랜지스터의 게이트절연막(14a) 및 게이트전극(16a)을 형성한다. 또 논리회로영역(Rlogc)에는, p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 게이트절연막(14b) 및 게이트전극(16c)을 형성한다(도 2의 (a) 참조). 그리고 메모리영역(Rmemo)의 저농도 드레인확산층(17b), 고농도 드레인확산층(17a), 소스확산층(18) 및 절연막측벽(25a, 25b), 논리회로영역(Rlogc)의 각 MIS트랜지스터의 소스·드레인 확산층(20, 21) 및 절연막측벽(26)을 형성한다. 그 후 층간절연막(30)과, 비트선콘택트(31)와, 비트선(32)을 형성한다.

본 변형예에 의해서도 상기 제 1 실시형태의 제조방법과 마찬가지 효과를 발휘한다.

또 메모리영역(Rmemo)에서는, 게이트절연막(14a)과 용량절연막(15)을 별도의 절연막으로 형성하는 것이 가능하다. 예를 들어 게이트절연막(14a)을 산화막으로 하고, 용량절연막(15)을 산화막, 산질화막, 산화막/질화막의 적층막인 ON막, 산화막/질화막/산화막의 적층막인 ONO막, 고유전체막인 HfO_2막, ZrO_2막 등으로 한다. 또 논리회로영역(Rlogc)에서는, 트랜지스터의 종류에 따라 게이트절연막의 두께가 2 종류, 3 종류 등, 복수종류 형성되는 경우가 많다. 그리고 논리회로영역(Rlogc)의 각 트랜지스터 게이트절연막(14b)도, 산화막만이 아닌 산질화막, 산화막/질화막의 적층막인 ON막, 산화막/질화막/산화막의 적층막인 ONO막, 고유전체막인 HfO_2막, ZrO_2막 등이라도 된다.

또한, 메모리영역(Rmemo)에서는, 게이트절연막(14a)과 용량절연막(15)을 공통 절연막으로 형성하는 것이 가능하다. 예를 들어 게이트절연막(14a)과 용량절연막(15)을 산화막, 산질화막, 산화막/질화막의 적층막인 ON막, 산화막/질화막/산화막의 적층막인 ONO막, 고유전체막인 HfO_2막, ZrO_2막 등으로 구성할 수 있다. 또 논리회로영역(Rlogc)에서는, 트랜지스

터의 종류에 따라 게이트절연막의 두께가 2 종류, 3 종류 등, 복수종류 형성되는 경우가 많다. 그리고 논리회로영역(Rlogc)의 각 트랜지스터 게이트절연막(14b)도, 산화막만이 아닌 산질화막, 산화막/질화막의 적층막인 ON막, 산화막/질화막/산화막의 적층막인 ONO막, 고유전체막인 HfO_2막, ZrO_2막 등이라도 된다.

단, 본 실시형태와 같이, 메모리셀 트랜지스터의 게이트절연막과 용량절연막을 별개의 막으로 형성함으로써, 트랜지스터의 성능을 저하시키는 일없이, 리크전류가 적은 커패시터를 형성하는 것이 가능해진다.

(제 2 실시형태)

도 6은 본 발명의 제 2 실시형태에 관한 반도체장치 중 메모리부의 구성을 나타내는 평면도이다. 도 7의 (a), (b)는 각각 도 6에 나타내는 VIIa-VIIa선에서의 단면도 및 VIIb-VIIb선에서의 단면도이다. 여기서 도 7의 (a)에서는 반도체장치의 메모리영역(Rmemo) 및 논리회로영역(Rlogc)에서의 단면구조를 나타내지만, 도 6 및 도 7의 (b)에서는 논리회로영역(Rlogc)에서의 단면구조 도시를 생략한다.

도 6 및 도 7의 (a), (b)에 나타내는 바와 같이 본 실시형태의 반도체장치는, p형 실리콘기판(10)과, 실리콘기판(10)의 메모리영역(Rmemo)에 형성된 p웰(11a)과, 실리콘기판(10)의 논리회로영역(Rlogc)에 형성된 n웰(11b) 및 p웰(11c)과, 메모리영역(Rmemo)의 p웰(11a) 저부를 둘러싸는 심부n웰(11d)을 구비하는, 이른바 3중 웰 구조를 갖는다. 또 메모리영역(Rmemo)의 활성영역을 구획하는 얕은 트렌치분리(12a)와, 논리회로영역(Rlogc)의 활성영역을 구획하는 얕은 트렌치분리(12b)를 구비한다.

그리고 메모리영역(Rmemo)에서는, p웰(11a) 상에 게이트전극(16a), 게이트절연막(14a), 절연막측벽(25a), 저농도 n형 불순물을 포함하는 저농도 드레인확산층(17b), 고농도 n형 불순물을 포함하는 고농도 드레인확산층(17a) 및 소스확산층(18)을 갖는 메모리셀 트랜지스터(Trm)와, 플레이트전극(16b), 축적노드로서 기능하는 n형 확산층(19), 용량절연막(15) 및 절연막측벽(25b)을 갖는 트렌치형 커패시터(Cpt)가 구성된다. 여기서 고농도 드레인확산층(17a) 및 저농도 드레인확산층(17b)에 의해, 메모리셀 트랜지스터의 드레인확산층이 구성된다. 한편, 소스확산층(18)은, 전체적으로 저농도의 n형 불순물을 포함하는 저농도 불순물확산층만으로 구성된다.

또 논리회로영역(Rlogc)에서는, 게이트전극(16c), 게이트절연막(15), 절연막 측벽(26) 및 p형 소스 ·드레인 확산층(21)을 갖는 p채널형 MIS트랜지스터(pMIS)와, 게이트전극(16c), 게이트절연막(14b), 절연막측벽(26) 및 n형 소스 ·드레인 확산층(20)을 갖는 n채널형 MIS트랜지스터(nMIS)가 구성된다.

그리고 기판 전체에는 층간절연막(30)이 퇴적되며, 층간절연막(30)을 관통하여 메모리영역(Rmemo)의 메모리셀 트랜지스터(Trm)의 고농도 드레인확산층(17a)에 접속되는 비트선 콘택트(31)와, 비트선 콘택트(31)에 접속되고 층간절연막(30) 상으로 연장되는 비트선(32)이 형성된다.

또한 논리회로영역(Rlogc)에서도, 층간절연막(30)을 관통하여 소스 ·드레인 확산층(20, 21)에 도달하는 소스콘택트 및 드레인콘택트나, 층간절연막(30)을 관통하여 게이트전극(16c)과 접촉하는 게이트콘택트 등이 형성되지만, 이들 부재는 본 발명의 본질에 관한 부분이 아니므로 도시가 생략된다.

본 실시형태에 의하면, 트렌치형 커패시터 구조를 취하면서, 제 1 실시형태와 마찬가지로 플레이트전극(16b)이 메모리셀 트랜지스터의 게이트전극(16a)과 공통 도체막으로 형성되므로, 메모리셀 크기의 축소가 가능해짐과 동시에, 기판 전체의 단차를 저감할 수 있다.

여기서 게이트전극(16a, 16c) 및 플레이트전극(16b)의 두께는, 게이트전극(16a, 16c) 및 플레이트전극(16b)의 두께와 용량절연막(15) 두께를 합한 합계 두께가, 트렌치형 커패시터가 매입된 트렌치 홈 폭의 1/2보다 두꺼운 것이 바람직하다. 이 경우, 트렌치 위쪽에서 폴리실리콘막에 오목부가 존재하지 않기 때문에, 후술하는 바와 같이 제조공정에서의 포토리소그래피가 원활하게 이루어지므로, 폴리실리콘막의 패터닝을 정밀도 좋게 실시할 수 있기 때문이다.

-제 2 실시형태의 제조방법-

다음으로, 본 발명의 제 2 실시형태의 반도체장치 제조방법에 대하여 설명하기로 한다. 도 8의 (a)~(c)는 본 실시형태에서 반도체장치의 제조방법을 나타내는 단면도이다. 단 도 8의 (a)~(c)에서는, 메모리영역(Rmemo)만을 도시하며, 논리회로영역(Rlogc)의 도시는 생략한다. 또 도 8의 (a)~(c)에서, p웰(11a) 및 심부n웰(11d)은 실리콘기판(10)에 형성되지만, 편의상 실리콘기판(10)의 기판 본체부 도시는 생략한다.

우선 도 8의 (a)에 나타내는 공정에서, 밑받침 산화막과 질화막 마스크를 이용하는 주지의 방법으로, 실리콘기판(10) 표면영역에, 활성영역을 구획하기 위한 분리용 트렌치를 형성한다. 이 때 논리회로영역(Rlogc)에서도 분리용 트렌치가 형성된다. 그 후 분리용 트렌치 내에 실리콘산화막을 매입시켜 얕은 트렌치분리(12a)를 형성한다. 이 때 논리회로영역(Rlogc)에도 도 7의 (a)에 나타내는 바와 같은 트렌치분리(12b)가 형성된다. 또 논리회로영역(Rlogc)을 피복하는 레지스트마스크(도시 생략)를 이용하여, 실리콘기판(10) 중 메모리영역(Rmemo)에 인 이온(P^+)을 주입하고, 메모리영역(Rmemo)의 p웰(11a) 저부영역에 심부n웰(11d)(도 7의 (a) 참조)을 형성한다. 그리고 논리회로영역(Rlogc)의 p채널형 트랜지스터 형성영역을 피복하는 레지스트마스크(도시 생략)를 이용하여, 실리콘기판(10) 중 메모리영역(Rmemo)과, 논리회로영역(Rlogc) 일부에, 붕소이온(B^+) 주입을 하여 메모리영역(Rmemo)의 p웰(11a)과, 논리회로영역(Rlogc)의 p웰(11c)(도 7의 (a) 참조)을 형성한다. 또 메모리영역(Rmemo)과, 논리회로영역(Rlogc)의 n채널형 트랜지스터 형성영역을 피복하는 레지스트마스크(도시 생략)를 이용해 인 이온(P^+) 주입을 하여, 논리회로영역(Rlogc)에 n웰(11b)(도 2의 (a) 참조)을 형성한다. 이들 공정의 조건은 제 1 실시형태와 마찬가지이다. 여기서 도 7의 (a)에는 도시되지 않지만, 메모리영역(Rmemo)과, 논리회로영역(Rlogc)에서, 얕은 트렌치분리(12a, 12b)의 바로 아래쪽에는 채널스토퍼용 불순물이 주입되며, 트랜지스터의 채널영역 하방에는 펀치스루 스토퍼용 불순물이 주입된다.

그 후, 실리콘기판(10) 상에, 커패시터용 트렌치를 형성하고자 하는 영역을 개구시킨 레지스트마스크(55)를 형성한다. 그리고 레지스트마스크(55)를 이용하여 드라이에칭을 함으로써, 실리콘기판(10)에 커패시터용 트렌치(56)를 형성한다. 커패시터용 트렌치의 홈 폭은 0.3㎛이다. 이 때 논리회로영역에서는 커패시터용 트렌치는 형성되지 않는다.

다음, 도 8의 (b)에 나타내는 공정에서, 레지스트마스크(55)를 제거한 후, 논리회로영역(Rlogc) 및 메모리영역(Rmemo)의 활성영역 일부를 피복하는 레지스트마스크(55')를 형성한 다음, 이 레지스트마스크(55')를 마스크로 이용하여 비소이온(As^+)을 주입시켜, 커패시터용 트렌치(56)의 내벽면 영역 및 그 부근 영역에 축적노드가 될 n형 확산층(19)을 형성한다.

다음에 도 8의 (c)에 나타내는 공정에서, 메모리영역(Rmemo)의 용량절연막(15), 게이트절연막(14a) 및 논리회로영역(Rlogc)의 게이트절연막(14b)이 될 두께 2~6nm의 산화막을 형성한 후, 그 위에 두께 200nm의 폴리실리콘막을 퇴적한다. 이 폴리실리콘막과 산화막의 합계두께는, 커패시터용 트렌치(56) 홈 폭의 1/2 이상이다. 그 후 폴리실리콘막 및 열산화막을 패터닝 함으로써, 메모리영역(Rmemo)에, 트렌치형 커패시터의 용량절연막(15) 및 플레이트전극(16b)과, 메모리셀 트랜지스터의 게이트절연막(14a) 및 게이트전극(16a)을 형성한다. 또 도 8의 (c)에는 도시되지 않지만, 논리회로영역(Rlogc)에는 p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 게이트절연막(14b) 및 게이트전극(16c)을 형성한다(도 7의 (a) 참조).

그 후, 메모리영역(Rmemo)의 메모리셀 트랜지스터 영역 및 논리회로영역(Rlogc)의 n채널형 MIS트랜지스터영역에 게이트전극(16a, 16c) 및 플레이트전극(16b)을 마스크로, 익스텐션용 농도의 비소이온을 주입한다. 이로써 메모리영역(Rmemo)에서는 저농도 드레인확산층(17b) 및 소스확산층(18)이 형성되고, 논리회로영역(Rlogc)에서는 n채널형 MIS트랜지스터의 익스텐션확산층이 형성된다. 이 때 메모리셀 트랜지스터의 소스확산층(18)은, 축적노드인 n형 확산층(19)과 중첩되도록 형성된다. 또 도시되지는 않지만, 논리회로영역(Rlogc)에는 p채널형 MIS트랜지스터의 익스텐션용 농도의 불화붕소이온을 주입시켜 p채널형 MIS트랜지스터의 익스텐션 확산층을 형성한다.

다음으로, 메모리셀 트랜지스터의 게이트전극(16a) 측면 상에 절연막측벽(25a)을 형성한다. 이 때 트렌치형 커패시터의 플레이트전극(16b) 측면 상에도, 절연막측벽(25b)이 형성된다. 그리고 메모리셀 트랜지스터의 소스확산층(18)은, 2 개의 절연막측벽(25a, 25b)에 의해 피복된다. 또 논리회로영역(Rlogc)에서, p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 각 게이트전극(16c) 측면 상에도 절연막측벽(26)이 형성된다(도 7의 (a) 참조).

그 후, 논리회로영역(Rlogc)의 n채널형 MIS트랜지스터 및 메모리영역(Rmemo)에 게이트전극(16a, 16c), 플레이트전극(16b) 및 절연막측벽(25a, 25b)을 마스크로 하여 고농도의 비소이온(As^+)을 주입한다. 이로써 논리회로영역(Rlogc)에서는, n채널형 MIS트랜지스터의 소스·드레인 확산층(20)이 형성된다. 또 메모리영역(Rmemo)에는 고농도 드레인확산층(17a)이 형성된다. 이 때 소스확산층(18) 위는 절연막측벽(25a, 25b)으로 피복되므로, 고농도 비소가 주입되지 않아 고농

도 소스확산층이 형성되는 일은 없다. 또 논리회로영역(Rlogc)에서, p채널형 MIS트랜지스터에, 게이트전극(16c) 및 절연막측벽(26)을 마스크로 고농도의 불화붕소이온을 주입하여, p채널형 MIS트랜지스터의 소스 ·드레인 확산층(21)을 형성한다.

그 후의 공정은 도시하지 않지만, 제 1 실시형태와 마찬가지 처리를 실시하여, 기판 상에 층간절연막(30)과, 층간절연막(30)을 관통하여 메모리영역(Rmemo)의 고농도 드레인확산층(17a), 플레이트전극(16b)에 각각 접속되는 비트선콘택트(31)와, 층간절연막(30) 상으로 연장되는 비트선(32)을 형성한다. 또 논리회로영역(Rlogc)에서도 소스·드레인 콘택트가 형성된다(도 7의 (a)에 도시 생략). 이로써 도 6 및 도 7의 (a), (b)에 나타내는 반도체장치의 구조가 얻어진다.

본 실시형태의 제조방법에 의하면, 커패시터용 트렌치(56)를 형성한 후, 커패시터용 트렌치 홈 폭의 1/2 이상 두께의 폴리실리콘막을 커패시터용 트렌치(56) 상에 퇴적하므로, 커패시터용 트렌치(56) 위쪽의 폴리실리콘막 상면이 평탄해진다. 폴리실리콘막 상면에 준급한 오목부가 존재하면, 폴리실리콘막을 패터닝하기 위한 레지스트마스크를 형성할 때, 레지스트가 오목부에 흡수되어 레지스트막 전체의 평탄성이 악화된다. 따라서 설계룰이 0.1㎛ 정도인 디바이스의 공정에서는, 게이트전극의 패터닝 정밀도를 확보하기가 어려워진다. 이에 반해 본 실시형태에서는, 폴리실리콘막의 두께를 커패시터용 트렌치(56) 폭의 1/2 이상으로 설정하므로 게이트전극의 패터닝 정밀도를 유지할 수 있어, 메모리셀 트랜지스터나 논리트랜지스터의 게이트전극과, 트렌치형 커패시터의 플레이트전극을 공통 도체막(폴리실리콘막)으로 형성하기가 실질적으로 가능해진다.

그리고 메모리셀 트랜지스터나 논리트랜지스터의 게이트전극과, 트렌치형 커패시터의 플레이트전극을 공통 도체막(폴리실리콘막)으로 형성함으로써, 기판 전체의 단차를 작게 유지할 수 있어 미세패턴의 배선 형성이 용이해지는 점에서, DRAM·논리 혼재형 반도체장치의 고밀도화를 도모할 수 있다.

또 메모리영역(Rmemo)에서는, 게이트절연막(14a)과 용량절연막(15)을 별도의 절연막으로 형성하는 것이 가능하다. 예를 들어 게이트절연막(14a)을 산화막으로 하고, 용량절연막(15)을 산화막, 산질화막, 산화막/질화막의 적층막인 ON막, 산화막/질화막/산화막의 적층막인 ONO막, 고유전체막인 HfO_2막, ZrO_2막 등으로 할 수 있다. 또 논리회로영역(Rlogc)에서는, 트랜지스터의 종류에 따라 게이트절연막의 두께가 2 종류, 3 종류 등, 복수종류 형성되는 경우가 많다. 그리고 논리회로영역(Rlogc)의 각 트랜지스터 게이트절연막(14b)도, 산화막만이 아닌 산질화막, 산화막/질화막의 적층막인 ON막, 산화막/질화막/산화막의 적층막인 ONO막, 고유전체막인 HfO_2막, ZrO_2막 등이라도 된다.

메모리셀 트랜지스터의 게이트절연막과 용량절연막을 별개의 막으로 형성함으로써, 트랜지스터의 성능을 저하시키는 일 없이 리크전류가 적은 커패시터를 형성하기가 가능해진다.

그리고 게이트전극 가공을 위해 하드마스크를 사용하거나, 반사방지막을 형성할 경우는, 이들 전극재료 상에 형성하는 절연막도 포함하여 얕은 트렌치부가 평탄화 가능하도록 얕은 트렌치의 개구폭을 설계함으로써, 게이트전극의 패터닝 정밀도를 높게 유지할 수 있다.

-제 2 실시형태의 반도체장치 제조방법의 변형예-

다음으로, 본 발명 제 2 실시형태의 반도체장치 제조방법의 변형예에 대하여 설명하기로 한다. 도 9의 (a)~(c)는, 본 실시형태의 반도체장치 제조방법의 변형예를 나타내는 단면도이다. 단, 도 9의 (a)~(c)에서는, 메모리영역(Rmemo)만을 도시하고, 논리회로영역(Rlogc)의 도시는 생략한다. 또 도 9의 (a)~(c)에서 p웰(11a) 및 심부n웰(11d)은 실리콘기판(10)에 형성되지만, 편의상 실리콘기판(10)의 기판 본체부 도시는 생략한다.

우선 도 9의 (a)에 나타내는 공정에서, p형 실리콘기판(10) 상에, 예를 들어 두께 200nm의 SiO_2막으로 이루어지는 산화막 마스크(도시 생략)를 형성하고, 산화막 마스크를 이용한 드라이에칭으로 실리콘기판(10)에 커패시터용 트렌치를 형성한다.

다음으로, 주입마스크(도시 생략)를 이용하여, 비소이온(As^+)을 주입하여 축적노드가 될 n형 확산층(19)을 형성한다.

다음, 주입마스크를 제거한 후 기판 상에, 두께 20nm의 실리콘산화막과, 두께 95nm의 실리콘질화막을 순차 형성하고, 실리콘질화막 중 트렌치 상방에 위치하는 부분의 평탄화를 실시한다. 그리고 실리콘질화막과 실리콘산화막을 패터닝하여,

질화막마스크(60) 및 밑받침 산화막(59)을 형성한다. 그리고 질화막마스크(60) 등을 마스크로 이용하여 드라이에칭을 실시함으로써, 실리콘기판(10)에 얕은 트렌치(61)를 형성한다. 이 때 도시하지 않지만 논리회로영역에도 얕은 트렌치를 형성한다.

다음에, 도 9의 (b)에 나타내는 공정에서, 기판 상에 실리콘산화막(도시 생략)을 퇴적시킨 후, CMP에 의해 실리콘산화막을 평탄화한다. 그 후 질화막마스크(60) 및 밑받침 산화막(59)을 제거함으로써, 얕은 트렌치분리(12a)가 형성된다. 이 때 얕은 트렌치분리(12a)의 표면부도 에칭되지만, 전체 두께에 비해 매우 약간의 두께량이 에칭될 뿐이다. 그 후, 제 2 실시형태와 마찬가지로 심부n웰(11d), p웰(11a), p웰(11c), n웰(11b)(도 2의 (a) 참조) 등을 형성한다.

또, 도 9의 (a)에는 도시되지 않지만, 메모리영역(Rmemo)과, 논리회로영역(Rlogc)에서, 얕은 트렌치분리(12a, 12b)의 바로 아래쪽에는 채널스토퍼용 불순물이 주입되며, 트랜지스터의 채널영역 하방에는 펀치스루 스토퍼용 불순물이 주입된다.

그 후, 도 9의 (c)에 나타내는 공정에서는, 이미 설명한 도 8의 (c)에 나타내는 공정과 마찬가지 처리를 함으로써, 도 6 및 도 7의 (a), (b)에 나타내는 반도체장치의 구조가 얻어진다.

본 실시형태에서는, 먼저 커패시터용 트렌치 및 n형 확산층(19)을 형성하고 나서 얕은 트렌치분리(12a, 12b)를 형성하는 점에서, 먼저 얕은 트렌치분리를 형성한 후 커패시터용 트렌치를 형성하는 도 8의 (a)~(c)에 나타내는 방법과 다르다. 이 순서로도 도 8의 (a)~(c)에 나타내는 제조방법과 기본적으로는 동일한 효과를 발휘할 수 있다.

더불어, 이 변형예의 순서에 의하면, 도 9의 (a)에서 도 9의 (b)에 나타내는 공정에서의 산화에 의해, 커패시터용 트렌치의 코너부 형상을 용이하게 둥글릴 수가 있음과 동시에, 트렌치 벽면이 청정화, 평활화되므로, 나중에 형성되는 용량절연막(15)의 특성이 향상된다. 이 특성의 향상이란, 예를 들어 막 두께가 거의 균일화되어 용량절연막(15)을 통과하는 리크가 저감되거나, 용량값의 편차가 작아지는 등으로써, 전하유지기능이 안정됨을 의미한다.

(제 3 실시형태)

제 1 실시형태에서의 플래너형 커패시터를, 제 2 실시형태에 나타내는 커패시터용 트렌치와 얕은 트렌치분리의 트렌치의 각 상부를 메우도록 형성할 수 있다.

도 10은, 본 발명의 제 3 실시형태에 관한 반도체장치 중 메모리부 구성을 나타내는 평면도이다. 도 11의 (a), (b)는, 각각 도 10에 나타내는 XIa-XIa선의 단면도 및 XIb-XIb선의 단면도이다. 여기서 도 11의 (a)에서는, 반도체장치의 메모리영역(Rmemo) 및 논리회로영역(Rlogc)의 단면구조가 도시되지만, 도 10 및 도 11의 (b)에서는 논리회로영역(Rlogc)의 단면구조 도시는 생략된다.

도 10 및 도 11의 (a), (b)에 나타내는 바와 같이, 본 실시형태의 반도체장치는 p형 실리콘기판(10)과, 실리콘기판(10)의 메모리영역(Rmemo)에 형성된 p웰(11a)과, 실리콘기판(10)의 논리회로영역(Rlogc)에 형성된 n웰(11b) 및 p웰(11c)과, 메모리영역(Rmemo)의 p웰(11a) 저부를 둘러싸는 심부n웰(11d)을 구비하며, 이른바 3중 웰 구조를 갖는다. 또 메모리영역(Rmemo)의 활성영역을 구획하는 얕은 트렌치분리(12a)와, 논리회로영역(Rlogc)의 활성영역을 구획하는 얕은 트렌치분리(12b)를 구비한다.

그리고 메모리영역(Rmemo)에서는, p웰(11a) 상에 게이트전극(16a), 게이트절연막(14a), 절연막측벽(25a), 저농도 n형 불순물을 포함하는 저농도 드레인확산층(17b), 고농도 n형 불순물을 포함하는 고농도 드레인확산층(17a) 및 소스확산층(18)을 갖는 메모리셀 트랜지스터(Trm)와, 플레이트전극(16b), 축적노드로서 기능하는 n형 확산층(19), 용량절연막(15) 및 절연막측벽(25b)을 갖는 플래너형 커패시터(Cpp)가 구성된다. 여기서 고농도 드레인확산층(17a) 및 저농도 드레인확산층(17b)에 의해, 메모리셀 트랜지스터의 드레인확산층이 구성된다. 한편, 소스확산층(18)은, 전체적으로 저농도의 n형 불순물을 포함하는 저농도 불순물확산층만으로 구성된다.

여기서 플래너형 커패시터(Cpp)의 용량절연막(15) 및 플레이트전극(16b)은, 실리콘기판(10) 상과, 얕은 트렌치분리(12a)와는 공유하는 트렌치 내와, 제 2 실시형태의 커패시터용 트렌치(도 8의 (a)에서의 부호 56으로 나타내는 트렌치)에 걸쳐 형성되며, 용량절연막(15) 및 플레이트전극(16b)에 의해 각 트렌치 상부가 메워진다. 또 커패시터용 트렌치 하부는, 매입산화층(56a)이 된다. 그리고 n형 확산층(19)의 단부는 각 트렌치의 각 상부 측면을 따라 얕은 트렌치분리(12a) 및 매입산화층(56a)과 중첩되는 영역까지 형성된다.

또한 논리회로영역(Rlogc)에서는, 게이트전극(16c), 게이트절연막(15), 절연막측벽(26) 및 p형 소스·드레인 확산층(21)을 갖는 p채널형 MIS트랜지스터(pMIS)와, 게이트전극(16c), 게이트절연막(14b), 절연막측벽(26) 및 n형 소스·드레인 확산층(20)을 갖는 n채널형 MIS트랜지스터(nMIS)가 형성된다.

그리고 기판 전체에는 층간절연막(30)이 퇴적되며, 층간절연막(30)을 관통하여 메모리영역(Rmemo) 메모리 트랜지스터(Trm)의 고농도 드레인확산층(17a)에 접속되는 비트선 콘택트(31)와, 비트선 콘택트(31)에 접속되며 층간절연막(30) 상으로 연장되는 비트선(32)이 형성된다.

또 논리회로영역(Rlogc)에서도, 층간절연막(30)을 관통하여 소스·드레인 확산층(20, 21)에 도달하는 소스콘택트 및 드레인콘택트나, 층간절연막(30)을 관통하여 게이트전극(16c)과 접촉하는 게이트콘택트 등이 형성되지만, 이들 부재는 본 발명의 본질에 관련된 부분이 아니므로 도시가 생략된다.

여기서 본 실시형태의 특징은, 플레이트전극(16b)이 메모리셀 트랜지스터(Trm)의 게이트전극(16a)과 공통 도체막(본 실시형태에서는 폴리실리콘막)으로 형성되는 점과, 커패시터(Cpp)의 용량절연막(15) 및 플레이트전극(16b)이 얕은 트렌치분리(12a)와 공유하는 트렌치와, 이에 추가로 제 2 실시형태의 커패시터용 트렌치(56)(도 8의 (a) 참조)와의 각 내부에까지 걸쳐, 각 트렌치의 각 상부를 메우는 점이다.

본 실시형태의 커패시터는 제 1 실시형태와 마찬가지로, 실리콘기판(10) 상면 및 트렌치 측면 일부에 걸쳐 형성되는, 이른바 플래너·트렌치 혼합형 커패시터로서 고용량화된 구조이며, 이로써 메모리 기능을 위해 필요한 면적의 축소를 도모할 수 있다.

더구나 본 실시형태에 있어서는, 제 1 실시형태보다 더욱 플래너형 커패시터의 용량으로서 기능하는 부분의 면적이 증대되므로, 제 1 실시형태의 효과를 보다 현저하게 발휘할 수 있다.

여기서 본 실시형태의 제조공정은, 기본적으로 도 3의 (a)~(c)에 나타내는 방법과 동일하며, 형성되는 트렌치(트렌치분리용 절연막(50))의 수가 증대될 뿐이므로 도시 및 설명을 생략한다. 또 본 실시형태에 있어서도 도 4의 (a)~(c)에 나타내는 방법(제 2 제조방법)이나, 도 5의 (a)~(c)에 나타내는 구조(변형예) 및 그 제조방법을 적용할 수 있다.

(제 4 실시형태)

도 12의 (a), (b)는 각각 차례로, 본 발명의 제 4 실시형태에 관한 반도체장치 중 메모리부의 구성을, 게이트 및 플레이트전극보다 위쪽 부재를 생략하여 나타내는 평면도, 및 커패시터용 트렌치 형성 시에 이용하는 레지스트마스크의 구조를 나타내는 평면도이다. 도 13의 (a)~(d)는 각각 도 12에 나타내는 XIIIa-XIIIb선의 단면도 및 XIIIb-XIIIb선의 단면도이다. 또 도 13의 (a)~(d)에서는 반도체장치의 논리회로영역(Rlogc)에서의 단면구조 도시는 생략된다.

도 12의 (a)에 나타내는 바와 같이, 활성영역(기판영역)과, 활성영역을 둘러싸는 얕은 트렌치분리(12a)에 걸쳐 게이트전극(16a)과, 플레이트전극(16b)을 구비한다. 플레이트전극(16b)의 일부는, 제 2 실시형태와 마찬가지로, 커패시터용 트렌치 내에 매입된다. 커패시터용 트렌치는, 게이트 폭 방향으로 실질적으로 평행하게 연장되면서 얕은 트렌치분리(12a)로 둘러싸이는 장방형 기판영역의 게이트길이 방향의 거의 중앙부에 위치한다. 반도체장치의 그 밖의 구조는, 제 2 실시형태와 마찬가지이다. 이하, 본 실시형태에서는, 본 실시형태의 특징부분인 커패시터용 트렌치, 플레이트전극의 형성방법을 주로 설명한다.

우선 도 13의 (a)에 나타내는 공정에서, 분리용 트렌치 형성과, 분리용 트렌치 내로의 실리콘산화막 매입을 실시하여, 얕은 트렌치분리(12a)를 형성한다. 이 때 논리회로영역(Rlogc)에도 트렌치분리가 형성된다. 또한 제 2 실시형태와 마찬가지 공정을 실시하여, 심부n웰(11d), p웰(11a), 논리회로영역의 p웰(11c) 및 n웰(11b)을 형성한다(도 7의 (a) 참조). 여기서 도 13의 (a)~(d)에 있어서, p웰(11a) 및 심부n웰(11d)은 실리콘기판(10)에 형성되지만, 편의상 실리콘기판(10)의 기판 본체부 도시는 생략한다.

다음으로, 도 13의 (b)에 나타내는 공정에서, 실리콘기판(10) 상에, 커패시터용 트렌치를 형성하고자 하는 영역을 개구시킨 레지스트마스크(55)(도 12의 (b) 참조)를 형성한다. 도 12의 (b) 및 도 13의 (b)에 나타내는 바와 같이, 레지스트마스크(55)의 개구는, 얕은 트렌치분리(12a)의 일부를 가로질러 복수의 활성영역(기판영역)에 걸쳐진다. 그리고 레지스트마스크(55)를 이용하여 드라이에칭을 실시함으로써, 실리콘기판(10)에 커패시터용 트렌치(56)를 형성한다. 이 때 얕은 트렌치분

리(12a)를 구성하는 실리콘산화막과, 실리콘기판과의 에칭선택비를 높게 확보할 필요가 있으므로, 에칭가스로서 염소계 가스(예를 들어 HBr/Cl_2)를 이용한다. 커패시터용 트렌치(56)의 홈 폭은 예를 들어 0.3㎛이다. 이 때 논리회로영역에서는 커패시터용 트렌치는 형성되지 않는다.

다음에, 도 13의 (c)에 나타내는 공정에서, 레지스트마스크(55)를 제거한 후, 트랜지스터 형성영역보다 좁은 범위를 피복하는 레지스트마스크(도시 생략)를 형성한 다음, 이 레지스트마스크를 주입마스크로 이용하여 비소이온(As^+)을 주입하여 커패시터용 트렌치(56) 벽면 바로 아래 영역 및 그 부근 영역에 축적노드가 될 n형 확산층(19)을 형성한다.

다음, 메모리영역(Rmemo)의 용량절연막(15) 및 메모리영역(Rmemo)의 게이트절연막(14a)이 될 두께 2.9nm의 열산화막과, 논리회로영역(Rlogc)의 게이트절연막(14b)(도 7의 (a) 참조)이 될 두께 2~6nm의 열산화막을 형성한 후, 그 위에 두께 200nm의 폴리실리콘막(16)을 퇴적시킨다. 이 폴리실리콘막(16)과 열산화막의 합계두께는, 커패시터용 트렌치(56) 홈 폭의 1/2 이상이다.

다음으로, 도 13의 (d)에 나타내는 공정에서, 폴리실리콘막(16) 및 열산화막을 패터닝 함으로써, 메모리영역(Rmemo)에, 트렌치형 커패시터의 용량절연막(15) 및 플레이트전극(16b)과, 메모리셀 트랜지스터의 게이트절연막(14a) 및 게이트전극(16a)을 형성한다. 또 도 13의 (d)에는 도시되지 않지만, 논리회로영역(Rlogc)에는 p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 게이트절연막(14b) 및 게이트전극(16c)을 형성한다(도 7의 (a) 참조).

그 후 공정의 도시는 생략하지만, 제 2 실시형태의 제조방법과 마찬가지 공정을 실시하여, 메모리영역(Rmemo)의 각 측벽(25a, 25b), 고농도 드레인확산층(17a), 저농도 드레인확산층(17b), 소스확산층(18) 과, 논리회로영역(Rlogc)의 측벽(26), 소스·드레인 확산층(20, 21) 등을 형성한다.

본 실시형태의 방법에 의하면, 도 13의 (b)에 나타내는 공정에서 얕은 트렌치분리(12a)를 개재하는 복수의 활성영역에 걸친 개구를 갖는 레지스트마스크(55)를 이용하여, 커패시터용 트렌치(56) 형성을 위한 에칭을 실시하므로, 레지스트마스크의, 얕은 트렌치분리에 대한 위치결정의 정밀도가 요구되는 것이 아니므로 공정의 간소화가 도모된다.

(제 5 실시형태)

도 14의 (a), (b)는 각각 차례로, 본 발명의 제 5 실시형태에 관한 반도체장치 중 메모리부의 구성을, 게이트 및 플레이트전극보다 위쪽 부재를 생략하여 나타내는 평면도, 및 커패시터용 트렌치 형성 시에 이용하는 레지스트마스크의 구조를 나타내는 평면도이다. 도 15의 (a)~(d)는 각각 도 14에 나타내는 XVa-XVb선의 단면도 및 XVb-XVb선의 단면도이다. 또 도 15의 (a)~(d)에서는 반도체장치의 논리회로영역(Rlogc)에서의 단면구조 도시는 생략된다.

도 14의 (a)에 나타내는 바와 같이, 활성영역(기판영역)과, 활성영역을 둘러싸는 얕은 트렌치분리(12a)에 걸쳐 게이트전극(16a)과, 플레이트전극(16b)을 구비한다. 플레이트전극(16b)의 일부는, 제 2 실시형태와 마찬가지로, 커패시터용 트렌치 내에 매입된다. 커패시터용 트렌치는, 게이트 폭 방향으로 실질적으로 평행하게 연장되면서 얕은 트렌치분리(12a)로 둘러싸이는 장방형 기판영역의 게이트길이 방향의 단부에 위치한다. 반도체장치의 그 밖의 구조는, 제 2 실시형태와 마찬가지이다. 이하, 본 실시형태에서는, 본 실시형태의 특징부분인 커패시터용 트렌치, 플레이트전극의 형성방법을 주로 설명한다.

우선 도 15의 (a)에 나타내는 공정에서, 분리용 트렌치 형성과, 분리용 트렌치 내로의 실리콘산화막 매입을 실시하여, 얕은 트렌치분리(12a)를 형성한다. 이 때 논리회로영역(Rlogc)에도 트렌치분리가 형성된다. 또한 제 2 실시형태와 마찬가지 공정을 실시하여, 심부n웰(11d), p웰(11a), 논리회로영역의 p웰(11c) 및 n웰(11b)을 형성한다(도 7의 (a) 참조). 여기서 도 14의 (a)~(d)에 있어서, p웰(11a) 및 심부n웰(11d)은 실리콘기판(10)에 형성되지만, 편의상 실리콘기판(10)의 기판 본체부 도시는 생략한다.

다음으로, 도 15의 (b)에 나타내는 공정에서, 실리콘기판(10) 상에, 커패시터용 트렌치를 형성하고자 하는 영역을 개구시킨 레지스트마스크(55)(도 14의 (b) 참조)를 형성한다. 도 14의 (b) 및 도 15의 (b)에 나타내는 바와 같이, 레지스트마스크(55)의 개구는, 얕은 트렌치분리(12a)의 일부를 가로질러 복수의 활성영역(기판영역)에 걸쳐진다. 그리고 레지스트마스크(55)를 이용하여 드라이에칭을 실시함으로써, 실리콘기판(10)에 커패시터용 트렌치(56)를 형성한다. 이 때 얕은 트렌치분리(12a)를 구성하는 실리콘산화막과, 실리콘기판과의 에칭선택비를 높게 확보할 필요가 있으므로, 에칭가스로서 염소계 가스(예를 들어 HBr/Cl_2)를 이용한다. 커패시터용 트렌치(56)의 홈 폭은 예를 들어 0.3㎛이다. 이 때 논리회로영역에서는 커패시터용 트렌치는 형성되지 않는다.

다음에, 도 15의 (c)에 나타내는 공정에서, 레지스트마스크(55)를 제거한 후, 트랜지스터 형성영역보다 좁은 범위를 피복하는 레지스트마스크(도시 생략)를 형성한 다음, 이 레지스트마스크를 주입마스크로 이용하여 비소이온(As^+)을 주입하여 커패시터용 트렌치(56) 벽면 바로 아래 영역 및 그 부근 영역에 축적노드가 될 n형 확산층(19)을 형성한다.

다음, 메모리영역(Rmemo)의 용량절연막(15) 및 메모리영역(Rmemo)의 게이트절연막(14a)이 될 두께 2.9nm의 열산화막과, 논리회로영역(Rlogc)의 게이트절연막(14b)(도 7의 (a) 참조)이 될 두께 2~6nm의 열산화막을 형성한 후, 그 위에 두께 200nm의 폴리실리콘막(16)을 퇴적시킨다. 이 폴리실리콘막(16)과 열산화막의 합계두께는, 커패시터용 트렌치(56) 홈 폭의 1/2 이상이다.

다음으로, 도 15의 (d)에 나타내는 공정에서, 폴리실리콘막(16) 및 열산화막을 패터닝함으로써, 메모리영역(Rmemo)에, 트렌치형 커패시터의 용량절연막(15) 및 플레이트전극(16b)과, 메모리셀 트랜지스터의 게이트절연막(14a) 및 게이트전극(16a)을 형성한다. 또 도 15의 (d)에는 도시되지 않지만, 논리회로영역(Rlogc)에는 p채널형 MIS트랜지스터 및 n채널형 MIS트랜지스터의 게이트절연막(14b) 및 게이트전극(16c)을 형성한다(도 7의 (a) 참조).

그 후 공정의 도시는 생략하지만, 제 2 실시형태의 제조방법과 마찬가지 공정을 실시하여, 메모리영역(Rmemo)의 각 측벽(25a, 25b), 고농도 드레인확산층(17a), 저농도 드레인확산층(17b), 소스확산층(18) 과, 논리회로영역(Rlogc)의 측벽(26), 소스·드레인 확산층(20, 21) 등을 형성한다.

본 실시형태의 방법에 의하면, 도 15의 (b)에 나타내는 공정에서 얕은 트렌치분리(12a)를 개재하는 복수의 활성영역에 걸친 개구를 갖는 레지스트마스크(55)를 이용하여, 커패시터용 트렌치(56) 형성을 위한 에칭을 실시하므로, 레지스트마스크의, 얕은 트렌치분리에 대한 위치결정의 정밀도가 요구되는 것이 아니므로, 제 4 실시형태보다 더욱 공정의 간소화가 도모된다.

(그 밖의 실시형태)

상기 각 실시형태에 있어서, 메모리셀은 깊은 n웰로 둘러싸인 구성이라도 된다.

또 상기 각 실시형태에서는, 메모리셀 트랜지스터를 n채널형 트랜지스터로 하지만, 메모리셀 트랜지스터는 p채널형 트랜지스터라도 된다. 메모리셀 트랜지스터를 p채널형 트랜지스터로 함으로써, 삼중 웰 구조를 취하지 않아도 되므로, 제조공정에서의 마스크 수를 저감시킬 수 있는 이점이 있다. 이 경우는 p웰(11a) 대신 n웰을, n형 확산층(19) 대신 p형 확산층을, 고농도 드레인확산층(17a) 대신 고농도 p형 확산층을 형성하고, 메모리셀 트랜지스터의 소스확산층(18) 및 저농도 드레인확산층(17b)을 모두 p형 영역으로 할 필요가 있다. 그리고 심부n웰(11d)에 상당하는 웰은 필요 없다.

상기 각 실시형태에서의 게이트전극(16a, 16c) 및 플레이트전극(16b)을 형성하기 위한 폴리실리콘막 상에, SiON막 등의 반사방지막을 형성해도 된다. 이 경우에, 트렌치 상방에서의 적층막 평탄성을 확보하기 위해서는, 반사방지막과 폴리실리콘막과, 용량절연막과의 합계 두께가 트렌치 폭의 1/2 이상인 것이 바람직하다. 이 경우, 폴리실리콘막을 패터닝하기 위한 레지스트막을 형성하기 위한 포토리소그래피 공정에서, 레지스트막의 패터닝 정밀도를 높게 유지할 수 있으므로, 보다 미세한 트랜지스터를 형성할 경우에 유리하다.

또한, 상기 각 실시형태에서의 게이트전극(16a, 16c) 및 플레이트전극(16b)을 형성하기 위한 폴리실리콘막 상에, 산화막 등의 에칭용 하드마스크를 형성해도 된다. 이 경우에, 트렌치 상방에서의 적층막 평탄성을 확보하기 위해서는 에칭막과 폴리실리콘막과 용량절연막의 합계 두께가 트렌치 폭의 1/2 이상인 것이 바람직하다. 이 경우, 레지스트마스크보다 하드마스크 쪽이 에칭 중의 패턴왜곡이 작으므로, 게이트전극 등의 패터닝 정밀도가 보다 향상된다. 따라서 더욱 미세한 트랜지스터를 형성할 경우에 유리하다.

또, 하드마스크와 반사방지막의 쌍방을 형성할 경우나, 하드마스크로도 반사방지막으로도 기능하는 막을 형성할 경우도 마찬가지이다.

또한 상기 게이트전극이나 플레이트전극은, 폴리실리콘막 및 금속막의 적층막(이른바 폴리메탈)으로 된 도체막으로 형성돼도 된다. 이 경우에는 폴리실리콘막 및 금속막의 적층막으로 된 도체막과 용량절연막의 합계 두께, 또는 폴리실리콘막 및 금속막의 적층막으로 된 도체막과 용량절연막과 반사방지막 등의 절연막의 합계 두께가 트렌치 홈 폭의 1/2보다 크면 된다.

산업상 이용 가능성

본 발명의 반도체장치는, 전자기기에 탑재되는 DRAM이나, DRAM ·논리 혼재 디바이스 등에 이용할 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판과,

상기 반도체기판에 형성된 오목부와,

상기 반도체기판상에 형성된 게이트전극 및 게이트절연막과, 상기 반도체기판 내에서 상기 게이트전극 양 측방에 형성된 소스 ·드레인 확산층을 갖는 메모리셀 트랜지스터와,

상기 반도체기판 상면과 상기 오목부의 적어도 일부에 걸쳐지도록, 상기 메모리셀 트랜지스터의 게이트전극과 공통인 도체막으로 형성된 플레이트전극과, 상기 플레이트전극 하방에 형성된 용량절연막을 갖는 커패시터를 구비하며,

상기 오목부 하부에는 절연막이 매입되어 있고,

상기 플레이트전극 및 용량절연막은, 상기 오목부 내에서는 상기 절연막 상에 형성되어 있는 반도체장치.

청구항 2.

제 1 항에 있어서,

상기 커패시터는, 상기 반도체기판 내에서 상기 용량절연막을 개재하고 상기 플레이트전극과 대향 형성되며, 상기 메모리셀 트랜지스터의 소스 ·드레인 확산층 중 어느 한쪽 확산층에 접속되어, 상기 소스 ·드레인 확산층과 동일 도전형의 축적노드용 확산층을 추가로 구비하는, 반도체장치.

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 오목부 내의 절연막 중 적어도 1 개는 소자분리용 절연막인, 반도체장치.

청구항 5.

제 1 항에 있어서,

상기 플레이트전극 및 용량절연막은 상기 오목부 내에 매립되어 있는 반도체장치.

청구항 6.

삭제

청구항 7.

반도체기판과,

상기 반도체기판에 형성된 오목부와,

상기 반도체기판상에 형성된 게이트전극 및 게이트절연막과, 상기 반도체기판 내에서 상기 게이트전극 양 측방에 형성된 소스·드레인 확산층을 갖는 메모리셀 트랜지스터와,

상기 반도체기판 상면과 상기 오목부의 적어도 일부에 걸쳐지도록, 상기 메모리셀 트랜지스터의 게이트전극과 공통인 도체막으로 형성된 플레이트전극과, 상기 플레이트전극 하방에 형성된 용량절연막을 갖는 커패시터와,

상기 플레이트전극을 형성하기 위한 도체막 상에 형성된 상부 절연막를 구비하며,

상기 상부절연막 및 상기 플레이트전극이 형성되는 상기 도체막 및 상기 용량절연막의 합계 두께는 상기 오목부 폭의 1/2 이상이고,

상기 플레이트전극 및 상기 용량절연막은 상기 오목부 내를 메우고 있는 반도체장치.

청구항 8.

제 1 항 내지 제 2 항, 제 4 항 내지 제 5 항, 제 7 항 중 어느 한 항에 있어서,

상기 용량절연막과 상기 메모리셀 트랜지스터의 상기 게이트절연막은 공통의 막으로 형성되는 반도체장치.

청구항 9.

제 1 항 내지 제 2 항, 제 4 항 내지 제 5 항, 제 7 항 중 어느 한 항에 있어서,

상기 용량절연막과 상기 메모리셀 트랜지스터의 상기 게이트절연막은 서로 다른 막으로 형성되어 있는 반도체장치.

청구항 10.

제 1 항 내지 제 2 항, 제 4 항 내지 제 5 항, 제 7 항 중 어느 한 항에 있어서,

상기 반도체기판상에 형성된 게이트전극 및 게이트절연막과, 상기 반도체기판 내에 형성된 소스·드레인 확산층을 갖는 논리트랜지스터를 추가로 구비하며,

상기 커패시터의 플레이트전극과, 상기 메모리셀 트랜지스터의 게이트전극과, 상기 논리회로 트랜지스터의 각 게이트전극은 모두 공통의 도체막으로 형성되어 있는 반도체장치.

청구항 11.

반도체기판과, 게이트전극 및 소스·드레인 확산층을 갖는 메모리셀 트랜지스터와, 플레이트전극 및 용량절연막을 갖는 커패시터를 구비하는 반도체장치의 제조방법이며,

상기 반도체기판의 상면 영역에 트렌치를 형성하는 공정(a)과,

상기 트렌치를 매입하는 제 1 절연막을 형성하는 공정(b)과,

상기 제 1 절연막 일부의 상부를 제거하는 공정(c)과,

상기 공정(c) 후에 상기 트렌치 내 및 상기 반도체기판의 상면 상에 걸쳐, 제 2 절연막과 이 제 2 절연막을 피복하는 도체막을 형성하는 공정(d)과,

상기 도체막을 패터닝하여, 상기 메모리셀 트랜지스터의 게이트전극과 상기 커패시터의 플레이트전극을 형성하는 공정(e)을 포함하는, 반도체장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 공정(c) 후에 상기 공정(d)에 앞서, 상기 반도체기판 상면의 일부와, 상기 트렌치가 노출된 측면에 걸치는 영역에 불순물을 도핑하여, 상기 커패시터의 축적노드가 될 불순물확산층을 형성하는 공정을 추가로 포함하는, 반도체장치의 제조방법.

청구항 13.

제 11 항 또는 제 12 항에 있어서,

상기 공정(d)에서는, 상기 제 2 절연막으로서 산화막과 질화막을 순차 적층시킨 후, 상기 질화막을 산화시켜 산화막, 질화막 및 산화막의 적층막으로 이루어지는 용량절연막을 형성함과 동시에, 상기 반도체기판 표면을 산화시켜 상기 메모리셀 트랜지스터의 게이트절연막을 형성하고,

상기 공정(e)에서는, 상기 도체막을 상기 용량절연막과 게이트절연막 상에 형성하는, 반도체장치의 제조방법.

청구항 14.

제 11 항 또는 제 12 항에 있어서,

상기 반도체장치는 게이트전극 및 소스·드레인 확산층을 갖는 논리트랜지스터를 추가로 구비하며,

상기 공정(a)에서는, 상기 논리트랜지스터 형성영역에서 소자분리용 트렌치를 형성하고,

상기 공정(b)에서는, 상기 논리트랜지스터 형성영역의 상기 트렌치를 상기 제 1 절연막으로 매입하며,

상기 공정(c)에서는 상기 논리트랜지스터 형성영역의 상기 트렌치를 매입하는 상기 제 1 절연막은 그대로 남겨두는 반도체장치의 제조방법.

청구항 15.

반도체기판과, 게이트전극 및 소스·드레인 확산층을 갖는 메모리셀 트랜지스터와, 플레이트전극 및 용량절연막을 갖는 커패시터를 구비하는 반도체장치의 제조방법으로,

상기 반도체기판의 상면 영역에 트렌치를 형성하는 공정(a)과,

상기 트렌치 내 및 상기 반도체기판의 상면 상에 걸쳐, 제 2 절연막과 이 제 2 절연막을 피복하는 도체막을 형성하는 공정(b)과,

상기 도체막을 패터닝하여, 상기 메모리셀 트랜지스터의 게이트전극과, 상기 커패시터의 플레이트전극을 형성하는 공정(c)을 포함하며,

상기 공정(b)에서는, 상기 제 2 절연막으로서 산화막과 질화막을 순차 적층시킨 후, 상기 질화막을 산화시켜 산화막, 질화막 및 산화막의 적층막으로 이루어지는 용량절연막을 형성함과 동시에, 상기 반도체기판 표면을 산화시켜 상기 메모리셀 트랜지스터의 게이트절연막을 형성하고,

상기 공정(c)에서는, 상기 도체막을 상기 용량절연막과 게이트절연막 상에 형성하며,

상기 공정(b)에서는, 상기 제 2 절연막과 상기 도체막의 합계 막 두께가 상기 트렌치 홈 폭의 1/2보다 두꺼운 반도체장치의 제조방법.

청구항 16.

삭제

청구항 17.

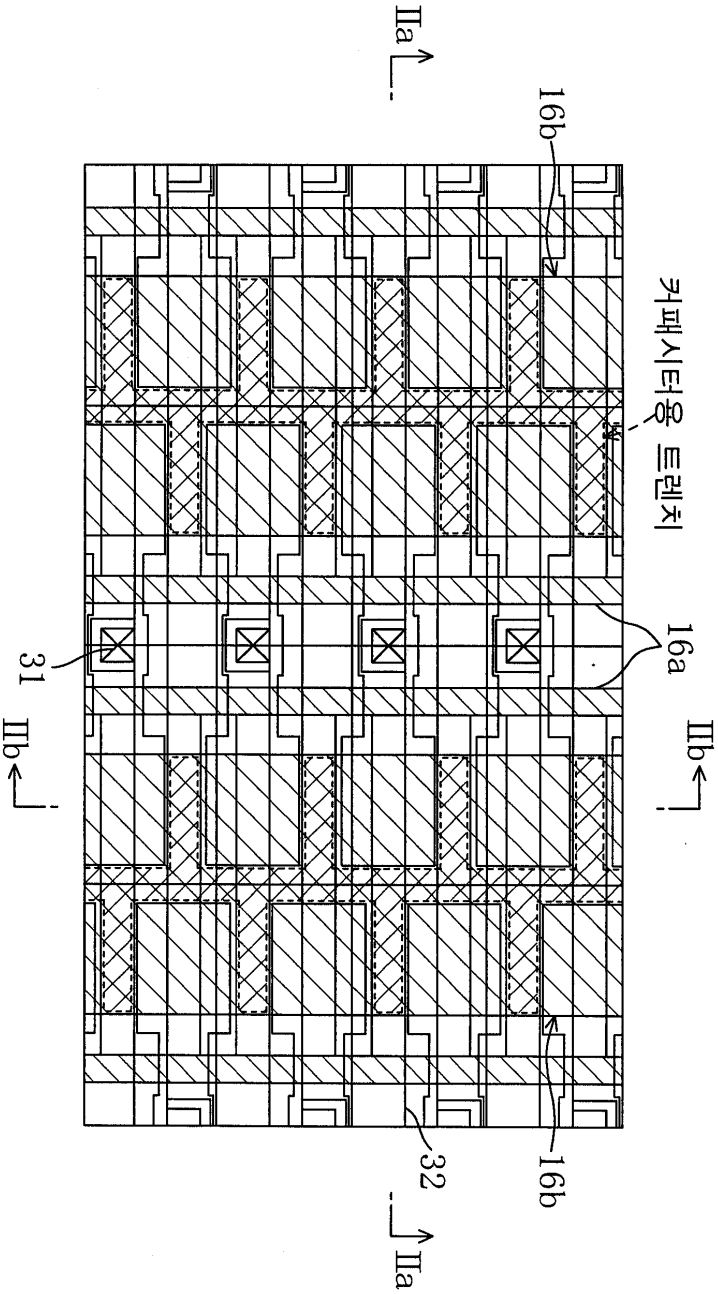
제 15 항에 있어서,

상기 공정(a)에 앞서, 산화막으로 이루어지는 트렌치분리를 형성하는 공정을 추가로 포함하며,

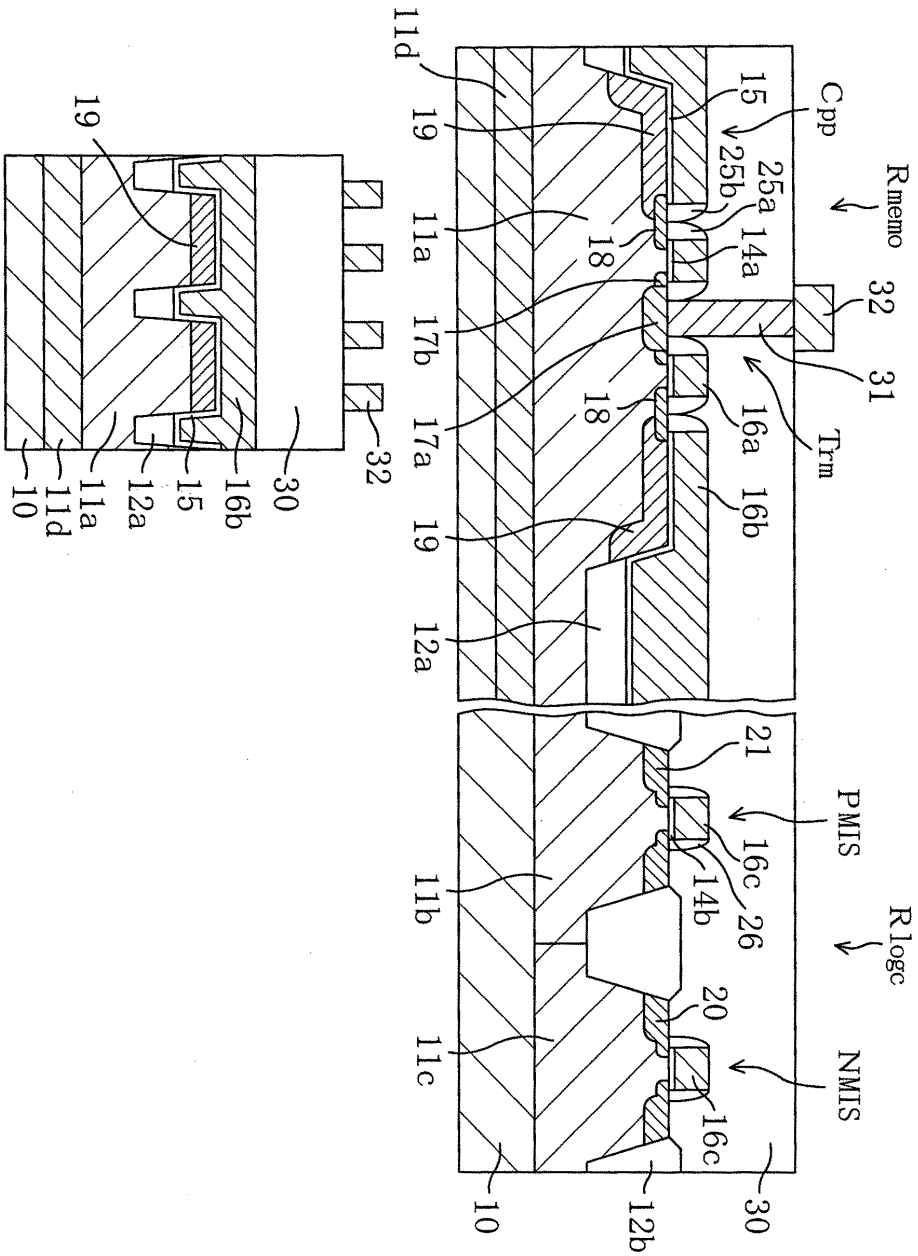
상기 공정(a)에서는, 상기 트렌치분리의 일부를 포함하며, 복수의 활성영역에 걸치는 개구를 갖는 레지스트마스크를 이용하여 상기 반도체기판을 에칭함에 따라 상기 트렌치를 형성하는, 반도체장치의 제조방법.

도면

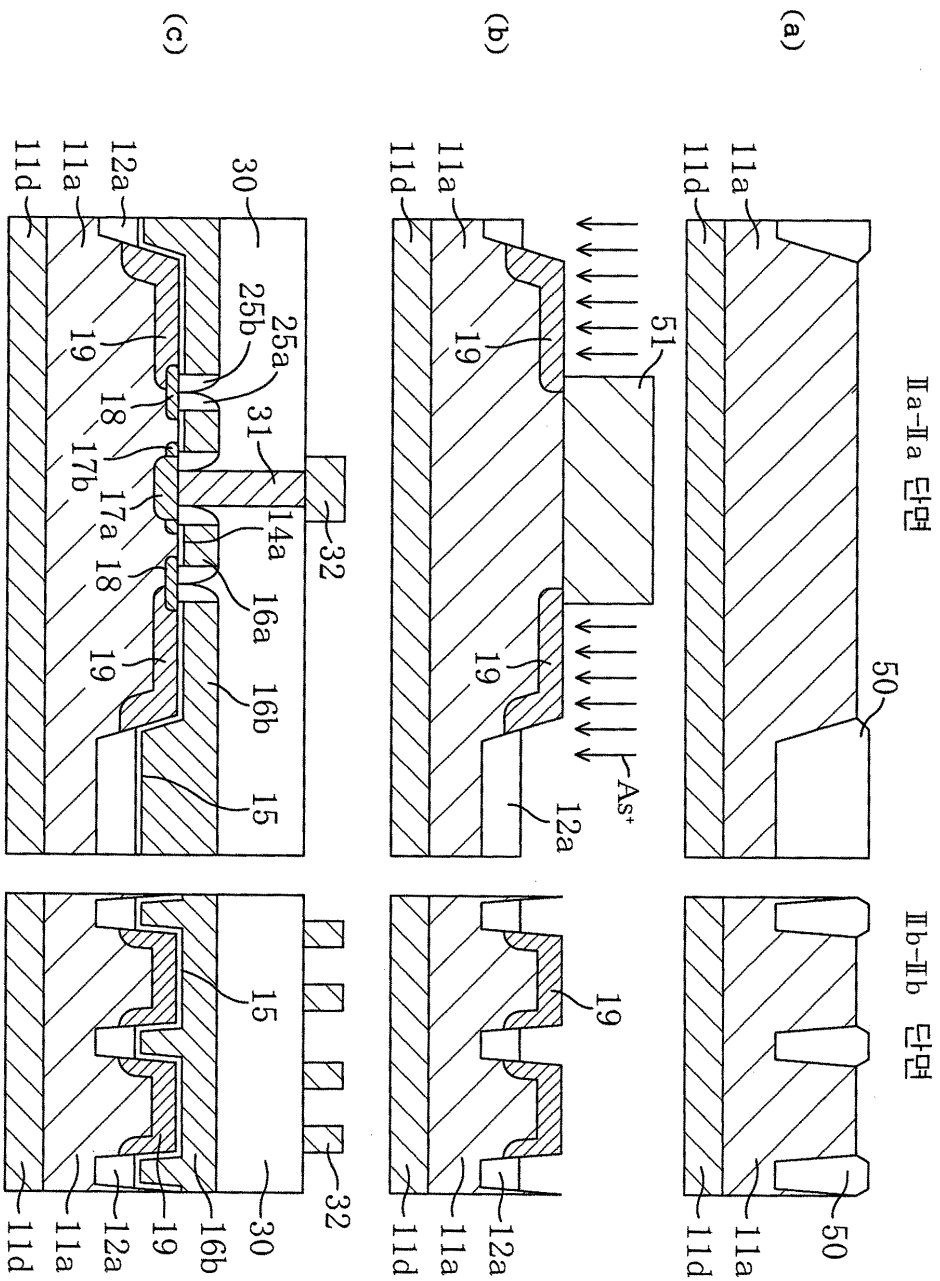
도면1



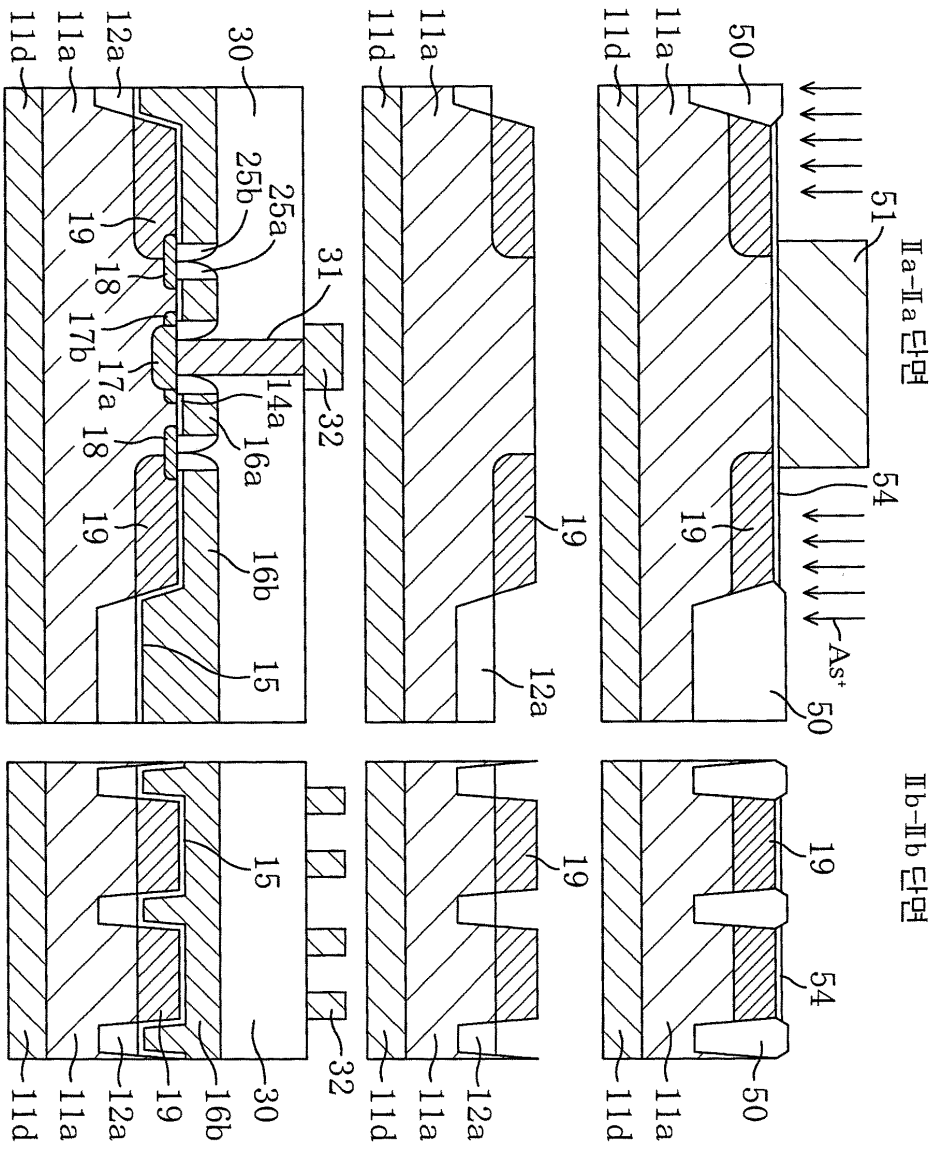
도면2


11d
19
15
Cpp
25a
25b
14a
Rmemo
32
31
18
11a
17b
Trm
18
16a
16b
17a
19
19
12a
21
PMIS
16c
14b
26
Rlogc
11b
20
NMIS
11c
16c
10
12b
30
19
32
30
16b
15
12a
11a
11d
10

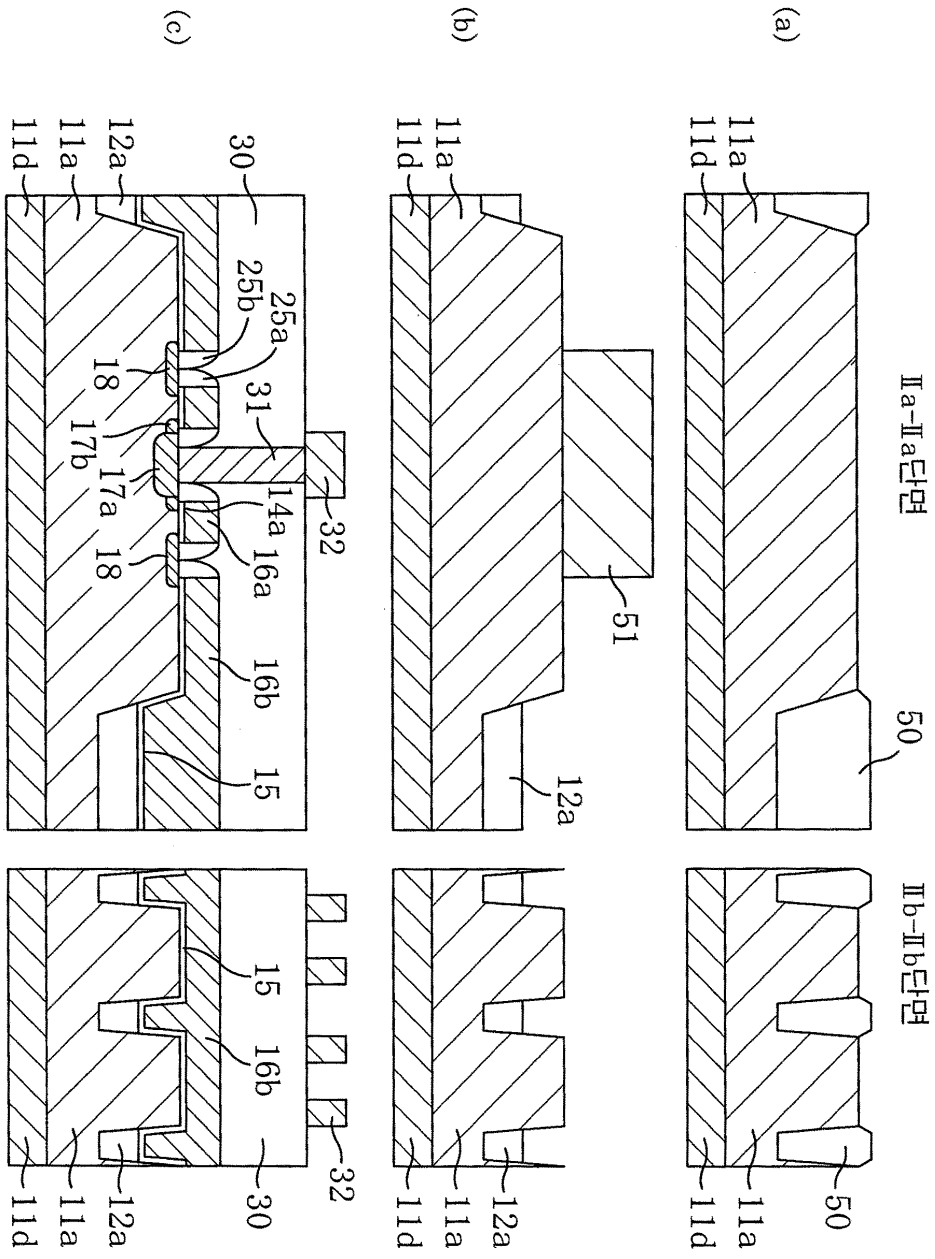
도면3


(a)
(b)
(c)
Ⅱa-Ⅱa 단면
Ⅱb-Ⅱb 단면
11a
11d
50
51
As+
19
12a
30
25a
25b
31
32
14a
16a
16b
15
18
17a
17b
11a
11d
12a
19
16b
30
32

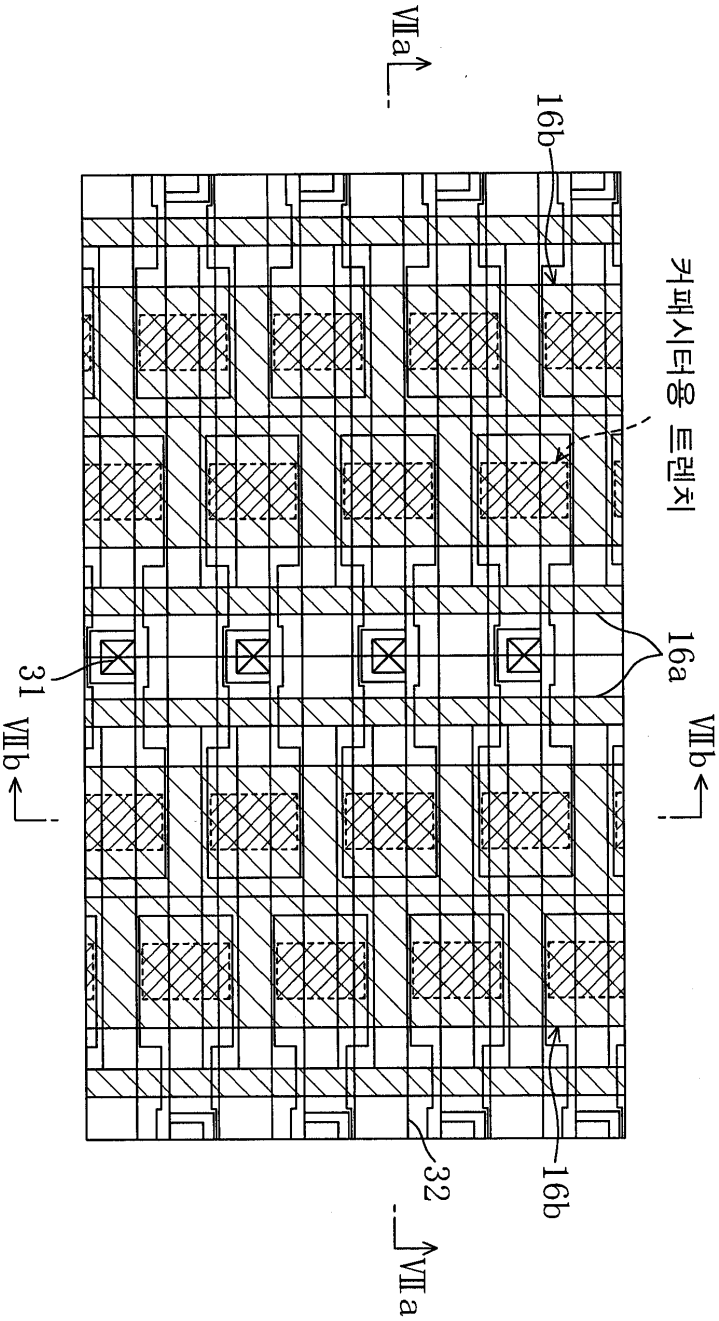
도면4


(a)
(b)
(c)
Ⅱa-Ⅱa 단면
Ⅱb-Ⅱb 단면
As+
50
51
54
19
11a
11d
12a
15
16a
16b
17a
17b
18
25a
25b
30
31
32
14a

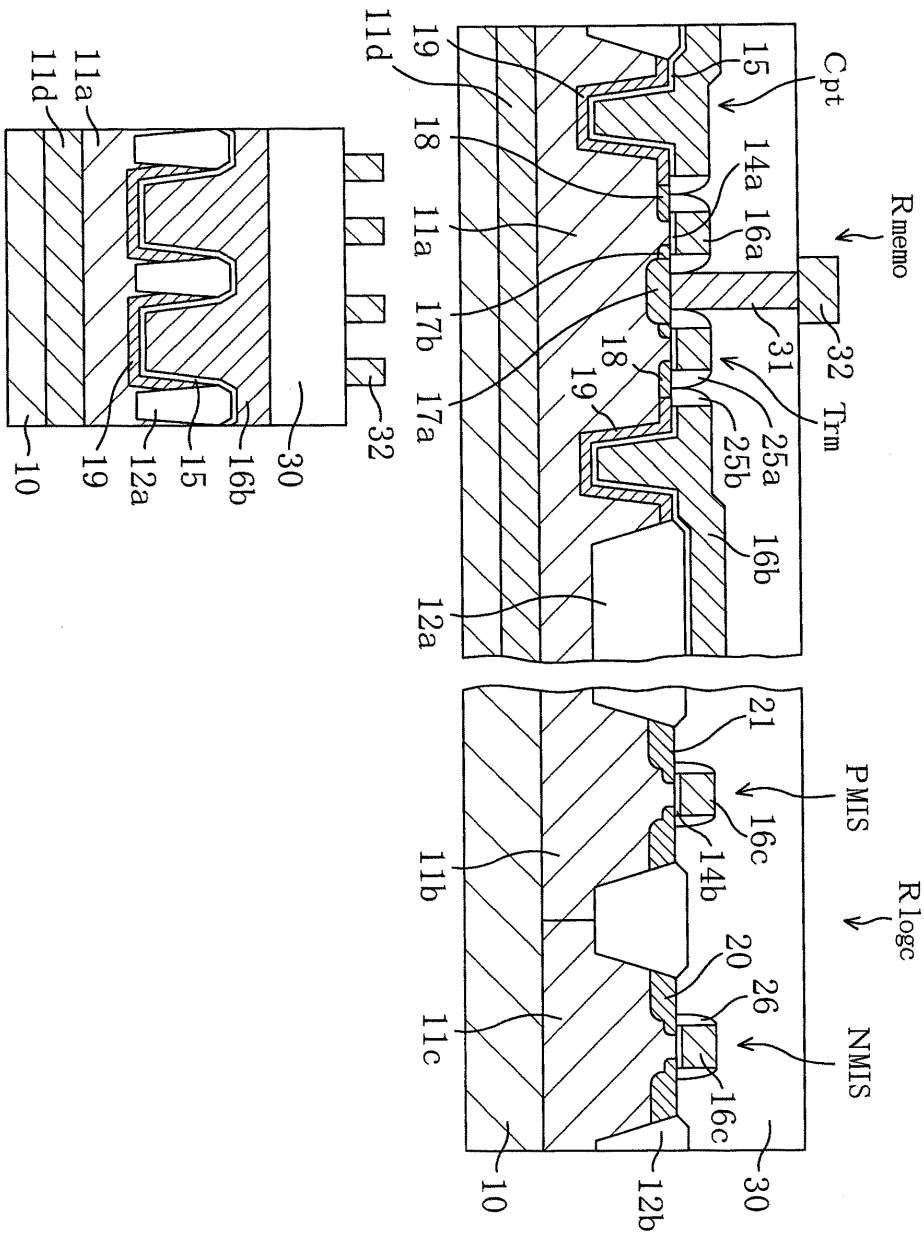
도면5


(a)
(b)
(c)
Ⅱa-Ⅱa단면
Ⅱb-Ⅱb단면
11a
11d
50
51
12a
30
25a
25b
31
32
18
17b
17a
14a
16a
16b
15

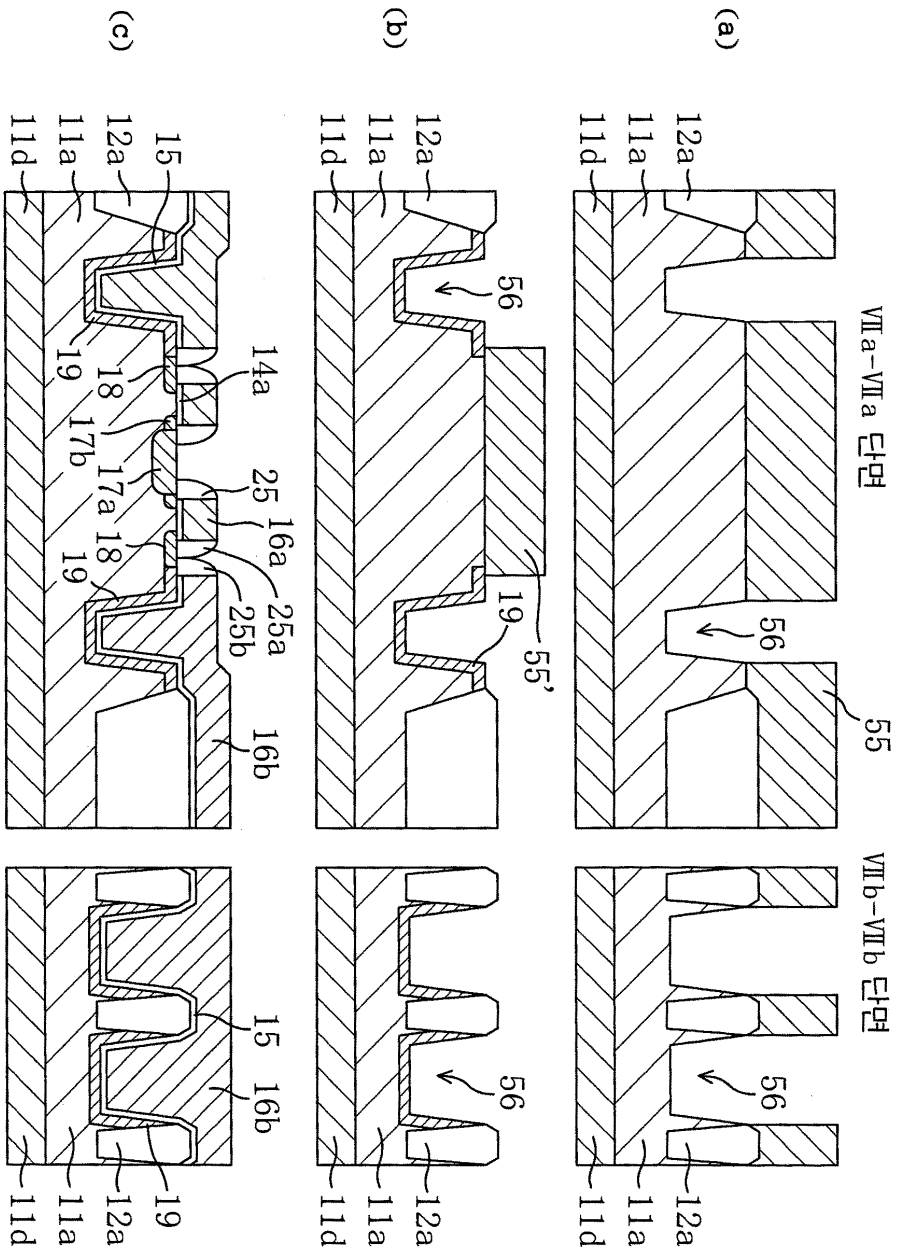
도면6



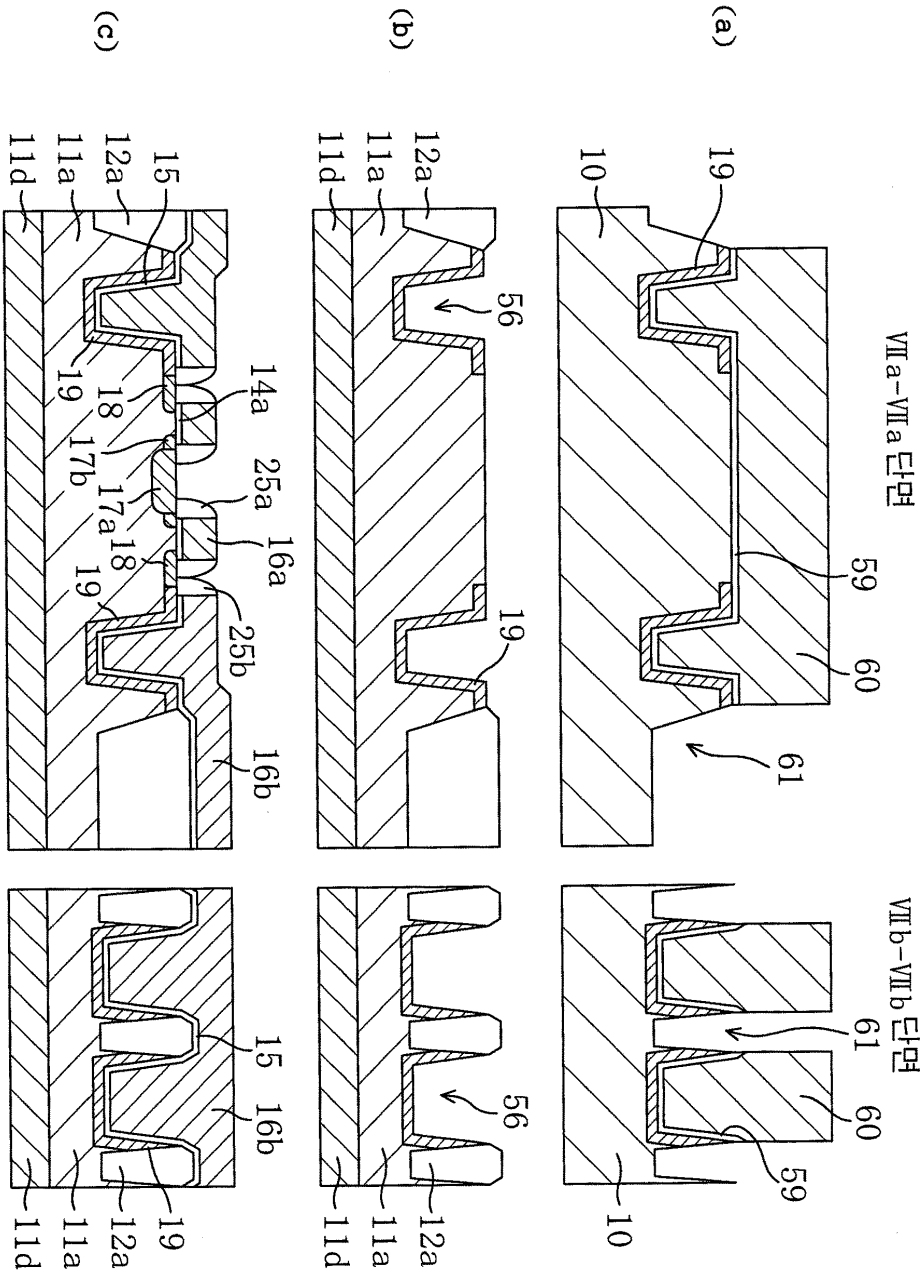
도면7


11d
19
18
11a
17b
17a
12a
15
Cpt
14a
16a
Rmemo
31
32
Trm
25a
25b
16b
11a
11d
10
19
12a
15
16b
30
32
21
PMIS
16c
14b
11b
Rlogc
20
26
NMIS
11c
16c
10
12b
30

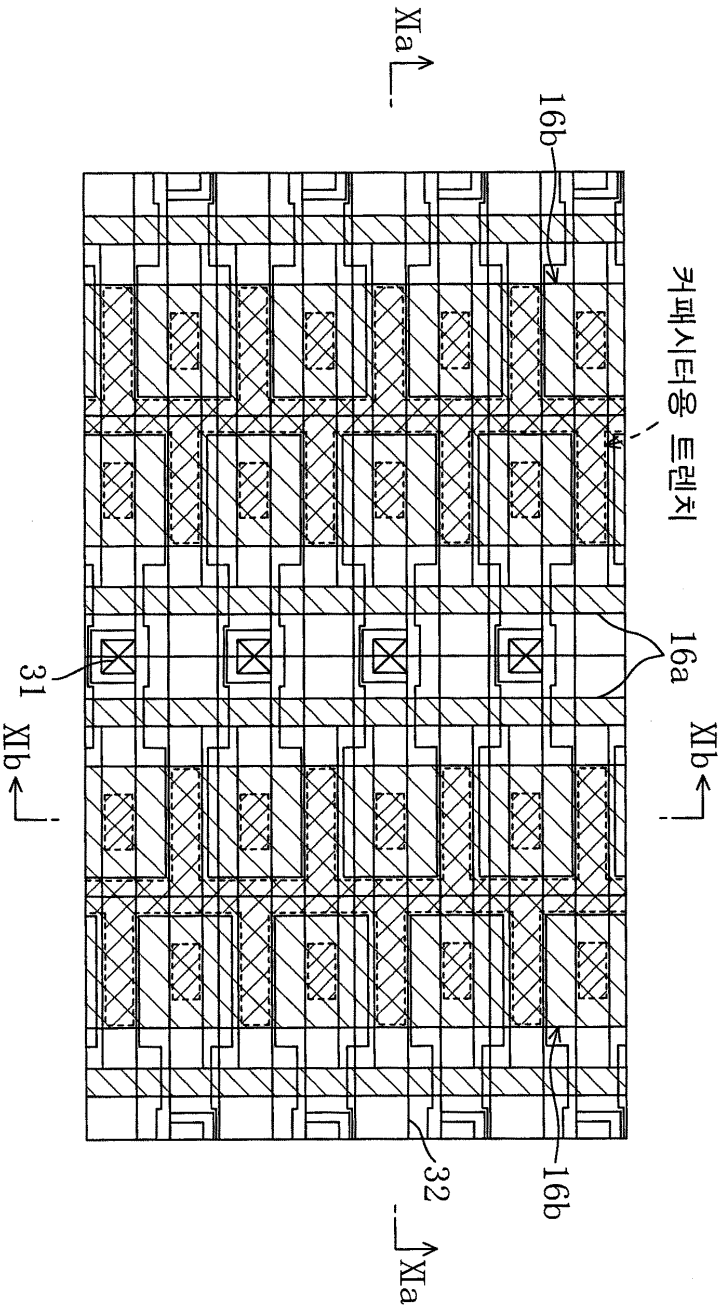
도면8


(a)
(b)
(c)
VIIa-VIIa 단면
VIIb-VIIb 단면
12a
11a
11d
56
55
55'
19
14a
25
16a
25a
25b
16b
18
17a
17b
15

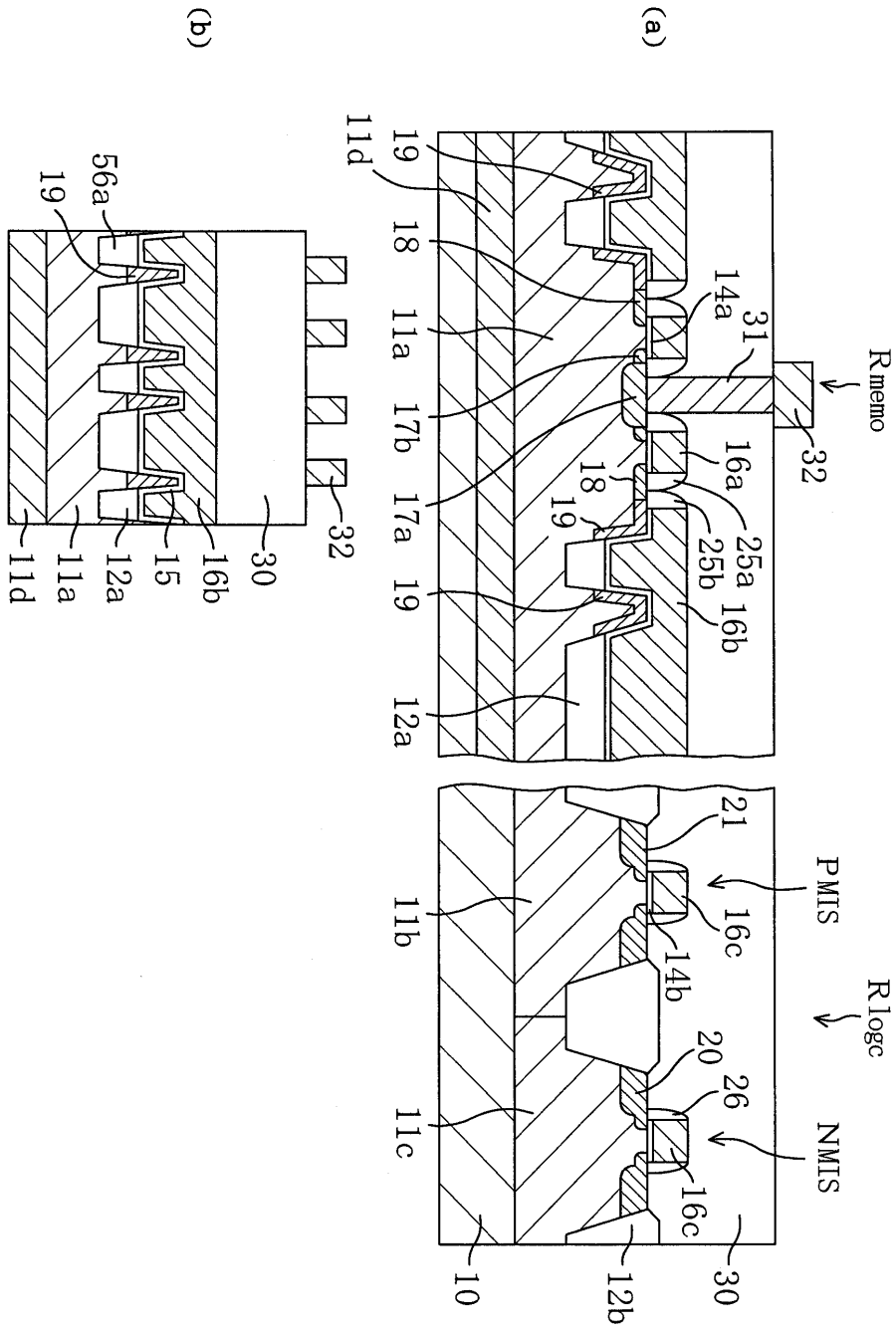
도면9


(a)
(b)
(c)
VIIa-VIIa 단면
VIIb-VIIb 단면
10
19
59
60
61
56
12a
11a
11d
15
16a
16b
14a
25a
25b
17a
17b
18

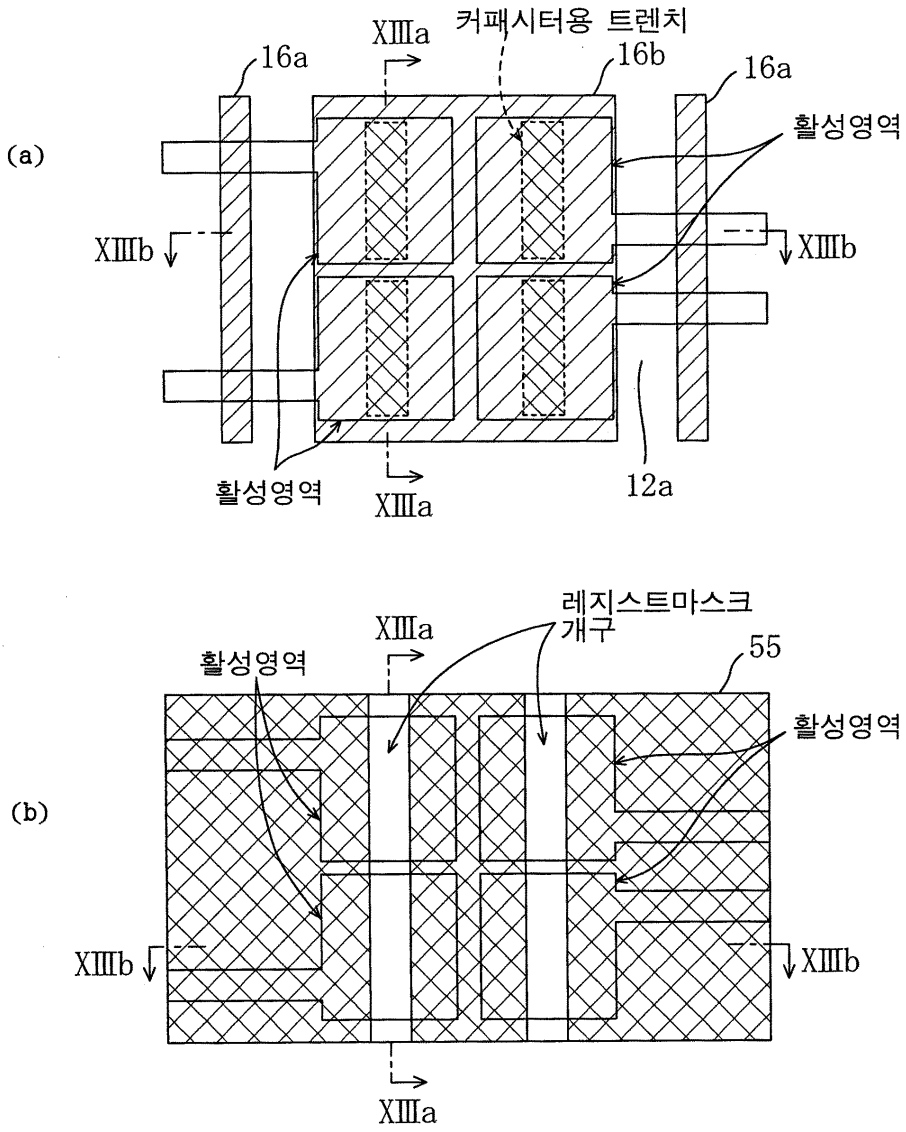
도면10



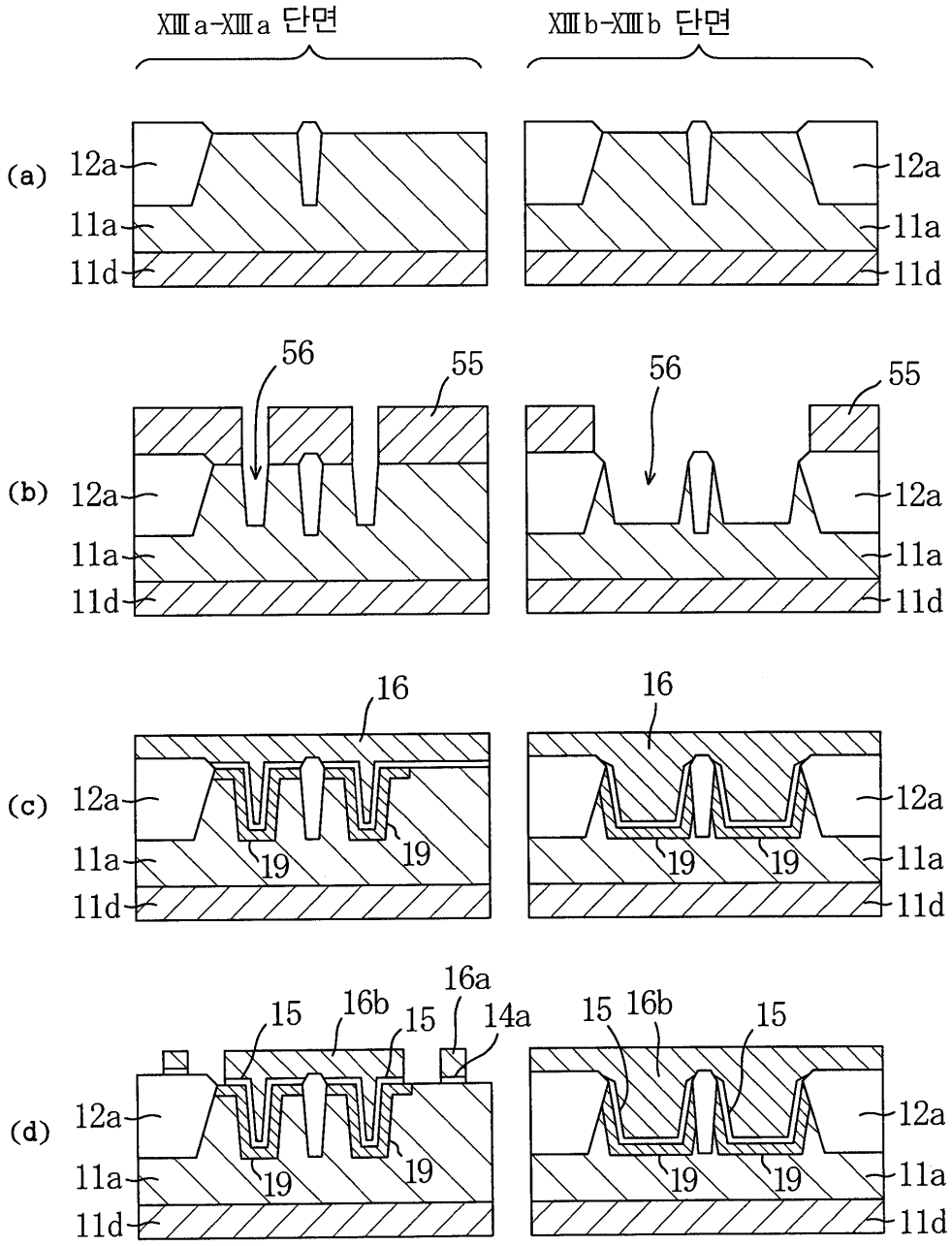
도면11


(a)
(b)
Rmemo
Rlogc
PMIS
NMIS
11d
19
18
11a
17b
17a
12a
14a
31
32
16a
25a
25b
16b
21
16c
11b
14b
20
26
11c
10
12b
30
56a
15
12a
11d

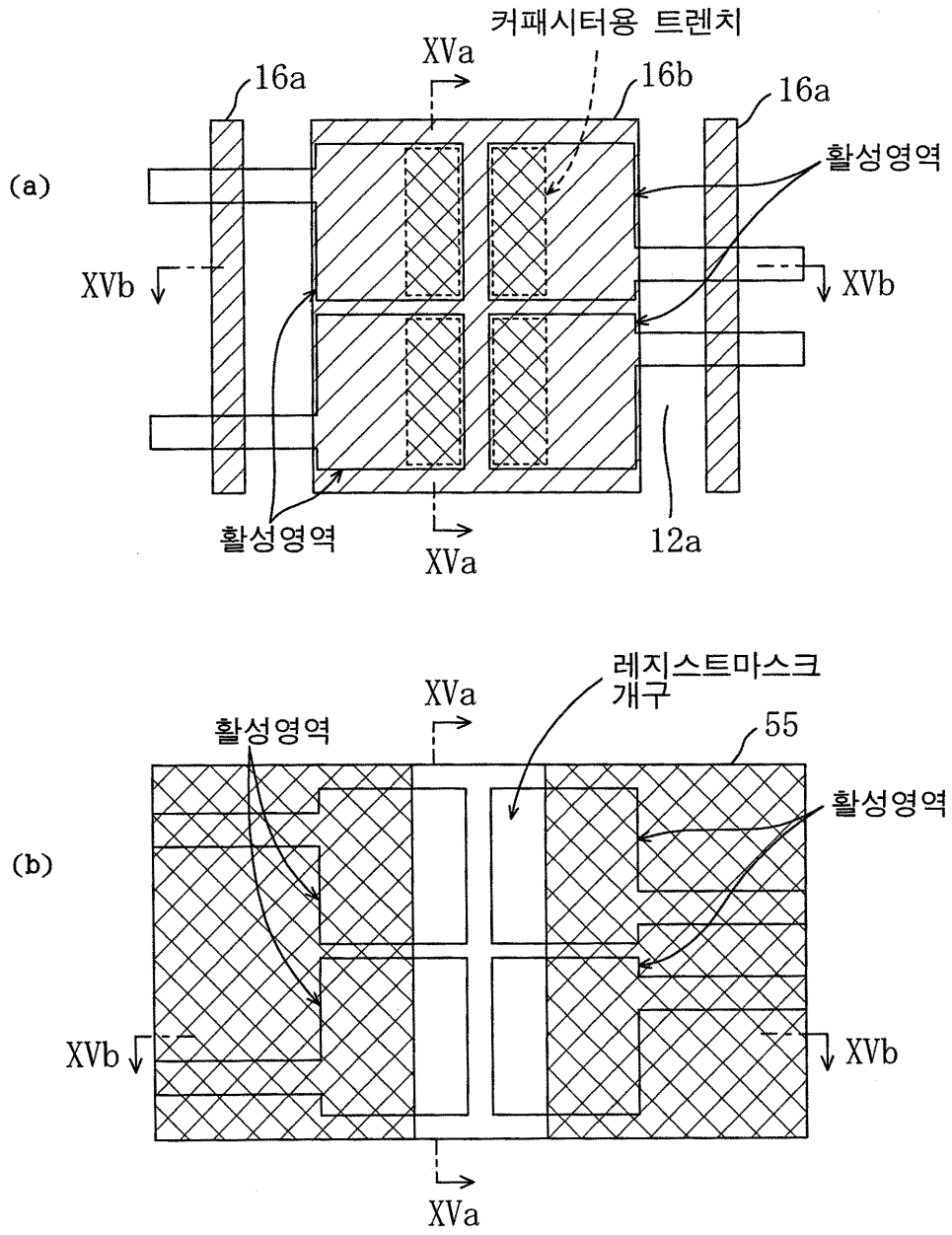
도면12


(a)
XIIIa
커패시터용 트렌치
16a
16b
16a
활성영역
XIIIb
XIIIb
활성영역
XIIIa
12a
(b)
XIIIa
레지스트마스크
개구
활성영역
55
활성영역
XIIIb
XIIIb
XIIIa

도면13


XIIIa-XIIIa 단면
XIIIb-XIIIb 단면
(a)
12a
11a
11d
(b)
56
55
(c)
16
19
(d)
16a
15
16b
14a

도면14


(a)
커패시터용 트렌치
XVa
16a
16b
16a
활성영역
XVb
XVb
활성영역
XVa
12a
(b)
레지스트마스크
개구
XVa
활성영역
55
활성영역
XVb
XVb
XVa

도면15

