

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5034529号
(P5034529)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 338
G02F 1/1368 (2006.01)	G09F 9/30 349C
H01L 29/786 (2006.01)	G02F 1/1368
H01L 21/336 (2006.01)	H01L 29/78 619B
	H01L 29/78 612C
請求項の数 12 (全 32 頁) 最終頁に続く	

(21) 出願番号	特願2007-22660 (P2007-22660)	(73) 特許権者	000002369
(22) 出願日	平成19年2月1日(2007.2.1)		セイコーエプソン株式会社
(65) 公開番号	特開2008-191200 (P2008-191200A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成20年8月21日(2008.8.21)	(74) 代理人	100104765
審査請求日	平成21年11月10日(2009.11.10)		弁理士 江上 達夫
		(74) 代理人	100107331
			弁理士 中村 聡延
		(72) 発明者	石井 達也
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	田井 伸幸
最終頁に続く			

(54) 【発明の名称】 電気光学装置用基板及び電気光学装置、並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上の表示領域で互いに交差するデータ線及び走査線と、

前記データ線及び前記走査線の交差に対応して設けられた画素電極と、

(i) 前記表示領域における第1の方向に沿ったチャンネル長を有するチャンネル領域と、前記データ線に電氣的に接続されたデータ線側ソースドレイン領域と、前記画素電極に電氣的に接続された画素電極側ソースドレイン領域と、前記チャンネル領域及び前記データ線側ソースドレイン領域間に形成された第1の接合領域と、前記チャンネル領域及び前記画素電極側ソースドレイン領域間に形成された第2の接合領域とを有する半導体層と、(ii) 該半導体層よりも第1の絶縁膜を介して上層側に配置されると共に、前記基板上で平面的に見て、前記チャンネル領域に重なる本体部と、該本体部から前記半導体層の脇で前記第1の方向に前記第2の接合領域に沿って延設された第1延設部と、該第1延設部の少なくとも前記第2の接合領域に隣接する部分から前記第1の方向に交わる第2の方向に沿って延設されると共に前記走査線に電氣的に接続された第2延設部とを有するゲート電極とを含むトランジスタと

を備え、

前記第1の絶縁膜には、前記基板上で平面的に見て、前記第1延設部と重なる部分に前記第2の接合領域に沿った長手状の溝が形成されており、

前記第1延設部は、前記溝内の少なくとも一部に形成された溝内部分を有する

ことを特徴とする電気光学装置用基板。

【請求項 2】

基板と、

前記基板上の表示領域で互いに交差するデータ線及び走査線と、

前記データ線及び前記走査線の交差に対応して設けられた画素電極と、

(i) 前記表示領域における第 1 の方向に沿ったチャンネル長を有するチャンネル領域と、前記データ線に電氣的に接続されたデータ線側ソースドレイン領域と、前記画素電極に電氣的に接続された画素電極側ソースドレイン領域と、前記チャンネル領域及び前記データ線側ソースドレイン領域間に形成された第 1 の接合領域と、前記チャンネル領域及び前記画素電極側ソースドレイン領域間に形成された第 2 の接合領域とを有する半導体層と、(i i) 該半導体層よりも第 1 の絶縁膜を介して上層側に配置されると共に、前記基板上で平面的に見て、前記チャンネル領域に重なる本体部と、該本体部から前記半導体層の脇で前記第 1 の方向に前記第 2 の接合領域及び前記画素電極側ソースドレイン領域に沿って延設された第 1 延設部と、該第 1 延設部の少なくとも前記画素電極側ソースドレイン領域に隣接する部分から前記第 1 の方向に交わる第 2 の方向に沿って延設されると共に前記走査線に電氣的に接続された第 2 延設部とを有するゲート電極とを含むトランジスタと

を備え、

前記第 1 の絶縁膜には、前記基板上で平面的に見て、前記第 1 延設部と重なる部分に前記第 2 の接合領域に沿った長手状の溝が形成されており、

前記第 1 延設部は、前記溝内の少なくとも一部に形成された溝内部分を有する

ことを特徴とする電気光学装置用基板。

【請求項 3】

前記第 1 延設部及び前記第 2 延設部は夫々、前記半導体層を挟んでその両側に設けられることを特徴とする請求項 1 又は 2 に記載の電気光学装置用基板。

【請求項 4】

前記溝は、前記画素電極側ソースドレイン領域に対しても少なくとも部分的に沿うように形成されることを特徴とする請求項 2 に記載の電気光学装置用基板。

【請求項 5】

前記第 1 延設部は、前記チャンネル領域に対しても少なくとも部分的に隣接するように設けられることを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置用基板。

【請求項 6】

前記溝は、前記チャンネル領域に対して少なくとも部分的に沿うように形成されることを特徴とする請求項 5 に記載の電気光学装置用基板。

【請求項 7】

前記走査線及び前記ゲート電極は、互いに同一膜から形成されることを特徴とする請求項 1 から 6 のいずれか一項に記載の電気光学装置用基板。

【請求項 8】

前記第 1 及び第 2 の接合領域は、LDD 領域であることを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置用基板。

【請求項 9】

前記基板上において前記半導体層よりも下層側に配置された第 2 の絶縁膜を備え、

前記溝は、前記第 1 の絶縁膜を貫通して前記第 2 の絶縁膜にも形成される

ことを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置用基板。

【請求項 10】

前記基板上において前記第 2 の絶縁膜よりも下層側に配置され、前記半導体層に少なくとも部分的に重なると共に、遮光性材料を含んでなる下側遮光膜を備え、

前記溝は、前記第 2 の絶縁膜をも貫通して前記下側遮光膜の表面に至るように形成され、

前記溝内部分及び前記下側遮光膜は、前記溝内において互いに電氣的に接続される

ことを特徴とする請求項 9 に記載の電気光学装置用基板。

10

20

30

40

50

【請求項 1 1】

請求項 1 から 1 0 のいずれか一項に記載の電気光学装置用基板を備えたことを特徴とする電気光学装置。

【請求項 1 2】

請求項 1 1 に記載の電気光学装置を具備してなることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、例えば液晶装置等の電気光学装置に用いられる電気光学装置用基板、及び該電気光学装置用基板を備えてなる電気光学装置、並びに該電気光学装置を備えた、例えば液晶プロジェクタ等の電子機器の技術分野に関する。

10

【背景技術】

【0 0 0 2】

この種の電気光学装置の一例である液晶装置は、直視型ディスプレイのみならず、例えば投射型表示装置の光変調手段（ライトバルブ）としても多用されている。特に投射型表示装置の場合、光源からの強い光が液晶ライトバルブに入射されるため、この光によって液晶ライトバルブ内の薄膜トランジスタ（T F T : Thin Film Transistor）がリーク電流の増大や誤動作等を生じないように、入射光を遮る遮光手段としての遮光膜が液晶ライトバルブに内蔵されている。このような遮光手段或いは遮光膜について、例えば特許文献 1 は、T F T のチャンネル領域において、ゲート電極として機能する走査線によって遮光する技術を開示している。特許文献 2 によれば、チャンネル領域上に形成された複数の遮光膜と、内面反射光を吸収する層とを設けることによって T F T のチャンネル領域に到達する光を低減している。特許文献 3 は、T F T の好適な動作の確保及び走査線の狭小化を可能とすつ、T F T のチャンネル領域に入射する入射光を極力低減する技術を開示している。

20

【0 0 0 3】

【特許文献 1】特開 2 0 0 4 - 4 7 2 2 号公報

【特許文献 2】特許 3 7 3 1 4 4 7 号公報

【特許文献 3】特開 2 0 0 3 - 2 6 2 8 8 8 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0 0 0 4】

しかしながら、上述のような遮光膜によって T F T を遮光する場合、遮光膜と T F T を構成する半導体層との間は、3 次元的に見て例えば絶縁膜等を介して離間しており、遮光膜の脇から斜めに入射する入射光が T F T を構成する半導体層に到達してしまい、T F T における光リーク電流が発生してしまうおそれがある。このような T F T における光リーク電流に起因して、フリッカ、画素ムラ等の表示不良が生じ、表示画像の品質が低下してしまうおそれがあるという技術的問題点がある。

【0 0 0 5】

本発明は、例えば上述した問題点に鑑みなされたものであり、例えば、アクティブマトリクス方式で駆動される液晶装置等の電気光学装置であって、画素スイッチング用の T F T における光リーク電流の発生を低減でき、高品質な画像を表示可能な電気光学装置に用いられる電気光学装置用基板、及びそのような電気光学装置用基板を備えた電気光学装置、並びにそのような電気光学装置を具備してなる電子機器を提供することを課題とする。

40

【課題を解決するための手段】

【0 0 0 6】

本発明の電気光学装置用基板は上記課題を解決するために、基板と、前記基板上の表示領域で互いに交差するデータ線及び走査線と、前記データ線及び前記走査線の交差に対応して設けられた画素電極と、(i) 前記表示領域における第 1 の方向に沿ったチャンネル長を有するチャンネル領域と、前記データ線に電氣的に接続されたデータ線側ソースドレイン領域と、前記画素電極に電氣的に接続された画素電極側ソースドレイン領域と、前記チャ

50

ネル領域及び前記データ線側ソースドレイン領域間に形成された第1の接合領域と、前記チャンネル領域及び前記画素電極側ソースドレイン領域間に形成された第2の接合領域とを有する半導体層と、(i i)該半導体層よりも第1の絶縁膜を介して上層側に配置されると共に、前記基板上で平面的に見て、前記チャンネル領域に重なる本体部と、該本体部から前記半導体層の脇で前記第1の方向に前記第2の接合領域に沿って延設された第1延設部と、該第1延設部の少なくとも前記第2の接合領域に隣接する部分から前記第1の方向に交わる第2の方向に沿って延設されると共に前記走査線に電氣的に接続された第2延設部とを有するゲート電極とを含むトランジスタとを備え、前記第1の絶縁膜には、前記基板上で平面的に見て、前記第1延設部と重なる部分に前記第2の接合領域に沿った長手状の溝が形成されており、前記第1延設部は、前記溝内の少なくとも一部に形成された溝内部分

10

を有する。
 また、本発明の電気光学装置用基板は上記課題を解決するために、基板と、前記基板上の表示領域で互いに交差するデータ線及び走査線と、前記データ線及び前記走査線の交差に対応して設けられた画素電極と、(i)前記表示領域における第1の方向に沿ったチャンネル長を有するチャンネル領域と、前記データ線に電氣的に接続されたデータ線側ソースドレイン領域と、前記画素電極に電氣的に接続された画素電極側ソースドレイン領域と、前記チャンネル領域及び前記データ線側ソースドレイン領域間に形成された第1の接合領域と、前記チャンネル領域及び前記画素電極側ソースドレイン領域間に形成された第2の接合領域とを有する半導体層と、(i i)該半導体層よりも第1の絶縁膜を介して上層側に配置されると共に、前記基板上で平面的に見て、前記チャンネル領域に重なる本体部と、該本体部から前記半導体層の脇で前記第1の方向に前記第2の接合領域及び前記画素電極側ソースドレイン領域に沿って延設された第1延設部と、該第1延設部の少なくとも前記画素電極側ソースドレイン領域に隣接する部分から前記第1の方向に交わる第2の方向に沿って延設されると共に前記走査線に電氣的に接続された第2延設部とを有するゲート電極とを含むトランジスタとを備え、前記第1の絶縁膜には、前記基板上で平面的に見て、前記第1延設部と重なる部分に前記第2の接合領域に沿った長手状の溝が形成されており、前記第1延設部は、前記溝内の少なくとも一部に形成された溝内部分

20

【0007】

本発明の電気光学装置用基板を備えた電気光学装置によれば、その動作時に、例えば、電気光学装置用基板において、データ線から画素電極への画像信号の供給が制御され、所謂アクティブマトリクス方式による画像表示が可能となる。尚、画像信号は、データ線及び画素電極間に電氣的に接続されたスイッチング素子であるトランジスタが走査線から供給される走査信号に応じてオンオフされることによって、所定のタイミングでデータ線からトランジスタを介して画素電極に供給される。画素電極は、例えばITO(Indium Tin Oxide)等の透明導電材料からなる透明電極であり、データ線及び走査線の交差に対応して、基板上において表示領域となるべき領域にマトリクス状に複数設けられる。

30

【0008】

トランジスタは、チャンネル領域、データ線側ソースドレイン領域及び画素電極側ソースドレイン領域を有する半導体層、及びチャンネル領域に重なるゲート電極を含む。

【0009】

チャンネル領域は、表示領域における第1の方向に沿ったチャンネル長を有する。本発明に係る「第1の方向」とは、例えば基板上でマトリクス状に規定された複数の画素の行方向、即ち複数のデータ線が配列される配列方向或いは複数の走査線の各々が延びる方向(例えば後述する各図において示されるX方向)、又は例えば基板上でマトリクス状に規定された複数の画素の列方向、即ち複数の走査線が配列される配列方向或いは複数のデータ線の各々が延びる方向(例えば後述する各図において示されるY方向)を意味する。

40

【0010】

データ線側ソースドレイン領域はデータ線と互いに電氣的に接続され、画素電極側ソースドレイン領域は画素電極と互いに電氣的に接続される。更に、半導体層のチャンネル領域とデータ線側ソースドレイン領域との間には第1の接合領域が形成され、半導体層のチャ

50

ネル領域と画素電極側ソースドレイン領域との間には第2の接合領域が形成される。第1の接合領域は、チャンネル領域とデータ線側ソースドレイン領域との接合部に形成される領域であり、第2の接合領域は、チャンネル領域と画素電極側ソースドレイン領域との接合部に形成される領域である。即ち、第1及び第2の接合領域は、例えば、トランジスタが例えばNPN型或いはPNP型トランジスタ（即ち、Nチャンネル型或いはPチャンネル型トランジスタ）として形成された場合におけるPN接合領域や、トランジスタがLDD（Lightly Doped Drain）構造を有する場合におけるLDD領域（即ち、例えばイオンインプラントーション法等の不純物打ち込みによって半導体層に各ソースドレイン領域よりも少量の不純物を打ち込んでなる不純物領域）を意味する。

【0011】

ゲート電極は、半導体層よりも第1の絶縁膜を介して上層側に配置される。第1の絶縁膜は、ゲート電極とチャンネル領域とを電氣的に絶縁するゲート絶縁膜として機能する。第1の絶縁膜は、半導体層を覆うように、典型的には、基板上の全面に積層される。

【0012】

本発明では、ゲート電極は、本体部、第1延設部及び第2延設部を含んでなる。ゲート電極における本体部には、例えば走査線と同一膜から形成された第2延設部を介して走査信号が供給され、走査信号に応じたゲート電圧が印加されることによりトランジスタはオン状態となる。即ち、本体部は、トランジスタのゲート電極として本来的に機能する部分である。

【0013】

本発明では特に、第1延設部は、本体部から半導体層の脇で第1の方向に沿って延設される。第1延設部は、各画素の非開口領域のうち、半導体層の脇における第1の方向に沿った領域内に設けられる。尚、非開口領域は、画素内において、表示に実際に寄与する光が透過又は反射される領域である開口領域を規定するように、この開口領域の周囲に配置される領域である。即ち、画素内において、非開口領域は、光が透過又は反射されない領域として、遮光膜や遮光手段、走査線やデータ線等が配置され、これら各種の構成要素によって規定される。更に、第1延設部は、基板上で平面的に見て、少なくとも第2の接合領域に隣接するように延設される。即ち、第1延設部は、第1の方向に沿って延びるように形成された半導体層における第2の接合領域に沿った両側又は片側に、第1の方向に沿って延設される。よって、第1延設部は、ゲート絶縁膜として機能する第1の絶縁膜を介して半導体層のすぐ上層側において、隣接する半導体層の第2の接合領域に対して、それよりも上層側から入射する光を遮光することが可能となる。従って、ゲート電極より更に上層側に配置された遮光膜や遮光手段によって遮光する場合と比較して、半導体層の少なくとも第2の接合領域に対して入射する光をより確実に遮光することが可能となる。即ち、ここにいう「より確実に遮光」とは、第1延設部のうち第2の接合領域に隣接する部分によれば、ゲート電極より更に上層側に配置された遮光膜や遮光手段と比べて、その下層側に浸入して半導体層に入射される光を、より低減することが可能となる、という趣旨である。

【0014】

更に、本発明では特に、第1の絶縁膜には、基板上で平面的に見て、第1延設部と重なる部分には第2の接合領域に沿った長手状の溝が形成されており、第1延設部の溝内部分は、この溝内の壁部及び底部の少なくとも一部に形成される。よって、溝内部分は、3次元的に見て、半導体層の第2の接合領域に沿った、壁状の遮光体として形成される。従って、半導体層の第2の接合領域に対して、それよりも上層側から入射する光に加えて、同層において入射する光、更には基板を介してそれよりも下層側から入射する戻り光をも、溝内部分によって遮ることができる。このように第1延設部のうち平面的に形成された部分（即ち、基板面に沿って形成された部分）に加えて溝内部分によっても半導体層に対して入射する光を遮ることができるため、半導体層に対する遮光性を強化することが可能となる。

【0015】

加えて、本発明では特に、第2延設部は、第1延設部の少なくとも一部から第1の方向に交わる第2の方向に沿って延設される。即ち、第2延設部は、第1延設部の一部、或いはその概ね全部に対して連続的に設けられる。例えば、第2延設部は、第1延設部のうち本体部よりも画素電極側ソースドレイン領域の側寄りに位置する部分から第2の方向に沿って延設される。或いは、例えば、第2延設部は、第1延設部のうち第2の接合領域に隣接する部分から第2の方向に沿って延設される。或いは、例えば、第2延設部は、第1延設部のうち画素電極側ソースドレイン領域側の端に位置する部分から第2の方向に沿って延設される。これにより、第1延設部の少なくとも一部について、見かけ上、第2延設部の分だけ基板上的配置面積を広げることが可能となる。よって、半導体層の少なくとも第2の接合領域に対して進行する光のうち、第2の接合領域に隣接するように延設された第1延設部の少なくとも一部に対して入射する光を、第2延設部を設けることで、より広い領域で遮光することが可能となる。従って、第2延設部により、半導体層の第2の接合領域に対する遮光性を補強することができる。

10

【0016】

以上説明したように、本発明の電気光学装置用基板によれば、半導体層の少なくとも第2の接合領域に対して入射する光に対する遮光性を、第1延設部及び第2延設部の存在により、より向上させることが可能となる。ここで、後述するように、本願発明者らの研究によれば、理論的に、トランジスタの動作時に、第1及び第2の接合領域のうち特に第2の接合領域では相対的に光リーク電流が発生し易い傾向にあり、実験でも証明されている。本発明では、半導体層において特に光リーク電流が発生し易い領域である第2の接合領域に対する遮光性を向上させることができ、その結果、トランジスタの半導体層における光リーク電流をより効果的に低減することが可能となる。

20

【0017】

従って、本発明の電気光学装置用基板を用いた電気光学装置によれば、その動作時において、各画素のトランジスタの光リーク電流の発生に起因する、表示不良の発生を防止、或いは発生しても表示上、表示不良と視認されない程度に低減することが可能となる。その結果、電気光学装置において高品質な画像を表示することができる。

【0018】

本発明の電気光学装置用基板の一態様では、前記第1延設部及び前記第2延設部は夫々、前記半導体層を挟んでその両側に設けられる。

30

【0019】

この態様によれば、半導体層の第2の接合領域の両側の各々に第1延設部が隣接するように設けられ、該両側に設けられた第1延設部の各々から第2延設部が延設される。よって、第2の接合領域に対して入射する光に対する遮光性を、より向上させることが可能となる。従って、トランジスタの半導体層における光リーク電流をより効果的に低減することが可能となる。

【0020】

本発明の電気光学装置用基板の他の態様では、前記第2延設部は、前記第1延設部のうち少なくとも前記第2の接合領域に隣接する部分から延設される。

【0021】

この態様によれば、第1延設部のうち少なくとも第2の接合領域に隣接する部分について、見かけ上、第2延設部の分だけ基板上的配置面積を広げることが可能となる。従って、半導体層の第2の接合領域に対して、第1の方向に沿って延びる側に向かって進行する光を、第2延設部の分だけ、より広い領域で遮光することが可能となる。よって、半導体層の第2の接合領域に対する遮光性を、第1延設部に第2延設部を加えることで補強して、より効果的に向上させることができる。

40

【0022】

本発明の電気光学装置用基板の他の態様では、前記第1延設部は、前記画素電極側ソースドレイン領域に対しても少なくとも部分的に隣接するように設けられる。

【0023】

50

この態様によれば、第1延設部が、半導体層の第2の接合領域に加えて、画素電極側ソースドレイン領域に対しても少なくとも部分的に隣接するように、第1の方向に沿って延設される。よって、第1延設部によって、第2の接合領域に加えて、画素電極側ソースドレイン領域に対しても少なくともその一部について、それよりも上層側から入射する光を遮光することが可能となる。また、第2の接合領域に入射する光についても、半導体層の脇においてより広い領域で第1延設部によって遮光することができる。

【0024】

よって、この態様によれば、半導体層に対する遮光性をより向上させることが可能となる。

【0025】

上述した第1延設部が画素電極側ソースドレイン領域に対しても隣接するように設けられる態様では、前記第2延設部は、前記第1延設部のうち少なくとも前記画素電極側ソースドレイン領域に隣接する部分から延設されるように構成してもよい。

【0026】

この場合には、第1延設部のうち少なくとも画素電極側ソースドレイン領域に隣接する部分について、見かけ上、第2延設部の分だけ基板上の配置面積を広げることが可能となる。従って、画素電極側ソースドレイン領域に接する第2の接合領域に対して、第1の方向に沿って延びる側に向かって進行する光を、第2延設部の分だけ、より広い領域で遮光することが可能となる。よって、半導体層の第2の接合領域に対する遮光性を、第1延設部に第2延設部を加えることで補強して、より効果的に向上させることができる。

【0027】

上述した第1延設部が画素電極側ソースドレイン領域に対しても隣接するように設けられる態様では、前記溝は、前記画素電極側ソースドレイン領域に対しても少なくとも部分的に沿うように形成されるように構成してもよい。

【0028】

この場合には、第1の絶縁膜において、溝は、第2の接合領域に加えて、画素電極側ソースドレイン領域にも沿って形成されており、第1延設部において溝内部分を、半導体層の第2の接合領域から画素電極側ソースドレイン領域に沿った壁状の遮光体として形成することができる。よって、半導体層の画素電極側ソースドレイン領域に対して進行する光についても、溝内部分によって遮ることができる。また、半導体層の第2の接合領域に対して進行する光についても、半導体層の脇においてより広い領域で溝内部分によって遮ることができる。よって、この態様によれば、半導体層に対する遮光性をより向上させることが可能となる。

【0029】

本発明の電気光学装置用基板の他の態様では、前記第1延設部は、前記チャネル領域に対しても少なくとも部分的に隣接するように設けられる。

【0030】

この態様によれば、第1延設部が、半導体層のチャネル領域の少なくとも一部に対して隣接して形成されるため、チャネル領域に対して入射する光を遮光することが可能となる。よって、半導体層のチャネル領域に対する遮光性をもより向上させることが可能となり、光リーク電流をより低減することができる。更に、第2の接合領域に入射する光を、第1延設部のうちチャネル領域に隣接する部分によっても遮光することが可能となり、第2の接合領域に対する遮光性をもより向上させることができる。

【0031】

このような遮光性の観点からみれば、第1延設部はチャネル領域の概ね全部に対して隣接して形成されるのが好ましい。一方、画素の開口率の向上という観点からみれば、第1延設部はチャネル領域に部分的に隣接して形成するとよい。即ち、後者の場合は、第1延設部が第2の接合領域に隣接する構成を確保するための形状として、第1延設部のうちチャネル領域に隣接する部分は必要最小限の配置面積で設けるようにするのが好ましい。尚、「開口率」とは、開口領域及び非開口領域を加えた画素のサイズにおける開口領域の割

10

20

30

40

50

合を意味し、開口率が大きいほど、装置の表示性能が向上する。

【0032】

上述した第1延設部がチャンネル領域に対しても隣接するように設けられる態様では、前記溝は、前記チャンネル領域に対して少なくとも部分的に沿うように形成されるように構成してもよい。

【0033】

この場合には、第1延設部の溝内部分によって、チャンネル領域に対して入射する光を遮光することが可能となる。即ち、第1の絶縁膜において溝は、第2の接合領域に加えてチャンネル領域の少なくとも一部に対しても沿って形成されており、第1延設部の溝内部分を、半導体層の第2の接合領域からチャンネル領域の少なくとも一部に沿った壁状の遮光体として形成することができる。よって、半導体層のチャンネル領域に対して進行する光に加えて、半導体層の第2の接合領域に対して進行する光についても、より広い領域で溝内部分によって遮ることができる。

10

【0034】

本発明の電気光学装置用基板の他の態様では、前記走査線及び前記ゲート電極は、互いに同一膜から形成される。

【0035】

この態様によれば、電気光学装置用基板の製造プロセスにおいて、ゲート電極と走査線とを同一工程において同一膜により同一機会に形成することが可能となるため、当該製造プロセスをより簡略化することができる。

20

【0036】

本発明の電気光学装置用基板の他の態様では、前記第1及び第2の接合領域は、LDD領域である。

【0037】

この態様によれば、トランジスタは、LDD構造を有する。よって、トランジスタの非動作時において、データ線側ソースドレイン領域及び画素電極側ソースドレイン領域に流れるオフ電流を低減し、且つトランジスタの飽和動作時におけるドレイン端の電界緩和を低減でき、ホットキャリア現象による閾値の上昇(トランジスタ特性劣化に関する信頼性上の課題)に起因したオン電流の低下を抑制できる。

【0038】

30

本発明の電気光学装置用基板の他の態様では、前記基板上において前記半導体層よりも下層側に配置された第2の絶縁膜を備え、前記溝は、前記第1の絶縁膜を貫通して前記第2の絶縁膜にも形成される。

【0039】

この態様によれば、溝の深さは、第1の絶縁膜の上側表面から半導体層の上側表面までの層間距離より大きい。第1延設部の溝内部分は、例えば、第1の絶縁膜の上側表面から第1の絶縁膜を貫通して半導体層よりも下層側の第2の絶縁膜に形成された溝の壁部及び底部に沿って形成される。よって、半導体層に対して入射する光を遮る遮光性を、より一層、高めることができる。

【0040】

40

上述した第2の絶縁膜を備える態様では、前記基板上において前記第2の絶縁膜よりも下層側に配置され、前記半導体層に少なくとも部分的に重なると共に、遮光性材料を含んでなる下側遮光膜を備え、前記溝は、前記第2の絶縁膜をも貫通して前記下側遮光膜の表面に至るように形成され、前記溝内部分及び前記下側遮光膜は、前記溝内において互いに電氣的に接続されるように構成してもよい。

【0041】

このように構成すれば、下側遮光膜によって、基板における裏面反射や、複板式のプロジェクタ等で他の電気光学装置から発せられ合成光学系を突き抜けてくる光などである、基板側から装置内に入射する戻り光からトランジスタを遮光できる。よって、トランジスタにおける光リーク電流の発生をより確実に低減できる。

50

【0042】

また、下側遮光膜は好ましくは平面的に見て半導体層のチャネル領域と少なくとも重なるように形成され、第1延設部の溝内部分は、第1及び第2の絶縁膜を貫通して形成された溝によって第1の絶縁膜から露出された下側遮光膜の表面と接触することで、下側遮光膜と電氣的に接続される（言い換えれば、溝は、第1延設部分及び下側遮光膜間を電氣的に接続するためのコンタクトホールとして機能する）。よって、下側遮光膜におけるチャネル領域に重なる部分を、トランジスタのゲート電極として機能させることができる。即ち、トランジスタは、ダブルゲート或いはデュアルゲート構造を有する。従って、半導体層のチャネル領域における上面側及び下面側の両方にチャネルを形成できる。この結果、仮に半導体層のチャネル領域における上面側のみにチャネルが形成される場合と比較して、トランジスタの動作時にチャネル領域に流れる電流、即ちオン電流を大きくすることができる。

10

【0043】

本発明の電気光学装置は上記課題を解決するために、上述した本発明の電気光学装置用基板（但し、その各種態様も含む）を備える。

【0044】

本発明の電気光学装置によれば、上述した本発明の電気光学装置用基板を備えているため、フリッカや画素ムラが低減された高品質な画像を表示可能な電気光学装置を提供することができる。

【0045】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置を具備してなる。

20

【0046】

本発明の電子機器によれば、上述した本発明の電気光学装置を具備してなるので、高品質な表示を行うことが可能な、投射型表示装置、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなどの各種電子機器を実現できる。また、本発明に係る電子機器として、例えば電子ペーパーなどの電気泳動装置等も実現することが可能である。

【0047】

本発明の作用及び他の利得は次に説明する実施するための最良の形態から明らかにされる。

30

【発明を実施するための最良の形態】

【0048】

以下では、本発明の各実施形態について図を参照しつつ説明する。以下の実施形態では、夫々、本発明の電気光学装置の一例である駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置を例にとる。

【0049】

<第1実施形態>

本発明の第1実施形態に係る液晶装置について、図1から図18を参照して説明する。

40

【0050】

先ず、本実施形態における液晶装置の全体構成について、図1及び図2を参照して説明する。

【0051】

図1は、TFTアレイ基板をその上に形成された各構成要素と共に、対向基板の側から見た液晶装置の概略的な平面図であり、図2は、図1のH-H'断面図である。

【0052】

図1及び図2において、液晶装置は、対向配置されたTFTアレイ基板10と対向基板20とから構成されている。TFTアレイ基板10は例えば石英基板、ガラス基板、シリコン基板等の透明基板である。対向基板20も例えばTFTアレイ基板10と同様の材料

50

からなる透明基板である。TFTアレイ基板10と対向基板20との間には液晶層50が封入されており、TFTアレイ基板10と対向基板20とは、本発明に係る「表示領域」の一例としての画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。

【0053】

シール材52は、両基板を貼り合わせるための、例えば紫外線硬化樹脂、熱硬化樹脂等からなり、製造プロセスにおいてTFTアレイ基板10上に塗布された後、紫外線照射、加熱等により硬化させられたものである。また、例えばシール材52中には、TFTアレイ基板10と対向基板20との間隔(基板間ギャップ)を所定値とするためのグラスファイバ或いはガラスビーズ等のギャップ材56が散布されている。本実施形態に係る液晶装置は、プロジェクタのライトバルブ用として小型で拡大表示を行うのに適している。

10

【0054】

シール材52が配置されたシール領域の内側に並行して、画像表示領域10aの額縁領域を規定する遮光性の額縁遮光膜53が、対向基板20側に設けられている。但し、このような額縁遮光膜53の一部又は全部は、TFTアレイ基板10側に内蔵遮光膜として設けられてもよい。

【0055】

TFTアレイ基板10上における、画像表示領域10aの周辺に位置する周辺領域には、データ線駆動回路101及びサンプリング回路7、走査線駆動回路104、外部回路接続端子102が夫々形成される。

20

【0056】

TFTアレイ基板10上における周辺領域において、シール領域より外周側に、データ線駆動回路101及び外部回路接続端子102が、TFTアレイ基板10の一辺に沿って設けられている。また、TFTアレイ基板10上の周辺領域のうちシール領域より内側に位置する領域には、TFTアレイ基板10の一辺に沿う画像表示領域10aの一辺に沿って且つ額縁遮光膜53に覆われるようにしてサンプリング回路7が配置される。

【0057】

また、走査線駆動回路104は、TFTアレイ基板10の一辺に隣接する2辺に沿い、且つ、額縁遮光膜53に覆われるようにして設けられている。更に、このように画像表示領域10aの両側に設けられた二つの走査線駆動回路104間を電氣的に接続するため、TFTアレイ基板10の残る一辺に沿い、且つ額縁遮光膜53に覆われるようにして複数の配線105が設けられている。

30

【0058】

また、TFTアレイ基板10上の周辺領域において、対向基板20の4つのコーナー部に対向する領域に、上下導通端子106が配置されると共に、このTFTアレイ基板10及び対向基板20間には上下導通材が上下導通端子106に対応して該端子106に電氣的に接続されて設けられる。

【0059】

図2において、TFTアレイ基板10上には、駆動素子である画素スイッチング用のTFTや走査線、データ線等の配線が作り込まれた積層構造が形成されている。画像表示領域10aには、画素スイッチング用TFTや走査線、データ線等の配線の上層に画素電極9aがマトリクス状に設けられている。画素電極9a上には、配向膜16が形成されている。尚、本実施形態では、画素スイッチング素子はTFTのほか、各種トランジスタ或いはTFD(Thin Film Diode)等により構成されてもよい。

40

【0060】

他方、対向基板20におけるTFTアレイ基板10との対向面上に、遮光膜23が形成されている。遮光膜23は、例えば遮光性金属膜等から形成されており、対向基板20上の画像表示領域10a内で、例えば格子状等にパターンニングされている。そして、遮光膜23上(図2中遮光膜23より下側)に、ITO等の透明材料からなる対向電極21が複数の画素電極9aと対向して例えばベタ状に形成され、更に対向電極21上(図2中对向

50

電極 2 1 より下側)には配向膜 2 2 が形成されている。

【 0 0 6 1 】

液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一对の配向膜間で、所定の配向状態をとる。そして、液晶装置の駆動時、夫々に電圧が印加されることで、画素電極 9 a と対向電極 2 1 との間には液晶保持容量が形成される。

【 0 0 6 2 】

尚、ここでは図示しないが、T F T アレイ基板 1 0 上には、データ線駆動回路 1 0 1、走査線駆動回路 1 0 4 の他に、複数のデータ線に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等が形成されていてもよい。

【 0 0 6 3 】

次に、本実施形態に係る液晶装置の画素部の電気的な構成について、図 3 を参照して説明する。

【 0 0 6 4 】

図 3 は、本実施形態に係る液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路図である。

【 0 0 6 5 】

図 3 において、画像表示領域 1 0 a を構成するマトリクス状に形成された複数の画素の夫々には、画素電極 9 a 及び本発明に係る「トランジスタ」の一例としての T F T 3 0 が形成されている。T F T 3 0 は、画素電極 9 a に電気的に接続されており、液晶装置の動作時に画素電極 9 a をスイッチング制御する。画像信号が供給されるデータ線 6 a は、T F T 3 0 のソースに電気的に接続されている。データ線 6 a に書き込む画像信号 S 1、S 2、...、S n は、この順に線順次に供給しても構わないし、相隣接する複数のデータ線 6 a 同士に対して、グループ毎に供給するようにしてもよい。

【 0 0 6 6 】

T F T 3 0 のゲートに走査線 1 1 が電気的に接続されており、本実施形態に係る液晶装置は、所定のタイミングで、走査線 1 1 にパルス的に走査信号 G 1、G 2、...、G m を、この順に線順次で印加するように構成されている。画素電極 9 a は、T F T 3 0 のドレインに電気的に接続されており、スイッチング素子である T F T 3 0 を一定期間だけそのスイッチを閉じることにより、データ線 6 a から供給される画像信号 S 1、S 2、...、S n が所定のタイミングで書き込まれる。画素電極 9 a を介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号 S 1、S 2、...、S n は、対向基板に形成された対向電極との間で一定期間保持される。

【 0 0 6 7 】

液晶層 5 0 (図 2 参照)を構成する液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能とする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として液晶装置からは画像信号に応じたコントラストをもつ光が出射される。

【 0 0 6 8 】

ここで保持された画像信号がリークすることを防ぐために、画素電極 9 a と対向電極 2 1 (図 2 参照)との間に形成される液晶容量に対して電気的に並列に蓄積容量 7 0 が付加されている。蓄積容量 7 0 は、画像信号の供給に応じて各画素電極 9 a の電位を一時的に保持する保持容量として機能する容量素子である。蓄積容量 7 0 の一方の電極は、画素電極 9 a と電気的に並列して T F T 3 0 のドレインに接続され、他方の電極は、定電位となるように、電位固定の容量線 3 0 0 に接続されている。蓄積容量 7 0 によれば、画素電極 9 a における電位保持特性が向上し、コントラスト向上やフリッカの低減といった表示特性の向上が可能となる。尚、蓄積容量 7 0 は、後述するように、T F T 3 0 へ入射する光

10

20

30

40

50

を遮る内蔵遮光膜としても機能する。

【 0 0 6 9 】

次に、上述の動作を実現する画素部の具体的な構成について、図 4 から図 6 を参照して説明する。

【 0 0 7 0 】

図 4 は、相隣接する複数の画素部の平面図である。図 5 は、図 4 の A - A ' 線断面図である。図 6 は、図 4 の B - B ' 線断面図である。尚、図 4 から図 6 では、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめている。この点については、後述する図 7 から図 2 0 の該当する各図について同様である。図 4 から図 6 では、図 1 又は図 2 を参照して説明した構成中、T F T アレイ基板側の構成のみについて説明するが、説明の便宜上、これらの図では画素電極 9 a より上側に位置する部分の図示を省略している。

10

【 0 0 7 1 】

ここに、図 5 において、T F T アレイ基板 1 0 から画素電極 9 a までの部分が、本発明に係る「電気光学装置用基板」の一例を構成している。

【 0 0 7 2 】

図 4 において、画素電極 9 a は、T F T アレイ基板 1 0 上に、マトリクス状に複数設けられている。画素電極 9 a の縦横の境界にそれぞれ沿ってデータ線 6 a 及び走査線 1 1 (即ち、走査線 1 1 a 及び 1 1 b) が設けられている。即ち、走査線 1 1 a 及び 1 1 b は、図 4 中 X 方向に沿って伸びており、データ線 6 a は、走査線 1 1 a 或いは 1 1 b と交差するように、図 4 中 Y 方向に沿って伸びている。走査線 1 1 及びデータ線 6 a が互いに交差する個所の各々には画素スイッチング用の T F T 3 0 が設けられている。

20

【 0 0 7 3 】

走査線 1 1、データ線 6 a、蓄積容量 7 0、走査線 1 1 を構成する下側遮光膜 1 1 b、中継層 9 3 及び T F T 3 0 は、T F T アレイ基板 1 0 上で平面的に見て、画素電極 9 a に対応する各画素の開口領域 (即ち、各画素において、表示に実際に寄与する光が透過又は反射される領域) を囲む非開口領域内に配置されている。即ち、これらの走査線 1 1、蓄積容量 7 0、データ線 6 a、下側遮光膜 1 1 b、及び T F T 3 0 は、表示の妨げとならないように、各画素の開口領域ではなく、非開口領域内に配置されている。

【 0 0 7 4 】

図 4 及び図 5 において、T F T 3 0 は、半導体層 1 a、ゲート電極 3 a 及び 3 1 b を含んで構成されている。

30

【 0 0 7 5 】

半導体層 1 a は、例えばポリシリコンからなり、図 4 中 Y 方向に沿ったチャネル長を有するチャネル領域 1 a '、データ線側 L D D 領域 1 b 及び画素電極側 L D D 領域 1 c、並びにデータ線側ソースドレイン領域 1 d 及び画素電極側ソースドレイン領域 1 e からなる。即ち、T F T 3 0 は L D D 構造を有している。尚、データ線側 L D D 領域 1 b は、本発明に係る「第 1 の接合領域」の一例であり、画素電極側 L D D 領域 1 c は、本発明に係る「第 2 の接合領域」の一例である。

【 0 0 7 6 】

データ線側ソースドレイン領域 1 d 及び画素電極側ソースドレイン領域 1 e は、チャネル領域 1 a ' を基準として、Y 方向に沿ってほぼミラー対称に形成されている。データ線側 L D D 領域 1 b は、チャネル領域 1 a ' 及びデータ線側ソースドレイン領域 1 d 間に形成されている。画素電極側 L D D 領域 1 c は、チャネル領域 1 a ' 及び画素電極側ソースドレイン領域 1 e 間に形成されている。データ線側 L D D 領域 1 b、画素電極側 L D D 領域 1 c、データ線側ソースドレイン領域 1 d 及び画素電極側ソースドレイン領域 1 e は、例えばイオンインプランテーション法等の不純物打ち込みによって半導体層 1 a に不純物を打ち込んでなる不純物領域である。データ線側 L D D 領域 1 b 及び画素電極側 L D D 領域 1 c はそれぞれ、データ線側ソースドレイン領域 1 d 及び画素電極側ソースドレイン領域 1 e よりも不純物の少ない低濃度な不純物領域として形成される。このような不純物領

40

50

域によれば、TFT30の非動作時において、ソース領域及びドレイン領域に流れるオフ電流を低減し、且つTFT30の動作時に流れるオン電流の低下を抑制できる。尚、TFT30は、LDD構造を有することが好ましいが、データ線側LDD領域1b、画素電極側LDD領域1cに不純物打ち込みを行わないオフセット構造であってもよいし、ゲート電極をマスクとして不純物を高濃度に打ち込んでデータ線側ソースドレイン領域及び画素電極側ソースドレイン領域を形成する自己整合型であってもよい。

【0077】

図4及び図5に示すように、ゲート電極3aは本発明に係る「ゲート電極」の一例であり、走査線11aの一部として好ましくは一体的に形成されている。走査線11aは、半導体層1aよりも絶縁膜12を介して上層側に配置され、例えば導電性ポリシリコンから形成されている。走査線11aは、X方向に沿って延びる部分と共に、TFT30のチャンネル領域1a'のうち該部分が重ならない領域と重なるようにY方向に沿って延在する部分を有している。このような走査線11aのうちチャンネル領域1a'と重なる部分が、ゲート電極3aの本体部31aとしてゲート電極として本来的に機能する。ゲート電極3a及び半導体層1a間は、本発明に係る「第1の絶縁膜」の一例としての絶縁膜2(図5参照)によって絶縁されている。

【0078】

図4及び図5に示すように、半導体層1aより下層側において、ゲート電極31bは、下側遮光膜としても機能する走査線11bの一部として形成されている。走査線11bは、半導体層1aよりも下地絶縁膜12を介して下層側に配置され、例えばタングステン(W)、チタン(Ti)、チタンナイトライド(TiN)等の高融点金属材料等の遮光性の導電材料からなる。走査線11bは、平面的にみて、X方向に沿うように、ストライプ状にパターンニングされた本線部11bxと、該本線部11bxからY方向に沿って延在する延在部11byとを有している。このような走査線11bのうちチャンネル領域1a'と重なる部分がゲート電極31bとして機能する。走査線11bは、TFT30のチャンネル領域1a'、データ線側LDD領域1b及び画素電極側LDD領域1c、並びにデータ線側ソースドレイン領域1d及び画素電極側ソースドレイン領域1eに対向する領域を含むように形成されている。よって、走査線11bによって、TFTアレイ基板10における裏面反射や、複板式のプロジェクタ等で他の液晶装置から発せられ合成光学系を突き抜けてくる光などの、戻り光に対してTFT30のチャンネル領域1a'を殆ど或いは完全に遮光できる。即ち、走査線11bは、走査信号を供給する配線として機能すると共に戻り光に対するTFT30の遮光膜として機能することが可能である。従って、液晶装置の動作時に、TFT30における光リーク電流は低減され、コントラスト比を向上させることができ、高品位の画像表示が可能となる。

【0079】

このような下側遮光膜たる走査線11b及び半導体層1a間は、本発明に係る「第2の絶縁膜」の一例としての下地絶縁膜12によって絶縁されている。下地絶縁層12は、走査線11bからTFT30を絶縁する機能の他、TFTアレイ基板10の全面に形成されることにより、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用のTFT30の特性の劣化を防止する機能を有する。

【0080】

このように、本実施形態では、TFT30は、半導体層1aと、半導体層1aよりも絶縁膜2を介して上層側に形成された走査線11aの一部として構成されるゲート電極3aと、半導体層1aよりも下地絶縁膜12を介して下層側に形成された走査線11bの一部として構成されるゲート電極31bとを有している。即ち、TFT30は、ダブルゲート構造を有している。よって、半導体層1aのチャンネル領域1a'における上面側及び下面側の両方にチャンネルを形成することができる。従って、仮に半導体層1aよりも上層側又は下層側の一方だけにゲート電極が形成される場合と比較して、TFT30のオン電流を大きくすることができる。

【0081】

10

20

30

40

50

図4において、本実施形態では、ゲート電極3a(言い換えれば、走査線11aの一部)は、本体部31aに加えて、半導体層1aにおいて画素電極側LDD領域1cの両側に沿うように延設された第1延設部32a、及びその詳細は後述するが第1延設部32aから延設された第2延設部32bを有する。よって、ゲート電極3aは、チャンネル領域1a'に重なる本体部31a及び第1延設部32aにより画素電極側LDD領域1cをその両側から部分的に囲む、所謂U形状の遮光構造を有している。尚、後に詳細に説明するが、絶縁膜2及び下地絶縁膜12には、ここでは図示しない溝810が形成されており、ゲート電極31aは、第1延設部32aの一部が溝810内に形成されてなる溝内部分33を有している。

【0082】

図5において、TFTアレ基板10上のTFT30よりも層間絶縁膜41を介して上層側には、蓄積容量70が設けられている。

【0083】

蓄積容量70は、下部容量電極71と上部容量電極300aが誘電体膜75を介して対向配置されることにより形成されている。

【0084】

上部容量電極300aは、容量線300の一部として形成されている。その構成については図示を省略してあるが、容量線300は、画素電極9aが配置された画像表示領域10aからその周囲に延設されている。上部容量電極300aは、容量線300を介して定電位源と電氣的に接続され、固定電位に維持された固定電位側容量電極である。上部容量電極300aは、例えばAl(アルミニウム)、Ag(銀)等の金属又は合金を含んだ非透明な金属膜から形成されており、TFT30を遮光する上側遮光膜(内蔵遮光膜)としても機能する。尚、上部容量電極300aは、例えば、Ti(チタン)、Cr(クロム)、W(タングステン)、Ta(タンタル)、Mo(モリブデン)、Pd(パラジウム)等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等から構成されていてもよい。

【0085】

図4から図6において、下部容量電極71は、TFT30の画素電極側ソースドレイン領域1e及び画素電極9aに電氣的に接続された画素電位側容量電極である。より具体的には、下部容量電極71は、コンタクトホール83(図4及び図5参照)を介して画素電極側ソースドレイン領域1eと電氣的に接続されると共に、コンタクトホール84(図4及び図6参照)を介して中継層93に電氣的に接続されている。更に、中継層93は、コンタクトホール85(図4及び図6参照)を介して画素電極9aに電氣的に接続されている。即ち、下部容量電極71は、中継層93と共に画素電極側ソースドレイン領域1e及び画素電極9a間の電氣的な接続を中継する。下部容量電極71は、導電性のポリシリコンから形成されている。よって、蓄積容量70は、所謂MIS構造を有している。尚、下部容量電極71は、好ましくは画素電位側容量電極としての機能の他、上側遮光膜としての上部容量電極300aとTFT30との間に配置される、光吸収層或いは遮光膜としての機能も有する。

【0086】

誘電体膜75は、例えばHTO(High Temperature Oxide)膜、LTO(Low Temperature Oxide)膜等の酸化シリコン膜、或いは窒化シリコン膜等から構成された単層構造、或いは多層構造を有している。

【0087】

尚、下部容量電極71を、上部容量電極300aと同様に金属膜から形成してもよい。即ち、蓄積容量70を、金属膜-誘電体膜(絶縁膜)-金属膜の3層構造を有する、所謂MIM構造を有するように形成してもよい。この場合には、ポリシリコン等を用いて下部容量電極71を構成する場合に比べて、液晶装置の駆動時に、当該液晶装置全体で消費される消費電力を低減でき、且つ各画素部における素子の高速動作が可能になる。

【0088】

10

20

30

40

50

図5及び図6において、TFTアレイ基板10上の蓄積容量70よりも層間絶縁膜42を介して上層側には、データ線6a及び中継層93が設けられている。

【0089】

データ線6aは、半導体層1aのデータ線側ソースドレイン領域1dに、層間絶縁膜41、誘電体膜75及び層間絶縁膜42を貫通するコンタクトホール81を介して電氣的に接続されている。データ線6a及びコンタクトホール81内部は、例えば、Al-Si-Cu、Al-Cu等のAl(アルミニウム)含有材料、又はAl単体、若しくはAl層とTiN層等との多層膜からなる。データ線6aは、TFT30を遮光する機能も有している。

【0090】

図4及び図6において、中継層93は、層間絶縁膜42上においてデータ線6a(図5参照)と同層に形成されている。データ線6a及び中継層93は、例えば金属膜等の導電材料で構成される薄膜を層間絶縁膜42上に薄膜形成法を用いて形成しておき、当該薄膜を部分的に除去、即ちパターニングすることによって相互に離間させた状態で形成される。従って、データ線6a及び中継層93を同一工程で形成できるため、装置の製造プロセスを簡便にできる。

【0091】

図5及び図6において、画素電極9aは、データ線6aよりも層間絶縁膜43を介して上層側に形成されている。画素電極9aは、下部容量電極71、コンタクトホール83、84及び85、並びに中継層93を介して半導体層1aの画素電極側ソースドレイン領域1eに電氣的に接続されている。コンタクトホール85は、層間絶縁層43を貫通するように形成された孔部の内壁にITO等の画素電極9aを構成する導電材料が成膜されることによって形成されている。画素電極9aの上側表面には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。

【0092】

以上に説明した画素部の構成は、図4に示すように、各画素部に共通である。画像表示領域10a(図1参照)には、かかる画素部が周期的に形成されている。

【0093】

次に、本実施形態において特徴的な構成を有するTFT30のゲート電極3aの構成について、図7から図10を参照して説明する。

【0094】

図7は、トランジスタに対するゲート電極の配置に着目してその構成を示す平面図であり、図8は、図7におけるC-C'線に対応する、下側遮光膜から蓄積容量までの各層の断面部分の構成を示す断面図である。尚、図8では、図7に対応させて、画素部を構成する下側遮光膜11b、TFT30、及び蓄積容量70の配置関係に着目してその構成を示してある。

【0095】

また、図9は、比較例におけるトランジスタに対するゲート電極の配置に着目してその構成を示す平面図である。更に、図10(a)は、本実施形態におけるゲート電極の機能について説明するための説明図であり、図10(b)は、比較例におけるゲート電極の機能について説明するための説明図である。

【0096】

図7において、半導体層1aの上層側において、ゲート電極3aは、本体部31a、第1延設部32a、及び第2延設部32bを有する。本体部31aは、ゲート電極として本来的に機能する部分であり、図3を参照して説明したように、液晶装置の動作時、走査線11aより走査信号が供給され、走査信号に応じたゲート電圧が本体部31aに印加されることにより、TFT30はオン状態となる。

【0097】

また、第1延設部32aは、平面的に見て、チャンネル領域1a'と重なって図7中X方向に沿って延設する本体部31aから、半導体層1aの脇で同図中Y方向に沿って折れ曲

10

20

30

40

50

がって隣接領域W0に延設される。隣接領域W0は、非開口領域において、画素電極側LDD領域1cから画素電極側ソースドレイン領域1eに対して連続的に、図7中Y方向に沿って隣接する領域である。第1延設部32aは、半導体層1aを挟んでその両側の隣接領域W0において各々の少なくとも一部に、画素電極側LDD領域1cに少なくとも隣接するように配置されている。

【0098】

ここに、図10(a)には、半導体層1aの片側(図7中、半導体層1aに対して右側)に着目して、ゲート電極3aの本体部31a、第1延設部32a及びその溝内部分33、更には第2延設部32bと、半導体層1aの画素電極側LDD領域1c及び画素電極側ソースドレイン領域1eとの配置関係を概略的に示してある。尚、この点については、後述する図10(b)及び図20についても同様である。

10

【0099】

図10(a)において、第1延設部32aは、半導体層1aに対して絶縁膜2(同図中において図示省略)を介してすぐ上層側において、隣接する半導体層1aの少なくとも画素電極側LDD領域1cに対して、それよりも上層側から入射する光(例えば同図中矢印P1やPyによって示される方向に沿って進行する光)を遮光することが可能となる。ここに、図10(a)においては、図7中に示すY方向に沿った成分を有する光の進行方向の一例について、矢印Pyで示してある。

【0100】

図4から図6を参照して説明したように、例えばTFT30よりも層間絶縁膜41又は42を介して上層側において、データ線6aや蓄積容量70は、TFT30に対してそれよりも上層側から進行してくる光を遮光可能なように、TFT30に対して配置される。これら各種構成要素によって遮光する場合と比較して、第1延設部32aによれば、それよりも下層側に浸入して半導体層1aの少なくとも画素電極側LDD領域1cに対して入射する光を、より低減することが可能となる。

20

【0101】

ここで、本願発明者は、その詳細な説明は後述するが、TFT30の動作時に、画素電極側LDD領域1cにおいて、データ線側LDD領域1bに比べて光リーク電流が相対的に発生しやすいことを見出している。この場合、TFT30の動作時に、画素電極側LDD領域1cに光が照射された場合には、データ線側LDD領域1bに光が照射された場合よりも、TFT30における光リーク電流が、比較的発生しやすい傾向にある。従って、このように光リーク電流が相対的に生じ易い画素電極側LDD領域1cに対する遮光性を高めることで、TFT30に流れる光リーク電流を効果的に低減できる。

30

【0102】

また、開口率の低下を避ける観点からすれば、画素電極側LDD領域1c及びデータ線側LDD領域1bの両方に対して、遮光性のみの観点から第1延設部32a等を設けるよりも、いずれか一方の側に設けたほうが、遮光性及び開口率の各々の対する効果を両立して期待することができる。

【0103】

また、本実施形態では、図7に示すように、第1延設部32aは、好ましくは画素電極側LDD領域1cに加えて画素電極側ソースドレイン領域1eにも少なくとも部分的に且つ連続的に隣接するように、隣接領域W0に配置される。よって、第1延設部32aによって、半導体層1aにおける画素電極側LDD領域1cから画素電極側ソースドレイン領域1eの少なくとも一部についても、それよりも上層側から入射する光を遮光することができる。尚、本実施形態では、第1延設部32aは隣接領域W0において、半導体層1aに対して画素電極側LDD領域1cにのみ隣接するように配置してもよい。しかしながら、このような構成と比較して、図7に示す構成では、画素電極側LDD領域1cに入射する光について、図10(a)より明らかなように隣接領域W0においてより広い領域で第1延設部32aによって遮光可能であるため、半導体層1aに対する遮光性をより向上させることができる。

40

50

【 0 1 0 4 】

また、図 7 又は図 8 に示すように、少なくとも絶縁膜 2 において平面的に見て第 1 延設部 3 2 a と重なる部分に配置されて、図 7 中 Y 方向に沿って長手状に伸びる溝 8 1 0 が開孔される。溝 8 1 0 は、半導体層 1 a の両側に配置される第 1 延設部 3 2 a の各々に対して平面的に見て重なるように、半導体層 1 a において少なくとも画素電極側 L D D 領域 1 c に沿って形成される。

【 0 1 0 5 】

本実施形態では、図 8 において、溝 8 1 0 は、絶縁膜 2 に加えて更に下地絶縁膜 1 2 を貫通して、走査線 1 1 b (より正確には、走査線 1 1 b y) の表面が露出するように形成されている。また、溝 8 1 0 は、絶縁膜 2 及び下地絶縁膜 1 2 において、第 1 延設部 3 2 a の画素電極側ソースドレイン領域 1 e に隣接する部分とも平面的に見て重なる位置にまで延設される。即ち、図 7 に示すように、この場合、溝 8 1 0 は、平面的に見て画素電極側 L D D 領域 1 c 及び画素電極側ソースドレイン領域 1 e に沿うように形成される。

10

【 0 1 0 6 】

第 1 延設部 3 2 a は、このように形成された溝 8 1 0 内に延設された溝内部分 3 3 を有している。溝内部分 3 3 は、好ましくは、溝 8 1 0 における半導体層 1 a 側の内側壁部 8 1 0 a 及び該内側壁部 8 1 0 a に対向する外側壁部 8 1 0 c 並びに底部 8 1 0 b に沿って形成される。よって、3 次元的に見て、溝内部分 3 3 は、半導体層 1 a の画素電極側 L D D 領域 1 c から画素電極側ソースドレイン領域 1 e に沿った壁状の遮光体として形成される。

20

【 0 1 0 7 】

従って、図 8 又は図 1 0 (a) において、溝内部分 3 3 によって、半導体層 1 a において少なくとも画素電極側 L D D 領域 1 c に対して、同図中、例えば矢印 P 1 によって示される方向に沿って進行し、それよりも上層側から入射する光に加えて、同層において入射する光、更には T F T アレイ基板 1 0 を介してそれよりも下層側から例えば矢印 P 2 によって示される方向に沿って進行して入射する戻り光をも、遮ることができる。また、溝内部分 3 3 の構成によれば、半導体層 1 a において、画素電極側 L D D 領域 1 c から画素電極側ソースドレイン領域 1 e の少なくとも一部に対して入射する光を遮ることが可能である。そして、このように、半導体層 1 a の画素電極側 L D D 領域 1 c に対して進行する光を、隣接領域 W 0 において溝内部分 3 3 によってより広い領域で遮光することにより、画素電極側 L D D 領域 1 c に対する遮光性をより向上させることができる。

30

【 0 1 0 8 】

また、図 8 に示すように、溝内部分 3 3 が、絶縁膜 2 及び下側絶縁膜 1 2 を貫通して形成された溝 8 1 0 内において下側遮光膜 1 1 b の表面と接触することで、平面的に見て半導体層 1 a のチャンネル領域 1 a ' に重なる走査線たる下側遮光膜 1 1 b と電氣的に接続される。即ち、溝 8 1 0 は、溝内部分 3 3 によってゲート電極 3 a と走査線 1 1 b とを互いに電氣的に接続するためのコンタクトホールとして形成される。よって、図 4 から図 6 を参照して説明したように、下側遮光膜 1 1 b におけるチャンネル領域 1 a ' に重なる部分を、T F T 3 0 のゲート電極として機能させることができる。

【 0 1 0 9 】

また、溝 8 1 0 の深さは、絶縁膜 2 の上側表面から半導体層 1 a の上側表面までの層間距離より大きい。従って、溝 8 1 0 内の溝内部分 3 3 によって、T F T アレイ基板 1 0 上において、下側遮光膜 1 1 b 及びゲート電極 3 a 間で、半導体層 1 a に対して上述したように入射する光についての遮光性をより向上させることができる。よって、下側遮光膜 1 1 b 及びゲート電極 3 a 間で、半導体層 1 a に対して入射する光をより確実に低減することが可能となる。

40

【 0 1 1 0 】

また、図 7 において、第 1 延設部 3 2 a は、半導体層 1 a のチャンネル領域 1 a ' に対しては好ましくは部分的に隣接するように配置される。即ち、本実施形態では、第 1 延設部 3 2 a の隣接領域 W 0 に配置される部分が少なくとも画素電極側 L D D 領域 1 c に隣接さ

50

れる構成を確保するための形状として、第1延設部32aの隣接領域W0外のチャネル領域1a'側寄りの部分は必要最小限の配置面積で設けるようにするとよい。これにより、画素の非開口領域における各構成要素の配置に係る構成即ちレイアウト上、ゲート電極3aの形状に起因して、開口率が低下するのを防止することができる。

【0111】

更に、第2延設部32bは、第1延設部32aにおける隣接領域W0に配置される部分のうち少なくとも一部から、図7中X方向に沿って折れ曲がって延設される。本実施形態では、第2延設部32bは、半導体層1aを挟んでその両側の各々の側において、第1延設部32aのうち、少なくとも、隣接領域W0において画素電極側LDD領域1cよりも画素電極側ソースドレイン領域1e側寄りの部分から延設される。ゲート電極3aにおいて、好ましくは、少なくとも第2延設部32bが走査線11aと同一膜により一体的に形成される。このように構成すれば、液晶装置の製造プロセスにおいて、ゲート電極3aにおいて少なくとも第2延設部32bと走査線11aとを同一工程において同一膜により同一機会に形成することが可能となるため、当該製造プロセスをより簡略化することができる。

10

【0112】

ここに、本実施形態に対する比較例について、図9及び図10(b)を参照して説明する。以下では、比較例について、本実施形態と異なる点についてのみ説明し、同様の構成については、図9及び図10(b)では夫々図7等と同一の符号を付して示し、その説明を省略することもある。

20

【0113】

比較例の構成によれば、ゲート電極3aは、本実施形態と同様に、本体部31a、溝810における溝内部分33を有する第1延設部32a、第2延設部32bよりなる。このうち、第2延設部32bは、第1延設部32aにおいて隣接領域W0外に配置される部分より、図9中X方向に沿って延設される。

【0114】

図10(b)において、特に半導体層1aの画素電極側LDD領域1cと第2延設部32bとの配置関係に着目すれば、同図中、半導体層1aに対して、例えば同図中矢印P1やP2、Pyによって示される方向に沿って進行する光について、隣接領域W0では、第1延設部32aの一部及び溝内部分33によって、光が遮光される。しかしながら、このような構成によれば、画素内で隣接領域W0に対して所定の方向から集中的に光が照射された場合、第1延設部32aの一部及び溝内部分33のみによる遮光では、多量の光が浸入して、半導体層1aの画素電極側LDD領域1cに入射されるおそれがある。また、特に、隣接領域W0における第1延設部32aの一部及び溝内部分33の各々の側面のうち、X方向に沿って延在する側面の側では、長手方向のY方向に沿って延在する側面の側と比較して、表面積が小さいため、この側面の側に対して、例えば矢印Pyで示す方向に沿って光が進行し集中的に照射される場合には、多量の光が浸入して半導体層1aの画素電極側LDD領域1cに照射され、遮光性の劣化を招くおそれがある。

30

【0115】

これに対して、図7または図10(a)に示すように、本実施形態では、第2延設部32bは、第1延設部32aにおいて隣接領域W0に配置される部分の一部、或いはその概ね全部に対して連続的に設けられる。これにより、第1延設部32aにおいて隣接領域W0に配置される部分の少なくとも一部について、見かけ上第2延設部32bの分だけTFTアレイ基板10上の配置面積を広げることが可能となる。よって、半導体層1aの少なくとも画素電極側LDD領域1cに対して進行する光のうち、第1延設部32aにおいて隣接領域W0に配置される部分の少なくとも一部に対して入射する光を、第2延設部32bを設けることで、より広い領域で遮光することが可能となる。従って、第2延設部32bにより、第1延設部32aにおいて隣接領域W0に配置される部分のうち少なくとも一部における、半導体層1aの少なくとも画素電極側LDD領域1cに対する遮光性を補強することができる。

40

50

【 0 1 1 6 】

本実施形態における第 2 延設部 3 2 b の構成では、特に、第 1 延設部 3 2 a の隣接領域 W 0 に配置される部分において、X 方向に沿って延在する側の側面について、この側面の一部に対して第 2 延設部 3 2 b が延設される。よって、見かけ上、この X 方向に沿って延在する側の側面について、第 2 延設部 3 2 b において X 方向に沿って延在する側の側面の分だけその表面積を広げることが可能となる。

【 0 1 1 7 】

従って、図 7 又は図 1 0 (a) において、第 1 延設部 3 2 a において X 方向に沿って延在する側の側面に対して、例えば矢印 P y によって示される方向に沿って、半導体層 1 a に向かって進行する光を、より広い領域で遮光することができる。よって、上述したように第 1 延設部 3 2 a の隣接領域 W 0 に配置される部分において、特に図 7 中 Y 方向に沿って長手状に延在する側の側面と比較して、光が浸入し易い X 方向に沿って延在する側の側面側で遮光性を補強することができる。

10

【 0 1 1 8 】

以上説明したように、本実施形態では、半導体層 1 a において特に光リーク電流が発生し易い画素電極側 L D D 領域 1 c に対して入射する光に対する遮光性を、その両側において、第 1 延設部 3 2 a 及び第 2 延設部 3 2 b の存在により、より向上させることが可能となる。その結果、T F T 3 0 の半導体層 1 a における光リーク電流をより低減することが可能となる。尚、本実施形態では、第 1 延設部 3 2 a 、溝内部分 3 3 、及び第 2 延設部 3 2 b のうちのいずれかが、若しくは全部が、半導体層 1 a の片側 (図 7 中、半導体層 1 a に対して左側若しくは右側) のみに設けられるようにしてもよい。例えば、半導体層 1 a の両側の隣接領域 W 0 のうち、一方に集中的に光が照射され、これを遮光することで光リーク電流を低減することができるような場合には、片側の隣接領域 W 0 に対して、第 1 延設部 3 2 a 等を配置するようにしても、相応の効果が期待出来るうえ、開口率をより向上させることも可能である。

20

【 0 1 1 9 】

よって、本実施形態の液晶装置では、その動作時において、T F T 3 0 の光リーク電流の発生に起因する、表示不良の発生を防止、或いは発生しても表示上、表示不良と視認されない程度に低減することが可能となり、高品質な画像を表示することができる。

【 0 1 2 0 】

次に、本実施形態の変形例について、図 1 1 及び図 1 2 を参照して説明する。

30

【 0 1 2 1 】

先ず、本変形例の一の構成について、図 1 1 を参照して説明する。

【 0 1 2 2 】

図 1 1 は、本変形例の一の構成について、トランジスタに対するゲート電極の配置に着目してその構成を示す平面図である。

【 0 1 2 3 】

図 1 1 において、第 1 延設部 3 2 a は、半導体層 1 a のチャンネル領域 1 a ' に対しては好ましくは概ね全体的に隣接するように配置される。また、このような構成に伴い、溝 8 1 0 は、少なくとも絶縁膜 2 において、その一部が、平面的に見て第 1 延設部 3 2 a のうちチャンネル領域 1 a ' に対して隣接する部分と重なる部分に配置されるようにしてもよい。

40

【 0 1 2 4 】

このように構成すれば、第 1 延設部 3 2 a は、本体部 3 1 a 及び隣接領域 W 0 間で、半導体層 1 a のチャンネル領域 1 a ' に対して隣接して形成されるため、チャンネル領域 1 a ' に対して入射する光を遮光することが可能となる。

【 0 1 2 5 】

また、少なくとも絶縁膜 2 において溝 8 1 0 は画素電極側 L D D 領域 1 c からチャンネル領域 1 a ' に対しても沿うように形成されており、第 1 延設部 3 2 a において溝内部分 3 3 を、画素電極側 L D D 領域 1 c からチャンネル領域 1 a ' に沿った壁状の遮光体として形

50

成することができる。よって、溝内部分 3 3 によってもチャンネル領域 1 a ' に対して入射する光を遮光することが可能となる。

【 0 1 2 6 】

従って、半導体層 1 a のチャンネル領域 1 a ' に対する遮光性をもより向上させることが可能となり、より効果的に光リーク電流を低減することができる。また、チャンネル領域 1 a ' の側においても、画素電極側 L D D 領域 1 c に入射する光を、第 1 延設部 3 2 a の隣接領域 W 0 外の部分で遮光することが可能となり、画素電極側 L D D 領域 1 c に対する遮光性をもより向上させることができる。

【 0 1 2 7 】

次に、本変形例における他の構成について、図 1 2 を参照して説明する。

10

【 0 1 2 8 】

図 1 2 は、本変形例の他の構成について図 8 に対応する断面部分の構成を示す断面図である。

【 0 1 2 9 】

図 1 2 において、溝内部分 3 3 と走査線としての下側遮光膜 1 1 b とが電氣的に接続されないように構成してもよい。この場合、絶縁膜 2 を貫通して下地絶縁膜 1 2 における上層側の一部まで掘られた溝 8 1 0 を設けて、溝内部分 3 3 を溝 8 1 0 における内側壁部 8 1 0 a、外側壁部 8 1 0 c 及び底部 8 1 0 b に沿って形成することで、絶縁膜 2 の上側表面から半導体層 1 a よりも下層側まで壁状に形成してもよい。この場合にも、図 8 を参照して説明した構成と同様の効果、即ち T F T アレイ基板 1 0 上において、下側遮光膜 1 1 b 及びゲート電極 3 a 間で、半導体層 1 a に対して入射する光についての遮光性をより向上させる効果を相応に得ることができる。

20

【 0 1 3 0 】

尚、走査線 1 1 b は、走査信号が供給されないように構成してもよい。即ち、走査線 1 1 b を、遮光膜としてのみ機能させるように構成してもよい。

【 0 1 3 1 】

ここで、上述した T F T 3 0 の動作時に、画素電極側 L D D 領域 1 c において、データ線側 L D D 領域 1 b に比べて光リーク電流が相対的に発生しやすい理由について、図 1 3 から図 1 8 を参照して、詳細に説明する。

【 0 1 3 2 】

まず、テスト用の T F T に光を照射した場合における、ドレイン電流の大きさを測定した測定結果について、図 1 3 を参照して説明する。ここに図 1 3 は、テスト用の T F T における光照射位置とドレイン電流との関係を示すグラフである。

30

【 0 1 3 3 】

図 1 3 において、データ E 1 は、テスト用の単体の T F T、即ち T E G (Test Element Group) に対して、光スポット (約 2 . 4 μm の可視光レーザ) をドレイン領域側からソース領域側へ順に走査しつつ照射した場合におけるドレイン電流の大きさを測定した結果を示している。T E G は、チャンネル領域、ソース領域及びドレイン領域に加え、チャンネル領域とソース領域との接合部に形成されたソース側接合領域、及びチャンネル領域とドレイン領域との接合部に形成されたドレイン側接合領域を有している。

40

【 0 1 3 4 】

尚、図 1 3 の横軸は、光スポットが照射された光照射位置を示しており、チャンネル領域とドレイン側接合領域との境界及びチャンネル領域とソース側接合領域との境界、更にチャンネル領域をゼロとしている。図 1 3 の縦軸は、ドレイン電流の大きさ (但し、所定の値で規格化された相対値) を示しており、ドレイン電流がドレイン領域からソース領域へ向かって流れている場合には、正の値 (即ち、プラスの値) を示し、ドレイン電流がソース領域からドレイン領域へ向かって流れている場合には、負の値 (即ち、マイナスの値) を示す。

【 0 1 3 5 】

図 1 3 において、データ E 1 は、いずれの光照射位置でもプラスの値を示している。即

50

ち、ドレイン電流が、ドレイン領域からソース領域へ向かって流れていることを示している。また、データE1は、ドレイン側接合領域内において、ソース側接合領域内におけるよりも大きな値を示している。即ち、ドレイン側接合領域内に光スポットが照射された場合には、ソース側接合領域内に光スポットが照射された場合よりも、ドレイン電流が大きくなることを示している。つまり、ドレイン側接合領域内に光スポットが照射された場合には、ソース側接合領域内に光スポットが照射された場合よりも、光リーク電流が大きくなることを示している。尚、ドレイン電流は、暗電流（或いはサブスレッショルドリーク、即ち、光を照射しない状態でも、TEGのオフ状態においてソース領域及びドレイン領域間に流れる漏れ電流）と光リーク電流（或いは光励起電流、即ち、光が照射されることによる電子の励起に起因して生じる電流、）とから構成されている。

10

【0136】

次に、ドレイン側接合領域内に光スポットが照射された場合の方が、ソース側接合領域内に光スポットが照射された場合よりも、光リーク電流が大きくなるメカニズムについて、図14及び図15を参照して説明する。ここに図14は、ドレイン側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。図15は、ソース側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。尚、図14及び図15では、上述したTF T30が電氣的に接続された画素電極9aにおける中間階調の表示を想定して、ソース電位（即ち、ソース領域の電位）を4.5V、ゲート電位（即ち、チャンネル領域の電位）を0V、ドレイン電位（即ち、ドレイン領域の電位）を9.5Vとしている。図14及び図15の横軸は、TEGを構成する半導体層における各領域を示している。図14及び図15の縦軸は、電子のポテンシャル（フェルミレベル）を示している。電子は負の電荷を有するため、各領域における電位が高いほど、電子のポテンシャルは低くなり、各領域における電位が低いほど、電子のポテンシャルは高くなる。

20

【0137】

図14は、チャンネル領域及びドレイン領域間に形成されたドレイン側接合領域に光スポットが照射され、ドレイン側接合領域において光励起が生じる場合におけるキャリアの振る舞いを示している。

【0138】

図14において、光リーク電流は、2つの電流成分からなると推定できる。

30

【0139】

即ち、第1の電流成分として、光励起によって生じた電子の移動による電流成分がある。より具体的には、ドレイン側接合領域における光励起によって生じた電子（図中、「e」参照）が、ドレイン側接合領域からポテンシャルのより低いドレイン領域へ移動することにより生じる電流成分（この電流成分は、ドレイン領域からソース領域へ流れる）である。

【0140】

第2の電流成分として、光励起によって生じたホール（即ち、正孔、図中、「h」参照）の移動による電流成分がある。より具体的には、ドレイン側接合領域における光励起によって生じたホールが、ドレイン側接合領域からポテンシャルのより低い（即ち、電子のポテンシャルとしてはより高い）チャンネル領域へ移動することによって発生するバイポーラ効果に起因する電流成分である。つまり、チャンネル領域へ移動したホールの正電荷によって、チャンネル領域のポテンシャル（即ち、いわゆるベースポテンシャル）がポテンシャルLc1からポテンシャルLc2へと引き下げられるため、ソース領域からドレイン領域へと向かう電子が増大するという効果による電流成分（この電流成分は、ドレイン領域からソース領域へ流れる）である。よって、ドレイン側接合領域において光励起が生じる場合において、第1及び第2の電流成分はいずれもドレイン電流（言い換えれば、コレクタ電流）を増大させる方向（即ち、ドレイン領域からソース領域へ流れる方向）に発生する。

40

【0141】

図15は、チャンネル領域及びソース領域間に形成されたソース側接合領域に光スポット

50

が照射され、ソース側接合領域において光励起が生じる場合にキャリアの振舞いを示している。

【0142】

図15において、光リーク電流は、図14を参照して上述したドレイン側接合領域において光励起が生じる場合とは異なり、ホールがソース側接合領域からポテンシャルのより低い（即ち、電子のポテンシャルとしてはより高い）チャンネル領域へ移動するバイポーラ効果に起因した第2の電流成分が支配的であると推定できる。即ち、ソース側接合領域における光励起によって生じた電子（図中、「e」参照）が、ソース側接合領域からポテンシャルのより低いソース領域へ移動することにより生じる第1の電流成分（この電流成分は、ソース領域からドレイン領域へ流れる）は、バイポーラ効果に起因した第2の電流成分（この電流成分は、ドレイン領域からソース領域へ流れる）よりも少ないと推定できる。

10

【0143】

図15において、バイポーラ効果に起因した第2の電流成分（即ち、チャンネル領域へ移動したホールの正電荷によって、ベースポテンシャルがポテンシャル $Lc1$ からポテンシャル $Lc3$ へと引き下げられるため、ソース領域からドレイン領域へと向かう電子が増大するという効果による電流成分）は、ドレイン領域からソース領域へと流れる。一方、上述した第1の電流成分は、ソース領域からドレイン領域へと流れる。即ち、第1の電流成分と第2の電流成分とは互いに反対方向に流れる。ここで、再び図13において、ソース側接合領域に光スポットを照射した場合には、ドレイン電流（データE1参照）は正の値を示している。即ち、この場合には、ドレイン電流はドレイン領域からソース領域へ向かって流れている。よって、第1の電流成分は、暗電流や第2の電流成分であるバイポーラ効果による電流成分を抑制するのみで、ドレイン電流の流れをソース領域からドレイン領域へ向かわせる程度までは大きくないといえる。

20

【0144】

更に、チャンネル領域及びソース領域間の電位差は、チャンネル領域及びドレイン領域間の電位差よりも小さいため、ソース領域側の空乏化領域（即ち、ソース側接合領域）は、ドレイン領域側の空乏化領域（即ち、ドレイン側接合領域）よりも狭い。このため、ソース側接合領域に光スポットを照射した場合には、ドレイン側接合領域に光スポットを照射した場合と比較して、光励起の絶対量が少ない。

30

【0145】

以上、図14及び図15を参照して説明したように、ドレイン側接合領域において光励起が生じる場合、第1及び第2の電流成分はいずれもドレイン電流を増大させる方向に発生する。一方、ソース側接合領域において光励起が生じる場合、第1の電流成分が第2の電流成分を抑制する。よって、ドレイン側接合領域内に光スポットが照射された場合の方が、ソース側接合領域内に光スポットが照射された場合よりも、ドレイン電流が大きくなる（即ち、光リーク電流が大きくなる）。

【0146】

次に、画素電極側ソースドレイン領域がドレイン電位とされると共に画素電極側接合領域内に光スポットが照射された場合の方が、データ線側ソースドレイン領域がドレイン電位とされると共にデータ線側接合領域内に光スポットが照射された場合よりも、光リーク電流が大きくなるメカニズムについて、図16及び図17を参照して説明する。ここに図16は、データ線側ソースドレイン領域がドレイン電位とされる場合において、データ線側接合領域（言い換えれば、ドレイン側接合領域）において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。図17は、画素電極側ソースドレイン領域がドレイン電位とされる場合において、画素電極側接合領域（言い換えれば、ドレイン側接合領域）において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。

40

【0147】

以下では、画素スイッチング用のTFTを含む画素部に電荷が保持され、光励起が生じ

50

た場合を考える。上述したようなTEGを想定した場合と異なる点は、画素スイッチング用のTFTの画素電極側は、フローティング状態になり得る点である。画素スイッチング用のTFTの画素電極側には、蓄積容量70の如き保持容量が接続される場合もあり、容量値が十分に大きければ、上述したTEGを用いた場合と同様に固定電極に近い状態となるが、容量が十分に大きくなければ、フローティング状態或いはこれに近い状態になる。尚、ここでは、容量値は十分には大きくないと仮定する。

【0148】

図16及び図17において、液晶装置では、いわゆる焼き付きを防止するために交流駆動が採用される。ここでは、中間階調の表示を想定して、画素電極に、7Vを基準電位として、4.5Vのマイナスフィールドの電荷と9.5Vのプラスフィールドの電荷とが交互に保持される場合を想定する。このため画素スイッチング用のTFTのソース及びドレインは、画素電極側ソースドレイン領域とデータ線側ソースドレイン領域との間で、固定ではなく変化する。即ち、図16に示すように、画素電極にマイナスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域の電位がデータ線側ソースドレイン領域の電位よりも低くなる場合）には、画素電極側ソースドレイン領域は、ソースとなるのに対し、図17に示すように、画素電極にプラスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域の電位がデータ線側ソースドレイン領域の電位よりも高くなる場合）には、画素電極側ソースドレイン領域は、ドレインとなる。

【0149】

図16において、画素電極にマイナスフィールドの電荷が保持される場合には、画素電極側ソースドレイン領域が、ソース（或いはエミッタ）となり、データ線側ソースドレイン領域が、ドレイン（或いはコレクタ）となる。ドレイン側接合領域であるデータ線側接合領域において光励起が生じた場合、上述したように、光励起によって生じた電子の移動による第1の電流成分とバイポーラ効果に起因する第2の電流成分が発生する。ここで、バイポーラ効果に起因する第2の電流成分が生じると（即ち、ベースポテンシャルがポテンシャルLc1からポテンシャルLc2へと引き下げられ、ソースである画素電極側ソースドレイン領域からドレインであるデータ線側ソースドレイン領域へ電子が移動すると）、フローティング状態である画素電極側ソースドレイン領域から電子が抜き取られることになり、エミッタとしての画素電極側ソースドレイン領域のポテンシャルが、ポテンシャルLs1からポテンシャルLs2へと低下する（電位は、上昇する）。即ち、ドレイン側接合領域であるデータ線側接合領域において光励起が生じた場合、ベースポテンシャルが低下すると共にエミッタとしての画素電極側ソースドレイン領域のポテンシャルも低下する。言い換えれば、ドレイン側接合領域であるデータ線側接合領域において光励起が生じた場合、ベース電位の上昇に伴ってエミッタ電位も上昇する。このため、ドレイン電流（即ち、コレクタ電流）が、抑制されることになる。

【0150】

一方、図17において、画素電極にプラスフィールドの電荷が保持される場合には、データ電極側ソースドレイン領域が、ソース（或いはエミッタ）となり、画素電極側ソースドレイン領域が、ドレイン（或いはコレクタ）となる。ドレイン側接合領域である画素電極側接合領域において光励起が生じた場合、上述したように、光励起によって生じた電子の移動による第1の電流成分とバイポーラ効果に起因する第2の電流成分が発生する。ここで、ソースとなるデータ線側ソースドレイン領域は、データ線と接続されているため、画素電極とは異なりフローティング状態ではなく、電位に変化は生じない。バイポーラ効果に起因する第2の電流成分が生じると（即ち、ベースポテンシャルがポテンシャルLc1からポテンシャルLc2へと引き下げられ、ソースであるデータ線側ソースドレイン領域からドレインである画素電極側ソースドレイン領域へ電子が移動すると）、フローティング状態である画素電極側ソースドレイン領域へ電子が流れ込むことになり、コレクタとしての画素電極側ソースドレイン領域のポテンシャルが、ポテンシャルLd1からポテンシャルLd2へと上昇する（電位は、低下する）。しかし、コレクタとしての画素電極側ソースドレイン領域のポテンシャルの上昇は、上述したソースとしての画素電極側ソースド

10

20

30

40

50

レイン領域のポテンシャルの低下とは異なり、ドレイン電流を抑制する働きは殆どない。ドレイン電流（即ち、コレクタ電流）は、エミッタ電位に対するベース電位の大きさによって殆ど決まるため、コレクタ電位が低下してもドレイン電流を抑制する働きは殆ど生じない、言い換えれば、バイポーラトランジスタの飽和領域に入った状態である。

【0151】

以上、図16及び図17を参照して説明したように、画素電極にプラスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域が、ドレインとなる場合）には、バイポーラ効果に起因した第2の電流成分は殆ど抑制されないのに対し、画素電極にマイナスフィールドの電荷が保持される場合（即ち、データ側ソースドレイン領域が、ドレインとなる場合）には、バイポーラ効果に起因した第2の電流成分は、フローティング状態である画素電極側ソースドレイン領域の電位の上昇に起因して抑制される。つまり、画素電極側ソースドレイン領域がドレインとなる場合の方が、データ側ソースドレイン領域がドレインとなる場合よりも、光リーク電流に起因してドレイン電流が増加する。

10

【0152】

ここで、図18は、画素スイッチング用のTFT全体に、比較的強い光を照射した際の画素電極電位の波形を示している。

【0153】

図18において、データE2は、画素電極にプラスフィールドの電荷が保持される場合（画素電極電位が電位V1とされる場合）における画素電極電位の変動1は、画素電極にマイナスフィールドの電荷が保持される場合（画素電極電位が電位V2とされる場合）における画素電極電位の変動2よりも大きいことを示している。即ち、画素電極において、プラスフィールドの電荷は、マイナスフィールドの電荷よりも保持されにくい（つまり、光リークが発生しやすい）ことを示している。これは、画素電極にプラスフィールドの電荷が保持される場合（即ち、画素電極側ソースドレイン領域が、ドレインとなる場合）の方が、画素電極にマイナスフィールドの電荷が保持される場合（即ち、データ線側ソースドレイン領域が、ドレインとなる場合）よりも光リーク電流が生じやすいという上述したメカニズムと一致している。

20

【0154】

以上、図13から図18を参照して詳細に説明したように、画素スイッチング用のTFTにおけるドレイン側接合領域において光励起が生じる場合にドレイン電流が増加しやすい。更に、画素電極側ソースドレイン領域がドレインとなる場合においてドレイン電流が増加しやすい（逆に言えば、データ線側ソースドレイン領域がドレインとなる場合には、バイポーラ効果に起因した電流成分が抑制されている）。よって、本実施形態に係る液晶装置のように、画素電極側接合領域である画素電極側LDD領域1cに対する遮光性を、データ線側接合領域であるデータ線側LDD領域1bに対する遮光性よりも高めることで、高い開口率を維持しつつTFT30における光リーク電流を極めて効果的に低減できる。

30

【0155】

<第2実施形態>

本発明の第2実施形態に係る液晶装置について、図19及び図20を参照して説明する。第2実施形態に係る液晶装置は、上述した第1実施形態に係る液晶装置と比較して、画素内におけるTFTのゲート電極について、第2延設部が異なる構成を有する。よって、第1実施形態に係る液晶装置と異なる点についてのみ、図19及び図20を参照して説明し、第1実施形態に係る液晶装置と同様の構成については図1から図18を参照して説明すると共に重複する説明を省略することもある。

40

【0156】

図19は、第2実施形態について、トランジスタに対するゲート電極の配置に着目してその構成を示す平面図であり、図20は、第2実施形態におけるゲート電極の機能について説明するための説明図である。

【0157】

50

図19において、画素内で半導体層1aの上層側において、ゲート電極3aの第2延設部32bは、第1延設部32aのうち、少なくとも隣接領域W0において画素電極側LDD領域1cに隣接する部分から延設される。

【0158】

従って、第1延設部32aの隣接領域W0に配置される部分において、少なくとも画素電極側LDD領域1cに隣接する部分について、見かけ上、第2延設部32bの分だけTFTアレイ基板10上の配置面積を広げることが可能となる。よって、図19又は図20において、半導体層1aのうち少なくとも画素電極側LDD領域1cに対してその側面側から入射する光、例えば同図中矢印Pxに沿って進行する光を、第2延設部32bの分だけ、より広い領域で遮光することが可能となる。尚、図19及び図20において、図19中に示すX方向に沿った成分を有する光の進行方向の一例について、矢印Pxで示してある。

10

【0159】

従って、半導体層1aのうち少なくとも画素電極側LDD領域1cについて、その側面側から入射する光に対する遮光性を、第1延設部32aに第2延設部32bを加えることで補強して、より効果的に向上させることができる。

【0160】

<電子機器>

次に、上述した電気光学装置である液晶装置を各種の電子機器に適用する場合について説明する。ここに図21は、プロジェクタの構成例を示す平面図である。以下では、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。

20

【0161】

図21に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106及び2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110B及び1110Gに入射される。

【0162】

液晶パネル1110R、1110B及び1110Gの構成は、上述した液晶装置と同等であり、画像信号処理回路から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、R及びBの光が90度に屈折する一方、Gの光が直進する。従って、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

30

【0163】

ここで、各液晶パネル1110R、1110B及び1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

40

【0164】

尚、液晶パネル1110R、1110B及び1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0165】

尚、図21を参照して説明した電子機器の他にも、モバイル型のパーソナルコンピュータや、携帯電話、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等が挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

50

【 0 1 6 6 】

また、本発明は上述の各実施形態で説明した液晶装置以外にも反射型液晶装置（LCO S）、プラズマディスプレイ（PDP）、電界放出型ディスプレイ（FED、SED）、有機ELディスプレイ、デジタルマイクロミラーデバイス（DMD）、電気泳動装置等にも適用可能である。

【 0 1 6 7 】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置用基板、及び該電気光学装置用基板を備えてなる電気光学装置、並びに該電気光学装置を備えた電子機器もまた本発明の技術的範囲に含まれるものである。

10

【図面の簡単な説明】

【 0 1 6 8 】

【図1】液晶装置の概略的な平面図である。

【図2】図1のH-H'断面図である。

【図3】本実施形態に係る液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路図である。

【図4】相隣接する複数の画素部の平面図である。

【図5】図4のA-A'線断面図である。

【図6】図4のB-B'線断面図である。

【図7】トランジスタに対するゲート電極の配置に着目してその構成を示す平面図である

20

。【図8】図7におけるC-C'線に対応する、下側遮光膜から蓄積容量までの各層の断面部分の構成を示す断面図である。

【図9】比較例におけるトランジスタに対するゲート電極の配置に着目してその構成を示す平面図である。

【図10】図10(a)は、本実施形態におけるゲート電極の機能について説明するための説明図であり、図10(b)は、比較例におけるゲート電極の機能について説明するための説明図である。

【図11】本変形例の一の構成について、トランジスタに対するゲート電極の配置に着目してその構成を示す平面図である。

30

【図12】本変形例の他の構成について図8に対応する断面部分の構成を示す断面図である。

【図13】テスト用のTFTにおける光照射位置とドレイン電流との関係を示すグラフである。

【図14】ドレイン側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。

【図15】ソース側接合領域において光励起が発生した場合におけるキャリアの振る舞いを示す概念図である。

【図16】データ線側ソースドレイン領域がドレイン電位とされる場合において、データ線側接合領域において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。

40

【図17】画素電極側ソースドレイン領域がドレイン電位とされる場合において、画素電極側接合領域において光励起が発生したときにおけるキャリアの振る舞いを示す概念図である。

【図18】画素スイッチング用のTFT全体に、比較的強い光を照射した際の画素電極電位の波形を示している。

【図19】第2実施形態について、トランジスタに対するゲート電極の配置に着目してその構成を示す平面図である。

【図20】第2実施形態におけるゲート電極の機能について説明するための説明図である

50

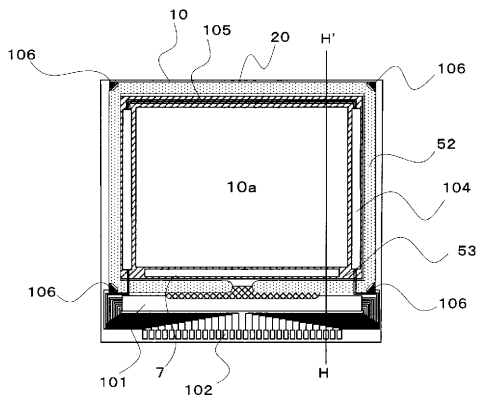
【図 2 1】電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【符号の説明】

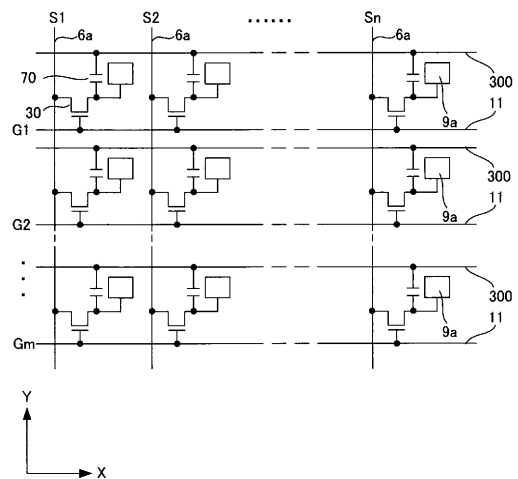
【0169】

1 a ... 半導体層、1 a ' ... チャンネル領域、1 b ... データ線側 L D D 領域、1 c ... 画素電極側 L D D 領域、1 d ... データ線側ソースドレイン領域、1 e ... 画素電極側ソースドレイン領域、2 ... 絶縁膜、3 a ... ゲート電極、1 1、1 1 a、1 1 b ... 走査線、6 a ... データ線、9 a ... 画素電極、1 0 ... T F T アレイ基板、1 0 a ... 画像表示領域、3 0 ... T F T、3 1 a ... 本体部、3 2 a ... 第 1 延設部、3 2 b ... 第 2 延設部、3 3 ... 溝内部分、8 1 0 ... 溝、W 0 ... 隣接領域

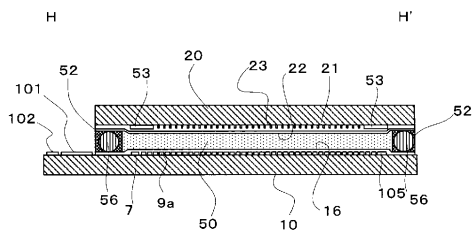
【図 1】



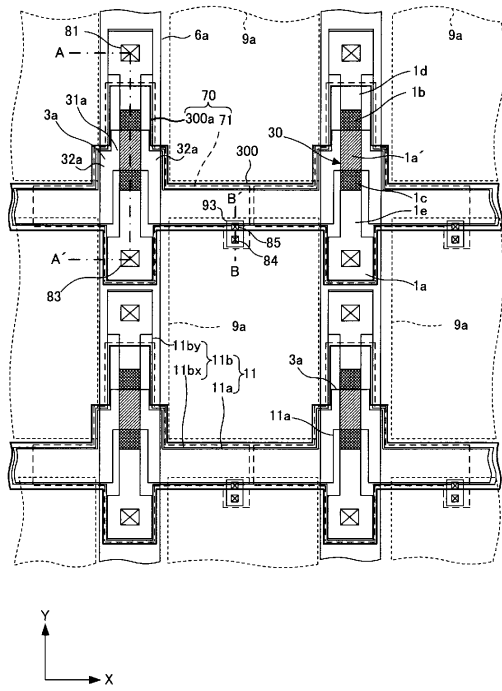
【図 3】



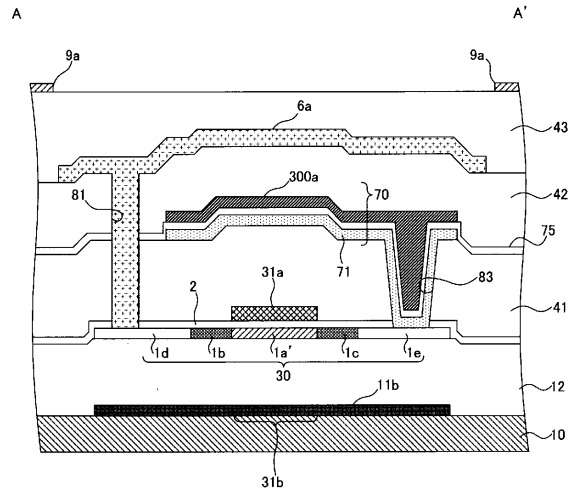
【図 2】



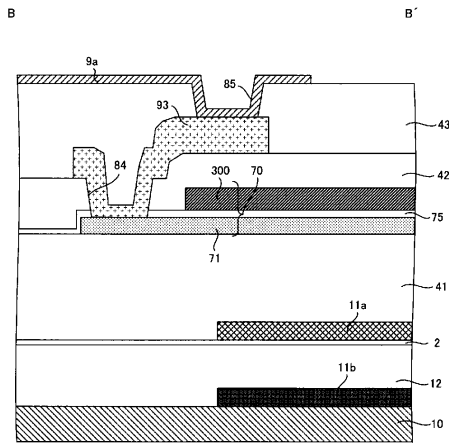
【 図 4 】



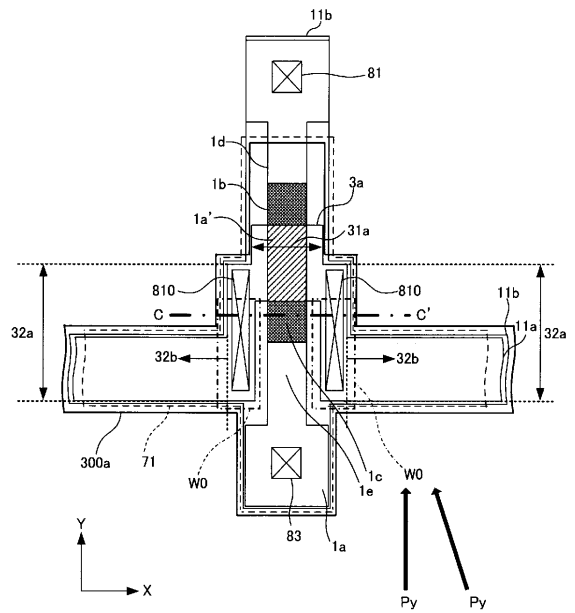
【 図 5 】



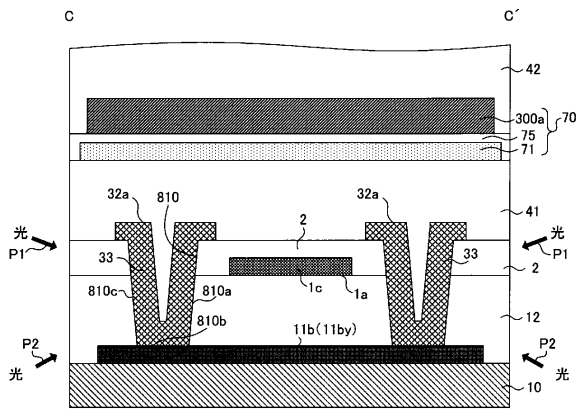
【 図 6 】



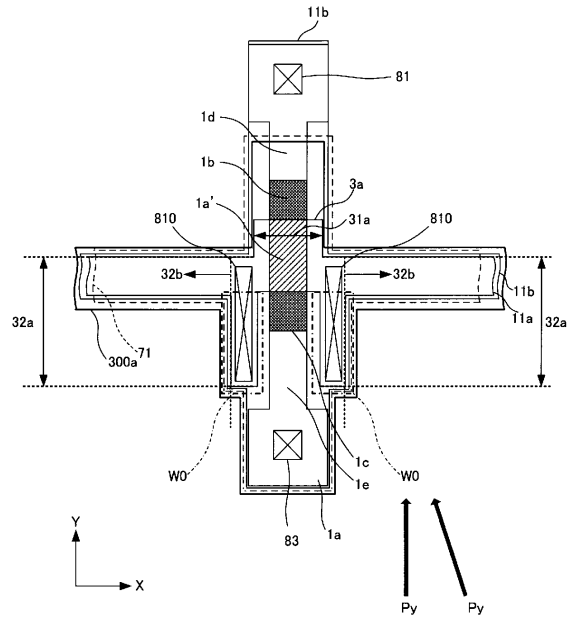
【 図 7 】



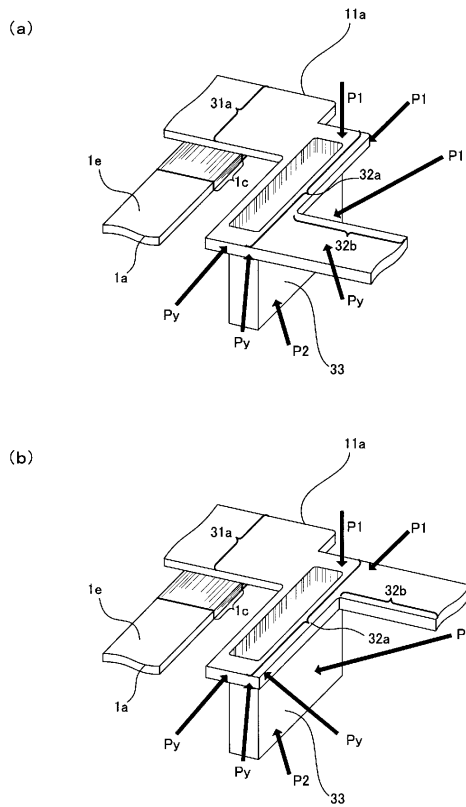
【図8】



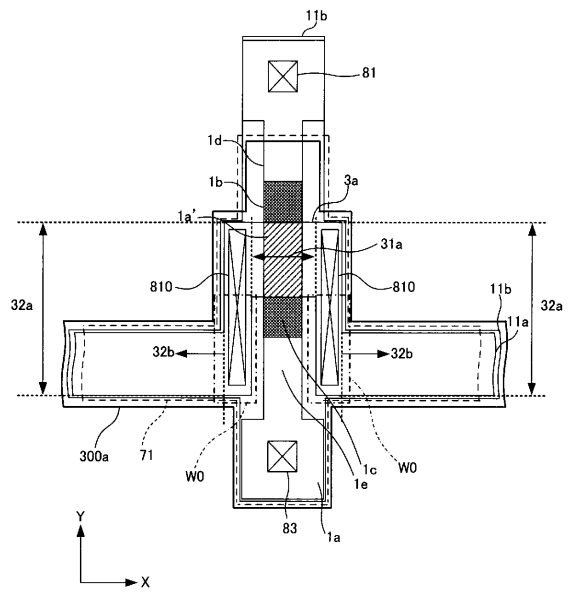
【図9】



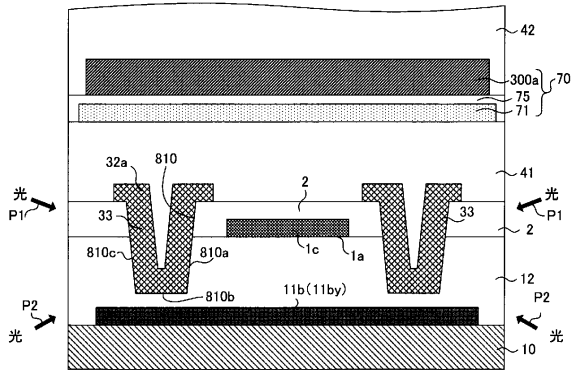
【図10】



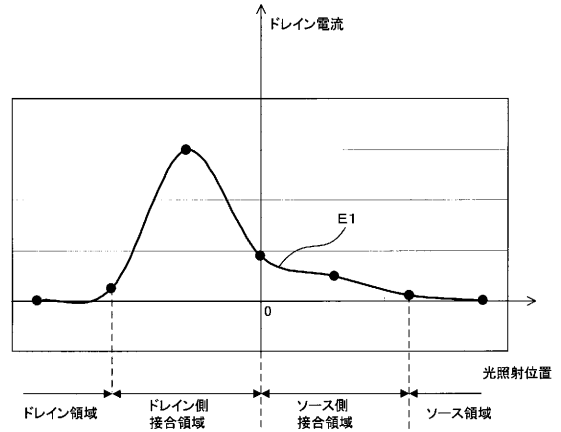
【図11】



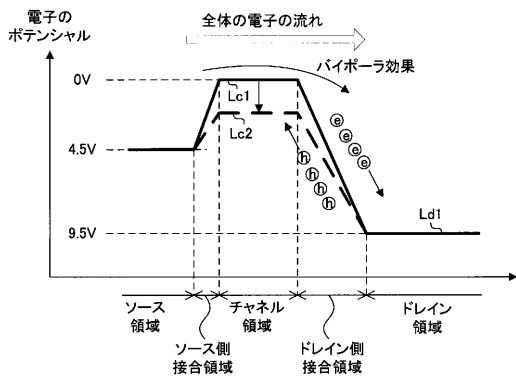
【図12】



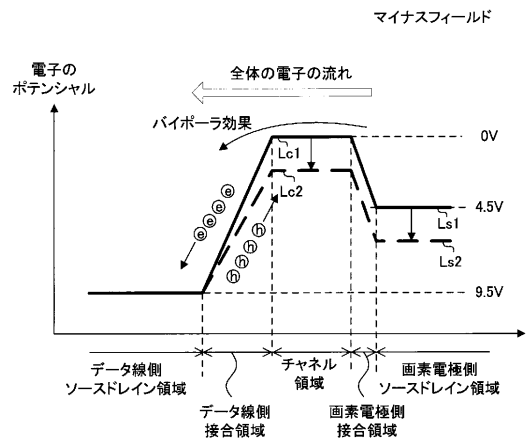
【図13】



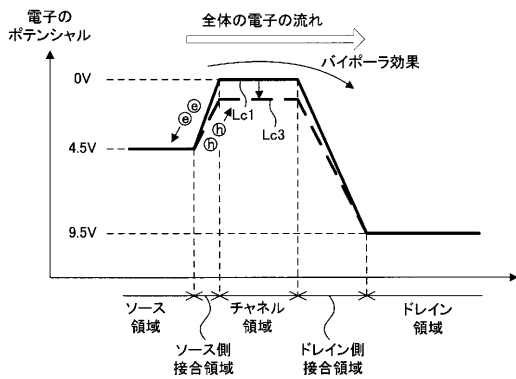
【図14】



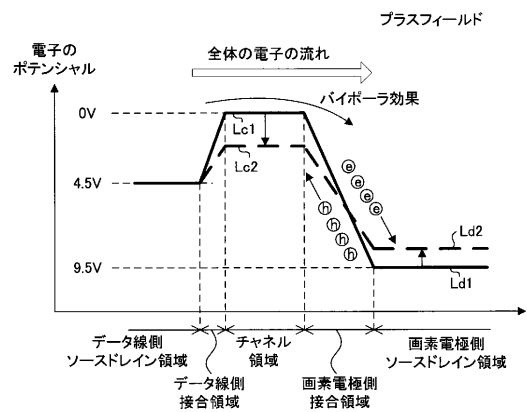
【図16】



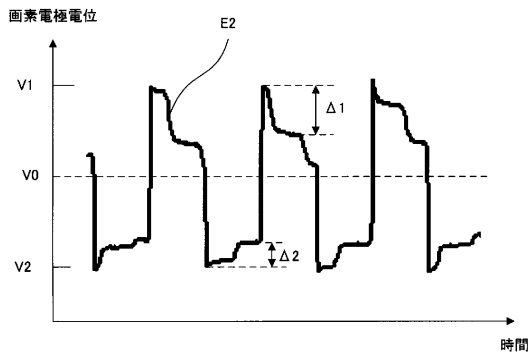
【図15】



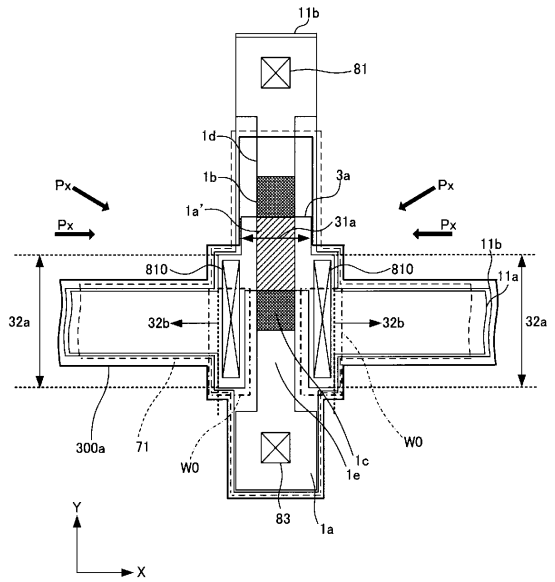
【図17】



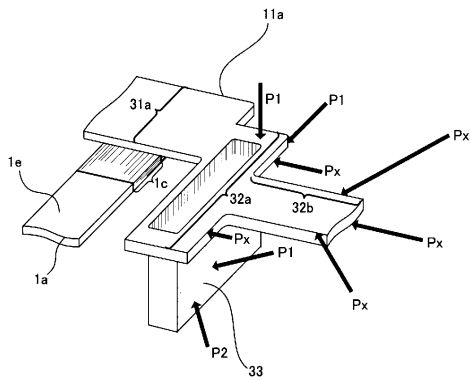
【 図 18 】



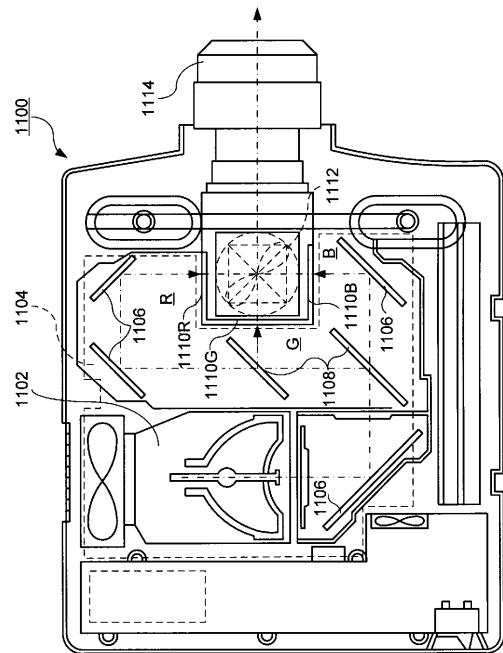
【 図 19 】



【 図 20 】



【 図 21 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 1 6 A

(56)参考文献 特開2004 - 170911 (JP, A)
特開2001 - 356371 (JP, A)
特開2006 - 171136 (JP, A)
特開2004 - 158518 (JP, A)
特開2004 - 200573 (JP, A)
特開2002 - 158360 (JP, A)
特開2002 - 215064 (JP, A)
特開2002 - 372926 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 3 0

G 0 2 F 1 / 1 3 6 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6