
Octrooiraad



⑩ A Terinzagelegging ⑪ 8020272

Nederland

⑲ NL

- ⑤4 **Werkwijze voor het vormen van spanningsinvariante condensatoren voor MOS-type geïntegreerde schakelingsinrichtingen.**
- ⑤1 Int.Cl.³: H01L21/22, H01L21/283, H01L21/316, H01L21/72.
- ⑦1 Aanvrager: American Microsystems, Inc. te Santa Clara, Californië, Ver. St. v. Am.
- ⑦4 Gem.: Ir. F.X. Noz c.s.
Algemeen Octrooibureau
Boschdijk 155
5612 HB Eindhoven.

-
- ②1 Aanvraag Nr. 8020272.
- ⑧6 Aanvraagnummer oorspronkelijke internationale aanvraag: PCT/US80/00803.
- ②2 Ingediend 23 juni 1980.
- ③2 Voorrang vanaf 6 juli 1979.
- ③3 Land van voorrang: Ver. St. v. Am. (US).
- ③1 Nummer van de voorrangsaanvraag: 55170.
- ⑥2 --

-
- ④3 Ter inzage gelegd 31 maart 1981.
- ⑧7 Publicatiedatum oorspronkelijke internationale aanvraag: 22 januari 1981.
- ⑧7 Publicatienummer oorspronkelijke internationale aanvraag: WO81/00171.

Deze octrooiaanvraag werd ingediend als internationale octrooiaanvraag onder de bepalingen van het Verdrag tot samenwerking inzake octrooien (PCT). De aan dit blad gehechte stukken zijn een afdruk van een Nederlandse vertaling van de oorspronkelijk in een andere taal ingediende beschrijving met conclusie(s) en tekening(en). De Nederlandse octrooiaanvraag wordt geacht te zijn ingediend op de indieningsdatum van de internationale octrooiaanvraag.

Aanvrager: American Microsystems, Incorporated, Santa Clara, California,
Verenigde Staten van Amerika.

Korte aanduiding: Werkwijze voor het vormen van spanningsinvariante condensatoren voor MOS-type geïntegreerde schakelingsin-
5 richtingen.

De uitvinding heeft betrekking op een werkwijze voor het vervaardigen van een half-geleiderinrichting met MOS-transistoren en spanningsinvariante condensatoren.

10 In zijn algemeenheid is de uitvinding gericht op geïntegreerde schakelings half-geleiderinrichtingen met spanningsinvariante condensatorelementen en in het bijzonder op een werkwijze voor het vervaardigen van dergelijke inrichtingen.

Bij bepaalde type relatief op grote schaal geïntegreerde schakelingen is het noodzakelijk meerdere spanningsinvariante condensatoren
15 te verschaffen naast vele transistoren, welke worden gebruikt voor logische of geheugensecties. In geïntegreerde schakelingen zoals bijvoorbeeld microprocessors of inrichtingen welke worden gebruikt voor digitale gegevenstransmissie en communicatiesystemen, zoals codeer- decodeerschakelingen,
20 gen, worden analoog naar digitaal en/of digitaal naar analoog omzetters gevormd uit condensatorladders, omvattende een groot aantal condensatoren welke alle dienen te zijn bemeten volgens specificaties binnen nauwe tolerantiegrenzen.

Tot nu toe werden, ten einde de noodzakelijke condensatorelementen in een geïntegreerde schakeling, omvattende vele transistoren te
25 verschaffen, afzonderlijke processtappen vereist voor het vormen van uitwendige condensatorelementen. Dit verhoogt aanzienlijk de kosten van dergelijke geïntegreerde schakelingen. Bovendien had dit een nadelige invloed op de produktie-opbrengst, welke bereikbaar was vanwege procescomplicaties
30 en het vereiste geïntegreerde schakelingschips met een groter oppervlak.

Het is een doel van de onderhavige uitvinding een nieuwe en verbeterde werkwijze te verschaffen van geïntegreerde schakelingsinrichtingen met een veelvoud aan transistoren en condensatoren.

Een ander doel van de onderhavige uitvinding is het verschaffen van een werkwijze voor het vervaardigen van MOS-type geïntegreerde
35 schakelingsinrichtingen, eveneens met een groot aantal condensatoren, waarbij de diëlektrische laag voor de condensatoren wordt gevormd door een oxydehergroeiing, gedurende de vervaardigingsstappen voor de MOS-ele-

menten.

Nog een ander doel van de onderhavige uitvinding is het verschaffen van een werkwijze voor het vervaardigen van MOS-type geïntegreerde schakelingsinrichtingen met vele transistoren en relatief grote condensatoren, waarbij de gespecificeerde ontwerpcapaciteit van de condensatoren niet aanzienlijk varieert met de opgedrukte spanning.

De uitvinding beoogt de hierboven genoemde bezwaren op te heffen en voorziet daartoe in een werkwijze van een in de aanhef genoemde soort, welke is gekenmerkt, doordat deze de volgende stappen omvat: het vormen op een siliciumsubstraat van tweetallen vooraf gekozen gediffundeerde gebieden met een geleidbaarheid, tegenovergesteld aan die van het substraat en veldoxydegebieden, grenzend aan de gediffundeerde gebieden, het vormen van een laag-geleidend materiaal in poortgebieden tussen gediffundeerde gebieden van de tweetallen en in vooraf gekozen gebieden op de veldoxydegebieden, het bedekken van het substraat, inclusief de gediffundeerde gebieden, de gebieden van geleidend materiaal en het veldoxyde met een laag fosfor-gedoteerd oxyde, het vormen van openingen in de laag fosfor-gedoteerd oxyde, inclusief contactgebieden, in lijn met vooraf gekozen gediffundeerde gebieden en eveneens vooraf gekozen condensatorgebieden van de laag geleidend materiaal op het veldoxyde, het opnieuw laten vloeien van het fosfor-gedoteerde oxyde door het verhitten in een zuurstof omgeving, ten einde scherpe randen bij de openingen te verminderen en tegelijkertijd een dunne oxydelaag te groeien in de contact- en condensatorgebieden, het verwijderen van de dunne oxydelaag in de contactgebieden en het aanbrengen van een metaallaag in de contactgebieden en eveneens in de condensatorgebieden, waardoor de bovenste geleidende plaat van de condensator wordt gevormd.

In overeenstemming met de principes van de uitvinding wordt een geïntegreerde half-geleiderinrichting met zowel transistoren en vele condensatoren vervaardigd door het allereerst gebruik maken van conventionele vervaardigingsstappen. Bij N-kanaal inrichtingen bijvoorbeeld wordt het P-gedoteerde substraat gemaskeerd en behandeld op de conventionele wijze voor het verschaffen van N^+ -gediffundeerde gebieden en de veldoxydegebieden. Polykristallijn silicium wordt gevormd in de poortgebieden voor de N-kanaaltransistoren en eveneens in de vooraf gekozen gebieden op het bovenoppervlak van de voorgeschreven veldoxydegebieden. Op dit punt wordt de inrichting normalerwijze bedekt met een laag fosfor-gedoteerd oxyde (vapox).

8020272

Gedurende het basissilicium poortproces, wordt normalerwijze een contactmasker van fotoresist materiaal gebruikt met ultravioleto licht voor het definiëren van poort- en contactgebieden, waarin het fosfor-gedoteerde oxyde daarna wordt weggeëtst. Volgend op deze etsstap zijn de
5 oxyderanden nagenoeg verticaal en de hoeken zijn te scherp om een goede metaalstapbedekking mogelijk te maken, wanneer metaal daaropvolgend wordt aangebracht. Ten einde deze randen te verwijderen en een goede metaalstapbedekking te verkrijgen, werd hiervoor een procedure gebruikt, welke inhield dat de plak werd onderworpen aan hitte in een omgeving welke het
10 oxyde lichtelijk deed smelten. Dit zogenaamde "opnieuw vloeibaarmakingsproces" resulteerde in hellende randen en afgeronde hoeken op het oxydemateriaal. Volgens de onderhavige uitvinding wordt voorafgaand aan welke opnieuw vloeibaarmakingsstap dan ook een contactmasker gebruikt voor het definiëren van en weetsen van gebieden waar condensatoren dienen te
15 worden gevormd. Aangezien nu de hiervoor genoemde opnieuw vloeibaarmakingsstap wordt uitgevoerd op een gestuurd omgevingstemperatuurniveau, worden niet alleen de scherpe oxyderanden afgerond en afgevlakt, maar een dunne oxydelaag wordt gegroeid in de veldoxydegebieden, bepaald door het contactmasker voor het vormen van condensatoren. Daarna wordt een
20 ander te groot bemeten contactmasker gebruikt voor het houden van de dunne oxydelaag in de condensatorgebieden, terwijl het oxyde in de gewenste contactgebieden wordt verwijderd. Het dunne oxyde, welk aldus is achtergebleven in de condensatorgebieden vormt het gewenste dielektricum tussen een opvolgend aangebrachte metaallaag en de polykristallijne siliciumpoort van de MOS-inrichting. Het resultaat is een elektrisch efficiënte
25 condensator waarvan de fysische afmetingen en de elektrische karakteristieken vooraf kunnen worden bepaald en gestuurd binnen de vereiste nauwe toleranties. Hierdoor is de werkwijze van het vormen van dergelijke condensatoren op dezelfde chip met een veelvoud aan MOS-transistoren volledig
30 verenigbaar met het conventionele proces.

De uitvinding zal nu gedetailleerd worden beschreven aan de hand van een uitvoeringsvorm en onder verwijzing naar de tekening, waarin:

fig. 1 een doorsnedetekening is, welke een gedeelte voorstelt
35 van een gedeeltelijk voltooid half-geleiderinrichting gedurende het vervaardigingsproces in overeenstemming met de principes van de onderhavige uitvinding;

fig. 2 een tekening gelijksoortig aan fig. 1 is, welke gedeelten

8020272

toont van een bovenlaag van fotoresistmateriaal, weggeëtst om contact- en condensatorgebieden bloot te leggen;

fig. 3 een tekening gelijksoortig aan fig. 2 is, welke een dunne oxydelaag toont in de contact- en condensatorgebieden; en

5 fig. 4 een tekening gelijksoortig aan fig. 1 is, welke dezelfde doorsnede van de half-geleiderinrichting toont, zoals deze optreedt wanneer deze is gecompleteerd met de condensatoren ervan op hun plaats.

Fig. 1 toont in dwarsdoorsnede een gedeelte van een gedeeltelijk vervaardigde N-kanaal MOS-inrichting 10, zoals deze eruit ziet voor-
10 dat een metalliseringslaag voor contacten is aangebracht. De werkwijze-
stappen voor het vervaardigen van de half-geleiderstructuur tot dit punt zijn bekend en kunnen onder gebruikmaking van conventionele technieken worden uitgevoerd. Zoals getoond heeft een siliciumsubstraat 12 op kenmer-
kende wijze op afstand van elkaar liggende N^+ -gediffundeerde gebieden 14
15 en 16, welke de bron en afvoer van een MOS-inrichting vormen, welke MOS-
inrichting een polykristallijne siliciumpoort 18 heeft, welke zich uit-
strekt tussen dit bron- en afvoergebied. Een relatief dik veldoxyde-
gebied 20, welk eveneens is bedekt door een polykristallijne siliciuml laag
22, met een dikte in het bereik van 3500 tot 4500 Å scheidt de MOS-ele-
20 menten op het substraat. Een andere laag 24 fosfor-gedoteerd oxyde (vapox)
bedekt het gehele chipgebied op dit punt, inclusief N^+ -gediffundeerde ge-
bieden, de polykristallijne poorten en veldoxydelagen. De laag 24 dient
op bepaalde plaatsen te worden verwijderd, ten einde het substraatoppervlak
bloot te leggen en gebieden te verschaffen voor opvolgende metalen
25 contacten met elke MOS-inrichting. Derhalve wordt een andere laag 26 van
gepolymeriseerd fotoresist materiaal gevormd over de vapox-laag 24.
Onder gebruikmaking van conventionele technieken wordt deze fotoresist-
laag omgezet in een contactmasker voor het vormen van niet-gepolymeriseerd
fotoregist in gekozen gebieden, zodat de vapox kan worden verwijderd, in
30 deze gekozen gebieden door een geschikt etsmiddel ten einde de MOS-inrich-
tingcontactgebieden te verschaffen. In overeenstemming met de onderha-
vige uitvinding is dit contactmasker eveneens gevormd met niet-gepolyme-
riseerde gebieden, ten einde condensators te verschaffen op het poly-
kristallijne siliciuml laag in het veldoxydegebied.

35 Na de hiervoor genoemde etsstap wordt de structuur dus zoals
getoond in fig. 2 met een relatief nauwe contactopening 20 over de N^+ -
diffusie 16 en een relatief grote opening 30 naar de blootgelegde poly-
siliciuml laag 20. Op dit punt heeft het etsproces scherpe randen gecreëerd

op de geëtste grenzen van de vapoxlaag voor de openingen 28 en 30. Deze scherpe randen in het contactgebied zijn ongewenst, omdat deze een goede metaalstapbedekking beletten en mogelijke breuken of discontinuïteiten veroorzaken binnen het opvolgend aangebrachte metaal. Ten einde de di-

5 elektrische laag voor elke condensator voor de geïntegreerde schakelingsinrichting volgens de uitvinding te vormen, wordt een opnieuw vloeibaarmakingskringloop uitgevoerd. Gedurende deze stap wordt de gehele chip verhit in een omgeving van zuurstof tot een temperatuur van rond 1070 °C. Op dit punt, zoals getoond in fig. 3, worden dunne oxydelagen 32 en 34

10 gegroeid in de blootgelegde gebieden binnen de openingen 28 en 30. De laag 34 zal uiteindelijk de tussenliggende diëlektrische laag vormen voor de condensator. Door besturing van de hoeveelheid hitte, met andere woorden, de tijdsduur van de verhitting en de temperatuur, kan de dikte van de diëlektrische laag 34 worden bestuurd op de gewenste grenzen (bijvoor-

15 beeld 650 tot 750 Å). Wanneer de hiervoor genoemde opnieuw vloeibaarmakingskringloop is gecompleteerd, is het noodzakelijk de oxydelaag 32 te verwijderen van het MOS-contactgebied, voordat metaal kan worden aangebracht. Een ander masker wordt dus gebruikt welk openingen heeft, welke iets groter kunnen zijn (bijvoorbeeld 1 micron per kant) dan die voor

20 de contactopeningen op het contactmasker. Dit laatstgenoemde masker heeft geen opening voor de condensatorgebieden, waarin de dunne diëlektrische laag 33 is gevormd. Wanneer dit laatstgenoemde masker dus wordt gebruikt, wordt de oxydelaag 32 verwijderd van alle MOS-contactgebieden en daarna is de inrichting gereed voor metallisering.

25 Gedurende conventionele technieken wordt een metalen laag aangebracht, gebruikmakend van een metalliseringsmasker (niet getoond) welk dusdanig is geconfigureerd, dat het metaalcontact 36 wordt gevormd in de opening 28 over een N⁺-diffusiegebied en een metalen plaat 38 wordt gevormd over de dunne elektrische laag, ten einde de condensator te comple-

30 teren (zie fig. 4). De condensator bestaat dus uit de bovenste metalen laag 38, de dunne tussenliggende diëlektrische laag 34 en de benedenste geleidende laag 22 van polysilicium. Een geschikt contact of een geschikte leiding, zich uitstrekkend naar de bovenlaag is niet getoond, maar kan worden aangebracht wanneer dit wordt gewenst. Een beschermende passiveringslaag 40, welke op de gebruikelijke wijze is aangebracht, beschermt

35 de gehele inrichting.

Aan de hand van het hieraan voorafgaande dient het duidelijk te zijn dat de onderhavige uitvinding een zeer efficiënte en economische

8020272

werkwijze verschaft voor het vervaardigen van half-geleiderinrichtingen met zowel MOS-transistoren als spanningsinvariante condensatoren. De uitvinding lost dus het probleem op van het economisch vervaardigen van grote aantallen multifunctionele chips, waarin logische, geheugen-en analoog
5 naar digitaal (of vice versa) mogelijkheden onder gebruikmaking van grote condensatorarrays zijn vereist.

Aan die vaklui op het gebied van de techniek, waarop deze uitvinding betrekking heeft, kunnen vele veranderingen kwa constructie en zeer verschillende uitvoeringsvormen en toepassingen van de onderhavige
10 uitvinding zichzelf suggereren zonder buiten de geest en de omvang van de uitvinding te komen. De beschrijving en wat daardoor wordt geopenbaard zijn zelf-illustratief en zijn niet bedoeld op welke wijze dan ook beperkend te zijn.

-CONCLUSIES-

8020272

CONCLUSIES:

1. Werkwijze voor het vervaardigen van een half-geleiderinrichting met MOS-transistoren en spanningsinvariante condensatoren, met het kenmerk, dat deze de volgende stappen omvat: het vormen op een silicium-substraat van tweetallen vooraf gekozen gediffundeerde gebieden met een geleidbaarheid, tegenovergesteld aan die van het substraat en veldoxyde-gebieden, grenzend aan de gediffundeerde gebieden, het vormen van een laag-geleidend materiaal in poortgebieden tussen gediffundeerde gebieden van de tweetallen en in vooraf gekozen gebieden op de veldoxydegebieden, het bedekken van het substraat, inclusief de gediffundeerde gebieden, de gebieden van geleidend materiaal en het veldoxyde met een laag fosfor-gedoteerd oxyde, het vormen van openingen in de laag fosfor-gedoteerd oxyde, inclusief contactgebieden, in lijn met vooraf gekozen gediffundeerde gebieden en eveneens vooraf gekozen condensatorgebieden van de laag-geleidend materiaal op het veldoxyde, het opnieuw laten vloeien van het fosfor-gedoteerde oxyde door het verhitten in een zuurstof omgeving, ten einde scherpe randen bij de openingen te verminderen en tegelijkertijd een dunne oxydelaag te groeien in de contact- en condensatorgebieden, het verwijderen van de dunne oxydelaag in de contactgebieden en het aanbrengen van een metaallaag in de contactgebieden en eveneens in de condensatorgebieden, waardoor de bovenste geleidende plaat van de condensator wordt gevormd.

2. Werkwijze volgens conclusie 1, met het kenmerk, dat de dunne oxydelaag wordt gevormd tot een dikte tussen 650 tot 750 Å.

3. Werkwijze volgens conclusie 1 of 2, met het kenmerk, dat de laag geleidend materiaal met polykristallijn silicium een dikte heeft in het bereik van 3500 tot 4500 Å.

4. Werkwijze volgens conclusies 1-3, met het kenmerk, dat de verwijdering van de dunne oxydelaag in de contactgebieden wordt volbracht met een masker met openingen voor de contactgebieden welk iets groter zijn dan de openingen in het masker voor het oorspronkelijk vormen van de openingen in het fosfor-gedoteerde oxyde.

Eindhoven, september 1980.

8020272

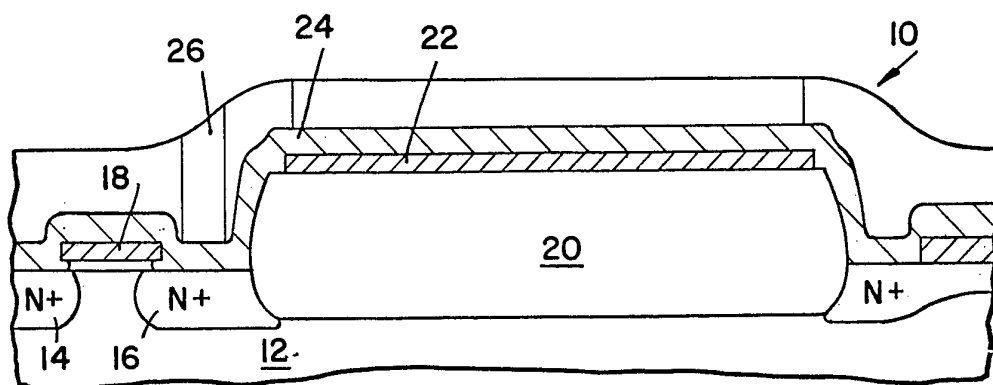


FIG _ 1

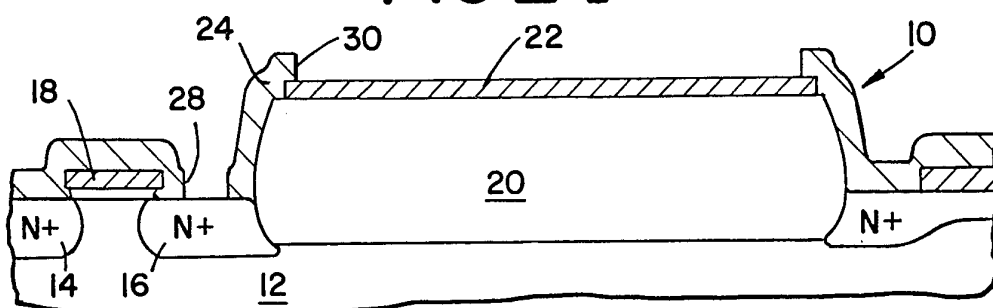


FIG _ 2

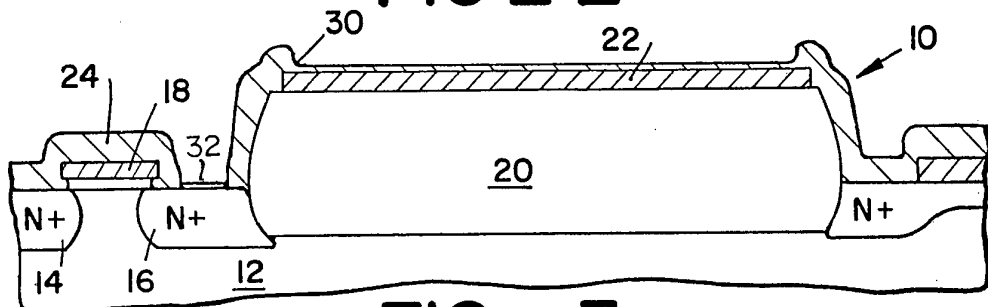


FIG _ 3

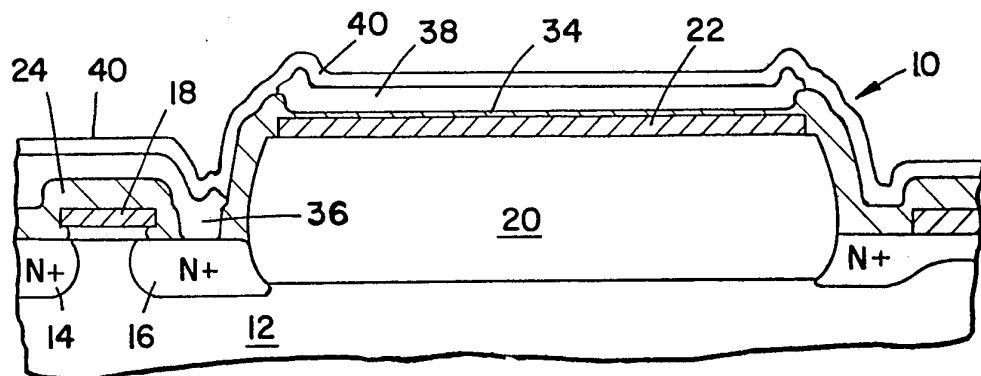


FIG _ 4

8020272