(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0143859
(43) 공개일자 2022년10월25일

(51) 국제특허분류(Int. Cl.)
H04N 19/70 (2014.01) *H04N 19/132* (2014.01)
H04N 19/136 (2014.01) *H04N 19/174* (2014.01)
H04N 19/184 (2014.01) *H04N 19/186* (2014.01)
H04N 19/86 (2014.01)
(52) CPC특허분류
H04N 19/70 (2015.01)
H04N 19/132 (2015.01)
(21) 출원번호 10-2022-7029732
(22) 출원일자(국제) 2021년02월11일
심사청구일자 없음
(85) 번역문제출일자 2022년08월26일
(86) 국제출원번호 PCT/US2021/017592
(87) 국제공개번호 WO 2021/167830
국제공개일자 2021년08월26일
(30) 우선권주장
62/980,120 2020년02월21일 미국(US)

(71) 출원인
알리바바 그룹 홀딩 리미티드
케이만군도, 그랜드 케이만, 조지 타운, 피.오. 박스 847, 원 캐피탈 플레이스, 플로어 4
(72) 발명자
사르워, 모함메드 고램
미국 캘리포니아 95014 쿠퍼티노 메리먼 알디 10485
루오, 지안콩
미국 뉴저지 08558 스킬먼 리치몬드 디알. 28
예, 얀
미국 캘리포니아 92130 샌디에고 펄만 웨이 5001
(74) 대리인
특허법인 광장리앤고

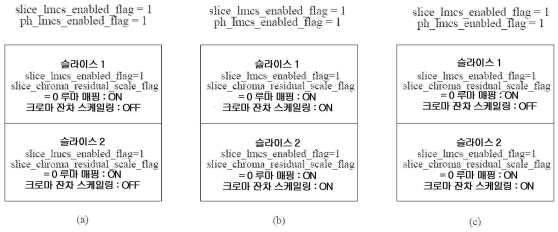
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **크로마 신호를 처리하기 위한 방법**

(57) 요 약

본 개시는 크로마 신호를 처리하기 위한 방법 및 시스템을 제공한다. 일부 실시예에 따라, 방법은: 시퀀스 매개변수 세트(SPS)를 수신하는 단계; 및 SPS에서 시그널링된 제1 플래그를 기초로 SPS와 연관된 슬라이스에 대해 크로마 잔치 스케일링이 활성화 또는 비활성화되는지를 결정하는 단계를 포함할 수 있다.

대 표 도



LMCS(luma mapping with chrome scaling)를 시그널링하는 것을 통해 비디오 콘텐츠를 처리하기 위한 방법의 예시

(52) CPC특허분류
H04N 19/136 (2015.01)
H04N 19/174 (2015.01)
H04N 19/184 (2015.01)
H04N 19/186 (2015.01)
H04N 19/86 (2015.01)

명 세 서

청구범위

청구항 1

컴퓨터 구현된 비디오 처리 방법으로서,

시퀀스 매개변수 세트(sequence parameter set, SPS)를 수신하는 단계; 및

상기 SPS에서 시그널링된 제1 플래그를 기초로, 상기 SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 결정하는 단계를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 제1 플래그의 값이 1과 동일하다는 것에 응답하여, 상기 슬라이스에 대해 상기 크로마 잔차 스케일링이 활성화되는 것으로 결정하는 단계를 더 포함하는, 방법.

청구항 3

제1항에 있어서,

상기 제1 플래그의 값이 0과 동일하다는 것에 응답하여, 상기 슬라이스에 대해 상기 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 단계를 더 포함하는, 방법.

청구항 4

제1항에 있어서,

제2 SPS를 수신하는 단계; 및

상기 제1 플래그가 상기 제2 SPS에 존재하지 않을 때, 상기 제2 SPS와 연관된 슬라이스에 대해 상기 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 단계를 더 포함하는, 방법.

청구항 5

제1항에 있어서, 상기 제1 플래그는 상기 슬라이스와 연관된 픽처 헤더에서 시그널링되는 제2 플래그를 기초로 시그널링되는, 방법.

청구항 6

제5항에 있어서,

상기 제2 플래그의 제1 값은 상기 픽처 헤더와 연관된 하나 이상의 슬라이스에 대해 상기 크로마 잔차 스케일링이 활성화된다는 것을 나타내고; 및

상기 제2 플래그의 제2 값은 상기 픽처 헤더와 연관된 모든 슬라이스에 대해 상기 크로마 잔차 스케일링이 비활성화된다는 것을 나타내는, 방법.

청구항 7

제1항에 있어서,

픽처 헤더를 수신하는 단계; 및

상기 픽처 헤더에서 시그널링된 제2 플래그가 제1 값을 갖는다는 것에 응답하여, 상기 픽처 헤더와 연관된 모든 슬라이스에 대해 상기 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 단계를 포함하는, 방법.

청구항 8

제1항에 있어서,

상기 SPS에서 시그널링된 제2 플래그를 기초로, 상기 슬라이스에 대해 루마 매핑이 활성화 또는 비활성화되는지를 결정하는 단계를 포함하는, 방법.

청구항 9

비디오 콘텐츠를 처리하기 위한 컴퓨터 구현된 방법으로서,

비디오 시퀀스가 단색인지를 결정하는 단계; 및

상기 비디오 시퀀스가 단색이 아니라는 결정에 응답하여, 상기 비디오 시퀀스와 연관된 비트스트림에서 크로마 디블록킹 매개변수(chroma de-blocking parameters)를 시그널링하는 단계를 포함하고,

상기 비디오 시퀀스가 단색일 때, 상기 비트스트림에서 어떠한 크로마 디블로킹 매개변수도 시그널링되지 않는, 방법.

청구항 10

제9항에 있어서, 상기 크로마 디블록킹 매개변수는 픽처 헤더에서 시그널링되는, 방법.

청구항 11

제9항에 있어서, 상기 크로마 디블록킹 매개변수는 슬라이스 헤더에서 시그널링되는, 방법.

청구항 12

제9항에 있어서, 상기 비디오 시퀀스가 단색인지를 결정하는 단계는 ChromaArrayType의 값을 기초로 하는, 방법.

청구항 13

제12항에 있어서,

상기 비디오 시퀀스와 연관된 픽처 매개변수 세트(picture parameter set, PPS)에서, 상기 비디오 시퀀스가 복수의 별도로 코딩된 색상 성분을 포함하는지를 나타내는 제1 플래그, 및 루마 샘플링에 관련된 크로마 샘플링에 관한 정보를 나타내는 제2 플래그를 시그널링하는 단계를 더 포함하는, 방법.

청구항 14

제13항에 있어서,

상기 제1 플래그의 값이 0과 동일하다는 것에 응답하여, ChromaArrayType을 상기 제2 플래그의 값과 동일하게 설정하는 단계를 더 포함하는, 방법.

청구항 15

제13항에 있어서,

상기 제1 플래그의 값이 1과 동일하다는 것에 응답하여, ChromaArrayType을 0과 동일하게 설정하는 단계를 더 포함하는, 방법.

청구항 16

제9항에 있어서,

상기 비디오 시퀀스와 연관된 PPS에서, PPS 원시 바이트 시퀀스 페이로드(raw byte sequence payload, RBSP) 신택스 구조가 크로마 도구 관련된 신택스를 포함한다는 것을 나타내는 플래그를 시그널링하는 단계를 더 포함하는, 방법.

청구항 17

제9항에 있어서,

상기 비디오 시퀀스와 연관된 PPS에서, PPS 원시 바이트 시퀀스 페이로드(RBSP) 신택스 구조가 크로마 도구 관련된 신택스를 포함하는지를 나타내는 플래그를 시그널링하는 단계를 더 포함하는, 방법.

청구항 18

제17항에 있어서, 상기 플래그는 pps_chroma_tool_present_flag인, 방법.

청구항 19

제18항에 있어서,

상기 pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 슬라이스 레벨 크로마 디블로킹 매개변수를 시그널링하는 단계를 더 포함하고,

상기 pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 슬라이스 레벨 크로마 디블로킹 매개변수도 시그널링되지 않는, 방법.

청구항 20

제19항에 있어서, 상기 하나 이상의 슬라이스 레벨 크로마 디블록킹 매개변수는:

slice_cb_beta_offset_div2, slice_cb_tc_offset_div2, slice_cr_beta_offset_div2 또는 slice_cb_beta_offset_div2를 포함하는, 방법.

청구항 21

제18항에 있어서,

상기 pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 픽처 레벨 크로마 디블로킹 매개변수를 시그널링하는 단계를 더 포함하고,

상기 pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 픽처 레벨 크로마 디블로킹 매개변수도 시그널링되지 않는, 방법.

청구항 22

제21항에 있어서, 상기 하나 이상의 슬라이스 레벨 크로마 디블록킹 매개변수는:

ph_cb_beta_offset_div2, ph_cb_tc_offset_div2, ph_cr_beta_offset_div2 또는 ph_cb_beta_offset_div2를 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 개시는 2020년 2월 21일자로 출원된 미국 가출원 제62/980,120호에 대한 우선권의 이익을 주장하며, 이는 그 전체가 본원에 참조로 통합된다.

[0003] 기술분야

[0004] 본 개시는 일반적으로 비디오 처리에 관한 것이고, 보다 구체적으로, 크로마 신호를 코딩하기 위한 매개변수(예를 들어, 크로마 잔차 스케일링 매개변수, 크로마 디블록킹 매개변수(chroma de-blocking parameters) 등)를 시그널링하기 위한 방법 및 장치에 관한 것이다.

배 경 기 술

[0005] 비디오는 시각적 정보를 캡처하는 정적 픽처(또는 "프레임")의 세트이다. 저장 메모리 및 송신 대역폭을 감소시키기 위해, 비디오는 저장 또는 송신 이전에 압축되고, 디스플레이 전에 압축 해제될 수 있다. 압축 프로세스는 보통 인코딩으로 지칭되고, 압축 해제 프로세스는 보통 디코딩으로 지칭된다. 가장 일반적으로 예측, 변환, 양자화, 엔트로피 코딩(entropy coding) 및 인-루프 필터링(in-loop filtering)에 기초하는, 표준화된 비디오 코

딩 기술을 사용하는 다양한 비디오 코딩 포맷이 있다. 특정 비디오 코딩 포맷을 지정하는 고효율 비디오 코딩(High Efficiency Video Coding, HEVC/H.265) 표준, 다용도 비디오 코딩(Versatile Video Coding, VVC/H.266) 표준, 및 AVS 표준과 같은 비디오 코딩 표준은 표준화 기구에서 개발한다. 점점 더 많은 진보된 비디오 코딩 기술이 비디오 표준에 채택되고 있고, 새로운 비디오 코딩 표준의 코딩 효율성은 점점 더 높아지고 있다.

발명의 내용

[0006] 본 개시의 실시예는 비디오 디코딩 방법을 제공한다. 방법은: 시퀀스 매개변수 세트(SPS)를 수신하는 단계; 및 SPS에서 시그널링된 제1 플래그를 기초로, SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 결정하는 단계를 포함한다.

[0007] 본 개시의 실시예는 또한 비디오 인코딩 방법을 제공한다. 방법은 슬라이스와 연관된 시퀀스 매개변수 세트(SPS)에서, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 나타내는 제1 플래그를 시그널링하는 단계를 포함한다.

[0008] 본 개시의 실시예는 또한 비디오 인코더를 제공한다. 비디오 인코더는 명령어의 세트를 저장하기 위한 메모리 및 적어도 하나의 프로세서를 포함하고, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금: 시퀀스 매개변수 세트(SPS)를 수신하는 것; 및 SPS에서 시그널링된 제1 플래그를 기초로, SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 결정하는 것을 수행하게 하도록 구성된다.

[0009] 본 개시의 실시예는 또한 비디오 디코더를 제공한다. 비디오 디코더는 명령어의 세트를 저장하기 위한 메모리 및 적어도 하나의 프로세서를 포함하고, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금: 슬라이스와 연관된 시퀀스 매개변수 세트(SPS)에서, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 나타내는 제1 플래그를 시그널링하는 것을 수행하게 하도록 구성된다.

[0010] 본 개시의 실시예는 또한 컴퓨터 시스템의 적어도 하나의 프로세서에 의해 실행 가능하고, 컴퓨터 시스템으로 하여금 비디오 콘텐츠를 디코딩하기 위한 방법을 수행하게 하기 위한 명령어의 세트를 저장하는 비일시적 컴퓨터 판독가능 매체를 제공한다. 방법은: 시퀀스 매개변수 세트(SPS)를 수신하는 단계; 및 SPS에서 시그널링된 제1 플래그를 기초로, SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 결정하는 단계를 포함한다.

[0011] 본 개시의 실시예는 또한 컴퓨터 시스템의 적어도 하나의 프로세서에 의해 실행 가능하고, 컴퓨터 시스템으로 하여금 비디오 콘텐츠를 인코딩하기 위한 방법을 수행하게 하기 위한 명령어의 세트를 저장하는 비일시적 컴퓨터 판독가능 매체를 제공한다. 방법은, 슬라이스와 연관된 시퀀스 매개변수 세트(SPS)에서, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 나타내는 제1 플래그를 시그널링하는 단계를 포함한다.

[0012] 본 개시의 실시예는 비디오 처리 방법을 제공한다. 방법은: 비디오 시퀀스가 단색인지를 결정하는 단계; 및 비디오 시퀀스가 단색이 아니라는 결정에 응답하여, 비디오 시퀀스와 연관된 비트스트림에서 크로마 디블록킹 매개변수를 시그널링하는 단계 - 비디오 시퀀스가 단색일 때, 어떠한 크로마 디블록킹 매개변수도 비트스트림에서 시그널링되지 않음 - 를 포함한다.

[0013] 본 개시의 실시예는 또한 비디오 처리 장치를 제공한다. 장치는 명령어의 세트를 저장하기 위한 메모리 및 적어도 하나의 프로세서를 포함하고, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금: 비디오 시퀀스가 단색인지를 결정하는 것; 및 비디오 시퀀스 단색이 아니라는 결정에 응답하여, 비디오 시퀀스와 연관된 비트스트림에 크로마 디블록킹 매개변수를 시그널링하는 것 - 비디오 시퀀스가 단색일 때, 어떠한 크로마 디블록킹 매개변수로 비트스트림에서 시그널링되지 않음 - 을 수행하게 하도록 구성된다.

[0014] 본 개시의 실시예는 또한, 컴퓨터 시스템의 적어도 하나의 프로세서에 의해 실행 가능하고, 컴퓨터 시스템으로 하여금 비디오 콘텐츠를 처리하기 위한 방법을 수행하게 하기 위한 명령어의 세트를 저장하는 비일시적 컴퓨터 판독가능 매체를 제공한다. 방법은: 비디오 시퀀스가 단색인지를 결정하는 단계; 및 비디오 시퀀스가 단색이 아니라는 결정에 응답하여, 비디오 시퀀스와 연관된 비트스트림에서 크로마 디블록킹 매개변수를 시그널링하는 단계 - 비디오 시퀀스가 단색일 때, 어떠한 크로마 디블록킹 매개변수도 비트스트림에서 시그널링되지 않음 - 를 포함한다.

도면의 간단한 설명

[0015] 본 개시의 실시예 및 다양한 양상은 다음의 상세한 설명 및 첨부 도면에 예시된다. 도면에 도시된 다양한 피처(feature)는 축척대로 도시된 것은 아니다.

도 1은 본 개시의 일부 실시예에 따른, 예시적인 비디오 시퀀스의 구조를 예시하는 개략도이다.

도 2a는 본 개시의 실시예와 일치하는, 하이브리드 비디오 코딩 시스템의 예시적인 인코딩 프로세스를 예시하는 개략도이다.

도 2b는 본 개시의 실시예와 일치하는, 하이브리드 비디오 코딩 시스템의 다른 예시적인 인코딩 프로세스를 예시하는 개략도이다.

도 3a는 본 개시의 실시예와 일치하는, 하이브리드 비디오 코딩 시스템의 예시적인 디코딩 프로세스를 예시하는 개략도이다.

도 3b는 본 개시의 실시예와 일치하는, 하이브리드 비디오 코딩 시스템의 다른 예시적인 디코딩 프로세스를 예시하는 개략도이다.

도 4는 본 개시의 일부 실시예에 따른, 비디오를 인코딩 또는 디코딩하기 위한 예시적인 장치의 블록도이다.

도 5는 본 개시의 실시예와 일치하는, 예시적인 픽처 헤더(Picture Header, PH) 레벨 루마 매핑 크로마 스케일링(luma mapping chroma scaling, LMCS) 신택스를 도시하는 신택스 테이블이다.

도 6은 본 개시의 실시예와 일치하는, 예시적인 슬라이스 레벨 LMCS 신택스를 도시하는 신택스 테이블이다.

도 7은 본 개시의 실시예와 일치하는, 도 5 및 6에 도시된 신택스를 구현하는 예를 예시한다.

도 8은 본 개시의 실시예와 일치하는, 예시적인 PH 레벨 LMCS 신택스를 도시하는 신택스 테이블이다.

도 9는 본 개시의 실시예와 일치하는, 예시적인 슬라이스 레벨 LMCS 신택스를 도시하는 신택스 테이블이다.

도 10은 본 개시의 실시예와 일치하는, 도 8 및 9에 도시된 신택스를 구현하는 예를 예시한다.

도 11은 본 개시의 실시예와 일치하는, 예시적인 PH 레벨 LMCS 신택스를 도시하는 신택스 테이블이다.

도 12는 본 개시의 실시예와 일치하는, 예시적인 슬라이스 레벨 LMCS 신택스를 도시하는 신택스 테이블이다.

도 13은 본 개시의 실시예와 일치하는, 크로마 디블록킹 매개변수를 시그널링하기 위한 예시적인 PH 레벨 신택스를 도시하는 신택스 테이블이다.

도 14는 본 개시의 실시예와 일치하는, 크로마 디블로킹 매개변수를 시그널링하기 위한 예시적인 슬라이스 레벨 신택스를 도시하는 신택스 테이블이다.

도 15는 본 개시의 실시예와 일치하는, 크로마 디블로킹 매개변수를 시그널링하기 위한 예시적인 픽처 매개변수 세트(Picture Parameter Set, PPS) 신택스를 도시하는 신택스 테이블이다.

도 16은 본 개시의 실시예와 일치하는, pps_chroma_tool_offsets_present_flag가 ChromaArrayType으로 대체된 예시적인 PPS 신택스를 도시하는 신택스 테이블이다.

도 17은 본 개시의 실시예와 일치하는, 크로마 디블로킹 매개변수를 시그널링하기 위한 예시적인 PPS 신택스를 도시하는 신택스 테이블이다.

도 18은 본 개시의 실시예와 일치하는, LMCS 매개변수를 시그널링하기 위한 예시적인 방법의 흐름도이다.

도 19는 본 개시의 실시예와 일치하는, LMCS 매개변수를 시그널링하기 위한 예시적인 방법의 흐름도이다.

도 20은 본 개시의 실시예와 일치하는, 크로마 디블록킹 매개변수를 시그널링하기 위한 예시적인 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이제 예시적인 실시예에 대한 참조가 상세히 이루어질 것이며, 이의 예는 첨부 도면에 예시된다. 다음 설명은 달리 표시되지 않는 한 상이한 도면에서 동일한 번호가 동일하거나 유사한 요소를 나타내는 첨부 도면을 참조한다. 예시적인 실시예의 다음 설명에서 제시된 구현은 본 개시와 일치하는 모든 구현을 나타내는 것은 아니다. 그 대신에, 이들은 첨부된 청구범위에서 인용된 본 발명에 관련된 양상과 일치하는 장치 및 방법의 예시일 뿐이

다. 본 발명에 관련된 특정 양상은 아래에서 더 상세히 설명된다. 참조로 통합된 용어 및/또는 정의와 상충하는 경우, 본원에 제공된 용어 및 정의가 우선한다.

[0017] ITU-T VCEG(ITU-T Video Coding Expert Group) 및 ISO/IEC MPEG(ISO/IEC Moving Picture Expert Group)의 JVET(Joint Video Experts Team)는 현재 다용도 비디오 코딩(VVC/H.266) 표준을 개발하고 있다. VVC 표준은 그의 이전 버전인 고효율 비디오 코딩(HEVC/H.265) 표준의 압축 효율성을 두 배로 높이는 것을 목표로 한다. 다시 말해, VVC의 목표는 대역폭의 절반을 사용하여 HEVC/H.265와 동일한 주관적 품질을 달성하는 것이다.

[0018] 대역폭의 절반을 사용하여 HEVC/H.265와 동일한 주관적인 품질을 달성하기 위해, JVET는 공동 탐색 모델(joint exploration model, JEM) 참조 소프트웨어를 사용하여 HEVC를 넘는 기술을 개발하고 있다. 코딩 기술이 JEM에 통합됨에 따라, JEM은 HEVC보다 상당히 더 높은 코딩 성능을 달성하였다.

[0019] VVC 표준은 최근에 개발되었고, 더 나은 압축 성능을 제공하는 더 많은 코딩 기술을 계속 포함하고 있다. VVC는 HEVC, H.264/AVC, MPEG2, H.263 등과 같은 최신 비디오 압축 표준에서 사용된 것과 동일한 비디오 코딩 시스템을 기초로 한다.

[0020] 비디오는 시각 정보를 저장하기 위해 시간적 시퀀스로 배열된 정적 픽처(또는 "프레임")의 세트이다. 비디오 캡처 디바이스(예컨대, 카메라)는 이 픽처를 시간적인 시퀀스로 캡처하고 저장하는데 사용될 수 있고, 비디오 재생 디바이스(예컨대, 디스플레이의 기능을 갖는 텔레비전, 컴퓨터, 스마트폰, 태블릿 컴퓨터, 비디오 플레이어 또는 임의의 최종-사용자 단말기)는 이러한 픽처를 시간적인 시퀀스로 디스플레이하기 위해 사용될 수 있다. 또한, 일부 애플리케이션에서, 비디오 캡처링 디바이스는 감시, 회의 또는 실시간 방송과 같이 캡처된 비디오를 비디오 재생 디바이스(예컨대, 모니터를 갖는 컴퓨터)에 실시간으로 송신할 수 있다.

[0021] 이러한 애플리케이션에 의해 필요한 저장 공간 및 송신 대역폭을 감소시키기 위해, 비디오는 저장 또는 송신 이전에 압축되고, 디스플레이 전에 압축 해제될 수 있다. 압축 및 압축 해제는 프로세서(예컨대, 일반 컴퓨터의 프로세서) 또는 특수 하드웨어에 의해 실행되는 소프트웨어에 의해 구현될 수 있다. 압축을 위한 모듈은 일반적으로 "인코더"로 지칭되고, 압축 해제를 위한 모듈은 일반적으로 "디코더"로 지칭된다. 인코더 및 디코더를 집합적으로 "코덱(codec)"으로 지칭될 수 있다. 인코더 및 디코더는 임의의 다양한 적합한 하드웨어, 소프트웨어, 또는 이들의 조합 중 임의의 것으로 구현될 수 있다. 예컨대, 인코더 및 디코더의 하드웨어 구현은 하나 이상의 마이크로프로세서, 디지털 신호 프로세서(DSP), 애플리케이션-특정 집적 회로(application-specific integrated circuits, ASIC), 필드 프로그래밍 가능 게이트 어레이(Field-Programmable Gate Array, FPGA), 이산 로직 또는 이의 임의의 조합과 같은 회로를 포함할 수 있다. 인코더 및 디코더의 소프트웨어 구현은 컴퓨터 판독 가능 매체에 고정된 프로그램 코드, 컴퓨터-실행가능 명령어, 펌웨어 또는 임의의 적합한 컴퓨터 구현 알고리즘 또는 프로세스를 포함할 수 있다. 비디오 압축 및 압축 해제는 MPEG- 1, MPEG-2, MPEG-4, H.26x 시리즈 등과 같은 다양한 알고리즘 또는 표준에 의해 구현될 수 있다. 일부 애플리케이션에서, 코덱은 제1 코딩 표준으로부터 비디오를 압축 해제하고 제2 코딩 표준을 사용하여 압축 해제된 비디오를 재압축할 수 있으며, 이 경우 코덱은 "트랜스코더(transcoder)"로 지칭될 수 있다.

[0022] 비디오 인코딩 프로세스는 픽처를 재구성하는 데 사용될 수 있는 유용한 정보를 식별하고 유지할 수 있고, 재구성에 중요하지 않은 정보를 폐기할 수 있다. 폐기되고 중요하지 않은 정보가 완전히 재구성될 수 없는 경우, 이러한 인코딩 프로세스는 "손실이 있는 것(lossy)"으로 지칭될 수 있다. 그렇지 않으면, 이는 "무손실"로 지칭될 수 있다. 대부분의 인코딩 프로세스는 손실이 있고, 이는 필요한 저장 공간 및 송신 대역폭을 감소시키기 위한 트레이드오프이다.

[0023] 인코딩되는 픽처(현재 픽처로 지칭됨)의 유용한 정보는 참조 픽처(예컨대, 이전에 인코딩되거나 재구성된 픽처)에 대한 변경을 포함한다. 이러한 변경은 픽셀의 위치 변경, 광도 변경 또는 색상 변경을 포함할 수 있으며, 그 중 위치 변경이 주로 관련된다. 객체를 나타내는 픽셀의 그룹의 위치 변경은 참조 픽처와 현재 픽처 사이의 객체의 움직임을 반영할 수 있다.

[0024] 다른 픽처를 참조하지 않고 코딩된 픽처(즉, 자신이 그 자신의 참조 픽처인 것)는 "I-픽처"로 지칭된다. 참조 픽처로서 이전 픽처를 사용하여 코딩된 픽처는 "P-픽처"로 지칭된다. 참조 픽처로서 이전 픽처 및 미래 픽처 둘 모두를 사용하여 코딩된 픽처(즉, 참조가 "양방향성"임)는 "B-픽처"로 지칭된다.

[0025] 도 1은 본 개시의 일부 실시예에 따른 예시적인 비디오 시퀀스(100)의 구조를 예시한다. 비디오 시퀀스(100)는 실시간 비디오 또는 캡처되고 보관되는 비디오일 수 있다. 비디오(100)는 실제 비디오, 컴퓨터-생성된 비디오(예컨대, 컴퓨터 게임 비디오) 또는 이들의 조합(예컨대, 증강-현실 효과를 갖는 실제 비디오)일 수 있다. 비디

오 시퀀스(100)는 비디오 캡처 디바이스(예컨대, 카메라), 이전에 캡처된 비디오를 포함하는 비디오 아카이브(예컨대, 저장 디바이스에 저장된 비디오 파일), 또는 비디오 콘텐츠 제공자로부터 비디오를 수신하기 위한 비디오 피드 인터페이스(예컨대, 비디오 브로드캐스트 트랜시버)로부터 입력될 수 있다.

[0026] 도 1에 도시된 바와 같이, 비디오 시퀀스(100)는 픽처(102, 104, 106 및 108)를 포함하는, 시간선을 따라 시간적으로 배열된 일련의 픽처를 포함할 수 있다. 픽처(102 내지 106)는 연속적이고, 픽처(106)와 픽처(108) 사이에 더 많은 픽처가 있다. 도 1에서, 픽처(102)는 I-픽처이고, 이의 참조 픽처는 픽처(102) 그 자체이다. 픽처(104)는 P-픽처이고, 이의 참조 픽처는 화살표로 나타난 바와 같이 픽처(102)이다. 픽처(106)는 B-픽처이고, 이의 참조 픽처는 화살표로 나타난 바와 같이 픽처(104 및 108)이다. 일부 실시예에서, 픽처(예컨대, 픽처(104))의 참조 픽처는 픽처 직전 또는 직후가 아닐 수 있다. 예컨대, 픽처(104)의 참조 픽처는 픽처(102)에 선행하는 픽처일 수 있다. 픽처(102 내지 106)의 참조 픽처는 단지 예이며, 본 개시는 도 1에 도시된 예로서 참조 픽처의 실시예를 제한하지 않는다는 것이 유의되어야 한다.

[0027] 전형적으로, 비디오 코덱은 이러한 태스크(task)의 연산 복잡성에 기인하여 전체의 픽처를 동시에 인코딩하거나 또는 디코딩하지 않는다. 오히려, 이는 픽처를 기본 세그먼트로 분할할 수 있고, 픽처를 세그먼트별로 인코딩하거나 또는 디코딩할 수 있다. 이러한 기본 세그먼트는 본 개시에서 기본 처리 유닛(basic processing units, BPU)으로 지칭된다. 예컨대, 도 1에서의 구조(110)는 비디오 시퀀스(100)의 픽처(예컨대, 픽처(102 내지 108) 중 임의의 것)의 예시적인 구조를 도시한다. 구조(110)에서, 픽처는 4X4 기본 처리 유닛으로 분할되고, 이의 경계는 점선으로 도시된다. 일부 실시예에서, 기본 처리 유닛은 일부 비디오 코딩 표준(예컨대, MPEG 패밀리, H.261, H.263, 또는 H.264/AVC)에서 "매크로블록"으로 지칭될 수 있거나, 일부 다른 비디오 코딩 표준(예컨대, H.265/HEVC 또는 H.266/VVC)에서 "코딩 트리 유닛"("CTU")으로 지칭될 수 있다. 기본 처리 유닛은 128×128, 64×64, 32×32, 16×16, 4×8, 16×32와 같은 픽처에서의 가변적인 크기, 또는 픽셀의 어느 임의의 형태 및 크기를 가질 수 있다. 기본 처리 유닛의 크기 및 형태는 기본 처리 유닛에서 유지될 세부사항의 레벨 및 코딩 효율에 기초하여 픽처에 대해 선택될 수 있다.

[0028] 기본 처리 유닛은 컴퓨터 메모리에 (예컨대, 비디오 프레임 버퍼에) 저장된 상이한 타입의 비디오 데이터의 그룹을 포함할 수 있는 논리적 유닛일 수 있다. 예컨대, 색상 픽처의 기본 처리 유닛은 무색의 밝기 정보를 나타내는 루마 성분(Y), 색상 정보를 나타내는 하나 이상의 크로마 성분(예컨대, Cb 및 Cr) 및 연관된 신택스 요소를 포함할 수 있고, 여기서 루마 및 크로마 성분은 기본 처리 유닛과 동일한 크기를 가질 수 있다. 루마 및 크로마 성분은 일부 비디오 코딩 표준(예컨대, H.265/HEVC 또는 H.266/VVC)에서 "코딩 트리 블록"("CTB")으로 지칭될 수 있다. 기본 처리 유닛에 대해 수행된 임의의 동작은 그의 루마 및 크로마 성분의 각각에 대해 반복적으로 수행될 수 있다.

[0029] 비디오 코딩은 다수의 동작 스테이지를 가지며, 이의 예는 도 2a-2b 및 3a-3b에 도시된다. 각각의 스테이지에 대해, 기본 처리 유닛의 크기는 처리하기에 여전히 너무 클 수 있으며, 따라서 본 개시에서 "기본 처리 서브-유닛"으로 지칭되는 세그먼트로 더 분할될 수 있다. 일부 실시예에서, 기본 처리 서브-유닛은 일부 비디오 코딩 표준(예컨대, MPEG 패밀리, H.261, H.263, 또는 H.264/AVC)에서 "블록"으로 지칭될 수 있거나, 일부 다른 비디오 코딩 표준(예컨대, H.265/HEVC 또는 H.266/VVC)에서 "코딩 유닛"("CU")으로 지칭될 수 있다. 기본 처리 서브-유닛은 기본 처리 유닛과 동일하거나 더 작은 크기를 가질 수 있다. 기본 처리 유닛과 유사하게, 기본 처리 서브-유닛은 또한, 논리적 유닛이며, 이는 컴퓨터 메모리에 (예컨대, 비디오 프레임 버퍼에) 저장된 상이한 타입의 비디오 데이터(예컨대, Y, Cb, Cr 및 연관된 신택스 요소)의 그룹을 포함할 수 있다. 기본 처리 서브-유닛에 대해 수행된 임의의 동작은 그의 루마 및 크로마 성분의 각각에 대해 반복적으로 수행될 수 있다. 이러한 분할은 처리 요구에 의존하는 추가적인 레벨로 수행될 수 있다는 것이 유의되어야 한다. 또한, 상이한 스테이지가 상이한 체계를 사용하여 기본 처리 유닛을 분할할 수 있다는 것이 유의되어야 한다.

[0030] 예컨대, 모드 결정 스테이지(그의 예가 도 2b에 도시됨)에서, 인코더는 기본 처리 유닛에 대해 어떤 예측 모드(예컨대, 인트라-픽처 예측 또는 인터-픽처 예측)를 사용할지를 결정할 수 있으며, 기본 처리 유닛은 이러한 결정을 하기엔 너무 클 수 있다. 인코더는 기본 처리 유닛을 다수의 기본 처리 서브-유닛(예컨대, H.265/HEVC 또는 H.266/VVC에서와 같이 CU)으로 분할할 수 있으며, 각각의 개별적인 기본 처리 서브-유닛에 대해 예측 타입을 결정할 수 있다.

[0031] 다른 예로서, 예측 스테이지(그의 예가 도 2a-2b에 도시됨)에서, 인코더는 기본 처리 서브-유닛(예컨대, CU)의 레벨에서 예측 동작을 수행할 수 있다. 하지만, 일부 경우에서, 기본 처리 서브-유닛은 처리하기에 여전히 너무 클 수 있다. 인코더는 기본 처리 서브-유닛을 예측 동작이 수행될 수 있는 레벨의 더 작은 세그먼트(예컨대,

H.265/HEVC 또는 H.266/VVC에서 "예측 블록" 또는 "PB"로 지칭됨)로 더 분할할 수 있다.

[0032] 다른 예로서, 변환 스테이지(그의 예가 도 2a-2b에 도시됨)에서, 인코더는 잔차 기본 처리 서브-유닛(예컨대, CU)에 대한 변환 동작을 수행할 수 있다. 하지만, 일부 경우에서, 기본 처리 서브-유닛은 처리하기에 여전히 너무 클 수 있다. 인코더는 기본 처리 서브-유닛을 변환 동작이 수행될 수 있는 레벨의 더 작은 세그먼트(예컨대, H.265/HEVC 또는 H.266/VVC에서 "변환 블록" 또는 "TB"로 지칭됨)로 더 분할할 수 있다. 동일한 기본 처리 서브-유닛의 분할 체계는 예측 스테이지 및 변환 스테이지에서 상이할 수 있다는 것이 유의되어야 한다. 예컨대, H.265/HEVC 또는 H.266/VVC에서, 동일한 CU의 예측 블록 및 변환 블록은 상이한 크기 및 개수를 가질 수 있다.

[0033] 도 1의 구조(110)에서, 기본 처리 유닛(112)은 그의 경계가 점선으로 도시된, 3X3 기본 처리 서브-유닛으로 더 분할된다. 동일한 픽처의 상이한 기본 처리 유닛이 상이한 체계의 기본 처리 서브-유닛으로 분할될 수 있다.

[0034] 일부 구현에서, 비디오 인코딩 및 디코딩에 대한 병렬 처리 및 오류 복원의 능력을 제공하기 위해, 픽처는 픽처의 영역에 대해, 인코딩 또는 디코딩 프로세스가 픽처의 임의의 다른 영역으로부터의 정보에 의존하지 않도록, 처리를 위한 영역으로 분할될 수 있다. 다시 말해, 픽처의 각각의 영역은 독립적으로 처리될 수 있다. 이렇게 함으로써, 코덱은 픽처의 상이한 영역을 병렬로 처리할 수 있으며, 따라서 코딩 효율을 증가시킨다. 또한, 영역의 데이터가 처리에서 훼손되거나 또는 네트워크 송신에서 분실될 때, 코덱은 훼손되거나 또는 분실된 데이터에 대한 의존(reliance) 없이, 동일한 픽처의 다른 영역을 올바르게 인코딩 또는 디코딩할 수 있으며, 따라서 오류 복원의 능력을 제공한다. 일부 비디오 코딩 표준에서, 픽처는 상이한 타입의 영역으로 분할될 수 있다. 예컨대, H.265/HEVC 및 H.266/VVC는 두 개의 타입의 영역: "슬라이스" 및 "타일"을 제공한다. 또한, 비디오 시퀀스(100)의 상이한 픽처가 픽처를 영역으로 분할하기 위한 상이한 파티션 체계를 가질 수 있다는 것이 유의되어야 한다.

[0035] 예컨대, 도 1에서, 구조(110)는 그의 경계가 구조(110) 내에서 실선으로 도시된 세 개의 영역(114, 116 및 118)으로 분할된다. 영역(114)은 네 개의 기본 처리 유닛을 포함한다. 영역(116 및 118)의 각각은 여섯 개의 기본 처리 유닛을 포함한다. 도 1에서 구조(110)의 기본 처리 유닛, 기본 처리 서브-유닛 및 영역은 단지 예이며, 본 개시는 이의 실시예를 제한하지 않는다는 것이 유의되어야 한다.

[0036] 도 2a는 본 개시의 실시예와 일치하는, 예시적인 인코딩 프로세스(200A)의 개략도를 예시한다. 예컨대, 인코딩 프로세스(200A)는 인코더에 의해 수행될 수 있다. 도 2a에 도시된 바와 같이, 인코더는 프로세스(200A)에 따라 비디오 시퀀스(202)를 비디오 비트스트림(228)으로 인코딩할 수 있다. 도 1에서의 비디오 시퀀스(100)와 유사하게, 비디오 시퀀스(202)는 시간적인 순서로 배열된 픽처("원본 픽처"로 지칭됨)의 세트를 포함할 수 있다. 도 1에서의 구조(110)와 유사하게, 비디오 시퀀스(202)의 각각의 원본 픽처는 인코더에 의해 기본 처리 유닛, 기본 처리 서브-유닛 또는 처리를 위한 영역으로 분할될 수 있다. 일부 실시예에서, 인코더는 비디오 시퀀스(202)의 각각의 원본 픽처에 대한 기본 처리 유닛의 레벨에서 프로세스(200A)를 수행할 수 있다. 예컨대, 인코더는 프로세스(200A)를 반복 방식으로 수행할 수 있으며, 여기서 인코더는 프로세스(200A)의 하나의 반복으로 기본 처리 유닛을 인코딩할 수 있다. 일부 실시예에서, 인코더는 비디오 시퀀스(202)의 각각의 원본 픽처의 영역(예컨대, 영역(114-118))에 대해 프로세스(200A)를 병렬로 수행할 수 있다.

[0037] 도 2a에서, 인코더는 예측 데이터(206) 및 예측된 BPU(208)를 생성하기 위해 비디오 시퀀스(202)의 원본 픽처의 기본 처리 유닛("원본 BPU"로 지칭됨)을 예측 스테이지(204)로 공급할 수 있다. 인코더는 잔차 BPU(210)를 생성하기 위해 원본 BPU로부터 예측된 BPU(208)를 감산할 수 있다. 인코더는 양자화된 변환 계수(216)를 생성하기 위해, 잔차 BPU(210)를 변환 스테이지(212) 및 양자화 스테이지(214)에 공급할 수 있다. 인코더는 비디오 비트스트림(228)을 생성하기 위해, 예측 데이터(206) 및 양자화된 변환 계수(216)를 이진 코딩 스테이지(226)에 공급할 수 있다. 구성요소(202, 204, 206, 208, 210, 212, 214, 216, 226 및 228)는 "순방향 경로(forward path)"로서 지칭될 수 있다. 프로세스(200A) 동안, 양자화 스테이지(214) 이후에, 인코더는 재구성된 잔차 BPU(222)를 생성하기 위해, 양자화된 변환 계수(216)를 역양자화 스테이지(218) 및 역변환 스테이지(220)에 공급할 수 있다. 인코더는 프로세스(200A)의 다음 반복을 위해 예측 스테이지(204)에서 사용되는 예측 참조(224)를 생성하기 위해, 재구성된 잔차 BPU(222)를 예측된 BPU(208)에 더할 수 있다. 프로세스(200A)의 구성요소(218, 220, 222 및 224)는 "재구성 경로"로 지칭될 수 있다. 재구성 경로는 인코더 및 디코더 둘 모두가 예측을 위해 동일한 참조 데이터를 사용하는 것을 보장하도록 사용될 수 있다.

[0038] 인코더는 (순방향 경로에서) 원본 픽처의 각각의 원본 BPU를 인코딩하고, (재구성 경로에서) 원본 픽처의 다음 원본 BPU를 인코딩하기 위한 예측된 참조(224)를 생성하기 위해 프로세스(200A)를 반복적으로 수행할 수 있다. 원본 픽처의 모든 원본 BPU를 인코딩한 이후에, 인코더는 비디오 시퀀스(202)에서 다음 픽처를 인코딩하도록 진

행할 수 있다.

[0039] 프로세스(200A)를 참조하면, 인코더는 비디오 캡처링 디바이스(예컨대, 카메라)에 의해 생성되는 비디오 시퀀스(202)를 수신할 수 있다. 본원에서 사용된 "수신하다"라는 용어는 수신, 입력, 취득, 리트리브(retrieve), 획득, 판독, 액세스 또는 데이터를 입력하기 위한 임의의 방식에서의 임의의 동작을 지칭할 수 있다.

[0040] 현재 반복에서의 예측 스테이지(204)에서, 인코더는 원본 BPU 및 예측 참조(224)를 수신할 수 있고, 예측 데이터(206) 및 예측된 BPU(208)를 생성하기 위해 예측 동작을 수행할 수 있다. 예측 참조(224)는 프로세스(200A)의 이전의 반복의 재구성 경로로부터 생성될 수 있다. 예측 스테이지(204)의 목적은 예측 데이터(206) 및 예측 참조(224)로부터 원본 BPU를 예측된 BPU(208)로서 재구성하기 위해 사용될 수 있는 예측 데이터(206)를 추출함으로써 정보 리던던시(information redundancy)를 감소시키는 것이다.

[0041] 이상적으로, 예측된 BPU(208)는 원본 BPU와 동일할 수 있다. 하지만, 비-이상적 예측 및 재구성 동작에 기인하여, 예측된 BPU(208)는 일반적으로 원본 BPU와는 약간 상이하다. 이러한 차이를 기록하기 위해, 예측된 BPU(208)를 생성한 이후에, 인코더는 잔차 BPU(210)를 생성하기 위해, 원본 BPU로부터 이를 감산할 수 있다. 예컨대, 인코더는 원본 BPU의 대응하는 픽셀의 값으로부터 예측된 BPU(208)의 픽셀의 값(예컨대, 그레이스케일 값 또는 RGB 값)을 감산할 수 있다. 잔차 BPU(210)의 각각의 픽셀은 원본 BPU 및 예측된 BPU(208)의 대응하는 픽셀 사이에서 이러한 감산의 결과로서 잔차 값을 가질 수 있다. 원본 BPU와 비교하여, 예측 데이터(206) 및 잔차 BPU(210)는 더 적은 수의 비트를 가질 수 있지만, 이들은 현저한 품질 저하 없이 원본 BPU를 재구성하는데 사용될 수 있다. 따라서, 원본 BPU가 압축된다.

[0042] 잔차 BPU(210)를 더 압축하기 위해, 변환 스테이지(212)에서, 인코더는 이를 2차원 "기본 패턴" - 각각의 기본 패턴은 "변환 계수와 연관됨 - 으로 분해함으로써 잔차 BPU(210)의 공간 리던던시를 저감할 수 있다. 기본 패턴은 동일한 크기(예컨대, 잔차 BPU(210)의 크기)를 가질 수 있다. 각각의 기본 패턴은 잔차 BPU(210)의 변동 주파수(variation frequency)(예컨대, 밝기 변동의 주파수) 성분을 나타낼 수 있다. 기본 패턴 중 어느 것도 임의의 다른 기본 패턴의 임의의 조합(예컨대, 선형 조합)으로부터 재생성될 수 없다. 다시 말해, 분해는 잔차 BPU(210)의 변동을 주파수 도메인으로 분해할 수 있다. 이러한 분해는 함수의 이산 푸리에 변환과 유사하며, 여기서 기본 패턴은 이산 푸리에 변환의 기본 함수(예컨대, 삼각 함수)와 유사하고 변환 계수는 기본 함수와 연관된 계수와 유사하다.

[0043] 상이한 변환 알고리즘이 상이한 기본 패턴을 사용할 수 있다. 다양한 변환 알고리즘은 예컨대, 이산 코사인 변환, 이산 사인 변환 등과 같은 변환 스테이지(212)에서 사용될 수 있다. 변환 스테이지(212)에서의 변환은 역으로 이루어질 수 있다(invertible). 즉, 인코더는 변환의 역동작("역변환"으로 지칭됨)에 의해 잔차 BPU(210)를 복원할 수 있다. 예컨대, 잔차 BPU(210)의 픽셀을 복원하기 위해, 역변환은 기본 패턴의 대응하는 픽셀의 값을 각각의 연관된 계수를 곱하고, 그 결과 값을 더하여 가중합을 생성할 수 있다. 비디오 코딩 표준에 대해, 인코더 및 디코더 둘 모두는 동일한 변환 알고리즘(따라서, 동일한 기본 패턴)을 사용할 수 있다. 따라서, 인코더는 변환 계수만을 기록할 수 있고, 이로부터 디코더는 인코더로부터 기본 패턴을 수신하지 않으면서, 잔차 BPU(210)를 재구성할 수 있다. 잔차 BPU(210)와 비교하여, 변환 계수는 더 적은 수의 비트를 가질 수 있지만, 이들은 현저한 품질 저하 없이 잔차 BPU(210)를 재구성하는데 사용될 수 있다. 따라서, 잔차 BPU(210)가 더 압축된다.

[0044] 인코더는 양자화 스테이지(214)에서 변환 계수를 더 압축할 수 있다. 변환 프로세스에서, 상이한 기본 패턴이 상이한 변동 주파수(예컨대, 밝기 변동 주파수)를 나타낼 수 있다. 인간의 눈은 일반적으로 낮은-주파수 변동을 더 잘 인식하기 때문에, 인코더는 디코딩에서 현저한 품질 저하를 초래하지 않으면서 높은-주파수 변동의 정보를 무시할 수 있다. 예컨대, 양자화 스테이지(214)에서, 인코더는 각각의 변환 계수를 정수 값("양자화 파라미터"로 지칭됨)으로 나누고, 몫을 그의 가장 가까운 정수로 반올림함으로써, 양자화된 변환 계수(216)를 생성할 수 있다. 이러한 동작 이후에, 고주파수 기본 패턴의 일부 변환 계수는 0으로 변환될 수 있고, 저주파수 기본 패턴의 변환 계수는 더 작은 정수로 변환될 수 있다. 인코더는 0-값 양자화된 변환 계수(216)를 무시할 수 있으며, 이에 의해 변환 계수는 더 압축된다. 또한, 양자화 프로세스는 역으로 이루어질 수 있고, 여기서 양자화된 변환 계수(216)는 양자화의 역동작("역양자화"로 지칭됨)에서 변환 계수로 재구성될 수 있다.

[0045] 인코더가 반올림 동작에서 이러한 나눗셈의 나머지를 무시하기 때문에, 양자화 스테이지(214)는 손실이 있을 수 있다. 전형적으로, 양자화 스테이지(214)는 프로세스(200A)의 대부분의 정보 손실에 기여할 수 있다. 정보 손실이 크면 클수록, 양자화된 변환 계수(216)가 더 적은 비트를 필요로 할 수 있다. 상이한 레벨의 정보 손실을 획득하기 위해, 인코더는 양자화 파라미터의 상이한 값 또는 양자화 프로세스의 임의의 다른 파라미터를 사용할

수 있다.

[0046] 이진 코딩 스테이지(226)에서, 인코더는 예컨대, 엔트로피 코딩, 가변 길이 코딩, 산술 코딩, 허프만 코딩(Huffman coding), 컨텍스트-적응적 이진 산술 코딩(context-adaptive binary arithmetic coding) 또는 임의의 다른 무손실 또는 손실 압축 알고리즘과 같은 이진 코딩 기술을 사용하여 예측 데이터(206) 및 양자화된 변환 계수(216)를 인코딩할 수 있다. 일부 실시예에서, 예측 데이터(206) 및 양자화된 변환 계수(216) 이외에, 인코더는 예컨대, 예측 스테이지(204)에서 사용되는 예측 모드, 예측 동작의 파라미터, 변환 스테이지(212)에서의 변환 타입, 양자화 프로세스의 파라미터(예컨대, 양자화 파라미터), 인코더 제어 파라미터(예컨대, 비트레이트 제어 파라미터) 등과 같은 다른 정보를 이진 코딩 스테이지(226)에서 인코딩할 수 있다. 인코더는 비디오 비트스트림(228)을 생성하기 위해 이진 코딩 스테이지(226)의 출력 데이터를 사용할 수 있다. 일부 실시예에서, 비디오 비트스트림(228)은 네트워크 송신을 위해 더 패킷화될 수 있다.

[0047] 프로세스(200A)의 재구성 경로를 참고하면, 역양자화 스테이지(218)에서, 인코더는 재구성된 변환 계수를 생성하기 위해 양자화된 변환 계수(216)에 역양자화를 수행할 수 있다. 역변환 스테이지(220)에서, 인코더는 재구성된 변환 계수에 기초하여, 재구성된 잔차 BPU(222)를 생성할 수 있다. 인코더는 프로세스(200A)의 다음 반복에서 사용될 예측 참조(224)를 생성하기 위해, 재구성된 잔차 BPU(222)를 예측된 BPU(208)에 더할 수 있다.

[0048] 프로세스(200A)의 다른 변형은 비디오 시퀀스(202)를 인코딩하기 위해 사용될 수 있다는 것이 유의되어야 한다. 일부 실시예에서, 프로세스(200A)의 스테이지는 인코더에 의해 상이한 순서로 수행될 수 있다. 일부 실시예에서, 프로세스(200A)의 하나 이상의 스테이지는 단일 스테이지로 결합될 수 있다. 일부 실시예에서, 프로세스(200A)의 단일 스테이지는 다수의 스테이지로 분할될 수 있다. 예컨대, 변환 스테이지(212) 및 양자화 스테이지(214)가 단일 스테이지로 결합될 수 있다. 일부 실시예에서, 프로세스(200A)는 추가적인 스테이지를 포함할 수 있다. 일부 실시예에서, 프로세스(200A)는 도 2a에서의 하나 이상의 스테이지를 생략할 수 있다.

[0049] 도 2b는 본 개시의 실시예와 일치하는, 다른 예시적인 인코딩 프로세스(200B)의 개략도를 예시한다. 프로세스(200B)는 프로세스(200A)로부터 수정될 수 있다. 예컨대, 프로세스(200B)는 하이브리드 비디오 인코딩 표준(예컨대, H.26x 시리즈)을 따르는 인코더에 의해 사용될 수 있다. 프로세스(200A)에 비해, 프로세스(200B)의 순방향 경로는 모드 결정 스테이지(230)를 추가적으로 포함하고, 예측 스테이지(204)를 공간 예측 스테이지(2042) 및 시간 예측 스테이지(2044)로 분할한다. 프로세스(200B)의 재구성 경로는 루프 필터 스테이지(232) 및 버퍼(234)를 추가적으로 포함한다.

[0050] 일반적으로, 예측 기술은 두 개의 타입: 공간 예측 및 시간 예측으로 카테고리화될 수 있다. 공간 예측(예컨대, 인트라-픽처 예측 또는 "인트라 예측")은 현재 BPU를 예측하기 위해, 동일한 픽처에서 하나 이상의 이미 코딩된 이웃하는 BPU로부터의 픽셀을 사용할 수 있다. 즉, 공간 예측에서의 예측 참조(224)는 이웃하는 BPU를 포함할 수 있다. 공간 예측은 픽처의 내재적인 공간 리던던시를 감소시킬 수 있다. 시간 예측(예컨대, 인터-픽처 예측 또는 "인터 예측")은 현재 BPU를 예측하기 위해 하나 이상의 이미 코딩된 픽처로부터의 영역을 사용할 수 있다. 즉, 시간 예측에서의 예측 참조(224)는 코딩된 픽처를 포함할 수 있다. 시간 예측은 픽처의 내재적인 시간 리던던시를 저감할 수 있다.

[0051] 프로세스(200B)를 참조하면, 순방향 경로에서, 인코더는 공간 예측 스테이지(2042) 및 시간 예측 스테이지(2044)에서 예측 동작을 수행한다. 예컨대, 공간 예측 스테이지(2042)에서, 인코더는 인트라 예측을 수행할 수 있다. 인코딩되는 픽처의 원본 BPU에 대해, 예측 참조(224)는 동일한 픽처에서 (순방향 경로에서) 인코딩되고 (재구성 경로에서) 재구성되는 하나 이상의 이웃하는 BPU를 포함할 수 있다. 인코더는 이웃하는 BPU를 외삽함으로써 예측된 BPU(208)를 생성할 수 있다. 외삽 기법은 예컨대, 선형 외삽(linear extrapolation) 또는 내삽(interpolation), 다항식 외삽 또는 내삽 등을 포함할 수 있다. 일부 실시예에서, 인코더는 가령, 예측된 BPU(208)의 각각의 픽셀에 대해 대응하는 픽셀의 값을 외삽함으로써, 픽셀 레벨에서 외삽을 수행할 수 있다. 외삽을 위해 사용된 이웃하는 BPU는 (예컨대, 원본 BPU의 상부에서) 수직 방향, (예컨대, 원본 BPU의 좌측에서) 수평 방향, (예컨대, 원본 BPU의 좌측-하단, 우측-하단, 좌측-상단 또는 우측-상단에서) 대각선 방향, 또는 사용된 비디오 코딩 표준에서 정의된 임의의 방향에서와 같은 다양한 방향으로부터 원본 BPU에 대해 위치될 수 있다. 인트라 예측에 대해, 예측 데이터(206)는 예컨대, 원본 BPU에 대한 사용된 이웃하는 BPU의 위치(예컨대, 좌표), 사용된 이웃하는 BPU의 크기, 외삽의 파라미터, 사용된 이웃하는 BPU의 방향 등을 포함할 수 있다.

[0052] 다른 예에 대해, 시간 예측 스테이지(2044)에서, 인코더는 인터 예측을 수행할 수 있다. 현재 픽처의 원본 BPU에 대해, 예측 참조(224)는 (순방향 경로에서) 인코딩되고 (재구성된 경로에서) 재구성된 하나 이상의 픽처("참조 픽처"로 지칭됨)를 포함할 수 있다. 일부 실시예에서, 참조 픽처는 BPU별로 인코딩되고 재구성될 수 있다.

예컨대, 인코더는 재구성된 BPU를 생성하기 위해, 재구성된 잔차 BPU(222)를 예측된 BPU(208)에 더할 수 있다. 동일한 픽처의 모든 재구성된 BPU가 생성될 때, 인코더는 재구성된 픽처를 참조 픽처로서 생성할 수 있다. 인코더는 참조 픽처의 범위("검색 윈도우"로 지칭됨)에서 매칭 영역을 검색하기 위해, "움직임 추정"의 동작을 수행할 수 있다. 참조 픽처에서 검색 윈도우의 위치는 현재 픽처에서 원본 BPU의 위치에 기초하여 결정될 수 있다. 예컨대, 검색 윈도우는 현재 픽처에서 원본 BPU와 참조 픽처에서 동일한 좌표를 갖는 위치에 중심이 맞춰질 수 있고, 미리 결정된 거리에 대해 확장될 수 있다. 인코더가 검색 윈도우에서 원본 BPU와 유사한 영역을 (예컨대, 픽셀-순환 알고리즘(pixel-recursive algorithm), 블록-매칭 알고리즘 등을 사용함으로써) 식별할 때, 인코더는 이러한 영역을 매칭 영역으로서 결정할 수 있다. 매칭 영역은 원본 BPU로부터 상이한 치수(예컨대, 그보다 작거나, 이와 동일하거나, 그보다 크거나 또는 상이한 형태인)를 가질 수 있다. 참조 픽처 및 현재 픽처가 (예컨대, 도 1에 도시된 바와 같이) 시간선에서 시간적으로 분리되기 때문에, 시간이 지남에 따라, 매칭 영역이 원본 BPU의 위치로 "이동하는" 것으로 여겨질 수 있다. 인코더는 "움직임 벡터"로서 이러한 움직임의 방향 및 거리를 기록할 수 있다. (예컨대, 도 1에서의 픽처(106)와 같이) 다수의 참조 픽처가 사용될 때, 인코더는 매칭 영역을 검색하고, 각각의 참조 픽처에 대해 그의 연관된 움직임 벡터를 결정할 수 있다. 일부 실시예에서, 인코더는 각각의 매칭 참조 픽처의 매칭 영역의 픽셀값에 대해 가중치를 할당할 수 있다.

[0053] 움직임 추정은 예컨대, 병진(translation), 회전, 주밍(zooming) 등과 같은 다양한 타입의 움직임을 식별하기 위해 사용될 수 있다. 인터 예측에 대해, 예측 데이터(206)는 예컨대, 매칭 영역의 위치(예컨대, 좌표), 매칭 영역과 관련된 움직임 벡터, 참조 픽처의 개수, 참조 픽처와 연관된 가중치 등을 포함할 수 있다.

[0054] 예측된 BPU(208)를 생성하기 위해, 인코더는 "움직임 보상"의 동작을 수행할 수 있다. 움직임 보상은 예측 데이터(206)(예컨대, 움직임 벡터) 및 예측 참조(224)에 기초하여 예측된 BPU(208)를 재구성하는데 사용될 수 있다. 예컨대, 인코더는 움직임 벡터에 따라 참조 픽처의 매칭 영역을 이동시킬 수 있으며, 여기서 인코더는 현재 픽처의 원본 BPU를 예측할 수 있다. 다수의 참조 픽처가 (예컨대, 도 1에서의 픽처와 같이) 사용될 때, 인코더는 매칭 영역의 각각의 움직임 벡터 및 평균 픽셀 값에 따라 참조 픽처의 매칭 영역을 이동시킬 수 있다. 일부 실시예에서, 인코더가 각각의 매칭 참조 픽처의 매칭 영역의 픽셀값에 가중치를 할당한 경우, 인코더는 이동된 매칭 영역의 픽셀값의 가중치 합을 더할 수 있다.

[0055] 일부 실시예에서, 인터 예측은 단방향 또는 양방향일 수 있다. 단방향 인터 예측은 현재 픽처에 대해 동일한 시간 방향으로 하나 이상의 참조 픽처를 사용할 수 있다. 예컨대, 도 1에서의 픽처(104)는 참조 픽처(예를 들어, 픽처(102))가 픽처(104)에 선행하는 단방향 인터-예측된 픽처이다. 양방향 인터 예측은 현재 픽처에 대해 시간 방향 둘 모두에서 하나 이상의 참조 픽처를 사용할 수 있다. 예컨대, 도 1에서의 픽처(106)는 참조 픽처(예를 들어, 픽처(104 및 108))가 픽처(104)에 대해 시간 방향 둘 모두에 있는 양방향 인터-예측된 픽처이다.

[0056] 프로세스(200B)의 순방향 경로를 계속 참조하면, 공간 예측 스테이지(2042) 및 시간 예측 스테이지(2044) 이후에, 모드 결정 스테이지(230)에서, 인코더는 프로세스(200B)의 현재 반복에 대해 예측 모드(예컨대, 인트라 예측 또는 인터 예측 중 하나)를 선택할 수 있다. 예컨대, 인코더는 레이트-왜곡 최적화 기술(rate-distortion optimization technique)을 수행할 수 있으며, 여기서 인코더는 후보 예측 모드의 비트레이트 및 후보 예측 모드 하에서 재구성된 참조 픽처의 왜곡에 의존하여, 비용 함수의 값을 최소화하기 위해 예측 모드를 선택할 수 있다. 선택된 예측 모드에 의존하여, 인코더는 대응하는 예측된 BPU(208) 및 예측된 데이터(206)를 생성할 수 있다.

[0057] 프로세스(200B)의 재구성 경로에서, 순방향 경로에서 인트라 예측 모드가 선택된 경우, 예측 참조(224)(예컨대, 현재 픽처에서 인코딩되고 재구성된 현재 BPU)를 생성한 이후에, 인코더는 차후 사용을 위해(예컨대, 현재 픽처의 다음 BPU의 외삽을 위해), 예측 참조(224)를 공간 예측 스테이지(2042)로 직접적으로 공급할 수 있다. 순방향 경로에서 인터 예측 모드가 선택된 경우에, 예측 참조(224)(예컨대, 모든 BPU가 인코딩되고 재구성된 현재 픽처)를 생성한 이후에, 인코더는 인터 예측에 의해 도입된 왜곡(예컨대, 블로킹 아티팩트(blocking artifacts))을 감소시키거나 제거하기 위해 인코더가 예측 참조(224)에 루프 필터를 적용할 수 있는 루프 필터 스테이지(232)에 예측 참조(224)를 공급할 수 있다. 인코더는 예컨대, 디블로킹(deblocking), 샘플 적응적 오프셋, 적응적 루프 필터 등과 같은 다양한 루프 필터 기법을 루프 필터 스테이지(232)에서 적용할 수 있다. 루프-필터링된 참조 픽처는 차후 사용을 위해(예컨대, 비디오 시퀀스(202)의 향후 픽처에 대한 인터-예측 참조 픽처로서 사용되기 위해) 버퍼(234)(또는 "디코딩된 픽처 버퍼")에 저장될 수 있다. 인코더는 시간 예측 스테이지(2044)에서 사용되도록 버퍼(234)에 하나 이상의 참조 픽처를 저장할 수 있다. 일부 실시예에서, 인코더는 양자화된 변환 계수(216), 예측 데이터(206) 및 다른 정보와 함께, 이진 코딩 스테이지(226)에서 루프 필터의 파라

미터(예컨대, 루프 필터 강도)를 인코딩할 수 있다.

[0058] 도 3a는 본 개시의 실시예와 일치하는 예시적인 디코딩 프로세스(300A)의 개략도를 예시한다. 프로세스(300A)는 도 2a에서의 압축 프로세스(200A)에 대응하는 압축 해제 프로세스일 수 있다. 일부 실시예에서, 프로세스(300A)는 프로세스(200A)의 재구성 경로와 유사할 수 있다. 디코더는 프로세스(300A)에 따라 비디오 비트스트림(228)을 비디오 스트림(304)으로 디코딩할 수 있다. 비디오 스트림(304)은 비디오 시퀀스(202)와 매우 유사할 수 있다. 하지만, 압축 및 압축 해제 프로세스(예컨대, 도 2a-2b에서의 양자화 스테이지(214))에서의 정보 손실에 기인하여, 일반적으로 비디오 스트림(304)은 비디오 시퀀스(202)와 동일하지 않다. 도 2a-2b에서의 프로세스(200A 및 200B)와 유사하게, 디코더는 비디오 비트스트림(228)에서 인코딩된 각각의 픽처에 대해 기본 처리 유닛(BPU)의 레벨에서 프로세스(300A)를 수행할 수 있다. 예컨대, 디코더는 반복적인 방식으로 프로세스(300A)를 수행할 수 있으며, 여기서 디코더는 프로세스(300A)의 한 번의 반복으로 기본 처리 유닛을 디코딩할 수 있다. 일부 실시예에서, 디코더는 비디오 비트스트림(228)에서 인코딩된 각각의 픽처의 영역(예컨대, 영역(114 내지 118))에 대해 병렬로 프로세스(300A)를 수행할 수 있다.

[0059] 도 3a에서, 디코더는 인코딩된 픽처의 기본 처리 유닛("인코딩된 BPU"로 지칭됨)과 연관된 비디오 비트스트림(228)의 부분을 이진 디코딩 스테이지(302)로 공급할 수 있다. 이진 디코딩 스테이지(302)에서, 디코더는 그 부분을 예측 데이터(206) 및 양자화된 변환 계수(216)로 디코딩할 수 있다. 디코더는 재구성된 잔차 BPU(222)를 생성하기 위해 양자화된 변환 계수(216)를 역양자화 스테이지(218) 및 역변환 스테이지(220)에 공급할 수 있다. 디코더는 예측된 BPU(208)를 생성하기 위해 예측 데이터(206)를 예측 스테이지(204)로 공급할 수 있다. 디코더는 예측된 참조(224)를 생성하기 위해 재구성된 잔차 BPU(222)를 예측된 BPU(208)에 더할 수 있다. 일부 실시예에서, 예측된 참조(224)는 버퍼(예컨대, 컴퓨터 메모리의 디코딩된 픽처 버퍼)에 저장될 수 있다. 디코더는 프로세스(300A)의 다음 반복에서 예측 동작을 수행하기 위해, 예측된 참조(224)를 예측 스테이지(204)에 공급할 수 있다.

[0060] 디코더는 인코딩된 픽처의 각각의 인코딩된 BPU를 디코딩하고, 인코딩된 픽처의 다음 인코딩된 BPU를 인코딩하기 위해 예측된 참조(224)를 생성하도록, 프로세스(300A)를 반복적으로 수행할 수 있다. 인코딩된 픽처의 모든 인코딩된 BPU를 디코딩한 이후에, 디코더는 디스플레이를 위해 픽처를 비디오 스트림(304)에 출력하고, 비디오 비트스트림(228)에서 다음 인코딩된 픽처를 디코딩하도록 진행할 수 있다.

[0061] 이진 디코딩 스테이지(302)에서, 디코더는 인코더에 의해 사용된 이진 코딩 기법(예컨대, 엔트로피 코딩, 가변 길이 코딩, 산술 코딩, 허프만 코딩, 컨텍스트-적응적 이진 산술 코딩 또는 임의의 다른 무손실 압축 알고리즘)의 역동작을 수행할 수 있다. 일부 실시예에서, 예측 데이터(206) 및 양자화된 변환 계수(216) 이외에, 디코더는 예컨대, 예측 모드, 예측 동작의 파라미터, 변환 타입, 양자화 프로세스의 파라미터(예컨대, 양자화 파라미터), 인코더 제어 파라미터(예컨대, 비트레이트 제어 파라미터) 등과 같은 다른 정보를 이진 디코딩 스테이지(302)에서 디코딩할 수 있다. 일부 실시예에서, 비디오 비트스트림(228)이 네트워크를 통해 패킷으로 송신되는 경우, 디코더는 이를 이진 디코딩 스테이지(302)에 공급하기 전에, 비디오 비트스트림(228)을 디패킷화(depacketize)할 수 있다.

[0062] 도 3b는 본 개시의 일부 실시예와 일치하는 다른 예시적인 디코딩 프로세스(300B)의 개략도를 예시한다. 프로세스(300B)는 프로세스(300A)로부터 수정될 수 있다. 예컨대, 프로세스(300B)는 하이브리드 비디오 코딩 표준(예컨대, H.26x 시리즈)에 따르는 디코더에 의해 사용될 수 있다. 프로세스(300A)와 비교하면, 프로세스(300B)는 예측 스테이지(204)를 공간 예측 스테이지(2042) 및 시간 예측 스테이지(2044)로 추가적으로 분할하고, 루프 필터 스테이지(232) 및 버퍼(234)를 추가적으로 포함한다.

[0063] 프로세스(300B)에서, 디코딩되는 인코딩된 픽처("현재 픽처"로 지칭됨)의 인코딩된 기본 처리 유닛("현재 BPU"로 지칭됨)에 대해, 디코더에 의해 이진 디코딩 스테이지(302)로부터 디코딩된 예측 데이터(206)는 인코더에 의해 현재 BPU를 인코딩하는 데 어느 예측 모드가 사용되었는지에 의존하여, 다양한 타입의 데이터를 포함할 수 있다. 예컨대, 현재 BPU를 인코딩하기 위해, 인코더에 의해 인트라 예측이 사용된 경우, 예측 데이터(206)는 인트라 예측을 나타내는 예측 모드 표시자(예컨대, 플래그 값), 인트라 예측 동작의 파라미터 등을 포함할 수 있다. 인트라 예측 동작의 파라미터는 예컨대, 참조로서 사용된 하나 이상의 이웃하는 BPU의 위치(예컨대, 좌표), 이웃하는 BPU의 크기, 외삽의 파라미터, 원본 BPU에 대한 이웃하는 BPU의 방향 등을 포함할 수 있다. 다른 예에 대해, 현재 BPU를 인코딩하기 위해, 인코더에 의해 인터 예측이 사용된 경우, 예측 데이터(206)는 인터 예측을 나타내는 예측 모드 표시자(예컨대, 플래그 값), 인터 예측 동작의 파라미터 등을 포함할 수 있다. 인터 예측 동작의 파라미터는 예컨대, 현재 BPU와 연관된 참조 픽처의 개수, 참조 픽처와 각각 연관된 가중치, 각각의 참

조 픽처에서의 하나 이상의 매칭 영역의 위치(예컨대, 좌표), 매칭 영역과 각각 연관된 하나 이상의 움직임 벡터 등을 포함할 수 있다.

[0064] 예측 모드 표시자에 기초하여, 디코더는 공간 예측 스테이지(2042)에서 공간 예측(예컨대, 인트라 예측)을 수행할지, 또는 시간 예측 스테이지(2044)에서 시간 예측(예컨대, 인터 예측)을 수행할지를 결정할 수 있다. 이러한 공간 예측 또는 시간 예측을 수행하는 것에 대한 세부사항이 도 2b에서 설명되고, 이하에서는 반복되지 않을 것이다. 이러한 공간 예측 또는 시간 예측을 수행한 이후에, 디코더는 예측된 BPU(208)를 생성할 수 있다. 도 3a에서 설명된 바와 같이, 디코더는 예측 참조(224)를 생성하기 위해 예측된 BPU(208) 및 재구성된 잔차 BPU(222)를 더한다.

[0065] 프로세스(300B)에서, 디코더는 프로세스(300B)의 다음 반복에서 예측 동작을 수행하기 위해, 예측된 참조(224)를 공간 예측 스테이지(2042) 또는 시간 예측 스테이지(2044)에 공급할 수 있다. 예컨대, 현재 BPU가 공간 예측 스테이지(2042)에서 인트라 예측을 사용하여 디코딩되는 경우, 예측 참조(224)(예컨대, 디코딩된 현재 BPU)를 생성한 이후에, 디코더는 차후 사용을 위해(예컨대, 현재 픽처의 다음 BPU의 외삽을 위해) 예측 참조(224)를 공간 예측 스테이지(2042)에 직접적으로 공급할 수 있다. 현재 BPU가 시간 예측 스테이지(2044)에서 인터 예측을 사용하여 디코딩되는 경우, 예측 참조(224)(예컨대, 모든 BPU가 디코딩된 참조 픽처)를 생성한 이후에, 인코더는 왜곡(예컨대, 블로킹 아티팩트)을 감소시키거나 제거하기 위해, 예측 참조(224)를 루프 필터 스테이지(232)에 공급할 수 있다. 도 2b에 설명된 방식으로, 디코더는 루프 필터를 예측 참조(224)에 적용할 수 있다. 루프-필터링된 참조 픽처는 차후 사용을 위해(예컨대, 비디오 비트스트림(228)의 향후 인코딩된 픽처에 대한 인터-예측 참조 픽처로서 사용되도록) 버퍼(234)(예컨대, 컴퓨터 메모리에서 디코딩된 픽처 버퍼)에 저장될 수 있다. 디코더는 시간 예측 스테이지(2044)에서 사용되도록 버퍼(234)에 하나 이상의 참조 픽처를 저장할 수 있다. 일부 실시예에서, 예측 데이터(206)의 예측 모드 표시자가 인터 예측이 현재 BPU를 인코딩하는데 사용된 것을 나타낼 때, 예측 데이터는 루프 필터의 파라미터(예컨대, 루프 필터 강도)를 더 포함할 수 있다.

[0066] 도 4는 본 개시의 일부 실시예와 일치하는, 비디오를 인코딩하거나 또는 디코딩하기 위한 예시적인 장치(400)의 블록도이다. 도 4에 도시된 바와 같이, 장치(400)는 프로세서(402)를 포함할 수 있다. 프로세서(402)가 본원에서 설명된 명령어를 실행할 때, 장치(400)는 비디오 인코딩 또는 디코딩을 위한 특별화된 기계가 될 수 있다. 프로세서(402)는 정보를 조작하거나 또는 처리할 수 있는 임의의 타입의 회로일 수 있다. 예컨대, 프로세서(402)는 중앙 처리 유닛(또는 "CPU"), 그래픽 처리 유닛(또는 "GPU"), 신경 처리 유닛(neural processing unit, "NPU"), 마이크로컨트롤러 유닛(microcontroller unit, "MCU"), 광학 프로세서, 프로그래머블 로직 컨트롤러, 마이크로컨트롤러, 마이크로프로세서, 디지털 신호 프로세서, 지적 재산권(intellectual property, IP) 코어, 프로그래머블 로직 어레이(Programmable Logic Array, PLA), 프로그래머블 어레이 로직(Programmable Array Logic, PAL), 일반 어레이 로직(Generic Array Logic, GAL), 복합 프로그래머블 논리 소자(Complex Programmable Logic Device, CPLD), 현장 프로그래머블 게이트 어레이(Field-Programmable Gate Array, FPGA), 시스템 온 칩(System On Chip, SoC), 애플리케이션-특정 집적 회로(Application-Specific Integrated Circuit, ASIC) 등의 임의의 개수의 임의의 조합을 포함할 수 있다. 일부 실시예에서, 프로세서(402)는 또한, 단일 로직 구성요소로서 그룹화되는 프로세서의 세트일 수 있다. 예컨대, 도 4에 도시된 바와 같이, 프로세서(402)는 프로세서(402a), 프로세서(402b) 및 프로세서(402n)를 포함하는 다수의 프로세서를 포함할 수 있다.

[0067] 장치(400)는 또한, 데이터(예컨대, 명령어의 세트, 컴퓨터 코드, 중간 데이터 등)를 저장하도록 구성되는 메모리(404)를 포함할 수 있다. 예컨대, 도 4에 도시된 바와 같이, 저장된 데이터는 프로그램 명령어(예컨대, 프로세스(200A, 200B, 300A 또는 300B)에서의 스테이지를 구현하기 위한 프로그램 명령어) 및 처리를 위한 데이터(예컨대, 비디오 시퀀스(202), 비디오 비트스트림(228) 또는 비디오 스트림(304))를 포함할 수 있다. 프로세서(402)는 프로그램 명령어 및 처리를 위한 데이터에 (예컨대, 버스(410)를 통해) 액세스할 수 있고, 처리를 위한 데이터에 대한 동작 또는 조작을 수행하기 위해 프로그램 명령어를 실행할 수 있다. 메모리(404)는 고속 랜덤 액세스 저장 디바이스 또는 비-휘발성 저장 디바이스를 포함할 수 있다. 일부 실시예에서, 메모리(404)는 랜덤-액세스 메모리(random-access memory, RAM), 읽기-전용 메모리(ROM), 광학 디스크, 자기 디스크, 하드 드라이브, 솔리드-스테이트 드라이브(solid-state drive), 플래시 드라이브, 보안 디지털(SD) 카드, 메모리 스틱, 콤팩트 플래시(compact flash, CF) 카드 등의 임의의 개수의 임의의 조합을 포함할 수 있다. 메모리(404)는 또한, 단일 로직 구성요소로서 그룹화되는 메모리의 그룹(도 4에 미도시됨)일 수 있다.

[0068] 버스(410)는 내부 버스(예컨대, CPU-메모리 버스), 외부 버스(예컨대, 통합 직렬 버스 포트(universal serial bus port,), 주변 구성요소 상호연결 고속 포트(peripheral component interconnect express port)) 등과

같은, 장치(400) 내의 구성요소 사이에서 데이터를 전송하는 통신 디바이스일 수 있다.

[0069] 모호성을 야기하지 않으면서 설명의 용이함을 위해, 프로세서(402) 및 다른 데이터 처리 회로는 본 개시에서, 집합적으로 "데이터 처리 회로"로 지칭된다. 데이터 처리 회로는 전체적으로 하드웨어로 구현되거나, 또는 소프트웨어, 하드웨어 또는 펌웨어의 조합으로 구현될 수 있다. 덧붙여, 데이터 처리 회로는 단일 독립 모듈이거나, 또는 장치(400)의 임의의 다른 구성요소로 전체적으로 또는 부분적으로 결합될 수 있다.

[0070] 장치(400)는 네트워크(예컨대, 인터넷, 인트라넷, 근거리 통신망, 모바일 통신 네트워크 등)와의 유선 통신 또는 무선 통신을 제공하기 위해 네트워크 인터페이스(406)를 더 포함할 수 있다. 일부 실시예에서, 네트워크 인터페이스(406)는 네트워크 인터페이스 컨트롤러(network interface controller, NIC), 무선 주파수(radio frequency, RF) 모듈, 트랜스폰더(transponder), 트랜시버, 모뎀, 라우터, 게이트웨이, 유선 네트워크 어댑터, 무선 네트워크 어댑터, 블루투스 어댑터, 적외선 어댑터, 근거리 통신("NFC") 어댑터, 셀룰러 네트워크 칩 등의 임의의 개수의 임의의 조합을 포함할 수 있다.

[0071] 일부 실시예에서, 선택적으로, 장치(400)는 하나 이상의 주변 디바이스에 대한 연결을 제공하기 위한 주변 인터페이스(408)를 더 포함할 수 있다. 도 4에 도시된 바와 같이, 주변 디바이스는 커서 제어 디바이스(예컨대, 마우스, 터치패드 또는 터치스크린), 키보드, 디스플레이(예컨대, 음극선관 디스플레이, 액정 디스플레이 또는 발광 다이오드 디스플레이), 비디오 입력 디바이스(예컨대, 비디오 아카이브(video archive)에 결합된 입력 인터페이스 또는 카메라) 등을 포함할 수 있지만, 이에 제한되지 않는다.

[0072] 비디오 코덱(예컨대, 프로세스(200A, 200B, 300A 또는 300B)를 수행하는 코덱)이 장치(400)에서 임의의 소프트웨어 또는 하드웨어 모듈의 임의의 조합으로 구현될 수 있다는 것이 유의되어야 한다. 예컨대, 프로세스(200A, 200B, 300A 또는 300B)의 일부 또는 모든 스테이지는 메모리(404)에 로딩될 수 있는 프로그램 명령어와 같은 장치(400)의 하나 이상의 소프트웨어 모듈로서 구현될 수 있다. 다른 예에 대해, 프로세스(200A, 200B, 300A 또는 300B)의 일부 또는 모든 스테이지는 특수화된 데이터 처리 회로(예컨대, FPGA, ASIC, NPU 등)와 같은 장치(400)의 하나 이상의 하드웨어 모듈로서 구현될 수 있다.

[0073] VVC 디코딩 프로세스에서, 루프 필터 이전에 새로운 처리 블록으로서 LMCS(luma mapping with chroma scaling)로 불리는 코딩 도구가 추가된다. LMCS는 두 개의 주요 구성요소(components)를 갖는다. 하나의 구성요소는 적응형 구역별 선형 모델(adaptive piecewise linear models)을 기초로 하는 루마 성분(luma component)의 인-루프 매핑(in-loop mapping)이다. 루마 성분의 인-루프 매핑은 압축 효율성을 개선하기 위해 동적 범위에 걸쳐 코드워드(codewords)를 재분배함으로써 입력 신호의 동적 범위를 조정한다. 다른 구성요소는 크로마 성분에 루마-종속 크로마 잔차 스케일링을 적용하는 것이다. 크로마 잔차 스케일링은 루마 신호와 그의 대응하는 크로마 신호 간의 상호 작용을 보상하도록 설계된다.

[0074] VVC 드래프트 8에서, LMCS(luma mapping with chroma scaling)의 시그널링은 픽처 및 슬라이스 레벨 모두에서 제어될 수 있다. 픽처 헤더 및 슬라이스 헤더의 LMCS 신택스가 각각 도 5 및 도 6에 도시된다.

[0075] 도 5에 도시된 바와 같이, 픽처 레벨 LMCS 플래그 ph_lmcs_enabled_flag가 0과 동일할 때, 이는 픽처와 연관된 모든 슬라이스에 대해 루마 매핑 및 크로마 잔차 스케일링 모두가 비활성화된다는 것을 시그널링한다. ph_lmcs_enabled_flag가 1과 동일하고 ChromaArrayType이 0과 동일하지 않은 경우, 추가적인 플래그 ph_chroma_residual_scale_flag가 시그널링된다. ph_chroma_residual_scale_flag는 크로마 잔차 스케일링이 픽처를 디코딩하는데 사용되는지의 여부를 지정한다.

[0076] 도 6에 도시된 바와 같이, ph_lmcs_enabled_flag가 1과 동일한 경우, 슬라이스 레벨 LMCS 플래그 slice_lmcs_enabled_flag가 시그널링된다. 슬라이스 레벨 LMCS 플래그 slice_lmcs_enabled_flag가 1과 동일하다는 것은 슬라이스 헤더와 연관된 슬라이스에 대해 루마 매핑이 활성화된다는 것을 지정하고, 크로마 스케일링이 사용되는지의 여부는 ph_chroma_residual_scale_flag의 값에 의존한다. slice_lmcs_enabled_flag가 1과 동일하고 ph_chroma_residual_scale_flag가 1과 동일한 경우, 그 슬라이스에 대해 크로마 잔차 스케일링이 활성화된다. slice_lmcs_enabled_flag가 1과 동일하고 ph_chroma_residual_scale_flag가 0과 동일한 경우, 그 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된다.

[0077] 슬라이스 레벨 LMCS 플래그 slice_lmcs_enabled_flag가 0과 동일하다는 것은 현재 슬라이스에 대해 루마 매핑 및 크로마 잔차 스케일링 모두가 활성화되지 않는다는 것을 지정한다.

[0078] VVC 드래프트 8의 단점은 픽처가 다수의 슬라이스를 포함하는 경우, 개별적인 슬라이스에 대해 크로마 잔차 스

케일링이 독립적으로 제어될 수 없다는 것이다.

[0079] 구체적으로, 도 5 및 도 6에 도시된 신택스를 사용하여, 잔차 스케일링이 사용되는지는 주어진 픽처에서의 모든 슬라이스에 대해 일치한다. 다시 말해, 이들 슬라이스는 모두 온(on)이거나, 또는 모두 오프(off)이다. 픽처에 두 개의 슬라이스가 있고 두 개의 슬라이스 모두 LMCS가 활성화되어 있는 예를 고려한다. 이 예에서, 다음의 조합은 지원되지 않는다.

[0080] - 슬라이스 1: 루마 매핑 ON, 크로마 잔차 스케일링 OFF

[0081] - 슬라이스 2: 루마 매핑 ON, 크로마 잔차 스케일링 ON

[0082] 도 7은 슬라이스 레벨 LMCS 제어의 세 개의 예를 예시한다. 사례 A, B 및 C는 도 7에 예시된다. 세 개의 사례 모두에서, sps_lmcs_enabled_flag, ph_lmcs_enabled_flag 및 slice_lmcs_enabled_flag의 값이 1과 동일하다. 픽처 레벨 크로마 잔차 스케일링 플래그는 사례 A에서 0과 동일하고 사례 B에서 1과 동일하다. 사례 A에서, 픽처 레벨 ph_chroma_residual_scale_flag가 0과 동일하기 때문에 슬라이스 1 및 슬라이스 2 모두의 크로마 잔차 스케일링은 OFF이다. 사례 B에서, ph_chroma_residual_scale_flag가 1과 동일하기 때문에 두 슬라이스 모두의 크로마 잔차 스케일링은 ON이다. 사례 C에서, 슬라이스 1 및 2의 크로마 잔차 스케일링은 각각 OFF 및 ON이다. VVC 드래프트 8은 사례 A와 사례 B를 허용하지만, 사례 C는 허용하지 않는다.

[0083] 본 개시는 상술한 단점을 해결하기 위한 LMCS 방법을 제공한다.

[0084] 일부 실시예에서, 픽처 레벨 크로마 잔차 스케일링 플래그(들)가 제거될 수 있고, 슬라이스 레벨 크로마 잔차 스케일링 플래그로 대체될 수 있다. 개시된 방법은 LMCS가 픽처 레벨에서 활성화되는 개별적인 슬라이스에서 크로마 잔차 스케일링이 활성화되거나 또는 비활성화되는 것을 허용한다. 새롭게 추가된 슬라이스 레벨 크로마 잔차 스케일링 플래그의 의미는 다음과 같이 정의된다: 1과 동일한 slice_chroma_residual_scale_flag는 슬라이스에 대해 크로마 잔차 스케일링이 활성화되는 것을 지정하고; 0과 동일한 slice_chroma_residual_scale_flag는 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것을 지정한다. slice_chroma_residual_scale_flag가 존재하지 않을 때, 이는 0과 동일한 것으로 추론된다.

[0085] 도 8 및 도 9는 각각 위의 방법의 예시적인 픽처 헤더 신택스 및 슬라이스 헤더 신택스를 도시한다. 도 8에서의 픽처 헤더 신택스에 도시된 바와 같이, (VVC에서) 신택스 요소(301)가 삭제된다. 도 9에서의 픽처 헤더 신택스에 도시된 바와 같이, 신택스 요소(401)는 VVC로부터 수정된다.

[0086] 도 10은 본 개시의 일부 실시예에 따른, 위의 예시적인 방법의 루마 매핑 및 크로마 잔차 스케일링의 슬라이스 레벨 제어의 개략도를 예시한다. 사례 A, B 및 C는 도 10에 예시된다. 세 가지 사례 모두에 대해 루마 매핑은 ON이다. 사례 A에서, 크로마 잔차 스케일링은 슬라이스 1 및 2 모두에 대해 OFF이다. 사례 B에서, 크로마 잔차 스케일링은 슬라이스 1과 2 모두에 대해 ON이다. 사례 C에서, 슬라이스 1의 크로마 잔차 코딩은 OFF이고, 슬라이스 2의 크로마 잔차 스케일링은 ON이다. 도 8 및 도 9에 주어진 신택스는 도 10에서의 세 개의 사례 모두를 허용하는 한편, VVC 드래프트 8은 도 10에서의 사례 A 및 사례 B만을 허용한다.

[0087] 일부 실시예에서, 크로마 잔차 스케일링은 픽처 레벨 및 슬라이스 레벨 모두에서 제어될 수 있다. VVC 드래프트 8과 유사하게, ph_chroma_residual_scale_flag는 픽처 헤더에서 시그널링된다. ph_chroma_residual_scale_flag의 의미는 다음과 같이 정의된다: 1과 동일한 ph_chroma_residual_scale_flag는 크로마 잔차 스케일링이 픽처 헤더와 연관된 하나 이상의 슬라이스에 대해 활성화될 수 있다는 것을 지정하고; 0과 동일한 ph_chroma_residual_scale_flag는 픽처 헤더와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된다는 것을 지정한다. ph_chroma_residual_scale_flag가 존재하지 않을 때, 이는 0과 동일한 것으로 추론된다.

[0088] 픽처 헤더 및 슬라이스 헤더의 신택스가 각각 도 11 및 도 12에 도시된다. 도 11에 도시된 바와 같이, PH 레벨 신택스 테이블은 VVC 드래프트 8에서와 동일하다. 도 12에서의 신택스 요소(601)에 의해 도시된 바와 같이, 다음의 조건: slice_lmcs_enabled_flag는 1과 동일함; ChromaArrayType이 0과 동일하지 않음; 및 ph_chroma_residual_scale_flag는 1과 동일함의 모두가 충족되는 경우 slice_chroma_residual_scale_flag가 시그널링된다.

[0089] 슬라이스 레벨 크로마 잔차 스케일링 플래그의 의미는 위에서 설명된 것과 동일하다: 1과 동일한 slice_chroma_residual_scale_flag는 슬라이스에 대해 크로마 잔차 스케일링이 활성화된다는 것을 지정하고; 0과 동일한 slice_chroma_residual_scale_flag는 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된다는 것을 지정한다. slice_chroma_residual_scale_flag가 존재하지 않을 때, 이는 0과 동일한 것으로 추론된다.

[0090] 도 11 및 도 12에 도시된 실시예의 이점은 PH와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링을 턴 오프하는 경우, 어떠한 슬라이스 레벨 플래그도 시그널링될 필요가 없고, 따라서 시그널링 오버헤드를 절약한다는 것이다.

[0091] 상술한 실시예는 LMCS 신택스를 슬라이스 레벨로 이동시키는 것이 개별적인 슬라이스에 대한 크로마 잔차 스케일링을 활성화 및 비활성화하는 것을 허용한다는 것을 나타내고, 따라서 LMCS 제어의 입도 레벨을 개선한다. 본 개시와 일치하는, 다음의 설명된 실시예와 같은 일부 상황에서, 크로마 코딩의 제어 신택스를 픽처 헤더로 이동시키는 것이 유리할 수 있다.

[0092] VVC 드래프트 8에서, 크로마 디블로킹 매개변수(예를 들어, 베타 오프셋 및 tc 오프셋)는 픽처에 어떠한 크로마 색상 성분도 없더라도, 픽처에서 또는 슬라이스 헤더에서 시그널링된다. 하지만, 픽처에 어떠한 크로마 색상 성분도 없는 경우, 크로마 디블로킹 매개변수를 시그널링하는 것이 요구되지 않는다.

[0093] 본 개시의 실시예는 크로마 디블록킹 매개변수의 시그널링을 통해 비디오 콘텐츠를 처리하기 위한 방법을 제공한다.

[0094] 일부 실시예에서, 크로마 디블로킹 매개변수는 크로마 성분이 비디오 시퀀스에 존재하는 경우에만(즉, 비디오 시퀀스가 단색이 아닌 경우에만) 시그널링된다. 도 13 및 도 14는 각각 크로마 디블록킹 매개변수를 시그널링하기 위한 예시적인 픽처 헤더 신택스 및 슬라이스 헤더 신택스를 도시한다. 도 13 및 도 14에 도시된 바와 같이, VVC 드래프트 8에서의 신택스에 대해 제안된 변경은 점선 박스로 표시된다. 이들 도면은 Cb와 Cr의 베타 오프셋 및 tc 오프셋이 ChromaArrayType != 0인 경우에만 시그널링되는 것을 도시한다. ChromaArrayType의 상세한 정의는 VVC 드래프트 8에서 찾을 수 있으며, 이는 본 개시에 참조로 포함된다.

[0095] 도 13 및 도 14에 도시된 실시예에서, PPS 신택스의 크로마 디블로킹 매개변수는 ChromaArrayType이 0과 동일하지 않은 경우에만 시그널링된다. ChromaArrayType의 값이 SPS 신택스를 디코딩한 후에만 이용 가능하므로, ChromaArrayType에 대한 의존성은 SPS에 대한 추가적인 종속성을 도입하며, 이는 바람직하지 않다. SPS/PPS 종속성을 회피하기 위해, SPS뿐만 아니라 PPS에서도 separate_colour_plane_flag 및 chroma_format_idc를 시그널링하는 것이 제안된다. 예를 들어, 두 개의 추가적인 플래그가 도입될 수 있으며, 그의 의미는 아래에서 주어진다.

[0096] 1과 동일한 플래그 pps_separate_colour_plane_flag는 4:4:4 크로마 포맷의 세 개의 색상 성분이 별도로 코딩된다는 것을 지정한다. 0과 동일한 플래그 pps_separate_colour_plane_flag는 색상 성분이 별도로 코딩되지 않는다는 것을 지정한다. pps_separate_colour_plane_flag의 값은 separator_colour_plane_flag의 값과 동일하다.

[0097] 매개변수 pps_chroma_format_idc는 루마 샘플링에 관련된 크로마 샘플링을 지정한다. pps_chroma_format_idc의 값은 chroma_format_idc의 값과 동일하다.

[0098] pps_separate_colour_plane_flag의 값에 의존하여, 변수 ChromaArrayType의 값은 다음과 같이 할당될 수 있다: pps_separate_colour_plane_flag가 0과 동일한 경우, ChromaArrayType은 pps_chroma_format_idc와 동일하게 설정되고; 그렇지 않으면(pps_separate_colour_plane_flag가 1과 동일하면), ChromaArrayType이 0과 동일하게 설정된다.

[0099] 도 15는 pps_separate_colour_plane_flag 및 pps_chroma_format_idc를 시그널링하기 위한 예시적인 PPS 신택스를 도시한다. 점선 박스에 도시된 신택스 요소는 VVC 드래프트 8에서의 신택스에 대한 변경이다.

[0100] 일부 실시예에서, PPS에서 pps_separate_colour_plane_flag 및 pps_chroma_format_idc의 시그널링에 부가하여, pps_chroma_tool_offsets_present_flag의 시그널링이 스킵될 수 있다. 도 16은 pps_chroma_tool_offsets_present_flag를 사용하지 않는 예시적인 PPS 신택스를 도시한다. 점선 박스에 도시된 신택스 요소는 VVC 드래프트 8에서의 신택스에 대한 변경이다.

[0101] 일부 실시예에서, PPS 신택스 pps_chroma_tool_offsets_present_flag는 pps_chroma_tool_present_flag로 대체될 수 있다. 이들 실시예에서, pps_chroma_tool_present_flag가 1과 동일한 경우 PPS에서의 크로마 관련된 신택스 모두가 시그널링된다. VVC 드래프트 8과 유사하게, separator_colour_plane_flag 및 chroma_format_idc는 SPS에서만 시그널링되고 PPS에서는 시그널링되지 않는다.

[0102] pps_chroma_tool_present_flag의 의미는 다음과 같이 주어진다: 1과 동일한 플래그 pps_chroma_tool_present_flag는 크로마 도구 관련된 신택스 요소가 PPS 원시 바이트 시퀀스 페이로드(RBSP)

신택스 구조에 존재한다는 것을 지정하고; 0과 동일한 플래그 pps_chroma_tool_present_flag는 크로마 도구 오프셋 관련된 신택스 요소가 PPS RBSP 신택스 구조에 존재하지 않는다는 것을 지정한다. ChromaArrayType이 0과 동일할 때, pps_chroma_tool_present_flag의 값은 0과 동일할 것이다.

[0103] 도 17은 제안된 pps_chroma_tool_present_flag를 사용하는 예시적인 PPS 신택스를 도시한다. 점선 박스에서의 신택스 요소는 VVC 드래프트 8에서의 신택스에 대한 변경이다. pps_chroma_tool_present_flag가 0과 동일하지 않은 경우 크로마 관련된 신택스가 시그널링된다는 것이 도시된다. VVC 드래프트 8과 유사하게, separator_colour_plane_flag 및 chroma_format_idc는 SPS에서만 시그널링되고 PPS에서는 시그널링되지 않는다.

[0104] 일부 실시예에서, slice_cb_beta_offset_div2, slice_cb_tc_offset_div2, slice_cr_beta_offset_div2 및 slice_cb_beta_offset_div2와 같은 슬라이스 레벨 크로마 디블로킹 매개변수의 시그널링은 pps_chroma_tool_present_flag의 값에 의존한다. pps_chroma_tool_present_flag가 0과 동일한 경우, slice_cb_beta_offset_div2, slice_cb_tc_offset_div2, slice_cr_beta_offset_div2 및 slice_cb_beta_offset_div2는 시그널링되지 않는다. pps_chroma_tool_present_flag가 1과 동일한 경우, slice_cb_beta_offset_div2, slice_cb_tc_offset_div2, slice_cr_beta_offset_div2 또는 slice_cb_beta_offset_div2가 시그널링된다.

[0105] 일부 실시예에서, ph_cb_beta_offset_div2, ph_cb_tc_offset_div2, ph_cr_beta_offset_div2 및 ph_cb_beta_offset_div2와 같은 픽처 레벨 크로마 디블로킹 매개변수의 시그널링은 pps_chroma_tool_present_flag의 값에 의존한다. pps_chroma_tool_present_flag가 0과 동일한 경우, ph_cb_beta_offset_div2, ph_cb_tc_offset_div2, ph_cr_beta_offset_div2 및 ph_cb_beta_offset_div2는 시그널링되지 않는다. pps_chroma_tool_present_flag가 1과 동일한 경우, ph_cb_beta_offset_div2, ph_cb_tc_offset_div2, ph_cr_beta_offset_div2 또는 ph_cb_beta_offset_div2가 시그널링된다.

[0106] 도 18은 도 5-12와 관련하여 설명된 실시예와 일치하는, LMCS 매개변수를 시그널링하기 위한 예시적인 방법(1800)의 흐름도이다. 일부 실시예에서, 방법(1800)은 디코더, 및 장치(예를 들어, 도 4의 장치(400))의 하나 이상의 소프트웨어 또는 하드웨어 구성요소에 의해 수행될 수 있다. 예를 들어, 프로세서(예를 들어, 도 4의 프로세서(402))는 방법(1800)을 수행할 수 있다. 일부 실시예에서, 방법(1800)은 컴퓨터(예를 들어, 도 4의 장치(400))에 의해 실행되는 프로그램 코드와 같은 컴퓨터 실행가능 명령어를 포함하는 컴퓨터 판독가능 매체에 구현된 컴퓨터 프로그램 제품에 의해 구현될 수 있다. 도 18에 도시된 바와 같이, 방법은 다음의 단계를 포함할 수 있다.

[0107] 단계 1801에서, 코딩된 비디오 데이터를 포함하는 비트스트림이 수신된다. 비트스트림은 적어도 하나의 시퀀스 매개변수 세트(SPS)를 포함한다.

[0108] 단계 1803에서, 수신된 SPS에서 시그널링된 SPS-레벨 크로마 스케일링 플래그(예를 들어, slice_chroma_residual_scale_flag)를 기초로, SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지가 결정된다. 플래그가 1과 동일한 값을 갖는 경우, 슬라이스에 대해 크로마 잔차 스케일링이 활성화된 것으로 결정된다. 플래그가 0과 동일한 값을 갖는 경우, 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된 것으로 결정된다.

[0109] 도 19는 도 5-12와 관련하여 설명된 실시예와 일치하는, LMCS 매개변수를 시그널링하기 위한 예시적인 방법(1900)의 흐름도이다. 일부 실시예에서, 방법(1900)은 인코더, 및 장치(예를 들어, 도 4의 장치(400))의 하나 이상의 소프트웨어 또는 하드웨어 구성요소에 의해 수행될 수 있다. 예를 들어, 프로세서(예를 들어, 도 4의 프로세서(402))는 방법(1900)을 수행할 수 있다. 일부 실시예에서, 방법(1900)은 컴퓨터(예를 들어, 도 4의 장치(400))에 의해 실행되는 프로그램 코드와 같은 컴퓨터 실행가능 명령어를 포함하는 컴퓨터 판독가능 매체에 구현된 컴퓨터 프로그램 제품에 의해 구현될 수 있다. 도 19에 도시된 바와 같이, 방법(1900)은 다음의 단계를 포함할 수 있다.

[0110] 단계 1901에서, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지가 결정된다.

[0111] 단계 1903에서, 결정 결과를 기초로, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 나타내기 위해 슬라이스와 연관된 시퀀스 매개변수 세트(SPS)에서 플래그(예를 들어, slice_chroma_residual_scale_flag)가 시그널링된다. 슬라이스에 대해 크로마 잔차 스케일링이 활성화된 경우, 플래그 값은 1로 설정된다. 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된 경우, 플래그의 값은 0으로 설

정된다.

[0112] 도 20은 도 13-17과 관련하여 설명된 실시예와 일치하는, 크로마 디블록킹 매개변수를 시그널링하기 위한 예시적인 방법(2000)의 흐름도이다. 일부 실시예에서, 방법(2000)은 인코더, 디코더, 및 장치(예를 들어, 도 4의 장치(400))의 하나 이상의 소프트웨어 또는 하드웨어 구성요소에 의해 수행될 수 있다. 예를 들어, 프로세서(예를 들어, 도 4의 프로세서(402))는 방법(2000)을 수행할 수 있다. 일부 실시예에서, 방법(2000)은 컴퓨터(예를 들어, 도 4의 장치(400))에 의해 실행되는 프로그램 코드와 같은 컴퓨터 실행가능 명령어를 포함하는 컴퓨터 판독가능 매체에 구현된 컴퓨터 프로그램 제품에 의해 구현될 수 있다. 도 20에 도시된 바와 같이, 방법(2000)은 다음의 단계를 포함할 수 있다.

[0113] 단계 2001에서, 비디오 시퀀스가 단색인지가 결정된다.

[0114] 단계 2003에서, 비디오 시퀀스가 단색이 아닌 경우, 크로마 디블로킹 매개변수가 비디오 시퀀스와 연관된 비트스트림에서 시그널링되는 것으로 결정되는 한편; 비디오 시퀀스가 단색인 경우, 비트스트림에서 어떠한 크로마 디블로킹 매개변수도 시그널링되지 않는 것으로 결정된다.

[0115] 실시예는 다음의 조항을 사용하여 더 설명될 수 있다:

[0116] 1. 컴퓨터-구현된 비디오 디코딩 방법에 있어서,

[0117] 시퀀스 매개변수 세트(SPS)를 수신하는 단계; 및

[0118] SPS에서 시그널링된 제1 플래그를 기초로, SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 결정하는 단계를 포함하는, 방법.

[0119] 2. 조항 1에 있어서,

[0120] 제1 플래그의 값이 1과 동일하다는 것에 응답하여, 슬라이스에 대해 크로마 잔차 스케일링이 활성화되는 것으로 결정하는 단계를 더 포함하는, 방법.

[0121] 3. 조항 1 및 2 중 어느 하나에 있어서

[0122] 제1 플래그의 값이 0과 동일하다는 것에 응답하여, 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 단계를 더 포함하는, 방법.

[0123] 4. 조항 1-3 중 어느 하나에 있어서

[0124] 제2 SPS를 수신하는 단계; 및

[0125] 제1 플래그가 제2 SPS에 존재하지 않을 때, 제2 SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 단계를 더 포함하는, 방법.

[0126] 5. 조항 1-4 중 어느 하나에 있어서, 제1 플래그는 슬라이스와 연관된 픽처 헤더에서 시그널링되는 제2 플래그를 기초로 시그널링되는, 방법.

[0127] 6. 조항 5에 있어서

[0128] 제2 플래그의 제1 값은 픽처 헤더와 연관된 하나 이상의 슬라이스에 대해 크로마 잔차 스케일링이 활성화된다는 것을 나타내고; 및

[0129] 제2 플래그의 제2 값은 픽처 헤더와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된다는 것을 나타내는, 방법.

[0130] 7. 조항 1-4 중 어느 하나에 있어서,

[0131] 픽처 헤더를 수신하는 단계; 및

[0132] 픽처 헤더에서 시그널링된 제2 플래그가 제1 값을 갖는다는 것에 응답하여, 픽처 헤더와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 단계를 포함하는, 방법.

[0133] 8. 조항 1-4 중 어느 하나에 있어서,

[0134] SPS에서 시그널링된 제2 플래그를 기초로, 슬라이스에 대해 루마 매핑이 활성화 또는 비활성화되는지를 결정하는 단계를 포함하는, 방법.

[0135] 9. 컴퓨터 구현된 비디오 인코딩 방법으로서,

[0136] 슬라이스와 연관된 시퀀스 매개변수 세트(SPS)에서, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 나타내는 제1 플래그를 시그널링하는 단계를 포함하는, 방법.

[0137] 10. 조항 9에 있어서,

[0138] 슬라이스에 대해 크로마 잔차 스케일링이 활성화된 것에 응답하여, 제1 플래그의 값을 1로 설정하는 단계를 포함하는, 방법.

[0139] 11. 조항 9 및 10 중 어느 하나에 있어서,

[0140] 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것에 응답하여, 제1 플래그의 값을 0으로 설정하는 단계를 포함하는, 방법.

[0141] 12. 조항 9항 내지 11 중 어느 하나에 있어서,

[0142] 픽처 헤더에서, 픽처 헤더와 연관된 픽처에 대해 크로마 잔차 스케일링이 활성화되는지를 나타내는 제2 플래그를 시그널링하는 단계를 더 포함하는, 방법.

[0143] 13. 조항 12에 있어서, 슬라이스는 픽처의 일부이고, 제1 플래그의 시그널링은 제2 플래그의 값이 1과 동일하다는 것에 응답하고, 제1 플래그는 제2 플래그의 값이 0과 동일한 경우 SPS에서 시그널링되지 않는, 방법.

[0144] 14. 조항 9항 내지 11 중 어느 하나에 있어서,

[0145] SPS에서, 슬라이스에 대해 루마 매핑이 활성화 또는 비활성화되는지를 나타내는 제2 플래그를 시그널링하는 단계를 더 포함하는, 방법.

[0146] 15. 비디오 디코더로서,

[0147] 명령어의 세트를 저장하기 위한 메모리; 및

[0148] 적어도 하나의 프로세서를 포함하고, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0149] 시퀀스 매개변수 세트(SPS)를 수신하는 것; 및

[0150] SPS에서 시그널링된 제1 플래그를 기초로, SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 결정하는 것을 수행하게 하도록 구성되는, 비디오 디코더.

[0151] 16. 조항 15에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0152] 제1 플래그의 값이 1과 동일하다는 것에 응답하여, 슬라이스에 대해 크로마 잔차 스케일링이 활성화되는 것으로 결정하는 것을 수행하게 하도록 구성되는, 비디오 디코더.

[0153] 17. 조항 15 및 16 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0154] 제1 플래그의 값이 0과 동일하다는 것에 응답하여, 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 것을 수행하게 하도록 구성되는, 비디오 디코더.

[0155] 18. 조항 15-17 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0156] 제2 SPS를 수신하는 것; 및

[0157] 제1 플래그가 제2 SPS에 존재하지 않을 때, 제2 SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 것을 수행하게 하도록 구성되는, 비디오 디코더.

[0158] 19. 조항 15-18 중 어느 하나에 있어서, 제1 플래그는 슬라이스와 연관된 픽처 헤더에서 시그널링된 제2 플래그를 기초로 시그널링되는, 비디오 디코더.

[0159] 20. 조항 19에 있어서,

[0160] 제2 플래그의 제1 값은 픽처 헤더와 연관된 하나 이상의 슬라이스에 대해 크로마 잔차 스케일링이 활성화된다는 것을 나타내고; 및

[0161] 제2 플래그의 제2 값은 픽처 헤더와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된다는 것을 나타내는, 비디오 디코더.

[0162] 21. 조항 15-18 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0163] 픽처 헤더를 수신하는 것; 및

[0164] 픽처 헤더에서 시그널링된 제2 플래그가 제1 값을 갖는다는 것에 응답하여, 픽처 헤더와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 것을 수행하게 하도록 구성되는, 비디오 디코더.

[0165] 22. 조항 15-18 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0166] SPS에서 시그널링된 제2 플래그를 기초로, 슬라이스에 대해 루마 매핑이 활성화 또는 비활성화되는지를 결정하는 것을 수행하게 하도록 구성되는, 비디오 디코더.

[0167] 23. 비디오 인코더로서,

[0168] 명령어의 세트를 저장하기 위한 메모리; 및

[0169] 적어도 하나의 프로세서를 포함하고, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0170] 슬라이스와 연관된 시퀀스 매개변수 세트(SPS)에서, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 나타내는 제1 플래그를 시그널링하는 것을 수행하게 하도록 구성되는, 비디오 인코더.

[0171] 24. 조항 23에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0172] 슬라이스에 대해 크로마 잔차 스케일링이 활성화된 것에 응답하여, 제1 플래그의 값을 1로 설정하는 것을 수행하게 하도록 구성되는, 비디오 인코더.

[0173] 25. 조항 23 및 조항 24 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0174] 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것에 응답하여, 제1 플래그의 값을 0으로 설정하는 것을 수행하게 하도록 구성되는, 비디오 인코더.

[0175] 26. 조항 23-25 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0176] 픽처 헤더에서, 픽처 헤더와 연관된 픽처에 대해 크로마 잔차 스케일링이 활성화되는지를 나타내는 제2 플래그를 시그널링하는 것을 수행하게 하도록 구성되는, 비디오 인코더.

[0177] 27. 조항 26에 있어서, 슬라이스는 픽처의 일부이고, 제1 플래그의 시그널링은 제2 플래그의 값이 1과 동일하다는 것에 응답하고, 제2 플래그의 값이 0과 동일한 경우 제1 플래그는 SPS에서 시그널링되지 않는, 비디오 인코더.

[0178] 28. 조항 23-25 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0179] SPS에서, 슬라이스에 대해 루마 매핑이 활성화 또는 비활성화되는지를 나타내는 제2 플래그를 시그널링하는 것을 수행하게 하도록 구성되는, 비디오 인코더.

[0180] 29. 컴퓨터 시스템의 적어도 하나의 프로세서에 의해 실행 가능하고, 컴퓨터 시스템으로 하여금 비디오 콘텐츠를 디코딩하기 위한 방법을 수행하게 하기 위한 명령어의 세트를 저장하는 비일시적 컴퓨터 판독가능 매체로서, 상기 방법은:

[0181] 시퀀스 매개변수 세트(SPS)를 수신하는 것; 및

[0182] SPS에서 시그널링된 제1 플래그를 기초로, SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 결정하는 것을 포함하는, 비일시적 컴퓨터 판독가능 매체

[0183] 30. 조항 29에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0184] 제1 플래그의 값이 1과 동일하다는 것에 응답하여, 슬라이스에 대해 크로마 잔차 스케일링이 활성화되는 것으로 결정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0185] 31. 조항 29 및 30 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0186] 제1 플래그의 값이 0과 동일하다는 것에 응답하여, 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0187] 32. 조항 29-31 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0188] 제2 SPS를 수신하는 것; 및

[0189] 제1 플래그가 제2 SPS에 존재하지 않을 때, 제2 SPS와 연관된 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0190] 33. 조항 29-32 중 어느 하나에 있어서, 제1 플래그는 슬라이스와 연관된 픽처 헤더에서 시그널링된 제2 플래그를 기초로 시그널링되는, 비일시적 컴퓨터 판독가능 매체.

[0191] 34. 조항 33에 있어서,

[0192] 제2 플래그의 제1 값은 픽처 헤더와 연관된 하나 이상의 슬라이스에 대해 크로마 잔차 스케일링이 활성화된다는 것을 나타내고; 및

[0193] 제2 플래그의 제2 값은 픽처 헤더와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링이 비활성화된다는 것을 나타내는, 비일시적 컴퓨터 판독가능 매체.

[0194] 35. 조항 29-32 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0195] 픽처 헤더를 수신하는 것; 및

[0196] 픽처 헤더에서 시그널링된 제2 플래그가 제1 값을 갖는다는 것에 응답하여, 픽처 헤더와 연관된 모든 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것으로 결정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0197] 36. 조항 29-32 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0198] SPS에서 시그널링된 제2 플래그를 기초로, 슬라이스에 대해 루마 매핑이 활성화 또는 비활성화되는지를 결정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0199] 37. 컴퓨터 시스템의 적어도 하나의 프로세서에 의해 실행 가능하고, 컴퓨터 시스템으로 하여금 비디오 콘텐츠를 인코딩하기 위한 방법을 수행하게 하기 위한 명령어의 세트를 저장하는 비일시적 컴퓨터 판독가능 매체로서, 상기 방법은:

[0200] 슬라이스와 연관된 시퀀스 매개변수 세트(SPS)에서, 슬라이스에 대해 크로마 잔차 스케일링이 활성화 또는 비활성화되는지를 나타내는 제1 플래그를 시그널링하는 것을 포함하는, 비일시적 컴퓨터 판독가능 매체.

[0201] 38. 조항 37에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0202] 슬라이스에 대해 크로마 잔차 스케일링이 활성화된 것에 응답하여, 제1 플래그의 값을 1로 설정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0203] 39. 조항 37 및 38 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0204] 슬라이스에 대해 크로마 잔차 스케일링이 비활성화되는 것에 응답하여, 제1 플래그의 값을 0으로 설정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0205] 40. 조항 37-39 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0206] 픽처 헤더에서, 픽처 헤더와 연관된 픽처에 대해 크로마 잔차 스케일링이 활성화되는지를 나타내는 제2 플래그를 시그널링하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0207] 41. 조항 40에 있어서, 슬라이스는 픽처의 일부이고, 제1 플래그의 시그널링은 제2 플래그의 값이 1과 동일하다는 것에 응답하고, 제2 플래그의 값이 0과 동일한 경우 제1 플래그는 SPS에서 시그널링되지 않는, 비일시적 컴

퓨터 판독가능 매체.

[0208] 42. 조항 37-39 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0209] SPS에서, 슬라이스에 대해 루마 매핑이 활성화 또는 비활성화되는지를 나타내는 제2 플래그를 시그널링하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0210] 43. 비디오 콘텐츠를 처리하기 위한 컴퓨터 구현된 방법으로서,

[0211] 비디오 시퀀스가 단색인지를 결정하는 단계; 및

[0212] 비디오 시퀀스가 단색이 아니라는 결정에 응답하여, 비디오 시퀀스와 연관된 비트스트림에서 크로마 디블록킹 매개변수를 시그널링하는 단계를 포함하고,

[0213] 비디오 시퀀스가 단색일 때, 비트스트림에서 어떠한 크로마 디블로킹 매개변수도 시그널링되지 않는, 방법.

[0214] 44. 조항 43에 있어서, 크로마 디블록킹 매개변수는 픽처 헤더에서 시그널링되는, 방법.

[0215] 45. 조항 43 및 44 중 어느 하나에 있어서, 크로마 디블로킹 매개변수는 슬라이스 헤더에서 시그널링되는, 방법.

[0216] 46. 조항 43-45 중 어느 하나에 있어서, 비디오 시퀀스가 단색인지를 결정하는 단계는 ChromaArrayType의 값을 기초로 하는, 방법.

[0217] 47. 조항 46에 있어서

[0218] 비디오 시퀀스와 연관된 픽처 매개변수 세트(PPS)에서, 비디오 시퀀스가 복수의 별도로 코딩된 색상 성분을 포함하는지를 나타내는 제1 플래그, 및 루마 샘플링에 관련된 크로마 샘플링에 관한 정보를 나타내는 제2 플래그를 시그널링하는 단계를 더 포함하는, 방법.

[0219] 48. 조항 47에 있어서,

[0220] 제1 플래그의 값이 0과 동일하다는 것에 응답하여, ChromaArrayType을 제2 플래그의 값과 동일하게 설정하는 단계를 더 포함하는, 방법.

[0221] 49. 조항 47에 있어서,

[0222] 제1 플래그의 값이 1과 동일하다는 것에 응답하여, ChromaArrayType을 0과 동일하게 설정하는 단계를 더 포함하는, 방법.

[0223] 50. 조항 43-49 중 어느 하나에 있어서,

[0224] 비디오 시퀀스와 연관된 PPS에서, PPS 원시 바이트 시퀀스 페이로드(RBSP) 신택스 구조가 크로마 도구 관련된 신택스를 포함한다는 것을 나타내는 플래그를 시그널링하는 단계를 더 포함하는, 방법.

[0225] 51. 조항 50에 있어서, 플래그는 pps_chroma_tool_present_flag인, 방법.

[0226] 52. 조항 51에 있어서,

[0227] pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 슬라이스 레벨 크로마 디블로킹 매개변수를 시그널링하는 단계를 더 포함하고,

[0228] pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 슬라이스 레벨 크로마 디블로킹 매개변수도 시그널링되지 않는, 방법.

[0229] 53. 조항 52에 있어서, 하나 이상의 슬라이스 레벨 크로마 디블록킹 매개변수는:

[0230] slice_cb_beta_offset_div2, slice_cb_tc_offset_div2, slice_cr_beta_offset_div2 또는 slice_cb_beta_offset_div2를 포함하는, 방법.

[0231] 54. 조항 51에 있어서,

[0232] pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 픽처 레벨 크로마 디블로킹 매개변수를 시그널링하는 단계를 더 포함하고,

[0233] pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 픽처 레벨 크로마 디블로킹 매개변수도 시그널링되지

않는, 방법.

[0234] 55. 조항 54에 있어서, 하나 이상의 슬라이스 레벨 크로마 디블록킹 매개변수는:

[0235] ph_cb_beta_offset_div2, ph_cb_tc_offset_div2, ph_cr_beta_offset_div2 및 ph_cb_beta_offset_div2를 포함하는, 방법.

[0236] 56. 장치로서,

[0237] 명령어의 세트를 저장하기 위한 메모리; 및

[0238] 적어도 하나의 프로세서를 포함하고, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0239] 비디오 시퀀스가 단색인지를 결정하는 것; 및

[0240] 비디오 시퀀스가 단색이 아니라는 결정에 응답하여, 비디오 시퀀스와 연관된 비트스트림에서 크로마 디블록킹 매개변수를 시그널링하는 것을 수행하게 하도록 구성되고,

[0241] 비디오 시퀀스가 단색일 때, 비트스트림에서 어떠한 크로마 디블로킹 매개변수도 시그널링되지 않는, 장치.

[0242] 57. 조항 51에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0243] 픽처 헤더에서 크로마 디블로킹 매개변수를 시그널링하는 것을 수행하게 하도록 구성되는, 장치.

[0244] 58. 조항 51 및 52 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0245] 슬라이스 헤더에서 크로마 디블로킹 매개변수를 시그널링하는 것을 수행하게 하도록 구성되는, 장치.

[0246] 59. 조항 51-53 중 어느 하나에 있어서, 비디오 시퀀스가 단색인지를 결정하는 것은 ChromaArrayType의 값을 기초로 하는, 장치.

[0247] 60. 조항 54에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0248] 비디오 시퀀스와 연관된 픽처 매개변수 세트(PPS)에서, 비디오 시퀀스가 복수의 별도로 코딩된 색상 성분을 포함하는지를 나타내는 제1 플래그, 및 루마 샘플링에 관련된 크로마 샘플링에 관한 정보를 나타내는 제2 플래그를 시그널링하는 것을 수행하게 하도록 구성되는, 장치.

[0249] 61. 조항 55에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0250] 제1 플래그의 값이 0과 동일하다는 것에 응답하여, ChromaArrayType을 제2 플래그의 값과 동일하게 설정하는 것을 수행하게 하도록 구성되는, 장치.

[0251] 62. 조항 55에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0252] 제1 플래그의 값이 1과 동일하다는 것에 응답하여, ChromaArrayType을 0과 동일하게 설정하는 것을 수행하게 하도록 구성되는, 장치.

[0253] 63. 조항 51-57 중 어느 하나에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0254] 비디오 시퀀스와 연관된 PPS에서, PPS 원시 바이트 시퀀스 페이로드(RBSP) 신택스 구조가 크로마 도구 관련된 신택스를 포함한다는 것을 나타내는 플래그를 시그널링하는 것을 수행하게 하도록 구성되는, 장치.

[0255] 64. 조항 63에 있어서, 플래그는 pps_chroma_tool_present_flag인, 장치.

[0256] 65. 조항 64에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0257] pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 슬라이스 레벨 크로마 디블로킹 매개변수를 시그널링하는 것을 수행하게 하도록 구성되고,

[0258] pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 슬라이스 레벨 크로마 디블로킹 매개변수도 시그널링되지 않는, 장치.

[0259] 66. 조항 65에 있어서, 하나 이상의 슬라이스 레벨 크로마 디블록킹 매개변수는:

[0260] slice_cb_beta_offset_div2, slice_cb_tc_offset_div2, slice_cr_beta_offset_div2 또는 slice_cb_beta_offset_div2를 포함하는, 장치.

[0261] 67. 조항 64에 있어서, 적어도 하나의 프로세서는 명령어의 세트를 실행하여, 시스템으로 하여금:

[0262] pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 픽처 레벨 크로마 디블로킹 매개변수를 시그널링하는 것을 수행하게 하도록 구성되고,

[0263] pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 픽처 레벨 크로마 디블로킹 매개변수도 시그널링되지 않는, 장치.

[0264] 68. 조항 67에 있어서, 하나 이상의 슬라이스 레벨 크로마 디블록킹 매개변수는:

[0265] ph_cb_beta_offset_div2, ph_cb_tc_offset_div2, ph_cr_beta_offset_div2 및 ph_cb_beta_offset_div2를 포함하는, 장치.

[0266] 69. 컴퓨터 시스템의 적어도 하나의 프로세서에 의해 실행 가능하고, 컴퓨터 시스템으로 하여금 방법을 수행하게 하기 위한 명령어의 세트를 저장하는 비일시적 컴퓨터 판독가능 매체로서, 상기 방법은:

[0267] 비디오 시퀀스가 단색인지를 결정하는 것; 및

[0268] 비디오 시퀀스가 단색이 아니라는 결정에 응답하여, 비디오 시퀀스와 연관된 비트스트림에서 크로마 디블록킹 매개변수를 시그널링하는 것을 포함하고,

[0269] 비디오 시퀀스가 단색일 때, 비트스트림에서 어떠한 크로마 디블로킹 매개변수도 시그널링되지 않는, 비일시적 컴퓨터 판독가능 매체.

[0270] 70. 조항 59에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0271] 픽처 헤더에서 크로마 디블로킹 매개변수를 시그널링하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0272] 71. 조항 59 및 60 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0273] 슬라이스 헤더에서 크로마 디블로킹 매개변수를 시그널링하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0274] 72. 조항 59-61 중 어느 하나에 있어서, 비디오 시퀀스가 단색인지를 결정하는 것은 ChromaArrayType의 값을 기초로 하는, 비일시적 컴퓨터 판독가능 매체.

[0275] 73. 조항 62에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0276] 비디오 시퀀스와 연관된 픽처 매개변수 세트(PPS)에서, 비디오 시퀀스가 복수의 별도로 코딩된 색상 성분을 포함하는지를 나타내는 제1 플래그, 및 루마 샘플링에 관련된 크로마 샘플링에 관한 정보를 나타내는 제2 플래그를 시그널링하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0277] 74. 조항 63에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0278] 제1 플래그의 값이 0과 동일하다는 것에 응답하여, ChromaArrayType을 제2 플래그의 값과 동일하게 설정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0279] 75. 조항 63에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0280] 제1 플래그의 값이 1과 동일하다는 것에 응답하여, ChromaArrayType을 0과 동일하게 설정하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0281] 76. 조항 59-65 중 어느 하나에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0282] 비디오 시퀀스와 연관된 PPS에서, PPS 원시 바이트 시퀀스 페이로드(RBSP) 신택스 구조가 크로마 도구 관련된 신택스를 포함한다는 것을 나타내는 플래그를 시그널링하는 것을 더 수행하게 하는, 비일시적 컴퓨터 판독가능 매체.

[0283] 77. 조항 76에 있어서, 플래그는 pps_chroma_tool_present_flag인, 비일시적 컴퓨터 판독가능 매체.

[0284] 78. 조항 77에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0285] pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 슬라이스 레벨 크로마 디블로킹 매개변수를 시그널링하는 것을 더 수행하게 하고,

[0286] pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 슬라이스 레벨 크로마 디블로킹 매개변수도 시그널링되지 않는, 비일시적 컴퓨터 판독가능 매체.

[0287] 79. 조항 78에 있어서, 하나 이상의 슬라이스 레벨 크로마 디블록킹 매개변수는:

[0288] slice_cb_beta_offset_div2, slice_cb_tc_offset_div2, slice_cr_beta_offset_div2 또는 slice_cb_beta_offset_div2를 포함하는, 비일시적 컴퓨터 판독가능 매체.

[0289] 80. 조항 77에 있어서, 명령어의 세트는 적어도 하나의 프로세서로 하여금:

[0290] pps_chroma_tool_present_flag가 1과 동일하다는 것에 응답하여, 하나 이상의 픽처 레벨 크로마 디블로킹 매개변수를 시그널링하는 것을 더 수행하게 하고,

[0291] pps_chroma_tool_present_flag가 0과 동일할 때, 어떠한 픽처 레벨 크로마 디블로킹 매개변수도 시그널링되지 않는, 비일시적 컴퓨터 판독가능 매체.

[0292] 81. 조항 80에 있어서, 하나 이상의 슬라이스 레벨 크로마 디블로킹 매개변수는:

[0293] ph_cb_beta_offset_div2, ph_cb_tc_offset_div2, ph_cr_beta_offset_div2 및 ph_cb_beta_offset_div2를 포함하는, 비일시적 컴퓨터 판독가능 매체.

[0294] 일부 실시예에서, 명령어를 포함하는 비일시적 컴퓨터 판독가능 저장 매체가 또한 제공되고, 명령어는 상술한 방법을 수행하기 위한 (개시된 인코더 및 디코더와 같은) 디바이스에 의해 실행될 수 있다. 비일시적 매체의 일반적인 형태는 예를 들어, 플로피 디스크, 플렉서블 디스크(flexible disk), 하드 디스크, 솔리드 스테이트 드라이브(solid state drive), 자기 테이프 또는 임의의 다른 자기 데이터 저장 매체, CD-ROM, 임의의 다른 광학 데이터 저장 매체, 구멍의 패턴을 갖는 임의의 물리적 매체, RAM, PROM 및 EPROM, FLASH-EPROM 또는 임의의 다른 플래시 메모리, NVRAM, 캐시, 레지스터, 임의의 다른 메모리 칩 또는 카트리지 및 이들의 네트워크화된 버전을 포함한다. 디바이스는 하나 이상의 프로세서(CPU), 입/출력 인터페이스, 네트워크 인터페이스 및/또는 메모리를 포함할 수 있다.

[0295] 본원에서 "제1" 및 "제2"와 같은 관계 용어는 엔티티 또는 동작을 다른 엔티티 또는 동작과 구분하기 위해서만 사용되며, 이러한 엔티티 또는 동작 간의 임의의 실제 관계 또는 시퀀스를 요구하거나 암시하지 않는다는 것이 유의되어야 한다. 더욱이, 포함하는(comprising), "갖는(having)", "포함하는(containing)" 및 "포함하는(including)"이라는 단어 및 다른 유사한 형태는 그 의미가 동등하고, 이러한 단어 중 어느 하나를 따르는 항목 또는 항목들이 이러한 항목 또는 항목들의 철저한 열거(exhaustive listing)를 의미하지 않거나 또는 열거된 항목 또는 항목만으로 제한되는 것을 의미하지 않는다는 점에서, 제약을 두지 않는 것으로(open-ended) 의도된다.

[0296] 본원에서 사용된 바와 같이, 달리 구체적으로 언급되지 않는 한, "또는"이란 용어는 실행 불가능한 경우를 제외하고 모든 가능한 조합을 포함한다. 예컨대, 데이터베이스가 A 또는 B가 포함될 수 있다고 명시되어 있으면, 달리 구체적으로 명시되지 않거나 실행 불가능한 경우를 제외하고, 데이터베이스는 A 또는 B, 또는 A 및 B를 포함할 수 있다. 제2 예로서, 데이터베이스가 A, B 또는 C를 포함할 수 있다고 명시되어 있으면, 달리 구체적으로 명시되지 않거나 실행 불가능한 경우를 제외하고, 데이터베이스는 A 또는 B 또는 C, 또는 A 및 B, 또는 A 및 C, 또는 B 및 C, 또는 A 및 B 및 C를 포함할 수 있다.

[0297] 상술한 실시예는 하드웨어 또는 소프트웨어(프로그램 코드), 또는 하드웨어 및 소프트웨어의 조합에 의해 구현될 수 있다는 것이 인식된다. 소프트웨어로 구현되는 경우, 이는 상술한 컴퓨터 판독 가능 매체에 저장될 수 있다. 소프트웨어는 프로세서에 의해 실행될 때 개시된 방법을 수행할 수 있다. 본 개시에서 설명된 컴퓨팅 유닛 및 다른 기능 유닛은 하드웨어 또는 소프트웨어, 또는 하드웨어 및 소프트웨어의 조합에 의해 구현될 수 있다. 통상의 기술자는 또한 위에서 설명된 모듈/유닛 중 다수가 하나의 모듈/유닛으로 결합될 수 있고, 위에서 설명된 모듈/유닛 각각이 복수의 서브-모듈/서브-유닛으로 더 분할될 수 있음을 이해할 것이다.

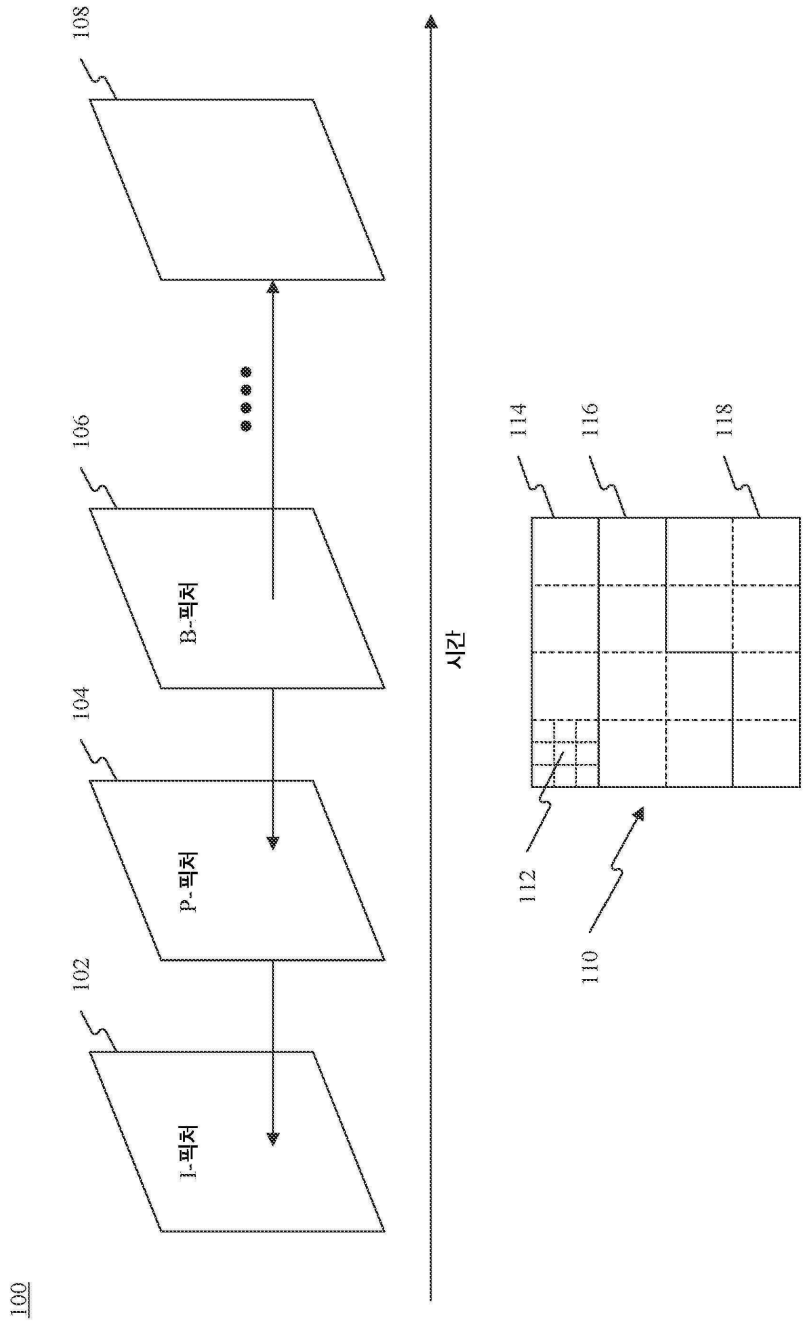
[0298] 전술한 명세서에서, 실시예는 구현마다 다를 수 있는 수많은 특정 세부사항을 참조로 설명되었다. 설명된 실시예의 특정 적응 및 수정이 이루어질 수 있다. 다른 실시예는 본원에 개시된 본 발명의 명세서 및 실시를 고려하여 통상의 기술자에게 명백할 수 있다. 명세서 및 예는 단지 예시적인 것으로 간주되어야 하는 것으로

의도되며, 본 발명의 진정한 범위 및 사상은 다음 청구범위에 의해 나타난다. 또한, 도면에 도시된 단계의 시퀀스는 단지 예시의 목적이며, 단계의 임의의 특정 시퀀스로 제한되도록 의도되지 않는다. 이와 같이, 통상의 기술자는 이러한 단계가 동일한 방법을 구현하면서 상이한 순서로 수행될 수 있음을 인식할 수 있다.

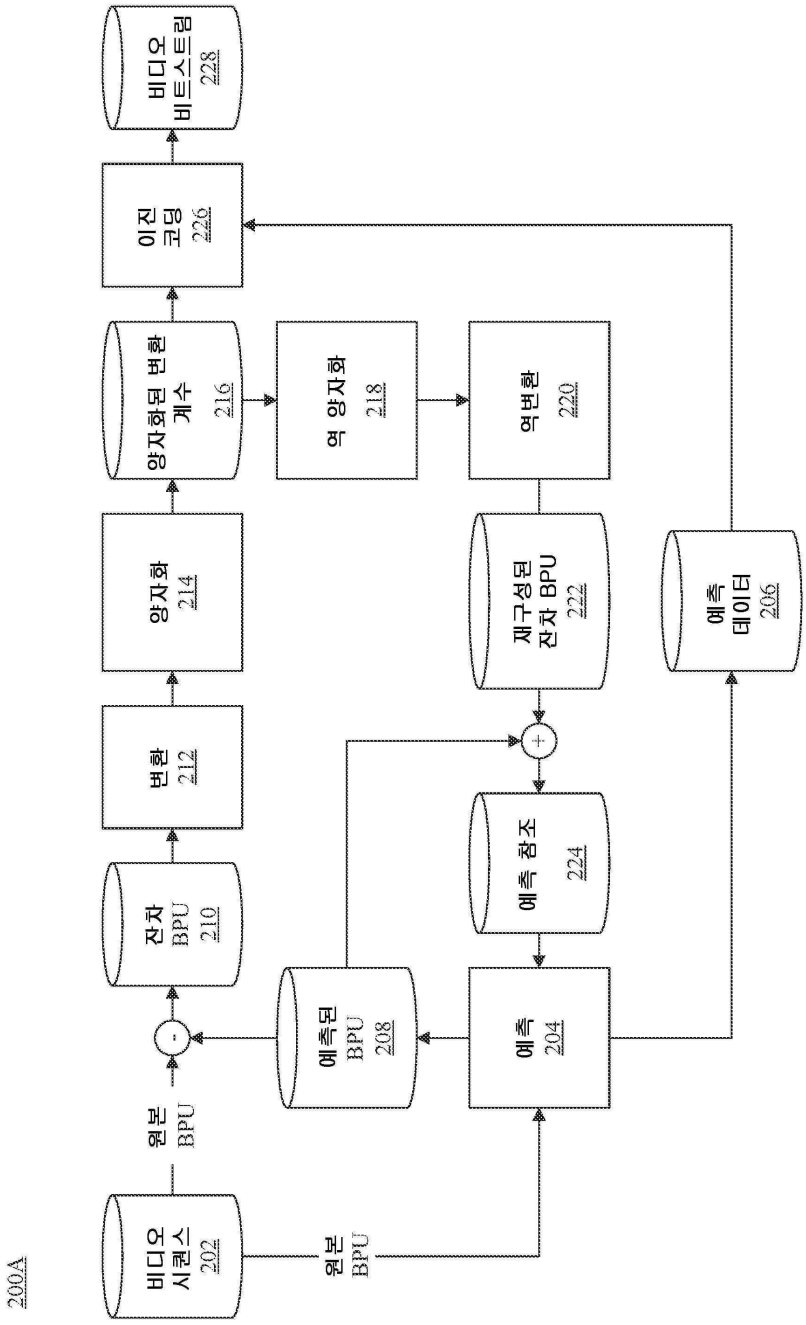
[0299] 도면 및 명세서에서, 예시적인 실시예가 개시된다. 하지만, 이들 실시예에 대해 다수의 변형 및 수정이 이루어질 수 있다. 따라서, 특정한 용어가 이용되더라도, 제한의 목적이 아닌 일반적이고 설명적인 의미로 사용된다.

도면

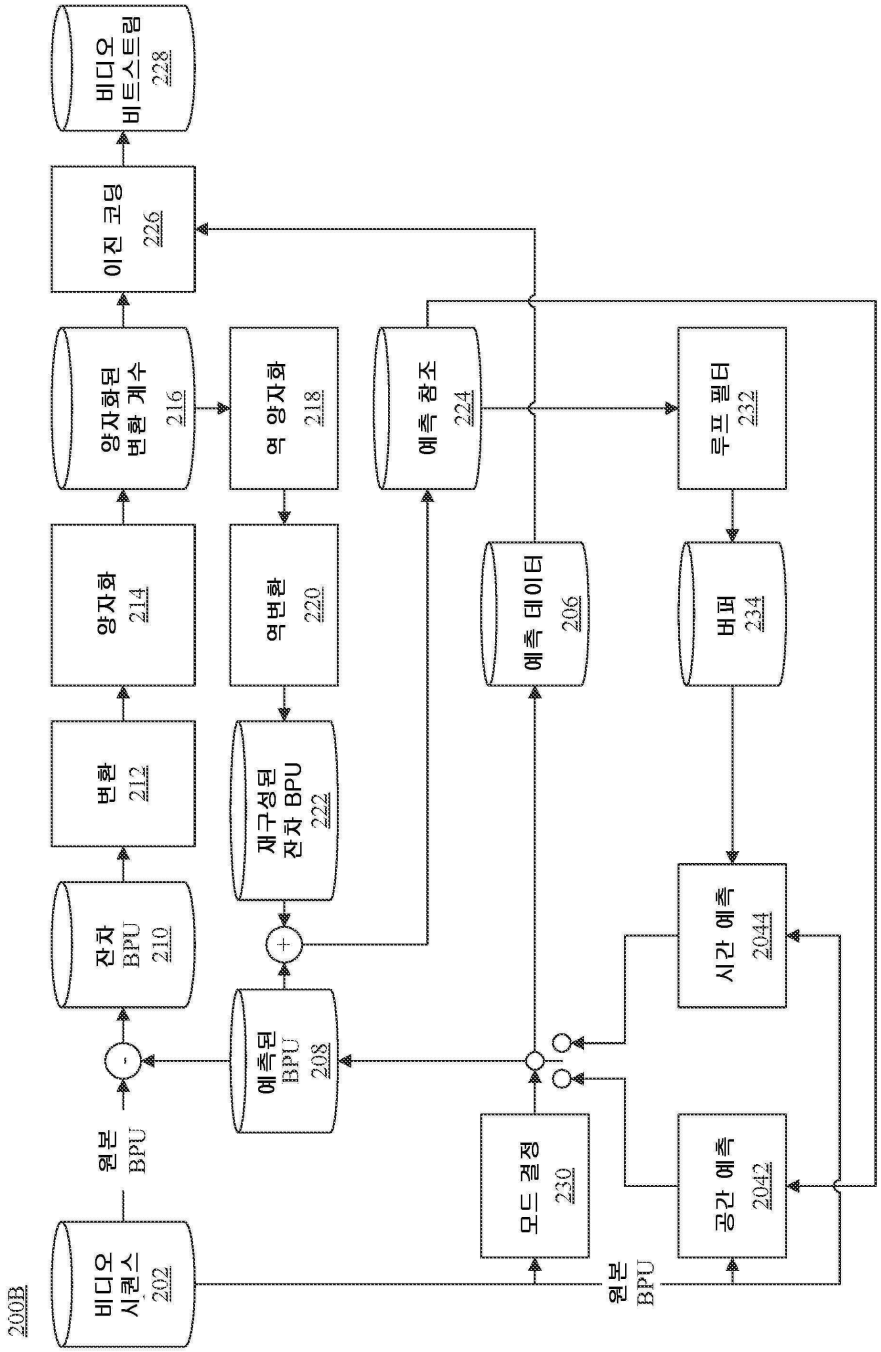
도면1



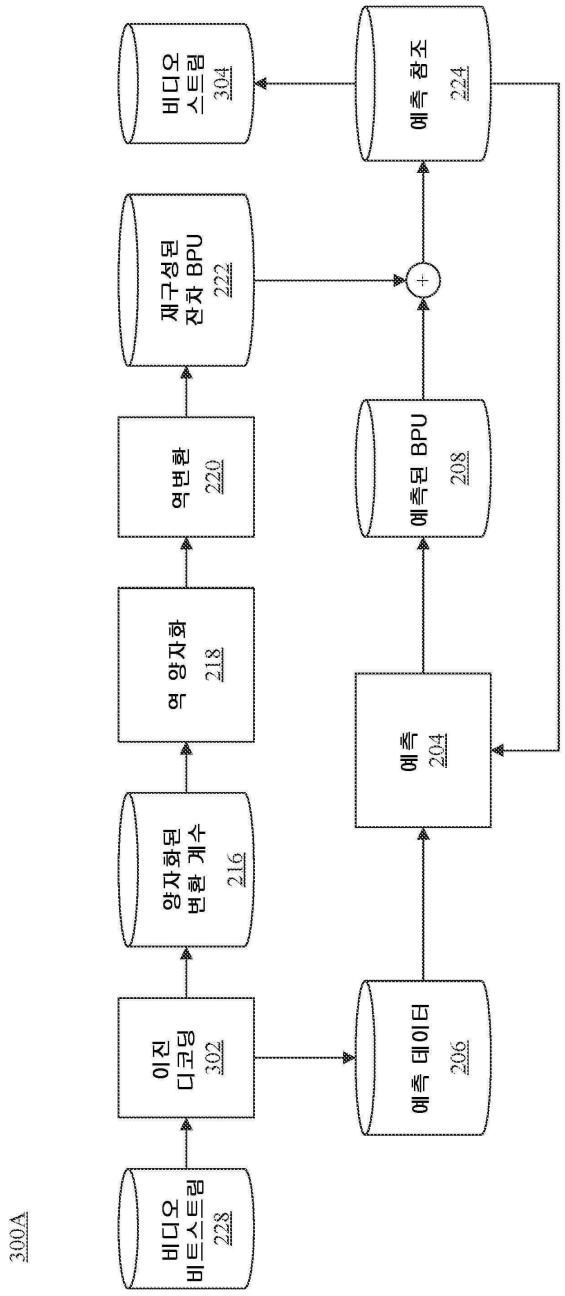
도면2a


200A
비디오 시퀀스 202
원본 BPU
잔차 BPU 210
변환 212
양자화 214
양자화된 변환 계수 216
역 양자화 218
역변환 220
재구성된 잔차 BPU 222
예측 데이터 206
이진 코딩 226
비디오 비트스트림 228
원본 BPU
예측된 BPU 208
예측 204
예측 참조 224

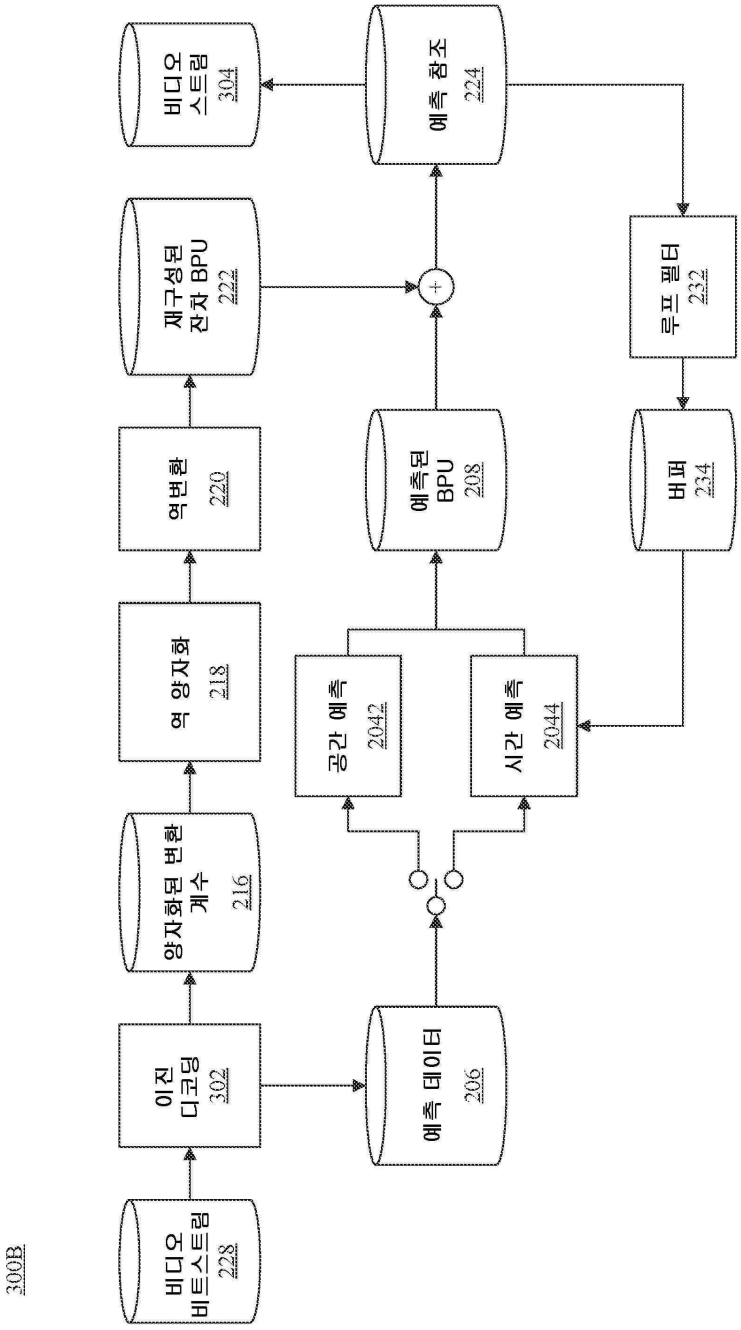
도면2b


200B
비디오 시퀀스 202
원본 BPU
잔차 BPU 210
변환 212
양자화 214
양자화된 변환 계수 216
이진 코딩 226
비디오 비트스트림 228
예측된 BPU 208
재구성된 잔차 BPU 222
역변환 220
역 양자화 218
예측 참조 224
예측 데이터 206
모드 결정 230
공간 예측 2042
시간 예측 2044
루프 필터 232
버퍼 234
원본 BPU

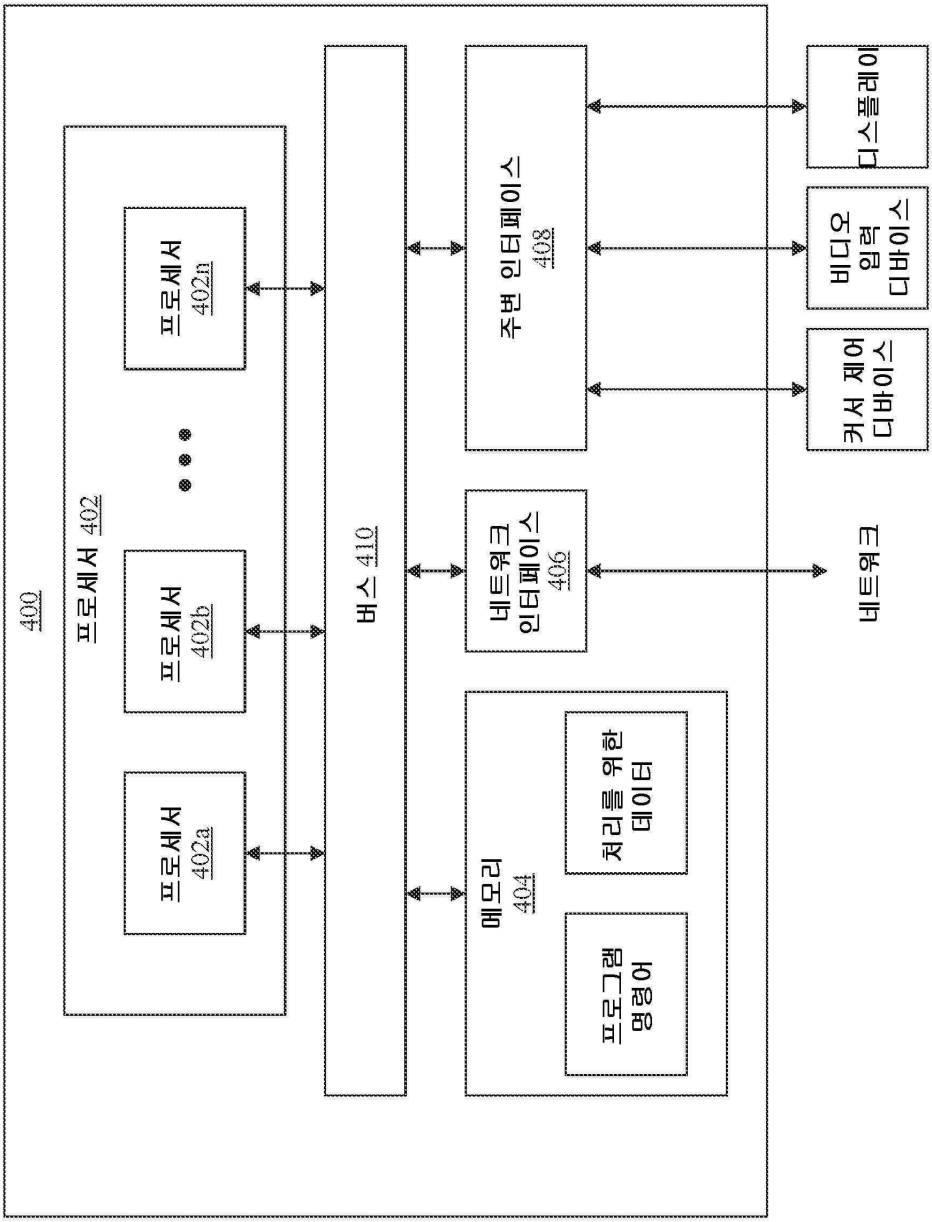
도면3a


300A
비디오 비트스트림 228
이진 디코딩 302
양자화된 변환 계수 216
역 양자화 218
역변환 220
재구성된 잔차 BPU 222
비디오 스트림 304
예측 데이터 206
예측 204
예측된 BPU 208
예측 참조 224

도면3b


300B
비디오 비트스트림 228
이진 디코딩 302
양자화된 변환 계수 216
역 양자화 218
역변환 220
재구성된 잔차 BPU 222
비디오 스트림 304
예측 데이터 206
공간 예측 2042
시간 예측 2044
예측된 BPU 208
예측 참조 224
루프 필터 232
버퍼 234

도면4



도면5

테이블 1: 픽처 헤더에서의 예시적인 LMCS 신택스

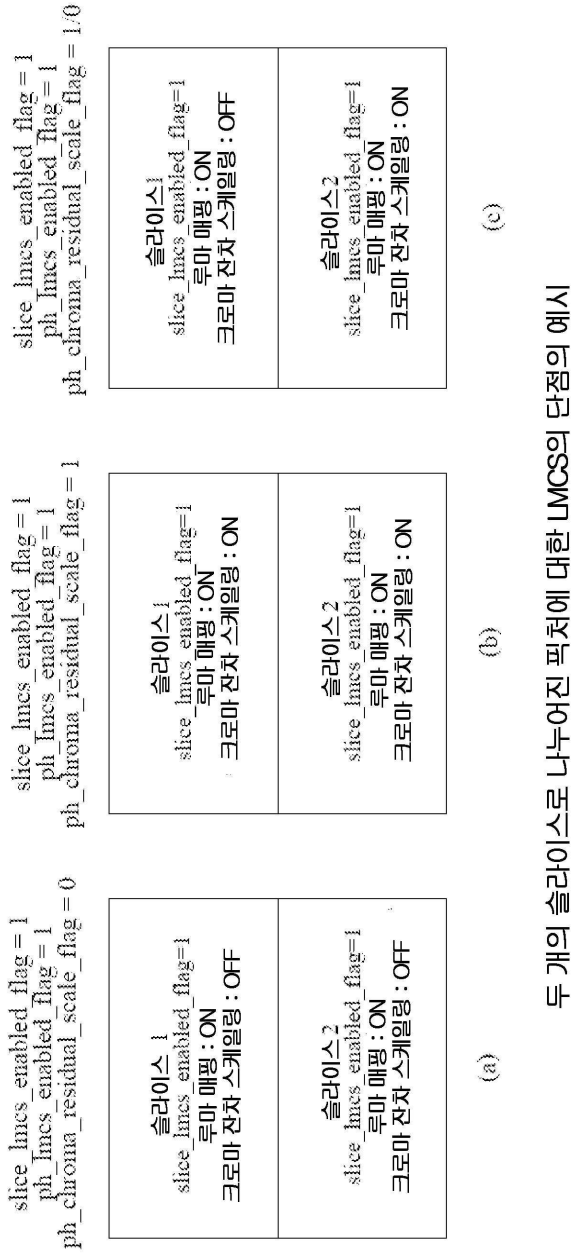
if(sps_lmcs_enabled_flag) {	
ph_lmcs_enabled_flag	u(1)
if(ph_lmcs_enabled_flag) {	
ph_lmcs_aps_id	u(2)
if(ChromaArrayType != 0)	
ph_chroma_residual_scale_flag	u(1)
}	
}	

도면6

테이블 2: 슬라이드 헤더에서의 예시적인 LMCS 신택스

if(ph_lmcs_enabled_flag)	
slice_lmcs_enabled_flag	u(1)

도면7



두 개의 슬라이스로 나누어진 픽처에 대한 LMCS의 단점의 예시

도면8

테이블 3: 픽처 헤더에서의 예시적인 LMCS 신택스

if(sps_lmcs_enabled_flag) {	
ph_lmcs_enabled_flag	u(1)
if(ph_lmcs_enabled_flag) {	
ph_lmcs_aps_id	u(2)
~~if(ChromaArrayType != 0)~~	
~~**ph_chroma_residual_scale_flag**~~	~~u(1)~~
}	
}	

301

도면9

테이블 4: 슬라이스 헤더에서의 예시적인 LMCS 신택스

if(ph_lmcs_enabled_flag){	
slice_lmcs_enabled_flag	u(1)
if(slice_lmcs_enabled_flag && ChromaArrayType != 0)	
slice_chroma_residual_scale_flag	u(1)
}	

401

도면10

LMCS(luma mapping with chrome scaling)를 시그널링하는 것을 통해 비디오 콘텐츠를 처리하기 위한 방법의 예시

도면11

테이블 5: 예시적인 픽처 헤더 신택스

if(sps_lmcs_enabled_flag) {	
ph_lmcs_enabled_flag	u(1)
if(ph_lmcs_enabled_flag) {	
ph_lmcs_aps_id	u(2)
if(ChromaArrayType != 0)	
ph_chroma_residual_scale_flag	u(1)
}	
}	

도면12

테이블 6: 예시적인 슬라이스 헤더 신택스

if(ph_lmcs_enabled_flag){	
slice_lmcs_enabled_flag	u(1)
if(slice_lmcs_enabled_flag && ChromaArrayType != 0 && ph_chroma_residual_scale_flag)	
slice_chroma_residual_scale_flag	u(1)
}	

601

도면13

테이블 7: 예시적인 픽처 헤더 신택스

if(deblocking_filter_override_enabled_flag && dbf_info_in_ph_flag) {	
ph_deblocking_filter_override_flag	u(1)
if(ph_deblocking_filter_override_flag) {	
ph_deblocking_filter_disabled_flag	u(1)
if(!ph_deblocking_filter_disabled_flag) {	
ph_beta_offset_div2	se(v)
ph_tc_offset_div2	se(v)
if(ChromaArrayType != 0){	
ph_cb_beta_offset_div2	se(v)
ph_cb_tc_offset_div2	se(v)
ph_cr_beta_offset_div2	se(v)
ph_cr_tc_offset_div2	se(v)
}	
}	
}	
}	

도면14

테이블 8: 예시적인 슬라이스 헤더 신택스

if(deblocking_filter_override_enabled_flag && !dbf_info_in_ph_flag)	
slice_deblocking_filter_override_flag	u(1)
if(slice_deblocking_filter_override_flag) {	
slice_deblocking_filter_disabled_flag	u(1)
if(!slice_deblocking_filter_disabled_flag) {	
slice_beta_offset_div2	se(v)
slice_tc_offset_div2	se(v)
if(ChromaArrayType != 0){	
slice_cb_beta_offset_div2	se(v)
slice_cb_tc_offset_div2	se(v)
slice_cr_beta_offset_div2	se(v)
slice_cr_tc_offset_div2	se(v)
}	
}	
}	

도면15

테이블 9: 예시적인 PPS 신택스

pic_parameter_set_rbsp( ) {	설명자
pps_pic_parameter_set_id	ue(v)
pps_seq_parameter_set_id	u(4)
mixed_nalu_types_in_pic_flag	u(1)
pic_width_in_luma_samples	ue(v)
pic_height_in_luma_samples	ue(v)
pps_conformance_window_flag	u(1)
.....	
pps_chroma_format_idc	u(2)
if(pps_chroma_format_idc == 3)	
pps_separate_colour_plane_flag	u(1)
deblocking_filter_control_present_flag	u(1)
if(deblocking_filter_control_present_flag) {	
deblocking_filter_override_enabled_flag	u(1)
pps_deblocking_filter_disabled_flag	u(1)
if(!pps_deblocking_filter_disabled_flag) {	
pps_beta_offset_div2	se(v)
pps_tc_offset_div2	se(v)
if(ChromaArrayType != 0){	
pps_cb_beta_offset_div2	se(v)
pps_cb_tc_offset_div2	se(v)
pps_cr_beta_offset_div2	se(v)
pps_cr_tc_offset_div2	se(v)
}	
}	
}	
}	

도면16

테이블 10: pps_chroma_tool_offsets_present_flag를 ChromaArrayType으로 대체하는 예시적인 PPS 신택스

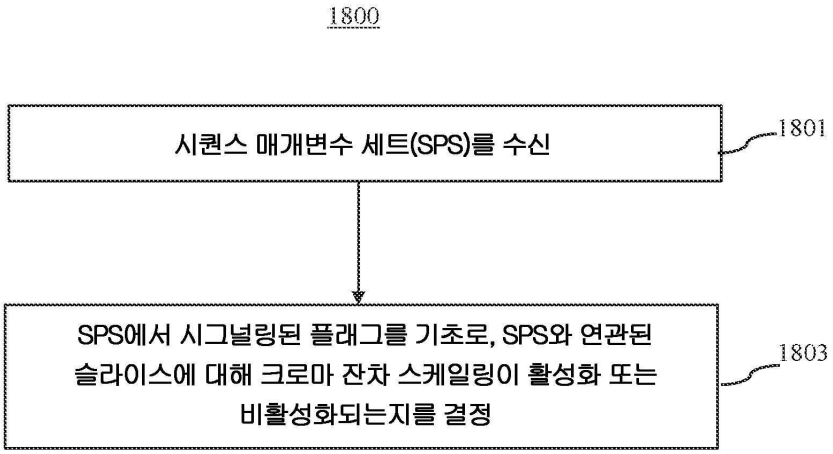
pic_parameter_set_rbsp( ) {	설명자
pps_pic_parameter_set_id	ue(v)
pps_seq_parameter_set_id	u(4)
mixed_nalu_types_in_pic_flag	u(1)
pic_width_in_luma_samples	ue(v)
pic_height_in_luma_samples	ue(v)
pps_conformance_window_flag	u(1)
.....	
pps_chroma_format_idc	u(2)
if(pps_chroma_format_idc == 3)	
pps_separate_colour_plane_flag	u(1)
.....	
~~pps_chroma_tool_offsets_present_flag~~	~~u(1)~~
if(~~pps_chroma_tool_offsets_present_flag~~ ChromaArrayType != 0){	
pps_cb_qp_offset	se(v)
pps_cr_qp_offset	se(v)
pps_joint_cbcr_qp_offset_present_flag	u(1)
if(pps_joint_cbcr_qp_offset_present_flag)	
pps_joint_cbcr_qp_offset_value	se(v)
pps_slice_chroma_qp_offsets_present_flag	u(1)
pps_cu_chroma_qp_offset_list_enabled_flag	u(1)
}	
...	
}	
}	

도면17

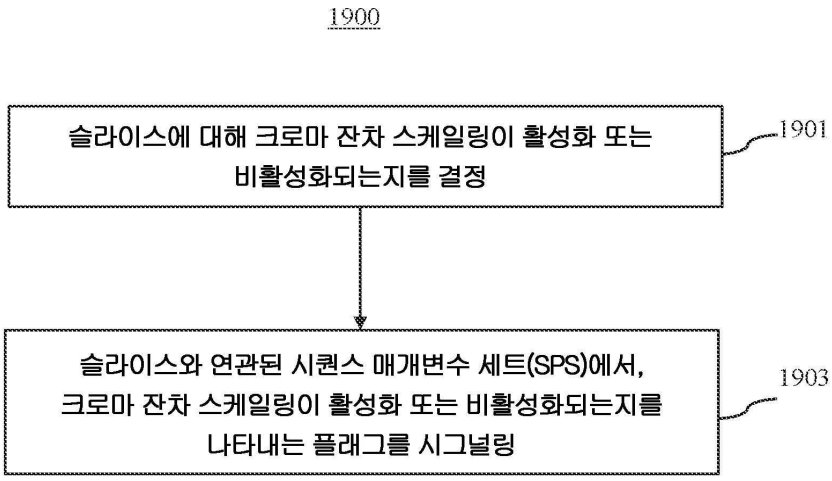
테이블 11: 예시적인 PPS 신택스

pic_parameter_set_rbsp( ) {	설명자
~~pps_chroma_tool_offsets_present_flag~~ **pps_chroma_tool_present_flag**	u(1)
if(~~pps_chroma_tool_offsets_present_flag~~ pps_chroma_tool_present_flag) {	
pps_cb_qp_offset	se(v)
pps_cr_qp_offset	se(v)
pps_joint_cbcr_qp_offset_present_flag	u(1)
if(pps_joint_cbcr_qp_offset_present_flag)	
pps_joint_cbcr_qp_offset_value	se(v)
pps_slice_chroma_qp_offsets_present_flag	u(1)
pps_cu_chroma_qp_offset_list_enabled_flag	u(1)
}	
if(pps_cu_chroma_qp_offset_list_enabled_flag) {	
chroma_qp_offset_list_len_minus1	ue(v)
for(i = 0; i <= chroma_qp_offset_list_len_minus1; i++) {	
cb_qp_offset_list[i]	se(v)
cr_qp_offset_list[i]	se(v)
if(pps_joint_cbcr_qp_offset_present_flag)	
joint_cbcr_qp_offset_list[i]	se(v)
}	
}	
pps_weighted_pred_flag	u(1)
pps_weighted_bipred_flag	u(1)
deblocking_filter_control_present_flag	u(1)
if(deblocking_filter_control_present_flag) {	
deblocking_filter_override_enabled_flag	u(1)
pps_deblocking_filter_disabled_flag	u(1)
if(!pps_deblocking_filter_disabled_flag) {	
pps_beta_offset_div2	se(v)
pps_tc_offset_div2	se(v)
if (pps_chroma_tool_present_flag){	
pps_cb_beta_offset_div2	se(v)
pps_cb_tc_offset_div2	se(v)
pps_cr_beta_offset_div2	se(v)
pps_cr_tc_offset_div2	se(v)
}	
}	
}	
}	

도면18



도면19



도면20

