



- (51) 국제특허분류:
H03F 3/45 (2006.01) H03F 1/22 (2006.01)
H03F 1/08 (2006.01)
- (21) 국제출원번호: PCT/KR2016/012481
- (22) 국제출원일: 2016년 11월 1일 (01.11.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0158095 2015년 11월 11일 (11.11.2015) KR
- (71) 출원인: 이화여자대학교 산학협력단 (EWha UNIVERSITY-INDUSTRY COLLABORATION FOUNDATION) [KR/KR]; 03760 서울시 서대문구 이화여대길 52, Seoul (KR).
- (72) 발명자: 박성민 (PARK, Sung Min); 13634 경기도 성남시 분당구 미금로 114, 206 동 102 호, Gyeonggi-do (KR). 김상균 (KIM, Sang Gyun); 04346 서울시 용산구 회남로 26 가길 17, Seoul (KR).
- (74) 대리인: 남정길 (NAM, Jung Kil); 06593 서울시 서초구 고무래로 6-3, 501 호, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

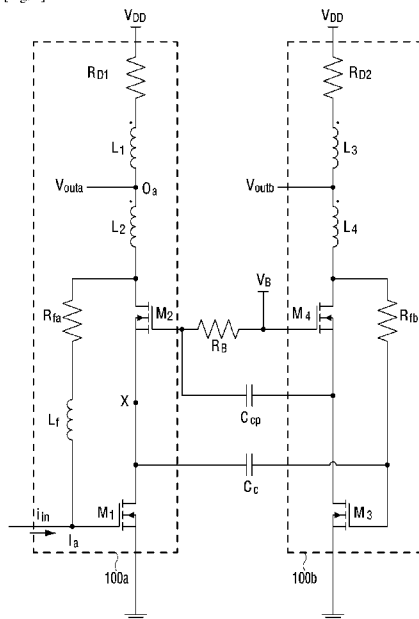
공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: DIFFERENTIAL TRANSMISSION IMPEDANCE AMPLIFIER

(54) 발명의 명칭 : 차동 전달 임피던스 증폭기

[Fig. 1]



명세서

발명의 명칭: 차동 전달 임피던스 증폭기

기술분야

- [1] 본 발명은 차동 전달 임피던스 증폭기에 관한 것이다.

배경기술

- [2] 전달 임피던스 증폭기는 증폭기의 전달 임피던스를 이용하여 입력으로 제공된 전류 신호를 전압 신호로 변환하고 증폭하여 출력하는 증폭기를 의미한다. 종래의 전달 임피던스 증폭기에 있어서 높은 이득(gain)을 얻기 위하여 증폭기의 대역폭(bandwidth)을 희생하여야 하고, 넓은 대역폭에서 동작하는 증폭기를 구현하고자 하는 경우에는 이득을 희생하여야 하는 트레이드 오프(trade off) 관계가 존재하였다. 종래의 전달 임피던스 증폭기의 선행 문헌은 한국 공개특허 제2006-0064981호 등이 있다.

발명의 상세한 설명

기술적 과제

- [3] 종래의 차동구조 전달 임피던스 증폭기에서는 (+)출력전압을 위해서는 노이즈에 취약한 공통 게이트 증폭단을 입력단으로 취한다. 따라서, (-)출력전압을 갖는 공통 소스단과 매칭 되는 경우 차동 신호의 대칭문제 및 여전한 노이즈 문제가 남아있다.
- [4] 본 실시예는 노이즈 특성을 향상시켜 상기한 종래 기술의 차동 전달 임피던스가 가지는 노이즈에 취약하다는 단점을 해결하기 위한 것이며, 또한 출력전압이 보다 매칭이 잘 되도록 하기 위한 것이다.

과제 해결 수단

- [5] 본 실시예에 따른 차동 전달 임피던스 증폭기는 제1 공통 소스 증폭기와 제2 공통 게이트 증폭기 및 제1 부하저항을 포함하는 제1 캐스코드(cascode) 증폭기와, 제1 캐스코드 증폭기의 출력 노드와 입력 노드에 연결된 제1 저항을 포함하는 제1 차동단 및 제2 공통 소스 증폭기와 제2 공통 게이트 증폭기 및 제2 부하저항을 포함하는 제2 캐스코드(cascode) 증폭기와, 제2 캐스코드 증폭기의 출력 노드와 입력 노드에 연결된 제2 저항을 포함하는 제2 차동단을 포함하며, 제1 캐스코드 증폭기에 포함된 공통 소스 증폭기의 출력이 제2 캐스코드 증폭기에 포함된 제2 공통 소스 증폭기의 입력으로 제공되어 제1 차동단과 제2 차동단에 서로 반전된 위상을 가지는 입력 신호가 제공된다.

발명의 효과

- [6] 본 실시예에 의하면 각 차동단의 입력으로 공통 소스 증폭기 구조를 가지므로, 공통 게이트 구조를 입력으로 가지는 종래 기술에 비하여 노이즈 성능을 향상시킬 수 있다는 장점이 제공된다. 또한, 본 실시예에 의하면 어느 한 차동단을 구성하는 공통 소스 증폭기의 출력을 다른 차동단의 입력으로

제공하므로 대칭적으로 동작하는 차동 출력을 얻을 수 있다는 장점이 제공된다.

도면의 간단한 설명

- [7] 도 1은 본 실시예에 따른 차동 전달 임피던스의 개요적 회로도이다.
- [8] 도 2는 본 실시예에 따른 차동 전달 임피던스 증폭기에 대하여 주파수 변화에 대한 전달 임피던스 이득 변화를 도시한 도면이다.
- [9] 도 3은 본 실시예에 따른 차동 전달 임피던스 증폭기에 대하여 주파수에 대한 노이즈 스펙트럼 밀도 변화를 도시한 도면이다.
- [10] 도 4는 본 실시예에 따른 차동 전달 임피던스 증폭기의 주파수에 대한 입력 임피던스 변화를 도시한 도면이다.
- [11] 도 5(a), 5(b) 및 5(c)는 본 실시예에 따른 차동 전달 임피던스 증폭기의 어느 한 차동단의 출력 아이 다이어그램(eye-diagram)을 도시한 도면이다.
- [12] 도 6은 본 실시예에 따른 차동 전달 임피던스 증폭기 차동쌍 출력의 아이 다이어그램(eye-diagram)을 도시한 도면이다.

발명의 실시를 위한 형태

- [13] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다.
- [14] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [15] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [16] 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [17] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [18]
- [19] 이하에서는 첨부된 도면들을 참조하여 본 실시예들을 설명한다. 도 1은 본

실시예에 따른 차동 전달 임피던스의 개요적 회로도이다. 도 1을 참조하면, 본 실시예에 따른 차동 전달 임피던스 증폭기는, 제1 공통 소스 증폭기(M1)와 제1 공통 게이트 증폭기(M2) 및 제1 부하저항(R_{D1})을 포함하는 제1 캐스코드(cascode) 증폭기와, 제1 캐스코드 증폭기의 출력 노드(O_a)와 입력 노드(I_a)에 연결된 제1 저항(R_{fa})을 포함하는 제1 차동단(100a)과, 제2 공통 소스 증폭기(M3)와 제2 공통 게이트 증폭기(M4) 및 제2 부하저항(R_{D2})을 포함하는 제2 캐스코드(cascode) 증폭기와, 제2 캐스코드 증폭기의 출력 노드와 입력 노드에 연결된 제2 저항(R_{fb})을 포함하는 제2 차동단(100b)을 포함하며, 제1 캐스코드 증폭기에 포함된 공통 소스 증폭기(M1)의 출력이 제2 캐스코드 증폭기에 포함된 제2 공통 소스 증폭기(M3)의 입력으로 제공되어 제1 차동단(100a)과 제2 차동단(100b)에 서로 반전된 위상을 가지는 입력 신호가 제공된다.

[20] 제1 차동단(100a)은 캐스코드 구성으로 연결된 제1 공통 소스 증폭기(M1)와 제1 공통 게이트 증폭기(M2) 및 제1 부하저항(R_{D1})을 포함한다. 캐스코드 구성으로 연결된 제1 공통 소스 증폭기(M1)와 제1 공통 게이트 증폭기(M2)에서, 입력 신호(i_{in})는 제1 공통 소스 증폭기(M1)의 게이트에 제공되며, 제1 공통 소스 증폭기(M1)는 입력 신호(i_{in})가 증폭된 신호를 제1 공통 게이트 증폭기(M2)의 소스에 제공한다.

[21] 종래의 차동 전달 임피던스 증폭기는 입력으로 공통 게이트 증폭기 구성을 취하였다. 공통 게이트 증폭기는 노이즈 소스를 나타내는 노이즈 전류원을 입력 단자인 소스에 위치하는 것으로 등가 모델링 할 수 있다. 따라서, 입력 전류 신호가 노이즈에 직접 노출되고, 합쳐져서 증폭기의 입력단에 제공된다. 그러나, 공통 소스 증폭기는 노이즈 소스를 나타내는 노이즈 전류원을 입력 단자인 게이트로 위치시키고, 노이즈 전류인 i_d 를 gm^2 (gm :공통 소스 증폭기 트랜지스터의 전달 컨덕턴스)으로 나누면 입력 단자에 제공되는 노이즈 전압으로 등가 모델링 가능하다. 따라서, 공통 소스 증폭기를 구성하는 트랜지스터의 전달 컨덕턴스 값을 증가시키면 노이즈에 의한 영향을 감소시킬 수 있다. 본 실시예와 같이 공통 소스 증폭기를 입력으로 취하는 경우 종래의 전달 임피던스 증폭기에비하여 향상된 노이즈 특성을 가지는 것을 알 수 있다.

[22] 제1 공통 소스 증폭기(M1)의 이득은 트랜지스터 M1의 전달 컨덕턴스인 gm_1 과 부하저항 값의 곱으로 표현된다. M1의 출력에서 형성되는 부하 저항의 값은 M1의 출력 저항 ro_1 과 제1 공통 게이트 증폭기(M2)의 입력 저항의 병렬 저항으로 연산될 수 있다. 제1 공통 게이트 증폭기(M2)의 입력 저항은 $1/gm_2$, (gm_2 : M2의 전달 컨덕턴스)로 표현될 수 있다. 이를 수학식으로 정리하면 수학식 1과 같다.

[23]

$$A = -gm_1 \cdot \left\{ \frac{1}{gm_2} \parallel ro_1 \right\}$$

[24] 수학식 1에서, 제1 공통 게이트 증폭기(M2)의 입력 저항값인 $1/gm_2$ 의 값은 제1

공통 소스 증폭기(M1)의 출력 저항인 r_{o1} 에 비하여 작은 값을 가지므로, 출력 저항값은 더 작은 값을 가지는 $1/gm2$ 로 근사된다. 또한, 제1 공통 소스 증폭기(M1)를 형성하는 트랜지스터 M1과 제1 공통 게이트 증폭기(M2)를 형성하는 트랜지스터 M2의 사이즈가 같으면 두 트랜지스터의 전달 컨덕턴스는 서로 같다. 따라서, 수학식 1은 아래의 수학식 2와 같이 근사될 수 있다.

[25]

$$A \approx -gm \cdot \left\{ \frac{1}{gm} \right\} = -1$$

[26]

수학식 2에서 보여지는 바와 같이 제1 공통 소스 증폭기(M1)의 이득은 -1로 근사될 수 있다. 그에 따라 트랜지스터 M1의 게이트와 드레인 사이에 형성되는 기생 커패시턴스값이 증가되어 보이는 밀러 효과(Miller Effect)를 감소시킬 수 있다.

[27]

나아가, 제1 공통 소스 증폭기(M1)의 이득은 -1이므로 제1 공통 소스 증폭기(M1)의 출력 노드인 노드 X에서의 전압은 제1 공통 소스 증폭기(M1)의 게이트에 제공되는 전압과 그 크기는 동일하고 위상만 반전된다. 따라서, 커플링 커패시터(Cc)를 통하여 직류 성분을 블로킹하고 교류 성분을 제2 공통 소스 증폭기(M3)의 입력으로 제공하는 바, 제1 공통 소스 증폭기(M1)와 제2 공통 소스 증폭기(M3)는 서로 반전된 위상을 가지는 입력 신호를 제공 받고, 서로 반전된 위상을 가지는 출력 신호를 제공하는 차동 증폭기로 동작한다. 나아가, 직류 성분이 블로킹되므로, 제2 공통 소스 증폭기(M3)의 바이어스 전압을 제1 공통 소스 증폭기(M1)의 바이어스 전압과 동일하게 유지할 수 있다.

[28]

제1 캐스코드 증폭기와 제2 캐스코드 증폭기의 이득은 공통 소스 증폭기의 전달 컨덕턴스와 공통 게이트 증폭기에서 보이는 부하 저항 값의 곱으로 표시될 수 있다. 공통 게이트 증폭기에서 보이는 부하 저항은 M2의 출력 저항과 제1 부하저항(R_{D1})의 병렬 저항이다. 제1 공통 게이트 증폭기(M2)의 출력 저항은 M2의 전달 컨덕턴스 $gm2$, M2의 출력 저항 r_{o2} 및 M1의 출력 저항인 r_{o1} 의 곱으로 표시될 수 있다. 병렬 저항 값은 병렬 연결된 저항 중 작은 저항값을 가지는 저항값보다 작아지며, 병렬 연결된 저항의 저항값이 크면 클수록 병렬 연결된 저항 중 작은 저항값으로 근사되므로, 공통 게이트 증폭기에서 보이는 부하 저항 값은 부하 저항인 R_{D1} 값으로 근사된다. 따라서, 캐스코드 증폭기의 이득은 아래의 수학식 3과 같이 정리될 수 있다.

[29]

$$\begin{aligned} A &= -gm1 \cdot R_o \\ &= -gm1 \cdot \{ (gm2 \cdot r_{o1} \cdot r_{o2}) \parallel (R_{D1}) \} \\ &\approx -gm1 \cdot R_{D1} \end{aligned}$$

[30]

즉, 캐스코드 증폭기의 이득은 제1 공통 소스 증폭기(M1)의 전달 컨덕턴스와 제1 부하저항(R_{D1})의 곱으로 근사된다.

- [31] 제1 저항(R_{fa})와 제2 저항(R_{fb})는 각각 제1 캐스코드 증폭기 및 제2 캐스코드 증폭기의 입력 노드와 출력 노드 사이에 연결되어 피드백 경로를 형성하며, 각각 제1 차동단(100a)과 제2 차동단(100b)의 전달 컨덕턴스를 결정한다.
- [32] 일 실시예에서, 제1 차동단(100a)과 제2 차동단(100b)은 각각 트랜스포머를 더 포함할 수 있다. 제1 차동단(100a)을 예로 들어 설명하면, 제1 차동단(100a)은 제1 공통 게이트 증폭기(M2)의 출력 노드와 부하 저항 사이에 인덕터 L1과 L2를 포함하는 트랜스포머를 더 포함할 수 있다. 인덕터 L1과 L2를 포함하는 트랜스포머는 출력 저항에 포함된 커패시턴스 성분, 제1 공통 게이트 증폭기(M2)의 출력 커패시턴스 성분 및 출력 전압(V_{out_a})가 제공되는 다음 스테이지의 입력 커패시턴스를 상쇄하여 차동 전달 임피던스 증폭기가 동작하는 대역폭을 증가시키는 기능을 수행한다.
- [33] 차동 전달 임피던스 증폭기의 일 실시예에서, 제1 차동단의 출력과 입력 사이에 연결된 피드백 인덕터(L_f)를 더 포함한다. 피드백 인덕터는 제1 공통 소스 증폭기(M1)의 입력 커패시턴스를 상쇄하는 기능을 수행한다.
- [34] 도 1을 참조하면, 차동 전달 임피던스 증폭기의 각 차동단에 포함된 공통 게이트 증폭기의 게이트 들에는 바이어스 전압(V_B)이 제공된다. 일 실시예로, 공통 게이트 증폭기의 게이트 들에는 게이트 보호용 저항(R_B)이 연결되어 바이어스 전압(V_B)이 제공될 수 있다.
- [35] 일 실시예에서, 차동 전달 임피던스 증폭기는 제2 공통 소스 증폭기(M3)의 출력단과 제1 공통 게이트 증폭기의 게이트 전극에 연결되어 공통 소스 증폭기의 출력 노드에서 보이는 기생 커패시터의 커패시턴스를 조절하는 보상 커패시터(C_{cp})를 더 포함한다. 도시되지 않은 다른 실시예에 의하면 보상 커패시터(C_{cp})는 제1 공통 소스 증폭기(M1)의 출력단과 제1 공통 게이트 증폭기의 게이트 전극에 연결될 수 있다.
- [36] 본 실시예에 따른 차동 전달 임피던스 증폭기는 입력에 노이즈에 강한 공통 소스 증폭기를 배치하여 노이즈의 영향을 감소시켰으며, 캐스코드 구성을 가지는 차동쌍을 포함하는 구성으로, 동작 대역폭이 넓다는 장점이 제공된다.

[37]

[38] 모의시험예

- [39] 도 2 내지 도 6은 본 실시예에 따른 차동 전달 임피던스 증폭기에 대한 모의 시험 결과를 도시한 도면들이다. 도 2는 본 실시예에 따른 차동 전달 임피던스 증폭기에 대하여 주파수 변화에 대한 전달 임피던스 이득 변화를 도시한 도면이다. 도 2를 참조하면, 본 실시예에 따른 차동 전달 임피던스 증폭기는 40.5GHz의 대역폭을 가지며, 대역폭 내에서 56.3dBohm의 전달 임피던스 이득을 가지는 것을 확인할 수 있다.
- [40] 도 3은 본 실시예에 따른 차동 전달 임피던스 증폭기에 대하여 주파수에 대한 노이즈 스펙트럼 밀도 변화를 도시한 도면이다. 도 3을 참조하면, 본 실시예에 따른 차동 전달 임피던스 증폭기는 21.3pA/sqrt(Hz)의 노이즈 스펙트럼 밀도를

도시한다. 종래 기술에 의한 차동 전달 임피던스 증폭기는 일반적으로 27~28 pA/sqrt(Hz), 최대 30 pA/sqrt(Hz)의 잡음 스펙트럼 밀도를 나타내는 것을 고려하면, 최대 30% 가량의 노이즈 특성이 개선된 것을 확인할 수 있다.

[41] 도 4는 본 실시예에 따른 차동 전달 임피던스 증폭기의 주파수에 대한 입력 임피던스 변화를 도시한 도면이다. 본 실시예에 따른 차동 전달 임피던스 증폭기는 대역폭 내에서 33 Ω ~82 Ω 의 입력 임피던스를 가지는 것을 확인할 수 있다.

[42] 도 5(a), 5(b) 및 5(c)는 본 실시예에 따른 차동 전달 임피던스 증폭기의 어느 한 차동단의 출력 아이 다이어그램(eye-diagram)을 도시한 도면으로 각각 $2^{31}-1$ PRBS 입력 데이터 스트림에 대한 25Gb/s, 40Gb/s, 50Gb/s의 동작 속도에 대한 아이 다이어그램이다. 도 5(a), 5(b) 및 5(c)에서 확인할 수 있는 바와 같이 깨끗한 아이 다이어그램을 확인할 수 있다.

[43] 도 6은 본 실시예에 따른 차동 전달 임피던스 증폭기 차동쌍 출력의 아이 다이어그램(eye-diagram)을 도시한 도면으로 각각 $2^{31}-1$ PRBS 입력 데이터 스트림, 50Gb/s의 동작 속도에 대한 아이 다이어그램이다. 도 6에서 확인할 수 있는 바와 두 차동단 모두 대칭적으로 동작하며, 깨끗한 아이 다이어그램을 확인할 수 있다.

[44]

[45] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

산업상 이용가능성

[46] 상기에 기재되어 있음

청구범위

- [청구항 1] 제1 공통 소스 증폭기와 제1 공통 게이트 증폭기 및 제1 부하저항을 포함하는 제1 캐스코드(cascode) 증폭기와, 상기 제1 캐스코드 증폭기의 출력 노드와 입력 노드에 연결된 제1 저항을 포함하는 제1 차동단 및 제2 공통 소스 증폭기와 제2 공통 게이트 증폭기 및 제2 부하저항을 포함하는 제2 캐스코드(cascode) 증폭기와, 상기 제2 캐스코드 증폭기의 출력 노드와 입력 노드에 연결된 제2 저항을 포함하는 제2 차동단을 포함하며, 상기 제1 캐스코드 증폭기에 포함된 공통 소스 증폭기의 출력이 상기 제2 캐스코드 증폭기에 포함된 제2 공통 소스 증폭기의 입력으로 제공되어 상기 제1 차동단과 상기 제2 차동단에 서로 반전된 위상을 가지는 입력 신호가 제공되는 차동 전달 임피던스 증폭기.
- [청구항 2] 제1항에 있어서, 상기 차동 전달 임피던스 증폭기는, 입력 전류 신호를 제공받아 출력 전압 신호를 제공하되, 상기 입력 전류 신호에 대한 상기 출력 전압 신호의 전달 임피던스 이득(trans impedance)은 상기 제1 저항의 저항값과 상기 제2 저항의 저항값에 의하여 결정되는 차동 전달 임피던스 증폭기.
- [청구항 3] 제1항에 있어서, 상기 차동 전달 임피던스 증폭기는 커플링 커패시터(coupling capacitor)를 더 포함하며, 상기 커플링 커패시터는 상기 제1 공통 소스 증폭기의 출력 노드와 상기 제2 공통 소스 증폭기의 입력 노드를 전기적으로 연결하는 차동 전달 임피던스 증폭기.
- [청구항 4] 제1항에 있어서, 상기 차동 전달 임피던스 증폭기는, 상기 제1 공통 소스 증폭기의 상기 출력 노드와 상기 제2 공통 게이트 증폭기의 게이트 전극에 연결되거나, 상기 제2 공통 소스 증폭기의 상기 출력 노드와 상기 제1 공통 게이트 증폭기의 게이트 전극에 연결된 보상 커패시터를 더 포함하는 차동 전달 임피던스 증폭기.
- [청구항 5] 제1항에 있어서, 상기 차동 전달 임피던스 증폭기는, 상기 제1 부하 저항과 상기 제1 공통 게이트 증폭기의 출력 사이에 연결된 제1 트랜스포머(transformer)와, 상기 제2 부하 저항과 상기 제2 공통 게이트 증폭기의 출력 사이에

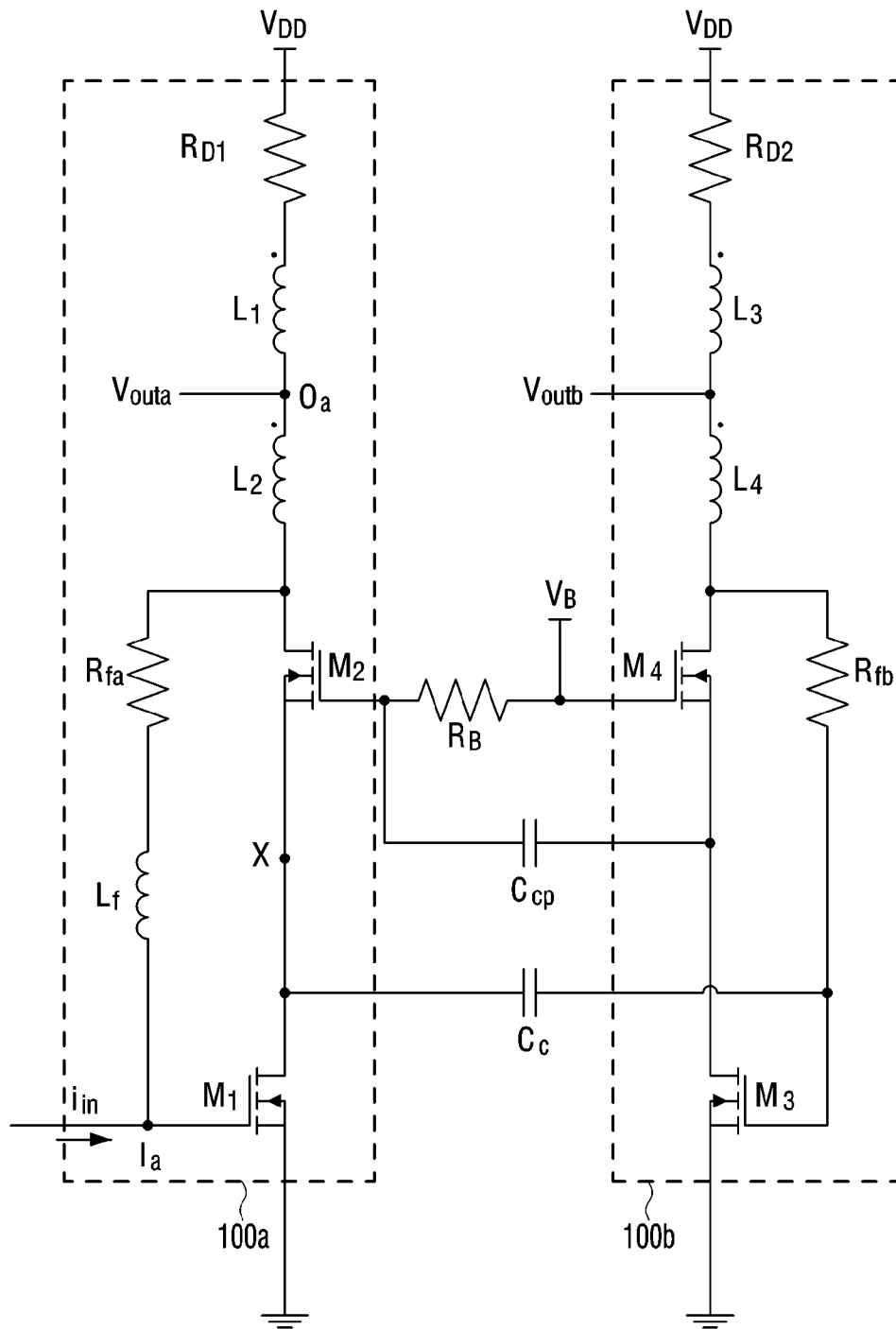
[청구항 6]

연결된 제2 트랜스포머를 더 포함하는 차동 전달 임피던스 증폭기.
제1항에 있어서,
상기 제1 공통 소스 증폭기와 상기 제2 공통 소스 증폭기의 이득은
모두 동일한 차동 전달 임피던스 증폭기.

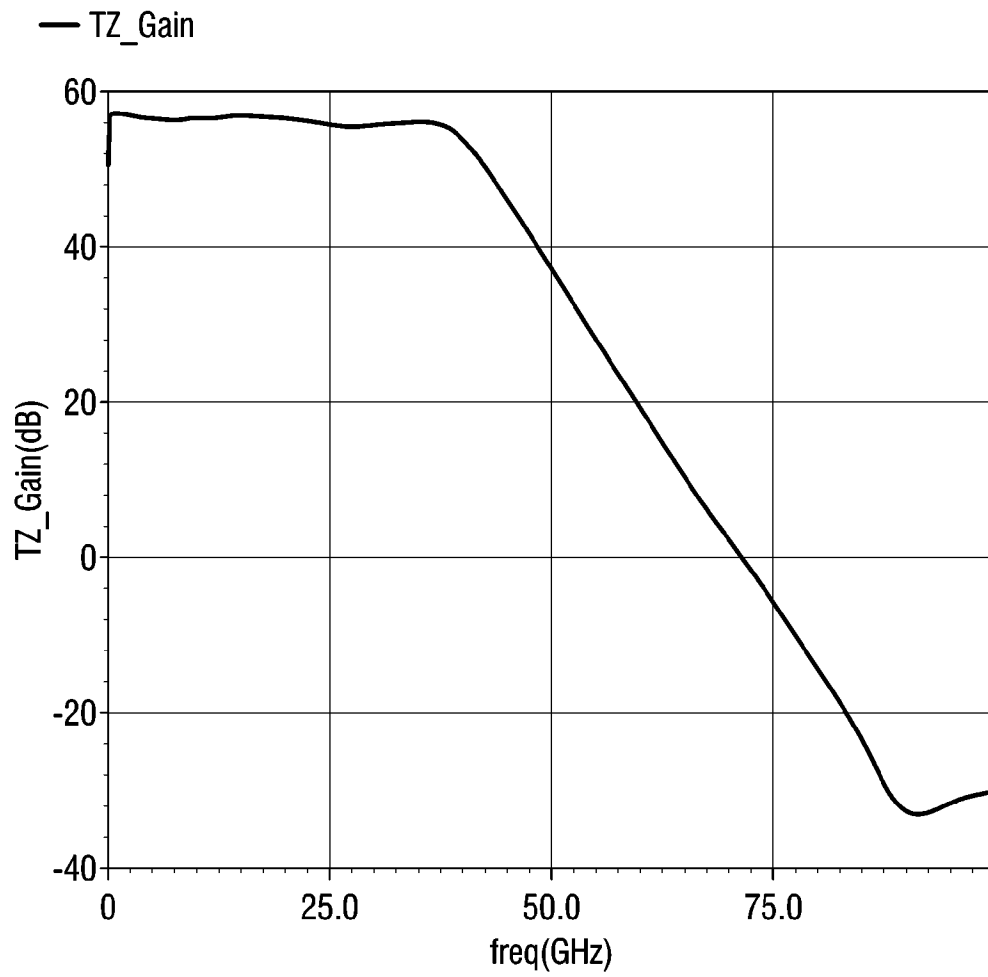
[청구항 7]

제1항에 있어서,
제1 공통 소스 증폭기에 포함된 트랜지스터와 제2 공통 게이트
증폭기의 트랜지스터의 크기는 서로 동일하며,
제3 공통 소스 증폭기에 포함된 트랜지스터와 제4 공통 게이트
증폭기의 트랜지스터의 크기는 서로 동일한 차동 전달 임피던스
증폭기.

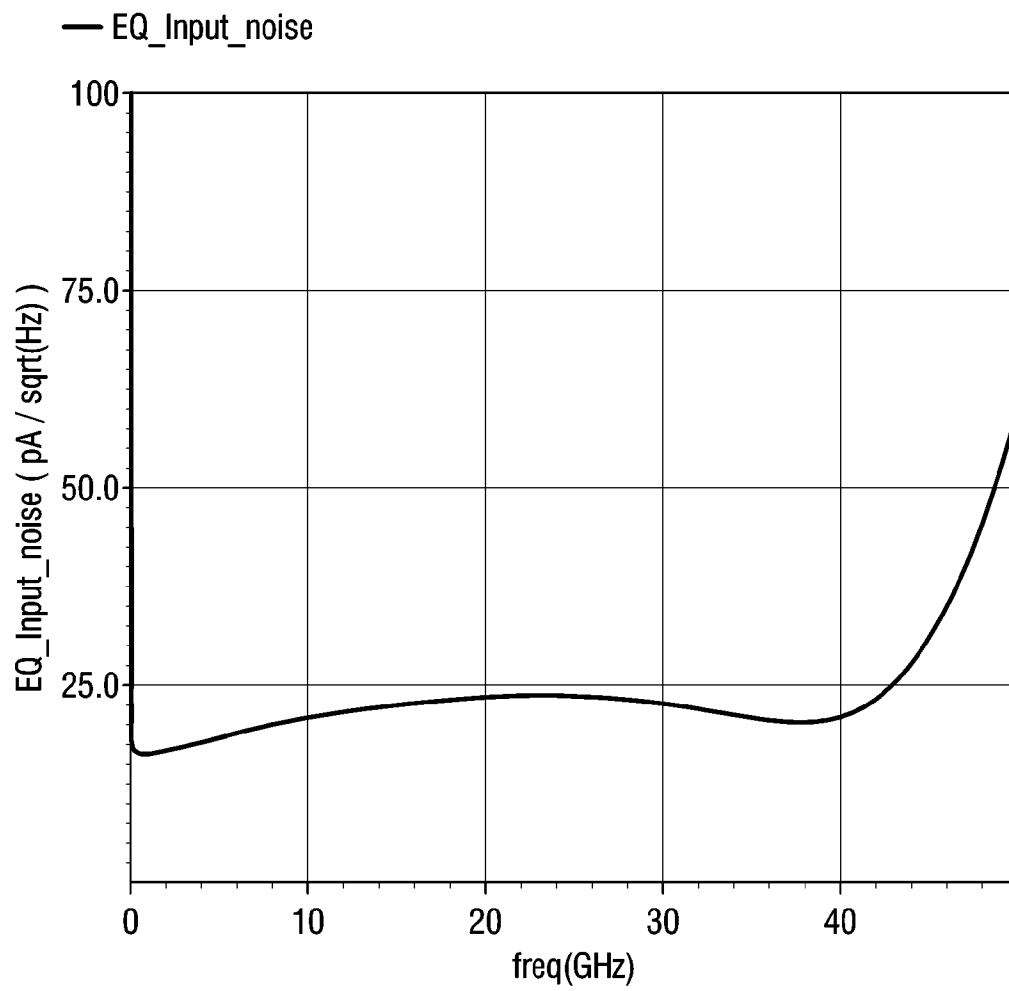
[Fig. 1]



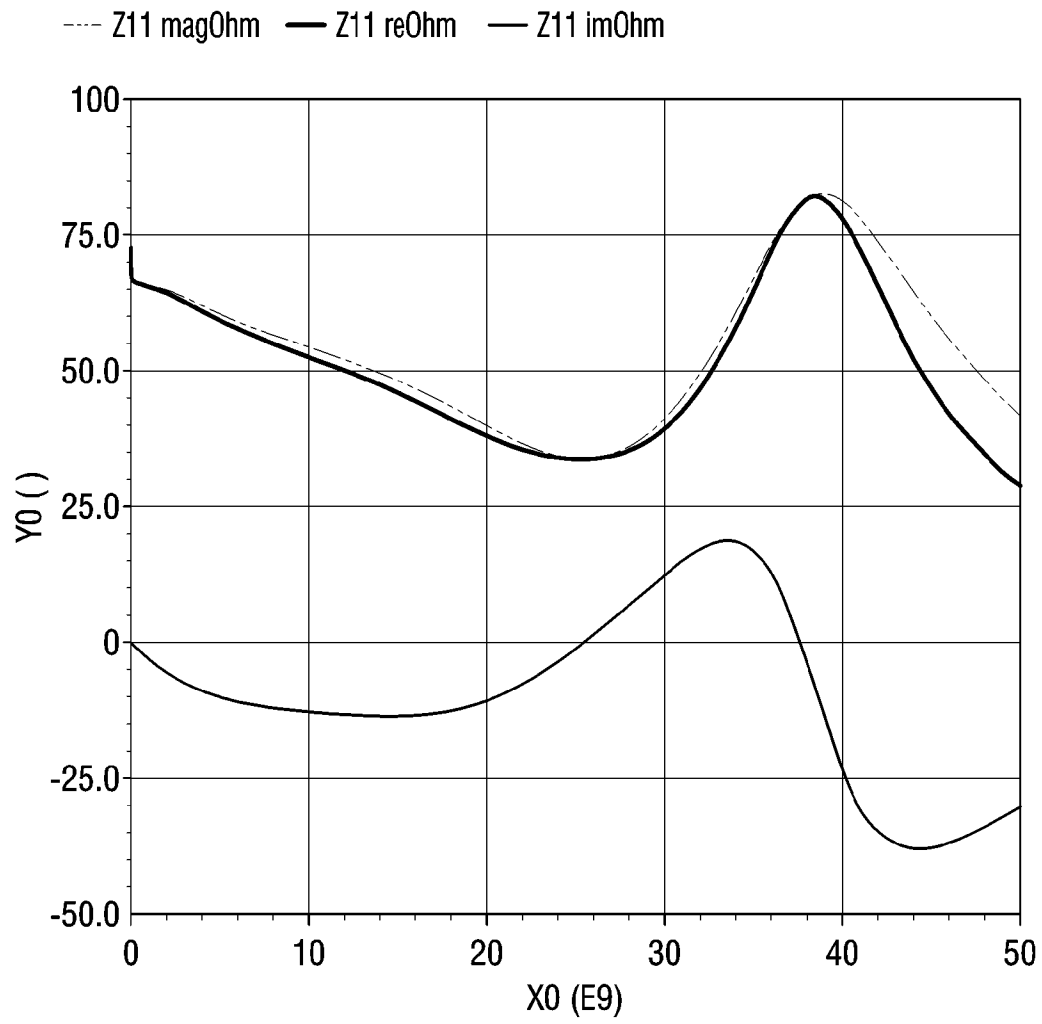
[Fig. 2]



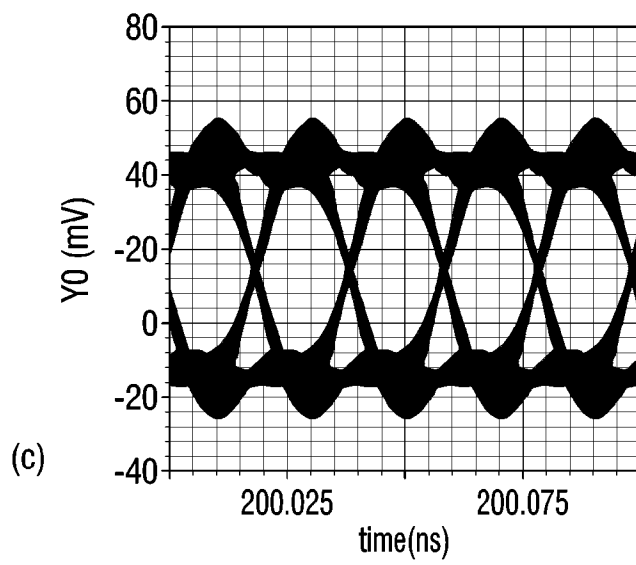
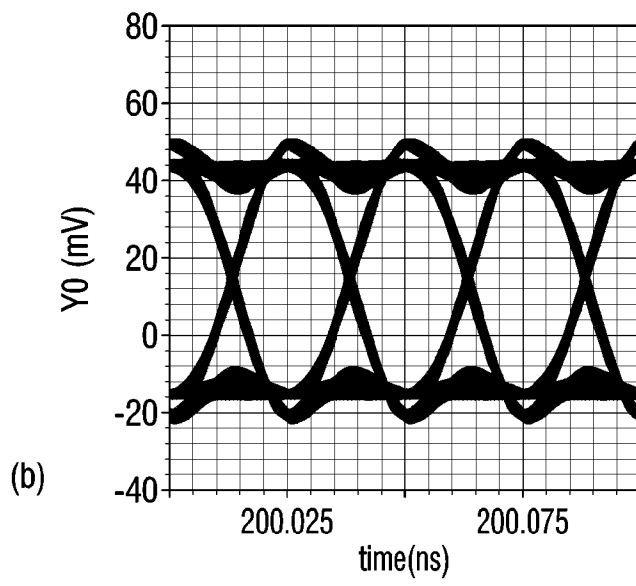
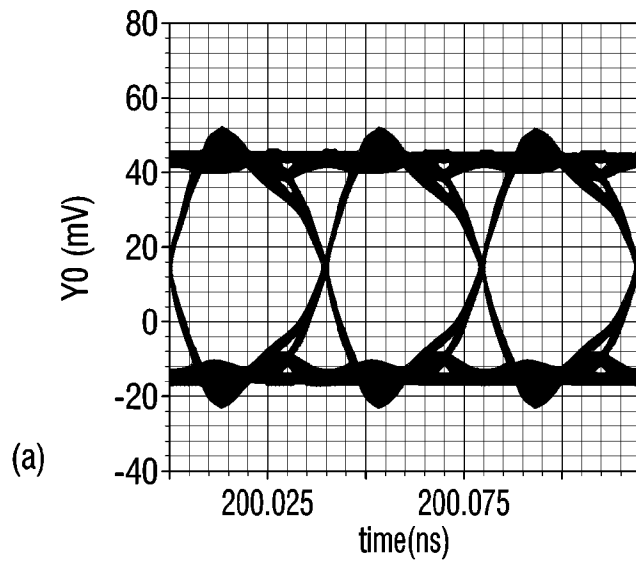
[Fig. 3]



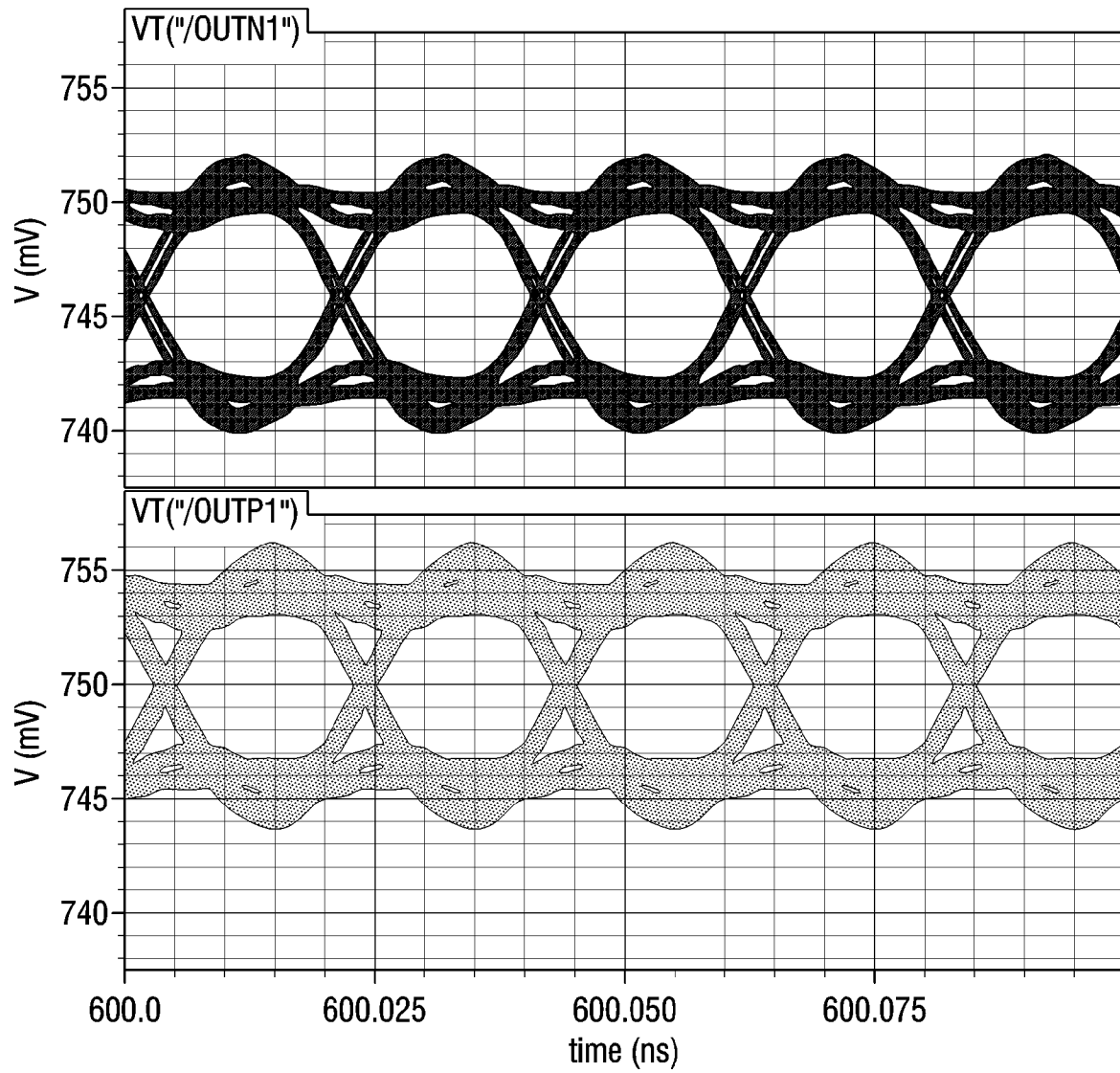
[Fig. 4]



[Fig. 5]



[Fig. 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/012481

A. CLASSIFICATION OF SUBJECT MATTER

H03F 3/45(2006.01)i, H03F 1/08(2006.01)i, H03F 1/22(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F 3/45; H03F 1/56; H03F 3/24; H03F 1/02; H04B 1/06; H03F 1/32; H04B 1/26; H04B 1/10; H03F 3/193; H04B 1/24; H03F 1/08; H03F 1/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: differential motion transferring impedance amplifier, first and second differential stages, compensate capacitor, transformer, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 2037573 A1 (SEIKO EPSON CORPORATION) 18 March 2009 See paragraphs [0015], [0025], claims 1, 9-10 and figure 1.	1-7
Y	KR 10-2015-0076571 A (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 07 July 2015 See paragraphs [0024], [0028], claims 1-2 and figure 1.	1-7
A	KR 10-1552896 B1 (SILICON R&D INC.) 15 September 2015 See paragraphs [0025]-[0031] and figure 1.	1-7
A	KR 10-1135190 B1 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 16 April 2012 See paragraphs [0050]-[0076] and figures 3-4.	1-7
A	KR 10-2009-0081450 A (SAMSUNG ELECTRONICS CO., LTD.) 29 July 2009 See paragraphs [0027]-[0041] and figures 2a-2c.	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

31 JANUARY 2017 (31.01.2017)

Date of mailing of the international search report

31 JANUARY 2017 (31.01.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/012481

Patent document cited in search report	Publication date	Patent family member	Publication date
EP 2037573 A1	18/03/2009	NONE	
KR 10-2015-0076571 A	07/07/2015	KR 10-1590605 B1	18/02/2016
KR 10-1552896 B1	15/09/2015	KR 10-2015-0040412 A	15/04/2015
KR 10-1135190 B1	16/04/2012	NONE	
KR 10-2009-0081450 A	29/07/2009	KR 10-1455638 B1	28/10/2014
		US 2009-0191838 A1	30/07/2009
		US 8447259 B2	21/05/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H03F 3/45(2006.01)i, H03F 1/08(2006.01)i, H03F 1/22(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H03F 3/45; H03F 1/56; H03F 3/24; H03F 1/02; H04B 1/06; H03F 1/32; H04B 1/26; H04B 1/10; H03F 3/193; H04B 1/24; H03F 1/08; H03F 1/22

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 차동 전달 임피던스 증폭기, 제1,2 차동단, 보상 캐패시터, 트랜스포머, 트랜지스터

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	EP 2037573 A1 (SEIKO EPSON CORPORATION) 2009.03.18 단락 [0015], [0025], 청구항 1, 9-10 및 도면 1 참조.	1-7
Y	KR 10-2015-0076571 A (전자부품연구원) 2015.07.07 단락 [0024], [0028], 청구항 1-2 및 도면 1 참조.	1-7
A	KR 10-1552896 B1 (실리콘알앤디(주)) 2015.09.15 단락 [0025]-[0031] 및 도면 1 참조.	1-7
A	KR 10-1135190 B1 (한국과학기술원) 2012.04.16 단락 [0050]-[0076] 및 도면 3-4 참조.	1-7
A	KR 10-2009-0081450 A (삼성전자주식회사) 2009.07.29 단락 [0027]-[0041] 및 도면 2a-2c 참조.	1-7

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 01월 31일 (31.01.2017)

국제조사보고서 발송일

2017년 01월 31일 (31.01.2017)

ISA/KR의 명칭 및 우편주소



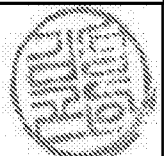
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성곤

전화번호 +82-42-481-8746



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
EP 2037573 A1	2009/03/18	없음	
KR 10-2015-0076571 A	2015/07/07	KR 10-1590605 B1	2016/02/18
KR 10-1552896 B1	2015/09/15	KR 10-2015-0040412 A	2015/04/15
KR 10-1135190 B1	2012/04/16	없음	
KR 10-2009-0081450 A	2009/07/29	KR 10-1455638 B1	2014/10/28
		US 2009-0191838 A1	2009/07/30
		US 8447259 B2	2013/05/21