



(12)发明专利申请

(10)申请公布号 CN 106354899 A

(43)申请公布日 2017.01.25

(21)申请号 201610488936.2

(22)申请日 2016.06.28

(30)优先权数据

62/192,745 2015.07.15 US

15/168,507 2016.05.31 US

(71)申请人 联发科技股份有限公司

地址 中国台湾新竹市新竹科学工业园区笃行一路一号

(72)发明人 池其辉 休·托马斯·梅尔

黄绍华 林文一

(74)专利代理机构 北京万慧达知识产权代理有限公司 11111

代理人 白华胜 王蕊

(51)Int.Cl.

G06F 17/50(2006.01)

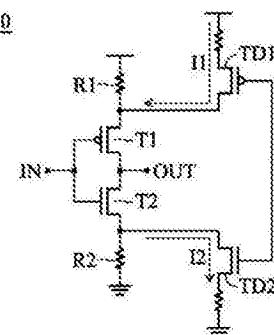
权利要求书2页 说明书10页 附图7页

(54)发明名称

标准单元电路

(57)摘要

本发明提供一种标准单元电路，其包含：标准单元，耦接到至少一电阻；以及第一阻性设备，耦接到该标准单元并提供第一电流路径来让第一电流流过。本发明所提出的标准单元电路能够减少寄生阻抗，获得更好的电路性能。



1. 一种标准单元电路,包含:

标准单元,耦接到至少一电阻;以及

第一阻性设备,耦接到该标准单元并提供第一电流路径来让第一电流流过。

2. 如权利要求1所述的标准单元电路,其特征在于,该第一阻性设备是晶体管。

3. 如权利要求1所述的标准单元电路,其特征在于,该第一阻性设备与该电阻是平行耦接的。

4. 如权利要求1所述的标准单元电路,其特征在于,该标准单元包含第一晶体管,其中该第一阻性设备耦接在该第一晶体管的源极与供电电源之间。

5. 如权利要求1所述的标准单元电路,其特征在于,该标准单元包含第一晶体管,其中该第一阻性设备耦接在该第一晶体管的源极与地之间。

6. 如权利要求1所述的标准单元电路,其特征在于,该标准单元包含第一晶体管与第二晶体管,其中该第一阻性设备耦接在该第一晶体管的漏极与该第二晶体管的漏极。

7. 如权利要求1所述的标准单元电路,其特征在于,该至少一电阻是该标准单元的寄生电阻。

8. 如权利要求1所述的标准单元电路,其特征在于,该标准电路更包含:

第二阻性设备,耦接到该标准单元并提供第二电流路径来让第二电流流过。

9. 如权利要求8所述的标准单元电路,其特征在于,该第二阻性设备是晶体管。

10. 如权利要求8所述的标准单元电路,其特征在于,该标准单元包含第一晶体管与第二晶体管,其中该第一阻性设备耦接在该第一晶体管的源极与供电电源之间,该第二阻性设备耦接在该第二晶体管的源极与地之间。

11. 一种标准单元电路,包含:

标准单元,耦接到至少一电阻;以及

第一虚拟晶体管,耦接到该标准单元。

12. 如权利要求11所述的标准单元电路,其特征在于,该第一虚拟晶体管与该电阻是平行耦接。

13. 如权利要求11所述的标准单元电路,其特征在于,该标准单元包含第一晶体管,其中该第一虚拟晶体管耦接在该第一晶体管的源极与供电电源之间。

14. 如权利要求13所述的标准单元电路,其特征在于,该第一虚拟晶体管的漏极耦接到该第一晶体管的源极。

15. 如权利要求11所述的标准单元电路,其特征在于,该标准单元包含第一晶体管,其中该第一虚拟晶体管耦接在该第一晶体管的源极与地之间。

16. 如权利要求15所述的标准单元电路,其特征在于,该第一虚拟晶体管的漏极耦接到该第一晶体管的源极。

17. 如权利要求11所述的标准单元电路,其特征在于,该标准单元包含第一晶体管与第二晶体管,其中该第一虚拟晶体管耦接在该第一晶体管的漏极与该第二晶体管的漏极之间。

18. 如权利要求11所述的标准单元电路,其特征在于,更包含:

第二虚拟晶体管,耦接到该标准单元。

19. 如权利要求18所述的标准单元电路,其特征在于,该标准单元包含第一晶体管与第

二晶体管，其中该第一虚拟晶体管耦接在该第一晶体管的源极与供电电源之间，该第二虚拟晶体管耦接在该第二晶体管的源极与地之间。

20. 如权利要求11所述的标准单元电路，其特征在于，该至少一电阻是该标准单元的寄生电阻。

标准单元电路

技术领域

[0001] 本发明有关于一种半导体设备；更具体地，是关于一种标准单元(standard cell)电路。

背景技术

[0002] 最近几年，数字电路的不断加快的速度以及不断增多的功能导致了半导体集成电路设备的加速与整合。随着电路的尺寸越来越大，半导体集成电路设备的布局一般都用标准单元库来设计。

[0003] 标准单元是一组晶体管与互连结构，用来提供布尔逻辑功能(例如AND, OR, XOR, XNOR, 反相器)或存储功能(触发器或锁存器)。可是，标准单元布局中的寄生阻抗可在先进工艺技术(例如FinFet技术)中大幅增加。这是因为在标准单元布局中使用的增加的阻性互连，例如MEOL(middle-end-of-line)与BEOL(back-end-of-line)。这种寄生阻抗导致标准单元的性能不佳。举例来说，随着寄生阻抗的增加，标准单元元件的反应速度下降，这使得标准单元元件的反应速度的性能下降。

[0004] 为了解决这个问题，下文介绍几种新型标准单元电路结构来减少寄生阻抗。

发明内容

[0005] 因此，本发明为了减少标准单元电路的寄生阻抗，特提供新型的标准单元电路结构。

[0006] 本发明的一方面提供一种标准单元电路，包含：标准单元，耦接到至少一电阻；以及第一阻性设备，耦接到该标准单元并提供第一电流路径来让第一电流流过。

[0007] 本发明另一方面提供一种标准单元电路，包含：标准单元，耦接到至少一电阻；以及第一虚拟晶体管，耦接到该标准单元。

[0008] 本发明所提出的标准单元电路能够减少寄生阻抗，获得更好的电路性能。

[0009] 本发明的这些及其他的目的对于本领域的技术人员来说，在阅读了下述优选实施例的详细说明以后是很容易理解和明白的，所述优选实施例通过多幅图予以揭示。

附图说明

[0010] 图1显示本发明的第一实施例的第一示例标准单元电路。

[0011] 图2显示本发明的第二实施例的第二示例标准单元电路。

[0012] 图3显示本发明的第三实施例的第三示例标准单元电路。

[0013] 图4显示本发明的第四实施例的第四示例标准单元电路。

[0014] 图5显示本发明的第五实施例的第五示例标准单元电路。

[0015] 图6显示本发明的第六实施例的第六示例标准单元电路。

[0016] 图7显示本发明的第七实施例的第七示例标准单元电路。

[0017] 图8显示本发明的第八实施例的第八示例标准单元电路。

- [0018] 图9显示本发明的第九实施例的第九示例标准单元电路。
- [0019] 图10显示本发明的第十实施例的第十示例标准单元电路。
- [0020] 图11显示本发明的第十一实施例的第十一示例标准单元电路。
- [0021] 图12显示本发明的第十二实施例的第十二示例标准单元电路。
- [0022] 图13显示本发明的第十三实施例的第十三示例标准单元电路。
- [0023] 图14显示本发明的第十四实施例的第十四示例标准单元电路。
- [0024] 图15显示本发明的第十五实施例的第十五示例标准单元电路。
- [0025] 图16显示本发明的第十六实施例的第十六示例标准单元电路。
- [0026] 图17显示本发明的第十七实施例的第十七示例标准单元电路。

具体实施方式

[0027] 本说明书及权利要求书使用了某些词语代指特定的组件。本领域的技术人员可理解的是，制造商可能使用不同的名称代指同一组件。本文件不通过名字的差别，而通过功能的差别来区分组件。在以下的说明书和权利要求书中，词语“包括”是开放式的，因此其应理解为“包括，但不限于...”。

[0028] 如前所述，寄生阻抗会造成标准单元的性能降低。为了解决这个问题，本发明特提供几个新的标准单元电路结构来降低寄生阻抗。

[0029] 图1显示根据本发明第一实施例的第一示例标准单元电路。标准单元电路100可包含至少一输入节点IN，输出节点OUT，标准单元(例如图1所示的由晶体管T1与T2组成的反相器)以及至少一个阻性设备耦接到标准单元来提供阻性或电流路径供电流流过。根据本发明一实施例，阻性设备可为任何能够提供电流路径或阻性路径来降低标准单元100的整体寄生阻抗的设备。举例来说，虽然实施例并没有限制到本范例，这仅仅是本发明的一个实施例。阻性设备可以是一个晶体管(也被称作虚拟晶体管，因为这是一个额外设备耦接到标准单元且在本发明的实施例中可被开启也可不被开启)。

[0030] 如图1所示，在本发明的一实施例中，虚拟晶体管TD1耦接在晶体管T1的源极与供电电源之间，以及虚拟晶体管TD2耦接在晶体管T2的源极与地之间。在本发明的一些实施例中，阻性设备与标准单元的寄生电阻(例如电阻R1及R2)可平行耦接。举例来说，如图1所示，虚拟晶体管TD1与电阻R1平行耦接在晶体管T1的源极与供电电源之间，虚拟晶体管TD2与电阻R2平行耦接在晶体管T2的源极与地之间。虚拟晶体管TD1的漏极耦接到晶体管T1的源极而虚拟晶体管TD2的漏极耦接到晶体管T2的源极。另外，在本发明的第一实施例中，虚拟晶体管TD1的栅极耦接到虚拟晶体管TD2的栅极。需要注意的是，本实施例中的电阻R1及R2是用来方便表示标准单元的寄生电阻，并非用来限制电阻R1及R2为有形电阻元件，也不是用来限制标准单元需要耦接到如图所示的R1及R2那样的有形电阻元件。

[0031] 因为虚拟晶体管TD1的栅极耦接到虚拟晶体管TD2的栅极，虚拟晶体管TD1与TD2的栅极电极的电压是悬浮的(floating)。因此，在本实施例中，虚拟晶体管TD1及TD2可不被完全开启。可是，只要虚拟晶体管TD1与/或TD2被开启，电流I1与/或I2能流过来产生一个或多个与电阻R1及/或R2平行的额外的阻性或电流路径。这样，标准单元电路100的寄生阻抗可被降低。

[0032] 请注意，虽然图1中的标准单元是反相器，本发明并不限制于此。如上所述的提供

阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0033] 图2显示根据本发明的第二实施例的第二标准单元电路的范例。标准单元电路200可包含至少一个输入输入节点IN,输出节点OUT,标准单元(例如图2中由晶体管T1与T2组成的反相器)以及至少一阻性设备耦接到标准单元来提供一个阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路200的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0034] 图2所示的电路与图1中的类似,其区别点在于,在本发明的第二实施例中,虚拟晶体管TD1的栅极绑到零(即逻辑低或低电压,图中以“Tie-0”表示)而且虚拟晶体管TD2的栅极绑到1(即逻辑高或高电压,图中以“Tie-1”表示)。因此,本实施例中,虚拟晶体管TD1与TD2能被全部开启,电流I1与I2能流过来产生额外的与电阻R1与R2平行的阻性或电流路径。这样,标准单元电路200的寄生阻抗可被降低。

[0035] 请注意,虽然图2中的标准单元是一个反相器,本发明应不被限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0036] 图3显示根据本发明第三实施例的第三范例的标准单元电路。标准单元电路300可包含至少一输入节点IN,输出节点OUT,标准单元(例如图3所示由晶体管T1与T2组成的反相器)以及至少一阻性设备耦接到标准单元来提供一个阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路300的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0037] 图3中的电路类似于图1中的电路,其区别在于,在本发明的第三实施例中,虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极。因为虚拟晶体管TD1的栅极耦接到虚拟晶体管TD2的栅极,虚拟晶体管TD1与TD2的栅极电极的电压是悬浮的。因此,在本实施例中,虚拟晶体管TD1及TD2可不被完全开启。可是,只要虚拟晶体管TD1与/或TD2被开启,电流I1与/或I2能流经来产生一个或多个与电阻R1及/或R2平行的额外的阻性或电流路径。这样,标准单元电路300的寄生阻抗可被降低。

[0038] 另外,在本实施例中,因为虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极,虚拟晶体管TD1更提供一电流路径让电流I3流过,虚拟晶体管TD2更提供一电流路径让电流I4流过。这样,标准单元电路300的寄生阻抗能进一步降低。

[0039] 请注意,虽然图3中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0040] 图4显示根据本发明第四实施例的第四示例标准单元电路。标准单元电路400可包含至少一输入节点IN,输出节点OUT,标准单元(例如图4中所示的由晶体管T1与T2组成的反相器)以及至少一阻性设备耦接到标准单元来提供一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路400的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0041] 图4中的电路类似于图1中的电路,区别在于,在本发明的第四实施例中,虚拟晶体管TD1的栅极断开(de-couple)与虚拟晶体管TD2的栅极的耦接。另外,虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极与栅极,而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极与栅极。因此,在本实施例中,虚拟晶体管TD1提供一电流路径让电流I3流过,虚拟晶体管TD2更提供一电流路径让电流I4流过。这样,标准单元电路400的寄生阻抗可被降低。

[0042] 请注意,虽然图4中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0043] 图5显示根据本发明第五实施例的第五示例标准单元电路。标准单元电路500可包含至少一输入节点IN,输出节点OUT,标准单元(例如图5中由晶体管T1与T2组成的反相器)以及至少一阻性设备耦接到标准单元来提供一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路500的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0044] 图5的电路类似于图1的电路,区别在于,在本发明的第五实施例中,虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极与栅极,而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极。因为虚拟晶体管TD1的栅极耦接到虚拟晶体管TD2的栅极,虚拟晶体管TD1与TD2的栅极电极的电压是悬浮的。因此,在本实施例中,虚拟晶体管TD1及TD2可不被完全开启。可是,只要虚拟晶体管TD1与/或TD2被开启,电流I1与/或I2能流经来产生一个或多个与电阻R1及/或R2平行的额外的阻性或电流路径。这样,标准单元电路500的寄生阻抗可被降低。请注意,在本发明其他实施例中,虚拟晶体管TD1的栅极与虚拟晶体管TD2的栅极也可被绑到0(即逻辑低或低电压)或1(即逻辑高或高电压),本发明不限定于此。

[0045] 另外,在本实施例中,因为虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD1的源极而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极,虚拟晶体管TD1更提供一电流路径让电流I3流过,虚拟晶体管TD2更提供一电流路径让电流I4流过。这样,标准单元电路500的寄生阻抗能进一步降低。

[0046] 请注意,虽然图5中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0047] 图6显示本发明的第六实施例的第六示例标准单元电路。标准单元电路600可包含

至少一输入节点IN,输出节点OUT,标准单元(例如图6中由晶体管T1与T2组成的反相器)以及至少一阻性设备耦接到标准单元来提供一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路600的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0048] 图6中的电路类似于图1中的电路,区别在于,在本发明的第六实施例中,虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极,而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极。因为虚拟晶体管TD1的栅极耦接到虚拟晶体管TD2的栅极,虚拟晶体管TD1与TD2的栅极电极的电压是悬浮的。因此,在本实施例中,虚拟晶体管TD1及TD2可不被完全开启。可是,只要虚拟晶体管TD1与/或TD2被开启,电流I1与/或I2能流经来产生一个或多个与电阻R1及/或R2平行的额外的阻性或电流路径。这样,标准单元电路600的寄生阻抗可被降低。请注意,在本发明其他实施例中,虚拟晶体管TD1的栅极与虚拟晶体管TD2的栅极也可被绑到0(即逻辑低或低电压)或1(即逻辑高或高电压),本发明不限定于此。

[0049] 另外,在本实施例中,因为虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD1的源极而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极,虚拟晶体管TD1更提供一电流路径让电流I3流过,虚拟晶体管TD2更提供一电流路径让电流I4流过。这样,标准单元电路600的寄生阻抗能进一步降低。

[0050] 请注意,虽然图6中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0051] 图7显示本发明第七实施例的第七示例标准单元电路。标准单元电路700可包含至少一输入节IN,输出节点OUT,标准单元(例如图7中由晶体管T1与T2组成的一个反相器)以及至少一阻性设备耦接到标准单元来提供一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路700的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0052] 在本实施例中,虚拟晶体管TD1耦接在晶体管T1的源极与供电电源之间,并与标准单元的寄生电阻R1平行耦接。虚拟晶体管TD1的漏极耦接到晶体管T1的源极。虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极与栅极。虚拟晶体管TD1提供一与电阻R1平行的阻性或电流路径让电流I5流过。这样,标准单元电路700的寄生阻抗能被降低。

[0053] 请注意,虽然图7中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0054] 图8显示本发明的第八实施例的第八示例标准单元电路。标准单元电路800可包含至少一输入节点IN,输出节点OUT,标准单元(例如图8中由晶体管T1与T2组成的一个反相器)以及至少一阻性设备耦接到标准单元来提供一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路800的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0055] 在本实施例中,虚拟晶体管TD2耦接在晶体管T2的源极与地之间,并与标准单元的寄生电阻R2平行耦接。虚拟晶体管TD2的漏极耦接到晶体管T2的源极。虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极与栅极。虚拟晶体管TD2提供一与电阻R2平行的阻性或电流路径让电流I6流过。这样,标准单元电路800的寄生阻抗能被降低。

[0056] 请注意,虽然图8中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0057] 还需要注意的是,在本发明的其他实施例中,可用多个阻性设备来提供多个与寄生电阻平行的阻性或电流路径来降低标准单元电路的寄生阻抗。

[0058] 图9显示本发明的第九实施例的第九示例的标准单元电路。标准单元电路900可包含至少一输入节点IN,输出节点OUT,标准单元(例如图9中由晶体管T1与T2组成的一个反相器)以及多个阻性设备耦接到标准单元来提供多个阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路900的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0059] 如图9所示,虚拟晶体管TD1,TD3,…TDm平行耦接于晶体管T1的源极与供电电源之间,以及晶体管TD2,TD4,…TDn平行耦接于晶体管T2的源极与地之间,其中m与n是正整数,m是一个比1大的奇数,而n是一个比2大的偶数。虚拟晶体管TD1,TD3,…TDm以及TD2,TD4,…TDn可提供多个阻性或电流路径让电流流过,例如图9中所示的那样。如此,标准单元电路900的寄生阻抗可被降低。

[0060] 请注意,虽然图9中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0061] 更请注意,虽然在图9中,虚拟晶体管的源极、栅极与漏极都耦接在一起,但本发明并不限制于此。本领域的技术人员能在不偏离本发明的范围与精神下,轻易从上述的标准单元电路的布局中得到其他布局结构,而且还能作出各种变形,组合以及/或其他修改。因此,本发明的范围应由后面的权利要求以及它们的等同来定义。

[0062] 图10显示根据本发明第十实施例的第十示例标准单元电路。标准单元电路1000可包含至少一输入节点IN,输出节点OUT,标准单元(例如如图10所示的由晶体管T1,T2,T3及T4组成的反相器)以及至少一阻性设备耦接到标准单元来提供至少一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路1000的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0063] 在图10所示的实施例中,反相器设计为一个双驱动结构。虚拟晶体管TD1耦接在晶体管T1的漏极与晶体管T3的漏极之间,而虚拟晶体管TD2耦接在晶体管T2的漏极与晶体管

T4的漏极之间。虚拟晶体管TD1的栅极耦接到虚拟晶体管TD2的栅极。虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极，虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极。虚拟晶体管TD1可提供一或多个阻性或电流路径，如图10中箭头所示，来减少耦接到晶体管T1与T3的寄生阻抗，虚拟晶体管TD2也可提供一或多个阻性或电流路径，如图10中箭头所示，来减少耦接到晶体管T2与T4的寄生阻抗。这样，标准单元电路1000的寄生阻抗可被降低。

[0064] 请注意，虽然图10中的标准单元是一个反相器，本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元，例如提供布尔逻辑功能(例如AND, OR, XOR, XNOR, 反相器)的标准单元，提供存储功能(触发器或锁存)的标准单元，以及其他的标准单元。

[0065] 图11显示本发明第十一实施例的第十一示例标准单元电路。标准单元电路1100可包含至少一输入节点IN，输出节点OUT，标准单元(例如如图11所示由晶体管T1, T2, T3及T4组成的反相器)以及至少一阻性设备耦接到标准单元来提供至少一阻性或电流路径让电流流过。根据本发明一实施例，阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路1100的整体寄生阻抗的任何设备。举例来说，虽然本实施例并没有限定于本范例，在本发明一实施例中，阻性设备可为晶体管(也被称作虚拟晶体管)。

[0066] 图11中的电路类似于图10中的电路，区别在于，在本发明的第十一实施例中，虚拟晶体管TD1的栅极与虚拟晶体管TD2的栅极被绑到0(即逻辑低或低电压)或1(即逻辑高或高电压)，因此，在本实施例中，虚拟晶体管TD1及TD2之一可被完全开启，产生一个或多个阻性或电流路径来降低耦接到晶体管T1与T3及/或晶体管T2与T4的寄生阻抗。这样，标准单元电路1100的寄生阻抗可被降低。

[0067] 请注意，虽然图11中的标准单元是一个反相器，本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元，例如提供布尔逻辑功能(例如AND, OR, XOR, XNOR, 反相器)的标准单元，提供存储功能(触发器或锁存)的标准单元，以及其他的标准单元。

[0068] 图12显示发明第十二实施例的第十二示例标准单元电路。标准单元电路1200可包含至少一输入节点IN，输出节点OUT，标准单元(例如如图12所示的由晶体管T1, T2, T3及T4组成的反相器)以及至少一阻性设备耦接到标准单元来提供至少一阻性或电流路径让电流流过。根据本发明一实施例，阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路1200的整体寄生阻抗的任何设备。举例来说，虽然本实施例并没有限定于本范例，在本发明一实施例中，阻性设备可为晶体管(也被称作虚拟晶体管)。

[0069] 图12中的电路类似于图10中的电路，区别在于，在本发明的第十二实施例中，虚拟晶体管TD1的漏极耦接到虚拟晶体管TD1的源极与栅极，而虚拟晶体管TD2的漏极耦接到虚拟晶体管TD2的源极与栅极。虚拟晶体管TD1可提供一或多个阻性或电流路径，如图12中箭头所示，来减少耦接到晶体管T1与T3的寄生阻抗，虚拟晶体管TD2也可提供一或多个阻性或电流路径，如图12中箭头所示，来减少耦接到晶体管T2与T4的寄生阻抗。这样，标准单元电路1200的寄生阻抗可被降低。

[0070] 请注意，虽然图12中的标准单元是一个反相器，本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元，例如提供布尔逻辑功能(例如AND, OR, XOR, XNOR, 反相器)的标准单元，提供存储功能(触

发器或锁存)的标准单元,以及其他的标准单元。

[0071] 图13显示本发明第十三实施例的第十三示例标准单元电路。标准单元电路1300可包含至少一输入节点IN,输出节点OUT,标准单元(例如如图13所示的由晶体管T1,T2,T3及T4组成的反相器)及至少一阻性设备耦接到标准单元来提供至少一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路1300的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0072] 图13中的电路类似于图12中的电路,区别在于,在本发明第十三实施例中,虚拟晶体管TD1的栅极断开与虚拟晶体管TD2的栅极的耦接。虚拟晶体管TD1可提供一或多个阻性或电流路径,如图13中箭头所示,来减少耦接到晶体管T1与T3的寄生阻抗,虚拟晶体管TD2也可提供一或多个阻性或电流路径,如图13中箭头所示,来减少耦接到晶体管T2与T4的寄生阻抗。这样,标准单元电路1300的寄生阻抗可被降低。

[0073] 请注意,虽然图13中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0074] 图14显示本发明第十四实施例的第十四示例标准单元电路。标准单元电路1400可包含至少一输入节点IN,输出节点OUT,标准单元(例如如图14所示的由晶体管T1,T2,T3与T4组成的反相器)以及多个阻性设备耦接到标准单元来提供多个阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路1400的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限定于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0075] 如图14所示,虚拟晶体管TD1耦接在晶体管T1的漏极与晶体管T3的漏极之间,虚拟晶体管TD3耦接在晶体管T3的漏极与输出节点OUT之间,虚拟晶体管TD2耦接在晶体管T2的漏极与晶体管T4的漏极之间,虚拟晶体管TD4耦接在晶体管T4的漏极与输出节点OUT之间。虚拟晶体管TD1,TD2,TD3及TD4可提供多个阻性或电流路径让电流流过,例如图14中的箭头所示。这样,标准单元电路1400的寄生阻抗可被降低。

[0076] 请注意,虽然图14中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0077] 更请注意,虽然在图14中,虚拟晶体管的源极、栅极与漏极都耦接在一起,但本发明并不限制于此。本领域的技术人员能在不偏离本发明的范围与精神下,轻易从上述的标准单元电路的布局中得到其他布局结构,而且还能作出各种变形,组合以及/或其他修改。因此,本发明的范围应由后面的权利要求以及它们的等同来定义。

[0078] 图15显示本发明第十五实施例的第十五示例标准单元电路。标准单元电路1500可包含至少两个输入节点INA与INB,输出节点OUT,标准单元(例如如图15所示的由晶体管T5,T6,T7及T8组成的NAND栅极)以及至少一阻性设备耦接到标准单元来提供多个阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来

降低标准单元电路1500的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0079] 在本发明的第十五实施例中,虚拟晶体管TD1耦接在晶体管T6的源极与供电电源之间,虚拟晶体管TD2耦接在晶体管T8的源极与地之间。虚拟晶体管TD1的漏极耦接到晶体管T6的源极而虚拟晶体管TD2的漏极耦接到晶体管T8的源极。另外,虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极与栅极而虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极与栅极。因此,在本实施例中,虚拟晶体管TD1提供一或多个电流路径让电流流过,虚拟晶体管TD2提供一或多个电流路径让电流流过。这样,标准单元电路1500的寄生阻抗可被降低。

[0080] 请注意,虽然图15中的标准单元是一个NAND栅极,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0081] 图16显示本发明第十六实施例的第十六示例的标准单元电路。标准单元电路1600可包含至少两个输入节点INA与INB,输出节点OUT,标准单元(例如图16所示的由晶体管T5,T6,T7,T8,T9,T10,T11及T12组成的NAND栅极),至少一阻性设备耦接到标准单元来提供多个阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路1600的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0082] 在图16所示的实施例中,NAND栅极设计为双驱动结构。虚拟晶体管TD1耦接在晶体管T5,T6,T9与T10的漏极之间,而虚拟晶体管TD2耦接在晶体管T7的漏极与晶体管T11的漏极之间。虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极与栅极。虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极与栅极。虚拟晶体管TD1可提供一或多个阻性或电流路径,如图16中箭头所示,来减少耦接到晶体管T5,T6,T9与T10的寄生阻抗,虚拟晶体管TD2也可提供一或多个阻性或电流路径,如图16中箭头所示,来减少耦接到晶体管T7,T8,T11与T2的寄生阻抗。这样,标准单元电路1600的寄生阻抗可被降低。

[0083] 请注意虽然图16中的标准单元是一个NAND栅极,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。

[0084] 更请注意的是本发明的一些实施例中,阻性设备也可同时加到源极与漏极上,或者加到标准单元包含的晶体管的内部节点上,来降低标准单元电路的寄生阻抗。

[0085] 图17显示本发明第十七实施例的第十七示例的标准单元电路。标准单元电路1700可包含至少一输入节点IN,输出节点OUT,标准单元(例如如图17所示的由晶体管T1,T2,T3及T4组成的反相器)以及至少一阻性设备耦接到标准单元来提供至少一阻性或电流路径让电流流过。根据本发明一实施例,阻性设备可以是能够提供电流路径或阻性路径来降低标准单元电路1700的整体寄生阻抗的任何设备。举例来说,虽然本实施例并没有限于本范例,在本发明一实施例中,阻性设备可为晶体管(也被称作虚拟晶体管)。

[0086] 在图17的实施例中,反相器设计为一个双驱动结构。虚拟晶体管TD1耦接在晶体管T1的漏极与晶体管T3的漏极之间,而虚拟晶体管TD2耦接在晶体管T2的漏极与晶体管T4的漏极之间。虚拟晶体管TD1的栅极耦接到虚拟晶体管TD2的栅极。虚拟晶体管TD1的漏极更耦接到虚拟晶体管TD1的源极,虚拟晶体管TD2的漏极更耦接到虚拟晶体管TD2的源极。

[0087] 另外,虚拟晶体管TD3耦接在晶体管T1的源极与供电电源之间,虚拟晶体管TD4耦接在晶体管T2的源极与地之间,虚拟晶体管TD5耦接在晶体管T3的源极与供电电源之间,而虚拟晶体管TD6耦接在晶体管T4的源极与地之间。虚拟晶体管TD3的漏极耦接到晶体管T1的源极,虚拟晶体管TD4的漏极耦接到晶体管T2的源极,虚拟晶体管TD5的漏极耦接到晶体管T3的源极,而虚拟晶体管TD6的漏极耦接到晶体管T4的源极。另外,虚拟晶体管TD3与TD5的栅极绑到0(即逻辑低或低电压)而虚拟晶体管TD4与TD6的栅极绑到1(即逻辑高或高电压)。

[0088] 虚拟晶体管TD1~TD6可分别提供一或多个阻性或电流路径来降低标准单元电路所包含的寄生阻抗。这样,标准单元电路1700的寄生阻抗可被降低。

[0089] 请注意,虽然图17中的标准单元是一个反相器,本发明并不限制于此。如上所述的提供阻性或电流路径来减小标准单元的寄生阻抗的概念可应用于标准单元库中的任何单元,例如提供布尔逻辑功能(例如AND,OR,XOR,XNOR,反相器)的标准单元,提供存储功能(触发器或锁存)的标准单元,以及其他的标准单元。另外,本领域的技术人员能在不偏离本发明的范围与精神下,轻易从上述的标准单元电路的布局中得到其他布局结构,而且还能作出各种变形,组合以及/或其他修改。因此,本发明的范围应由后面的权利要求以及它们的等同来定义。

[0090] 权利要求中用来修饰元件的例如“第一”,“第二”,“第三”等顺序词并不表示元件的优先级,前后循序,或者次序也不表示方法中的步骤的执行的时间顺序,仅仅是用来区别权利要求中名称相同的不同元件。

[0091] 本领域的技术人员将注意到,在获得本发明的指导之后,可对所述装置和方法进行大量的修改和变换。相应地,上述公开内容应该理解为,仅通过所附加的权利要求的界限来限定。

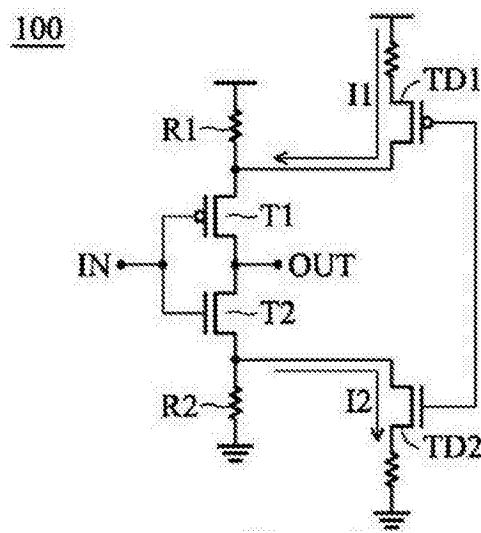


图1

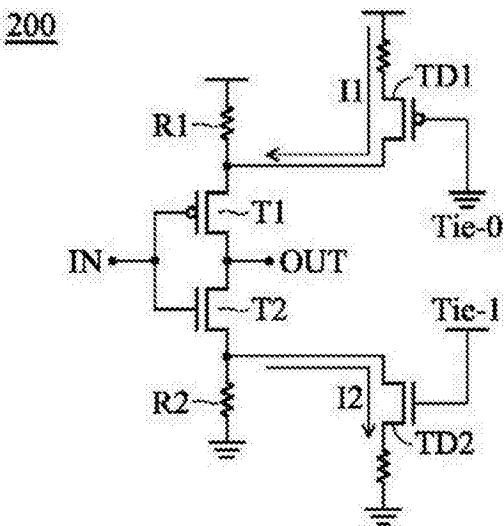


图2

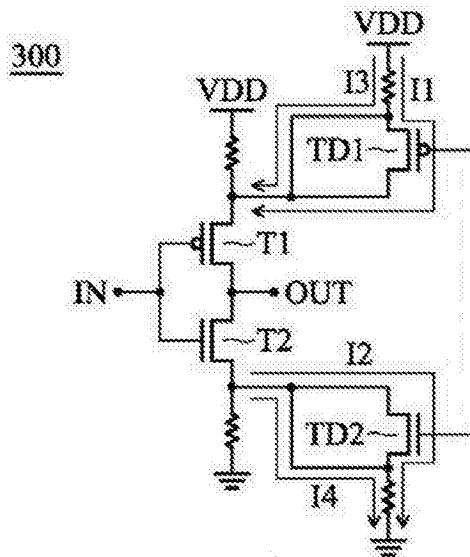


图3

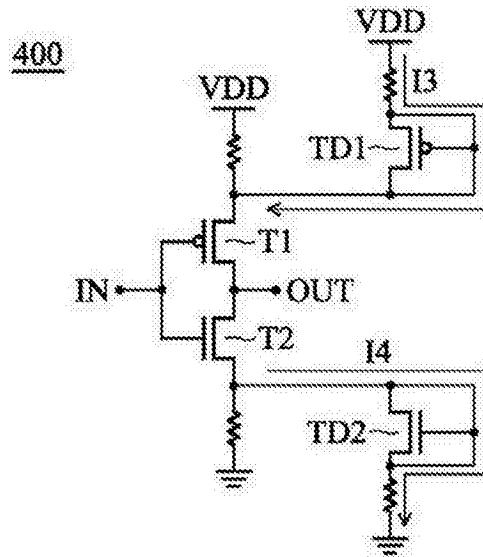


图4

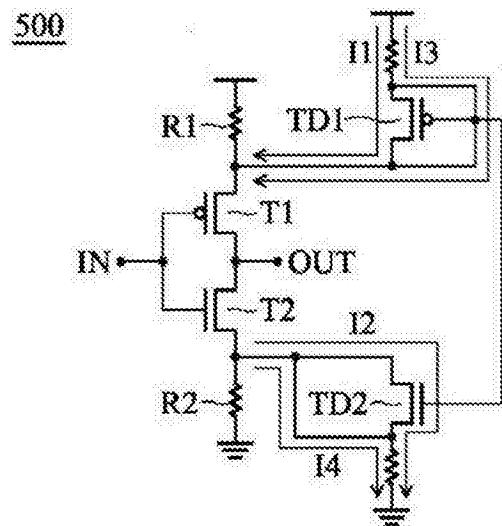


图5

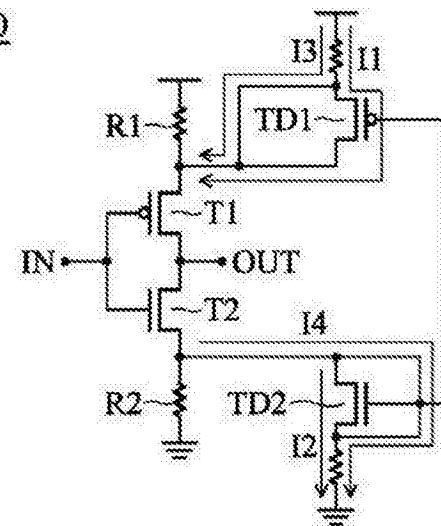


图6

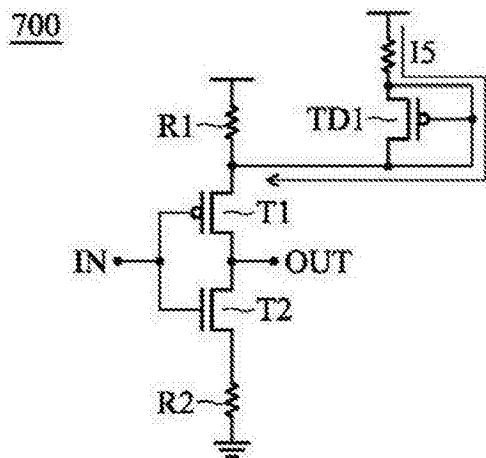


图7

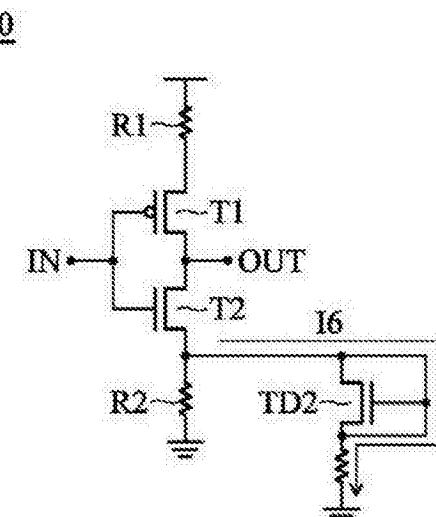


图8

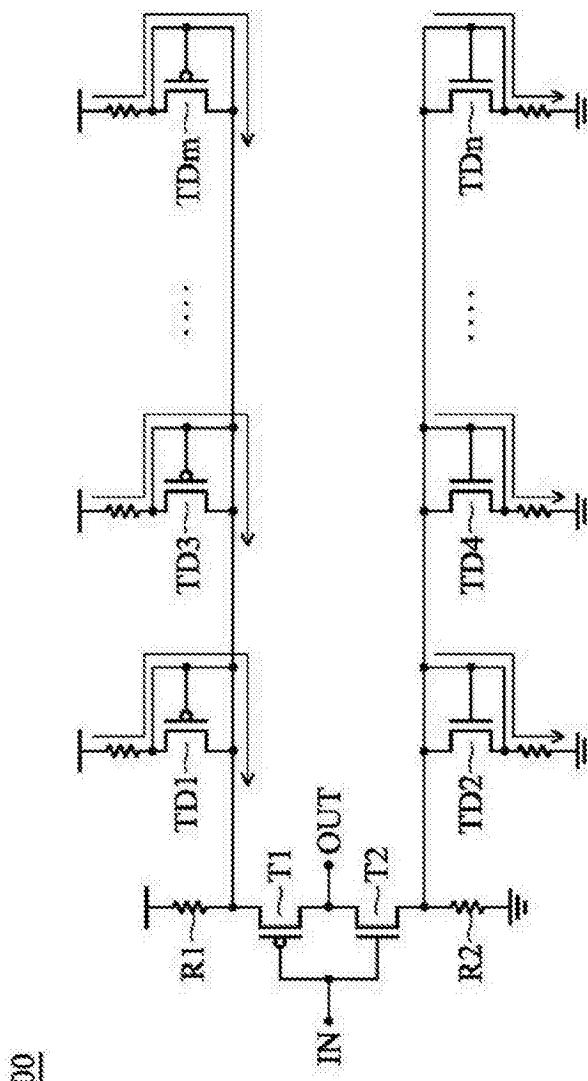


图9

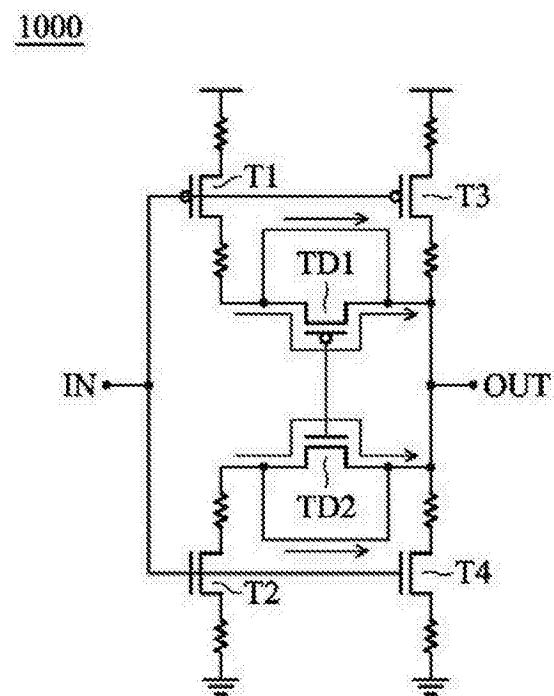


图10

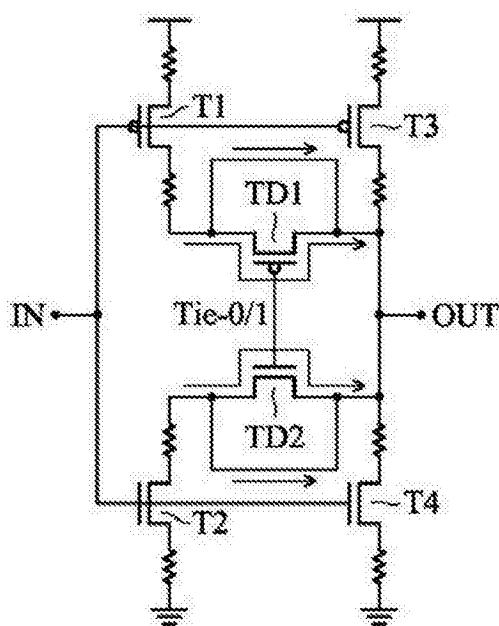
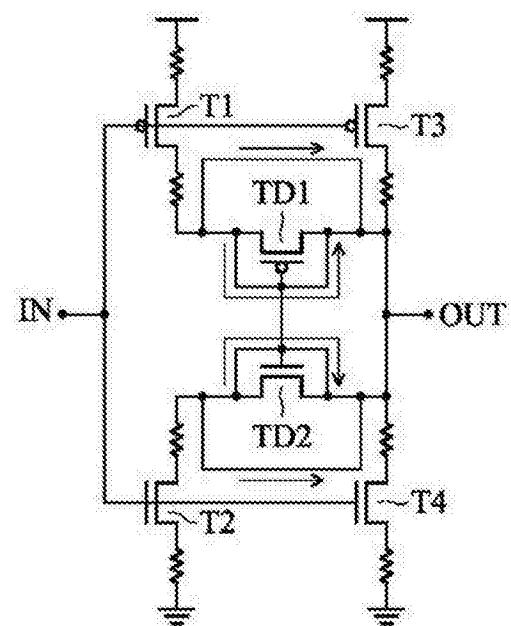
11001200

图11

图12

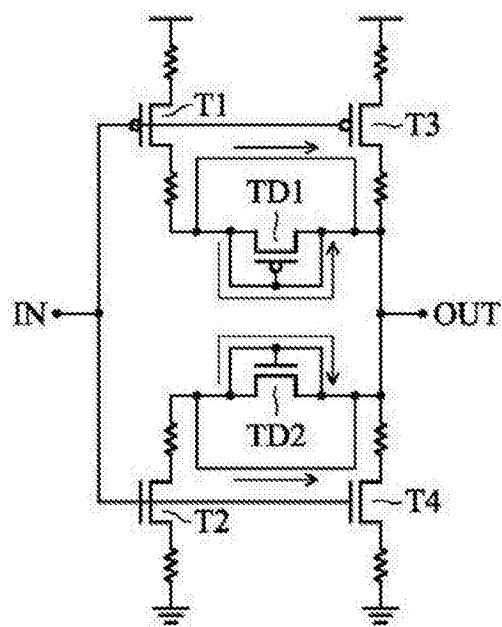
1300

图13

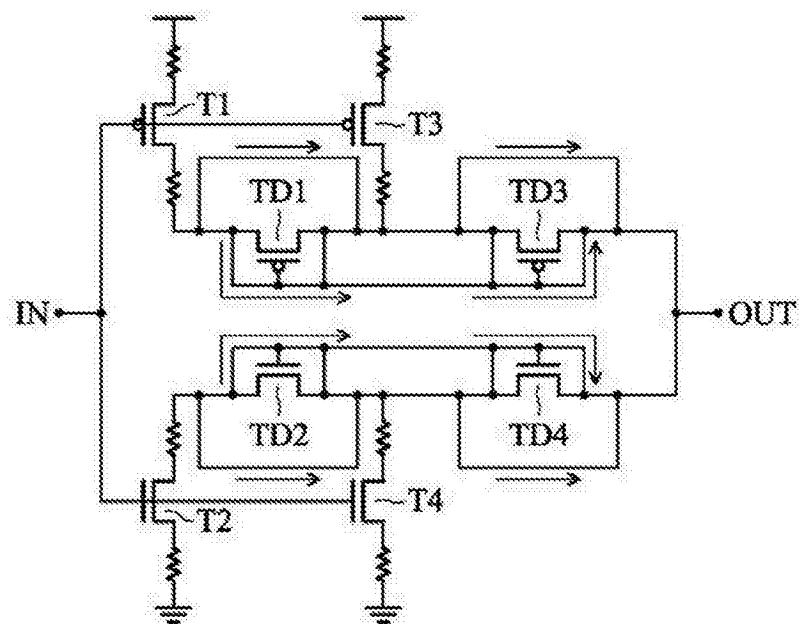
1400

图14

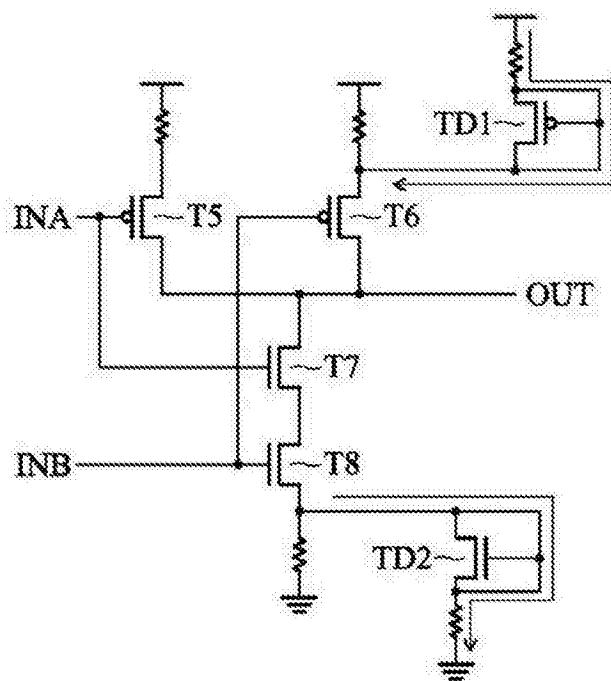
1500

图15

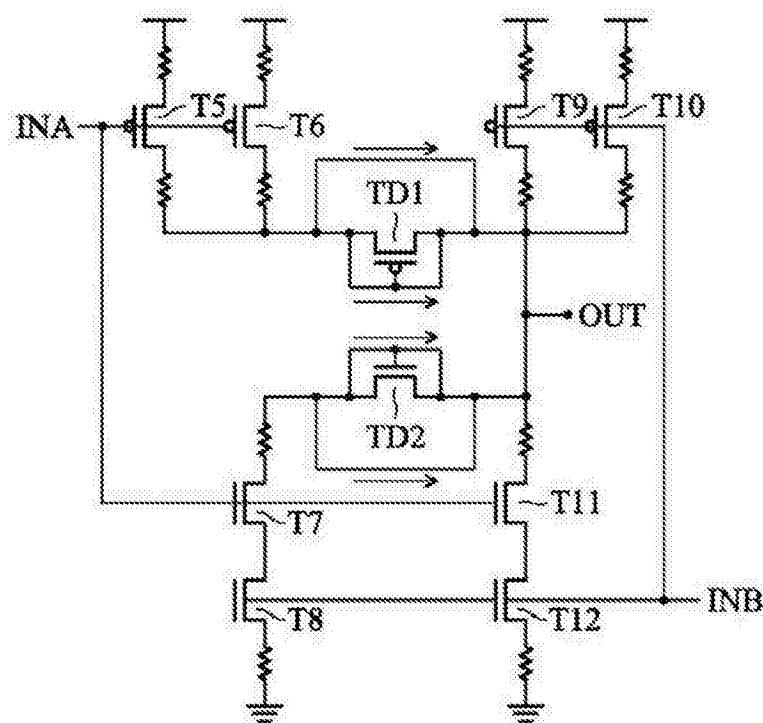
1600

图16

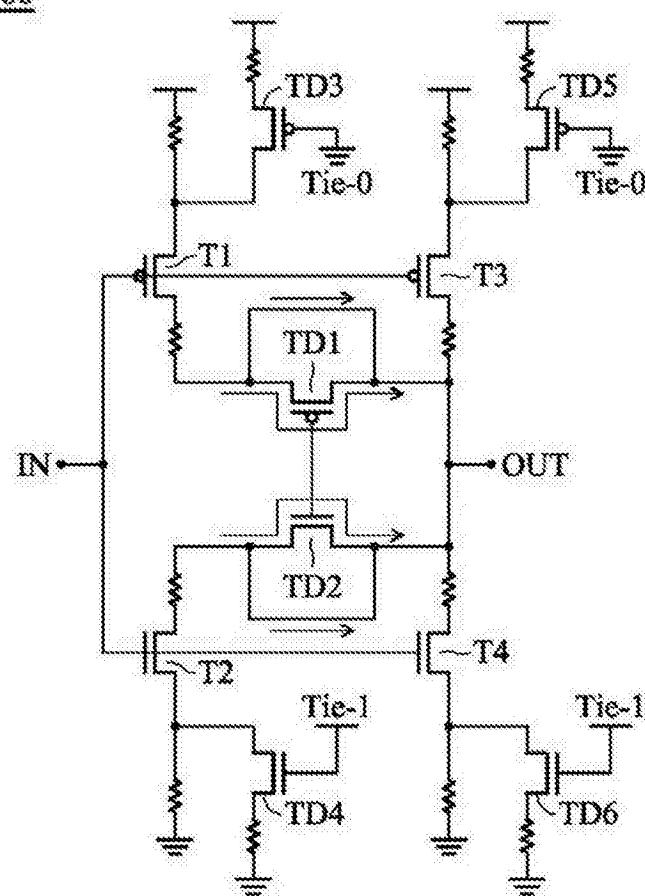
1700

图17