【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成30年6月14日(2018.6.14)

【公表番号】特表2017-520934(P2017-520934A)
【公表日】平成29年7月27日(2017.7.27)
【年通号数】公開・登録公報2017-028
【出願番号】特願2017-511563(P2017-511563)
【国際特許分類】
Ｈ０１Ｌ　21/822　(2006.01)
Ｈ０１Ｌ　27/04　(2006.01)
Ｇ０１Ｒ　31/28　(2006.01)
Ｇ０６Ｆ　11/22　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/04　Ｔ
Ｇ０１Ｒ　31/28　Ｇ
Ｇ０６Ｆ　11/22　６０５Ｂ

【手続補正書】
【提出日】平成30年4月24日(2018.4.24)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
回路であって、
Ｎ個のスキャン入力を第１の周波数で受信するように構成され、Ｍ個の疑似スキャン入力を第２の周波数で生成するように構成される入力コンバータであって、ＭとＮとが整数である、前記入力コンバータと、
前記入力コンバータに結合され、前記Ｍ個の疑似スキャン入力に応答してＰ個の疑似スキャン出力を生成するように構成される、スキャン圧縮アーキテクチャと、
前記スキャン圧縮アーキテクチャに結合され、前記Ｐ個の疑似スキャン出力に応答してＱ個のスキャン出力を生成するように構成される出力コンバータであって、Ｐ及びＱが整数であり、前記Ｐ個の疑似スキャン出力を前記第２の周波数で受信し、前記Ｑ個のスキャン出力を前記第１の周波数で生成する、前記出力コンバータと、
を含み、
前記第１の周波数と前記第２の周波数との比が、ＭとＮとの比とＰとＱとの比とに等しい、回路。
【請求項２】
請求項１に記載の回路であって、
スキャンクロックを受信し、内部クロックを生成するように構成されるモニタを更に含み、
前記スキャン圧縮アーキテクチャが、前記第２の周波数で前記内部クロックによって駆動されるように構成される、回路。
【請求項３】
請求項２に記載の回路であって、
前記モニタが前記入力コンバータからステータス信号を受信するように構成され、前記ステータス信号が、全てのスキャンクロックの初めに前記入力コンバータにストアされる

スキャン入力の数に関して前記モニタを更新するように構成される、回路。
【請求項４】
請求項２に記載の回路であって、
前記モニタが、前記スキャンクロックの初めに、前記入力コンバータにストアされたスキャン入力の前記数がＭより少ないときに、前記スキャン圧縮アーキテクチャへの前記内部クロックを中断するように構成される、回路。
【請求項５】
請求項２に記載の回路であって、
前記出力コンバータが前記モニタからイネーブル信号を受信するように構成され、前記出力コンバータにおいて前記疑似スキャン出力が受信されないときに、前記イネーブル信号が、前記出力コンバータにおける前記疑似スキャン出力のストレージをディセーブルするように構成される、回路。
【請求項６】
請求項１に記載の回路であって、
前記入力コンバータが、スキャンクロック毎に前記Ｎ個のスキャン入力を受信するように構成され、前記第２の周波数で前記Ｍ個の疑似スキャン入力を生成するように構成される、回路。
【請求項７】
請求項１に記載の回路であって、
前記入力コンバータと前記出力コンバータとが、それぞれ前記Ｎ個のスキャン入力と前記Ｐ個の疑似スキャン出力とをストアするように構成される、回路。
【請求項８】
請求項１に記載の回路であって、
前記スキャン圧縮アーキテクチャが、
前記入力コンバータに結合され、前記Ｍ個の疑似スキャン入力を受信するように構成される、デコンプレッサと、
前記デコンプレッサに結合され、前記Ｐ個の疑似スキャン出力を生成するように構成される、コンプレッサと、
前記デコンプレッサと前記コンプレッサとの間に結合される複数のスキャンチェーンと、
を更に含み、
前記複数のスキャンチェーンの各スキャンチェーンが複数のスキャンセルを含む、回路。
【請求項９】
請求項８に記載の回路であって、
前記複数のスキャンチェーンが前記内部クロックによって駆動される、回路。
【請求項１０】
請求項８に記載の回路であって、
前記デコンプレッサが、前記Ｍ個の疑似スキャン入力に応答して複数のコアスキャン入力を生成するように構成される、回路。
【請求項１１】
請求項８に記載の回路であって、
前記複数のスキャンチェーンが前記複数のコアスキャン入力を受信するように構成され、前記複数のスキャンセルの各スキャンセルが、前記第２の周波数で前記複数のコアスキャン入力の或るコアスキャン入力をシフトするように構成される、回路。
【請求項１２】
請求項８に記載の回路であって、
前記複数のスキャンチェーンが、前記複数のコアスキャン入力に応答して複数のコアスキャン出力を生成するように構成される、回路。
【請求項１３】

請求項８に記載の回路であって、
前記コンプレッサが、前記複数のコアスキャン出力に応答して前記Ｐ個の疑似スキャン出力を生成するように構成される、回路。
【請求項１４】
請求項１に記載の回路であって、
前記入力コンバータのストレージ深度がＫビットであり、Ｋが整数であり、Ｋが２Ｎより大きいか又は２Ｎに等しく、
前記出力コンバータのストレージ深度がＬビットであり、Ｌが整数であり、Ｌが２Ｐより大きいか又は２Ｐに等しい、回路。
【請求項１５】
テストする方法であって、
入力コンバータにおいて第１の周波数でＮ個のスキャン入力を受信することと、
前記入力コンバータにより第２の周波数でＮ個のスキャン入力からＭ個の疑似スキャン入力を生成することと、
スキャン圧縮アーキテクチャにより前記第２の周波数でＭ個の疑似スキャン入力からＰ個の疑似スキャン出力を生成することと、
出力コンバータにより前記第１の周波数でＭ個の疑似スキャン出力からＱ個のスキャン出力を生成することと、
を含み、
ＭがＮより小さいときに前記入力コンバータがＭ個の疑似スキャン出力を生成せず、前記出力コンバータにストアされた疑似スキャン出力の数がＱよりも大きか又は等しいときに前記出力コンバータがＱ個のスキャン出力を生成する、方法。
【請求項１６】
請求項１５に記載の方法であって、
前記入力コンバータにおいてスキャンクロック毎に前記Ｎ個のスキャン入力を受信することと、
前記第２の周波数で前記Ｍ個の疑似スキャン入力を生成することと、
を更に含む方法。
【請求項１７】
請求項１５に記載の方法であって、
スキャン圧縮アーキテクチャによりＭ個の疑似スキャン入力から前記第２の周波数でＰ個の疑似スキャン出力を生成することを更に含み、
前記スキャン圧縮アーキテクチャが、前記第２の周波数で内部クロックにより駆動されるように構成される、方法。
【請求項１８】
請求項１５に記載の方法であって、
前記スキャンクロックを受信して前記内部クロックを生成するように構成されるモニタにステータス信号を提供することを更に含み、
前記スキャンクロックの初めにおいて前記入力コンバータにストアされるスキャン入力の数がＭよりも少ないときに、前記モニタが、前記スキャン圧縮アーキテクチャに対する前記内部クロックを中断するように構成される、方法。
【請求項１９】
請求項１８に記載の方法であって、
前記入力コンバータにおいて前記Ｎ個のスキャン入力をストアすることを更に含み、
前記ステータス信号が、全てのスキャンクロックの初めに前記モニタを前記入力コンバータにストアされるスキャン入力の数に関して更新するように構成される、方法。