

(12) 发明专利

(10) 授权公告号 CN 101110414 B

(45) 授权公告日 2011.03.23

(21) 申请号 200710142198.7

第 15 行到第 7 栏第 55 行、第 13 栏第 18 行到第 13 栏第 49 行,说明书附图 3A-3D、8-9.

(22) 申请日 2007.06.15

US 6160718 A, 2000.12.20, 全文.

(30) 优先权数据

11/454,422 2006.06.16 US

审查员 朱红来

(73) 专利权人 英特尔公司

地址 美国加利福尼亚

(72) 发明人 M·萨伊尼 D·梅赫塔

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 王英

(51) Int. Cl.

H01L 25/00 (2006.01)

H01L 25/18 (2006.01)

(56) 对比文件

US 6087722 A, 2000.07.11, 说明书第 1 栏 13-17 行.

US 5861666 A, 1999.01.19, 说明书第 3 栏第 66 行到第 5 栏第 57 行,说明书附图 1-2.

US 6571333 B1, 2003.05.27, 说明书第 5 栏第 36 行到第 65 行,说明书附图 5.

US 6376904 B1, 2002.04.23, 说明书第 5 栏

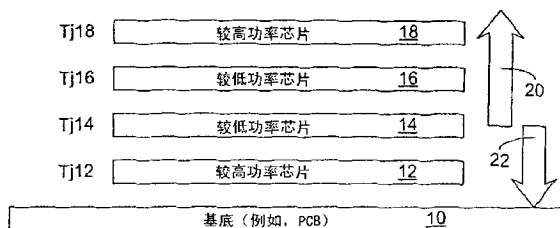
权利要求书 2 页 说明书 8 页 附图 8 页

(54) 发明名称

在叠层的外部具有较高功率芯片的芯片叠层

(57) 摘要

在某些实施例中,系统包括了电路板,第一芯片,和叠置在第一芯片上的第二芯片。第一芯片耦合于电路板和第二芯片之间,并且该第一芯片包括用于将第一芯片接收的命令转发给第二芯片的电路。对其它的实施例进行了说明。



1. 一种具有芯片叠层的系统,包括:

电路板;

第一芯片;以及

叠置在该第一芯片上的第二芯片,其中该第一芯片耦合于该电路板和该第二芯片之间,并且其中该第一芯片包括用于将该第一芯片所接收的命令转发给该第二芯片的电路,其中该第二芯片通常在显著高于该第一芯片的功率下操作。

2. 一种具有芯片叠层的系统,包括:

电路板;

第一芯片;

叠置在该第一芯片上的第二芯片,其中该第一芯片耦合于该电路板和该第二芯片之间,并且其中该第一芯片包括用于将该第一芯片所接收的命令转发给该第二芯片的电路;

叠置在该第二芯片上的第三芯片,以及叠置在该第三芯片上的第四芯片,其中该第四芯片通常在高于该第三芯片的功率下操作。

3. 如权利要求 2 所述的系统其中该第二以及第三芯片不将命令转发给其它的芯片。

4. 如权利要求 2 所述的系统,其中该第一和第四芯片通常在显著高于该第二和第三芯片的功率下操作。

5. 如权利要求 1 所述的系统,其中该第一芯片将地址、写入数据以及时钟信号转发给该第二芯片。

6. 如权利要求 1 所述的系统其中所述第一和第二芯片是存储模块的一部分,并且所述存储模块包括附加的存储器芯片,其中所述附加的存储器芯片不是该第一和第二芯片叠层的一部分。

7. 如权利要求 1 所述的系统,其中该电路板是母板。

8. 如权利要求 1 所述的系统,还包括一芯片,该芯片包括处理器和存储控制器,并且其中该存储控制器将命令提供给该第一芯片。

9. 如权利要求 8 所述的系统,还包括耦合到该芯片的无线发送和接收电路,其中该芯片包括所述处理器和存储控制器。

10. 一种具有芯片叠层的系统,包括:

电路板;

第一芯片;

叠置在该第一芯片上的第二芯片,其中该第一芯片耦合于该电路板和该第二芯片之间,并且其中该第一芯片包括用于将该第一芯片所接收的命令转发给该第二芯片的电路;

叠置在该第二芯片上的第三芯片,并且其中该第一和第三芯片通常在高于该第二芯片的功率下操作,并且该第三芯片通常在高于该第一芯片的功率下操作。

11. 一种具有芯片叠层的系统,包括:

电路板;以及

堆叠排列的第一芯片、第二芯片、第三芯片以及第四芯片;

其中该第一芯片耦合于该电路板和该第二芯片之间;该第二芯片耦合于该第一芯片和该第三芯片之间;并且该第三芯片耦合于该第二芯片和该第四芯片之间;并且

其中该第一芯片和该第四芯片通常在显著高于该第二芯片和第三芯片的功率下操作。

12. 如权利要求 11 所述的系统,还包括一芯片,该芯片包括位于该电路板上与该第一、第二、第三、和第四芯片不同侧上的处理器和存储控制器,并且其中该存储控制器向该第一芯片提供命令,并且其中该第一、第二、第三和第四芯片是存储器芯片。

13. 如权利要求 12 所述的系统,其中该第一芯片将来自所述处理器的命令转发给该第二和第四芯片。

14. 如权利要求 12 所述的系统,其中该第一芯片将读出数据提供给该第二芯片,并且该第四芯片将读出数据提供给该第三芯片,并且该第二和第三芯片将读出数据提供给所述处理器。

15. 一种具有芯片叠层的系统,包括:

存储模块电路板;

第一存储器芯片和第二存储器芯片,其中该第一存储器芯片叠置在该电路板和该第二存储器芯片之间,并且其中该第一存储器芯片至少将某些命令转发给该第二存储器芯片;以及

第三存储器芯片和第四存储器芯片,其中该第三存储器芯片叠置在该第二存储器芯片和该第四存储器芯片之间;

其中该第一存储器芯片和该第四存储器芯片通常在显著高于该第二存储器芯片和第三存储器芯片的功率下操作。

16. 如权利要求 15 所述的系统,还包括一芯片,该芯片包括存储控制器,其用于将命令、地址、和写入数据信号提供给该第一芯片,并且用于从该第二和第三芯片接收读出数据信号。

17. 如权利要求 15 所述的系统,还包括一芯片,该芯片包括处理器和存储控制器,并且其中该存储控制器向该第一芯片提供命令,并且从该第二和第三芯片接收读出数据信号。

18. 如权利要求 15 所述的系统,其中该第一芯片将来自所述处理器的命令转发给该第二和第四芯片。

19. 如权利要求 15 所述的系统,进一步包括:

第五、第六、第七和第八叠置的存储器芯片;

其中该第五存储器芯片耦合于该存储模块电路板和该第六存储器芯片之间,并且该第七存储器芯片耦合于该第六和第八存储器芯片之间。

## 在叠层的外部具有较高功率芯片的芯片叠层

### 技术领域

[0001] 描述了芯片叠层,其中较高功率芯片被安置于具有更好散热性能的位置上。

### 背景技术

[0002] 已经提出了用于在存储系统中存储器芯片的各种设置。例如,在传统的同步动态随机存取存储器 (DRAM) 系统中,存储器芯片通过多-点 (multi-drop) 双向数据总线进行数据通信并且通过命令和地址总线接收命令和地址。近来,已经提出了双向或者单向点到点的互连。

[0003] 在一些系统中,将芯片(也称为管芯)叠置到另一个芯片的上面。这些芯片可以都是同样的类型或者有一些芯片可能会不同于其他芯片。例如,一组存储器芯片(例如,闪存或 DRAM)可以由模块基底来进行支撑。叠层(stack)可以包括具有存储器控制器的芯片。叠层可以包括处理器芯片(具有或不具有存储器控制器)和调压器(VR)芯片以及或许其它的芯片。芯片叠层可能是在印刷电路板(PCB)基底的一侧并且芯片或其它一组芯片可能是在该基底的另一侧。例如,处理器可能是在基底的一侧并且 VR 芯片可能是该基底的另一侧。该 VR 芯片和/或该处理器芯片可以是叠层的一部分。例如,在该处理器芯片之上可以包括散热装置。也可以使用一个或者多个其它的散热装置。

[0004] 已经使用了各种封装技术来将一个芯片叠置到另外一个芯片之上。例如,叠层和基底可以依次包括以下元件:封装基底(package substrate),管芯附着材料层,芯片,管芯附着材料层,芯片,管芯附着材料层,芯片,等等,并且在芯片和封装基底之间具有引线键合导体。该引线键合导线可在管芯附着材料之中。焊球可在该封装基底和另一个基底之间。作为另一个例子,焊球可以位于封装基底层和/或重新分配层之间,其中由封装基底层和/或重新分配层来对芯片进行支撑。在该例子中也可以使用引线键合。可以使用倒装片(flip-chip)技术。可以使用贯穿硅的过孔(Through siliconvias)。封装模型可以将多个芯片包围或者每一个芯片可以具有其自己的封装。已经使用了各种其他封装技术。已经发展出了各种散热技术(例如,风扇,散热器,液体冷却,等等)。

[0005] 已经提出了一些系统,在其中芯片(如存储器芯片)为其它芯片中继转发由他们所收到的信号。

[0006] 许多芯片在特定的温度范围内以较高的性能工作。如果温度变得过高,则芯片可能会发生故障。已经发展出节流(throttling)技术以减少芯片的电压和频率,从而降低温度。然而,在较低的频率和电压下,该芯片的性能也会降低。相应地,一旦该芯片的温度足够低的话,那么可能会增加电压和频率。理想情况是,芯片的温度始终保持足够的低,从而不必降低电压和频率。

[0007] 存储器模块包括基底,在其上放置了存储器芯片。可以将存储器芯片仅放置在该基底的一侧或者放置在该基底的两侧。在有些系统中,也将缓冲器放置在该基底上。对于至少某些信号,该缓冲器在存储器控制器(或其它缓冲器)以及在模块上的存储器芯片之间进行连接。在这样的缓冲器系统中,存储器控制器与缓冲器一起使用的信号(signaling)

(例如,频率和电压值,以及点对点相对于多-点设置)可以与缓冲器和存储器芯片一起使用的信号不同。

[0008] 双列直插式存储器模块(DIMM)是存储器模块的一个例子。多个模块可以是串联的和/或并联的。在一些存储器系统中,存储器芯片接收信号并且将其转发给位于一连串两个或多个存储器芯片中的下一个存储器芯片。

[0009] 已经将存储器控制器用于芯片组集线器(chipset hub)中以及包括了处理器核的芯片中。许多计算机系统都包括了发送和接收机电路来允许该系统与网络进行无线连接。

#### 附图说明

[0010] 根据如下的详细说明和本发明实施例的附图可对本发明进行充分地了解,然而,具体实施例的描述并不会对本发明进行限制,其只用于说明和理解的目的。

[0011] 图 1-9 中的每一个都是示意框图,其说明了根据本发明一些实施例的叠置芯片和支撑基底;

[0012] 图 10-12 中的每一个都是示意框图,其说明了根据本发明一些实施例的叠置存储器芯片;

[0013] 图 13 是类似于图 1 和 7 的叠置芯片装置的热模型;

[0014] 图 14 是示意框图,其说明了根据本发明一些实施例的包括处理器和存储器模块的系统;

[0015] 图 15-19 中的每一个都是框图,其说明了根据一些实施例的包括存储器控制器的系统。

#### 具体实施方式

[0016] 图 1 举例说明了包括用于支持多个芯片 12, 14, 16, 和 18 的基底 10 的系统的示意图。为了清楚起见,在芯片之间以及芯片 12 和基底 10 之间显示了间隔,但是在实际实现中在他们之间将会有某些结构或者他们将会彼此相邻。可以对芯片 12-18 进行封装。基底 10 可以是,例如,印刷电路板(PCB),但是那不是必需的。在某些实施例中,基底 10 为一母板,其支持各种其它的元件。在其它实施例中,基底 10 是卡基底(如存储器模块基底或图形卡基底),其依次(in turn)由母板进行支撑。箭头 20 和 22 示出了热流的主要方向(但是当然不是热流仅有的方向)。如同可以看见的一样,在图 1 的例子中,芯片 16 和 18 主要在箭头 20 的方向上具有热耗散。芯片 14 在箭头 22 和 24 两个方向上都有热耗散,并且芯片 12 主要在箭头 22 的方向上具有热耗散。箭头 20 和 22 不需要沿着重力的方向排成一行。温度  $T_{j12}$ ,  $T_{j14}$ ,  $T_{j16}$ , 和  $T_{j18}$  分别表示在芯片 12, 14, 16, 和 18 中的温度。箭头 20 和 22 只是例子而已。热量从较高的温度流向较低的温度。实际上,箭头 20 和 22 的细节可以与所显示的不同并且可以随着芯片温度的变化而变化。当进行冷却时,热流也可以发生变化。芯片 12 和 18 是较高功率的芯片,而芯片 14 和 16 是较低功率芯片,其表示芯片 12 和 18 与芯片 14 和 16 相比通常在显著较高的功率上进行操作。然而,因为将芯片 12 和 18 放置在叠层的外侧,他们可以更多地进行热耗散,并且温度  $T_{j12}$  和  $T_{j18}$  将会比芯片 12 和 18 位于该叠层内侧(如同芯片 14 和 16 一样)的时候要低得多。在图 1 的系统中,芯片 12 和 18 可以在比将他们放置在叠层内侧时的情况下更高的频率和/或电压下运行。此外,由于芯片

14 和 16 通常在较低的功率上进行操作,他们不需要与较高功率的芯片一样的热耗散。在某些实施例中,芯片 14 和 16 通常在如同芯片 12 和 18 一样的频率和 / 或电压下进行操作,虽然不需要这样。

[0017] 在某些实施例中,  $T_{j12}$ ,  $T_{j14}$ ,  $T_{j16}$ , 和  $T_{j18}$  是大约相同的温度,但是在其它的实施例中,  $T_{j12}$ ,  $T_{j14}$ ,  $T_{j16}$ , 和  $T_{j18}$  是基本上不同的温度。 $T_{j12}$  可以超过或低于  $T_{j14}$  和  $T_{j16}$ 。 $T_{j18}$  可以超过或低于  $T_{j14}$  和  $T_{j16}$ 。 $T_{j12}$  可以超过或低于  $T_{j18}$ 。 $T_{j14}$  可以超过或低于  $T_{j16}$ 。芯片 18 通常操作所处的功率可以比芯片 12 通常操作所处的功率要高或者低。芯片 16 通常操作所处的功率可以比芯片 14 通常操作所处的功率要高或者低。

[0018] 如同在这里所使用的,显著较高的功率表示至少大 20%。然而,在某些实施例中,功率方面的差异可以是大大超过 20% 并且甚至可以是超过百分之几百。功率差异的例子包括 20% 和 50% 之间, 50% 和 100% 之间, 100% 和 200% 之间以及大于 200%。

[0019] 已经发展出了各种散热技术(例如,风扇,散热器,液体冷却,等等)。本发明在这里不限于任何特定的这些技术。在某些实施例中,如果温度或功耗超过阈值,可以将芯片的频率,电压,及其他特性进行抑制。

[0020] 图 2 示出了一系统,在其中基底 24 在基底的一侧支撑了芯片 12, 14, 16, 以及 18, 并且在基底 24 的另一侧支撑了芯片 26。芯片 26 显示为较高功率,但是那不是必需的。芯片 26 可以操作在比芯片 12-18 中任何一个都要高的功率上。散热器 28 和 30 显示为分别附着于芯片 26 和 18 上。可以将散热器与所公开内容其它附图中的芯片相连接进行使用。散热器不必仅仅在叠层的顶部或者底部,而是也可以在侧面。可以对图 2 中的芯片进行封装。

[0021] 图 3 示出了一系统,在其中基底 30 支撑了较低功率芯片 32 和较高功率芯片 34。箭头 20 和 22 显示了示意性的热流。

[0022] 图 4 示出了一系统,在其中基底 40 支撑了较低功率芯片 42, 较低功率芯片 46, 和较高功率芯片 48。芯片 42 可以操作在高于, 低于, 或者与芯片 46 相同的功率上。芯片 42 可以是一“较高功率”芯片。可以在芯片 42 和 46 之间包括附加的芯片。附加的芯片可以是较低功率芯片。

[0023] 图 5 示出了一系统,在其中基底 50 支撑了较高功率芯片 52, 较低功率芯片 54, 和最高功率芯片 56, 其中芯片 56 通常在高于芯片 52 操作的功率下进行操作。

[0024] 图 6 示出了一系统,其中基底 210 支撑了芯片 212(最高功率), 214(较高功率), 216(较低功率), 芯片 218(最低功率), 芯片 220(较低功率), 芯片 222(较高功率), 和 224(最高功率)。这说明了希望朝着叠层的外侧具有较高功率的芯片, 并且朝着叠层的内侧具有较低功率的芯片, 且在外侧具有最高功率的芯片。取决于系统, 离基底 210 最远的芯片可以得到最好的热耗散, 或者紧挨着基底 210 的芯片可以得到最好的热耗散。作为图 6 系统的一个可选方案, 芯片 212 可以是较高功率芯片, 并且芯片 214- 芯片 220 可以是较低功率芯片。可以将附加的芯片包括在叠层中。存在着许多不同的可能, 其中只有少数在所公开的内容中进行了说明。可以将不同种类的芯片包括在叠层中, 包括了以下的一种或多种: 处理器芯片, 存储器芯片, VR 芯片, 存储器缓冲器芯片(见图 16), 通信芯片, 以及其他。处理器芯片可以与 VR 芯片, 缓冲器芯片, 和存储器芯片处在相同的叠层中, 或者在不同的叠层中, 或者不在叠层中。存在着许多的可能。

[0025] 图 7 说明了一系统,在其中基底 10 支撑了芯片 12, 14, 16, 和 18 的叠层。作为一个例子,芯片 12, 14, 16, 和 18 可以是存储器芯片(例如,闪存或者 DRAM)并且基底 10 可以是存储器模块基底,但是在其它的实施例中,芯片 12, 14, 16, 和 18 不是存储器芯片。由封装支撑体 62, 64, 66, 和 68 对芯片 12, 14, 16, 和 18 进行支撑,其中这些封装支撑体可以延伸到完全围绕芯片 12, 14, 16, 和 18(见图 8)。焊球 70 连接基底 10 和 62, 基底 62 和 64, 基底 64 和 66, 以及基底 66 和 68。在图 7 的例子中,使用了引线键合 72, 其中只有少数是看得见的。

[0026] 图 8 说明了具有三个芯片 82, 84, 和 86 的叠层,而不是如同图 7 中四个芯片的情况。图 8 也示出了完全包围芯片 82, 84, 和 86 的基底封装 92, 94, 和 96。焊球 88 提供了电连接。图 8 可以包括多于或少于四个芯片的叠层。

[0027] 图 9 说明了支撑没有封装的芯片 102, 104, 106, 和 108 的叠层的基底 100。焊球 110 提供电连接。图 9 可以包括两个, 三个或多于四个芯片的叠层。

[0028] 本发明不局限于任何特定类型的封装和信号传导技术。例如,封装技术和信号传导可以包括引线键合,倒装片,封装模具,封装基底,重新分配层,贯穿硅的过孔,以及各种元件和技术。尽管示出了焊球,但是也可以使用不同的物质来进行电连接。

[0029] 图 3-9 的系统可以包括在所显示基底另一侧的芯片。图 1-9 的系统可以包括在基底任何一侧上的附加叠层以及在附图中显示的叠层中的附加芯片。所述叠层可以包括叠层中的附加芯片。可以有两个彼此相邻的较高功率芯片。图 1-9 的基底可以是,但是不必须是,印刷电路板。他们可以是母板或者一些其它的基底,诸如卡。

[0030] 图 10-12 给出了在叠层中的芯片的例子。图 10-12 的芯片可以是包括用于存储数据的存储器内核的存储器芯片。没有示出基底,但是他们可以是如同图 1-9 中一样。本发明不局限于图 10-12 所示出的特定的例子。芯片可以包括不同的细节内容以及相互关系。

[0031] 图 10 示出了芯片 112 和 114 的叠层。芯片 112 接收命令、地址、以及从另一个芯片(例如,存储器控制器)传输(Tx)过来的写数据信号(CAW)和时钟信号(Clk)。在图 10 的例子中,存在六通道(lanes)CAW 和一通道 Clk,因此就将传输的信号(Tx)表示为 6. 1。通道可以是单个具有单端信号的导体和具有微分信号的两个导体。芯片 112 执行传给芯片 112 的命令操作并且也向芯片 114 转发 CAW 和时钟信号。芯片 114 执行由传给它的命令所指定的操作。芯片 112 在导体 122 上提供了四通道读取数据信号以及单通道读取时钟信号(Rx4. 1)。芯片 114 在导体 124 上提供了四通道读出数据信号以及单通道读出时钟信号(Rx4. 1)。由于其将 CAW 和时钟信号进行了中继转发(repeat),因此可以将芯片 112 称为转发芯片(repeater chips)。如同在下面所显示的,在某些实施例中,可以将来自一个芯片的读出数据传送到另一芯片,该芯片将该读出数据进行转发。由于转发芯片通常以较高的功率进行操作,因此类似于图 3 中芯片 34,可以将芯片 112 放置在叠层的外面。芯片 112 和 114 可以是在相同排列(rank)中,但这不是必需的。

[0032] 图 11 示出了芯片 132, 134, 136, 和 138 的叠层。在某些实施例中,芯片 132 最靠近于基底并且芯片 138 离基底最远。在其它实施例中,芯片 132 是最远的。芯片 132 接收六通道 CAW 信号和一通道时钟信号。芯片 132 执行传送给它的命令,并且还将 CAW 和时钟信号转发给芯片 134 和 138。芯片 138 依次将 CAW 和时钟信号转发给芯片 136。将来自于芯片 132 内核的读出数据信号提供给芯片 134。将来自于芯片 138 内核的读出数据信号提

供给芯片 136。芯片 134 将来自其自己的内核的读出数据以及来自芯片 132 的读出数据与读取时钟信号一起提供给导体 142。芯片 136 将来自其自己的内核的读出数据以及来自芯片 138 的读出数据与读取时钟信号一起提供给导体 144。在图 11 的例子中,将芯片 132 以及 138 称为转发芯片,并且将芯片 134 和 136 称为非-转发芯片。芯片 134,136,和 138 按照传给他们的命令进行操作。由于转发芯片通常以较高功率进行操作,因此可以将芯片 132 和 138 放置在如同图 11 所示叠层的外面。芯片 132 可以像芯片 18 那样离 PCB 基底最远。在图 11 的例子中,芯片 134 和 138 是第一排列(共同访问的芯片)的一部分,并且芯片 132 和 134 是第二排列的一部分,但这不是必需的。

[0033] 图 12 示出了存储器芯片 152,154,156,和 158 的叠层。在某些实施例中,芯片 152 最靠近于基底并且芯片 158 离基底最远。在其它实施例中,芯片 152 是最远的。芯片 152 接收六通道 CAW 信号和一通道时钟信号。芯片 152 执行传送给他的命令,并且还将 CAW 和时钟信号转发给芯片 154,156,和 158。芯片 134,136,和 138 执行传送给他们的命令。将来自芯片 152 内核的读出数据信号提供给芯片 154。将来自于芯片 154 内核的读出数据信号提供给芯片 156。将来自于芯片 156 内核的读出数据信号提供给芯片 158。此外,芯片 154 将其从芯片 152 接收的读出数据信号转发给芯片 156,并且芯片 156 将其从芯片 154 接收的读出数据信号转发给芯片 158。芯片 158 在导体 164 上提供了四通道读出数据信号以及一通道读出时钟信号。(在其它实施例中,导体 164 可以承载八通道读出数据以及一或二通道时钟信号。)芯片 152 通常以高于芯片 154,156,和 158 的功率进行操作,并且可以像芯片 18 一样离 PCB 基底最远。芯片 158 通常可以高于芯片 154 和 156 的功率或者几乎相同的功率进行操作。芯片 154 通常可以高于或者低于芯片 156 的功率或者以相同的功率进行操作。芯片 152,154,156,和 158 可以各自处在不同的排列中,但这不是必需的。

[0034] 图 13 对热流图进行了说明,在其中  $T_{j12}$ ,  $T_{j14}$ ,  $T_{j16}$ , 和  $T_{j18}$  分别表示在图 1 和 7 的叠层中芯片 12,14,16,和 18 的温度。 $T_{amb}$  是环境温度并且  $T_b$  是基板 10 的温度。符号  $q_{12}$ ,  $q_{14}$ ,  $q_{16}$ , 和  $q_{18}$  表示由芯片 12,14,16,和 18 消耗的功率。符号  $q_t$  表示在远离基底 10 的方向上最热的芯片所消耗的功率,并且  $q_b$  表示在朝向基底 10 的方向上最热的芯片所消耗的功率。在图 13 的例子中,最热的芯片显示为芯片 14,但是取决于环境其它任何一个芯片都可以是最热的。符号  $\psi_{ca}$  表示芯片封装的容器和环境空气之间的热阻。该封装外壳是可选的。符号  $\psi_{18-c}$  表示芯片 18 和该外壳之间的热阻; $\psi_{16-18}$  表示芯片 16 和 18 之间的热阻; $\psi_{14-16}$  表示芯片 14 和 16 之间的热阻; $\psi_{12-14}$  表示芯片 12 和 14 之间的热阻; $\psi_{b-12}$  表示基底 10 和芯片 12 之间的热阻;以及  $\psi_{ba}$  是基底 10 和环境温度之间的热阻。仅仅的作为例子, $\psi_{16-18}$ ,  $\psi_{14-16}$ , 和  $\psi_{12-14}$  可能大约为 10C/W,其中 C 是摄氏温度并且 W 是瓦特,但是他们也可以有其它的值。

[0035] 表 1 示出了图 13 模型的热模拟例子的结果。然而,本发明不局限于表 1 的细节,并且其他模拟可能导致不同的结果。表 1 和所提到的详细内容仅仅是以当前的理解为基础的例子并且可以包括误差。此外,可以与各式各样的芯片和系统一起来使用本发明,这就是为什么该模拟具有有限的有效性的另一个原因。

[0036]



	12.5 % non-uniformity		50% non-uniformity	
	Conventional	Stack of FIG. 7	Conventional	Stack of FIG. 7
$q_{\text{average}}(W)$	0.49	0.49	0.49	0.49
$q_{12}(W)$	0.55125	0.55125	0.735	0.735
$q_{14}(W)$	0.42875	0.42875	0.245	0.245
$q_{16}(W)$	0.55125	0.42875	0.735	0.245
$q_{18}(W)$	0.42875	0.55125	0.245	0.735
$T_{j12}(C)$	109.1	108.5	111.0	108.5
$T_{j14}(C)$	109.5	108.9	110.0	107.4
$T_{j16}(C)$	106.5	105.8	107.1	104.3
$T_{j18}(C)$	99.1	99.3	98.4	99.3

[0037] 表 1 :来自图 1 和 7 叠层的热模拟结果的例子

[0038] 在表 1 中“W”是瓦特并且“C”是摄氏温度。“Conventional”指的是在其中较高和较低功率的芯片按以下顺序进行交错的叠层系统:基底,较高功率芯片,较低功率芯片,较高功率芯片,较低功率芯片。在表 1 中,“% non-uniformity”指的是较高和较低功率芯片之间功耗上的差异。例如,在“12.5% non-uniformity”之下的两栏中,较高和较低功率芯片之间的差异是 12.5%。

[0039] 可以相信的是基于可用的封装技术,芯片到芯片的热阻,根据叠置技术  $\psi_{16-18}$ ,  $\psi_{14-16}$  和  $\psi_{12-14}$  (概括为  $\psi_o$ ) 可以从  $\sim 1C/W$  到  $\sim 10C/W$  之间变化,尽管本发明不局限于这些细节内容。取决于芯片到芯片功率的非一致性,利用图 1 和 7 的叠置技术所能看到的好处可以是  $\sim 1$  到  $3C$ 。此外,由于温度的上升可以与功率的增加成线性的比例,这种好处可以随着 DRAM 功率的上升而增长。这意味着对于在 DRAM 技术上高功率高速存储的更多好处。作为一个例子,在表 1 的两倍平均芯片功率 [0.49W 到 0.98W] 上,图 1 和 7 所提出的叠置技术可以产生超过在 50% 功率非一致性上的常规叠置方法  $\sim 2(111.0-108.5)C = 5.0C$  的好处。此外,对于  $\psi_o \sim 1C/W$  的情况(估计的典型芯片叠置技术),对于一直到  $\sim 50\%$  的功率非一致性来说,图 1 和 7 叠置技术的好处可能是将  $T_{jmax}$  降低  $\sim 1.0-1.3C$ 。

[0040] 总之在初步模拟的基础上,所提出的叠置方法对于不同的 DRAM 叠层结构可以在一端 ( $\psi_o \sim 1C/W \sim$  芯片叠置) 产生较低的  $T_{jmax} \sim 1.0C$  并且对于另一端 ( $\psi_o \sim 10C/W \sim$  封装叠置) 达到  $\sim 5C$ ,其中  $T_{jmax}$  是所有芯片温度中的最大值,并且  $\psi_o$  是在该叠层中两个相邻的芯片之间的热阻。也可以对两个芯片和八个芯片的叠层使用相同的方法,用量化表示的好处还有待于确定。通常,期望八个 DRAM 叠层的好处大于四个 DRAM 叠层。其它的条件将产生不同的结果。

[0041] 在某些实施例中,根据本发明的叠层具有为高 BW(带宽)应用提供更高的性能/瓦特的潜力,其中的高 BW(带宽)应用例如为由多个和许多内核 CPU 所需要的 RMS(识别,挖掘,合成)工作负荷。这可以有效地提供更高性能/瓦特的用于多芯片 DRAM 叠层的优化热结构。

[0042] 在某些实施例中,转发器 DRAMS 可以比叠层中的平均芯片功率耗费  $\sim 13$  到  $50\%$  的额外功率。将较高功率芯片放入该叠层的内部而不是在该叠层的外面可能使得在该叠层中最热的芯片更加热,并且对于性能压制(performance throttling)或者始终以低于所需频率运行更加敏感。将较高功率芯片放在叠层的外部(如同在图 7 中)可以导致较高的带宽

/ 瓦特。对于某些实施例,较高和较低功率芯片之间的差异可能远高于 50%。例如,在包括处理器芯片和存储器芯片的系统中,处理器芯片可能几倍以与存储器芯片的功率运行。

[0043] 在某些实施例中,芯片包括测量温度的电路和 / 或基于在每单位时间的活动来估计温度的电路。

[0044] 图 14 示出了一具有存储模块 180 的系统,存储模块 180 包括了支撑第一叠层的模块基底 182,该第一叠层包括具有存储内核 186 的存储器芯片 184。另一个叠层包括具有存储内核 190 的存储器芯片 188。将模块 180 插入槽 194,该槽与母板 196 相连接。母板也支撑处理器芯片 198。可以由位于处理器芯片 198 内部或外部的存储控制器来直接或间接地提供图 10-12 中的 CAW 和时钟信号。可以直接或者间接地将图 10-12 的读出数据和读出时钟信号提供给存储器控制器。

[0045] 可以在各种系统中包括在这里所描述的存储控制器和存储器芯片。例如,参考图 15,芯片 404 包括存储控制器 406。导体 408-1... 408-M 各自表示多个单向或者双向互连中的一个。存储器芯片可以将信号转发给下一个存储器芯片。例如,叠层 410-1... 410-M 的存储器芯片将某些信号通过互连 416-1... 416-M 转发给叠层 420-1... 420-M 的存储器芯片。芯片也可以转发给在相同叠层中的其它芯片。信号可以包括命令,地址,和写数据。该信号也可以包括读数据。可以将读数据直接从叠层 410-1... 410-M 的芯片通过互连 408-1... 408-M 发送给存储控制器 406。然而,如果从叠层 410-1... 410-M 的芯片将读数据转发给叠层 420-1... 420-M 的芯片,那么,在某些实施例中,不必也将读数据直接从芯片 410-1... 410-M 发送给存储控制器 406。可以将来自叠层 420-1... 420-M 的芯片的读数据通过互连 418-1... 418-M 发送到存储器控制器 406。在某些实施例中不包括互连 418-1... 418-M。仍参考图 15,叠层 410-1... 410-M 的存储器芯片可以在存储模块 412 的基底 414 的一侧或者两侧上。叠层 420-1... 420-M 的芯片可以在存储器模块 422 的基底 424 的一侧或者两侧上。或者,叠层 410-1... 410-M 的芯片可以在支撑芯片 404 和模块 424 的母板上。在这种情况下,基底 414 表示母板的一部分。

[0046] 图 16 示出了一系统,其中叠层 510-1... 510-M 的芯片在存储模块基底 514 的一侧或者两侧上,并且叠层 520-1... 520-M 的芯片在存储模块基底 524 的一侧或者两侧上。在某些实施例中,存储控制器 500 和叠层 510-1... 510-M 的芯片彼此通过缓冲器 512 进行通信,并且存储控制器 500 和叠层 520-1... 520-M 的芯片通过缓冲器 512 和 522 进行通信。在这样的缓冲系统中,存储控制器与缓冲器一起使用的信号可以与缓冲器和存储器芯片一起使用的信号不同。某些实施例可以包括没有在图 16 中进行显示的附加的导体。缓冲器可以是包括了存储器芯片的叠层的一部分。

[0047] 图 17 示出了与芯片 532 相耦合的第一和第二通道 536 和 538,其中芯片 532 包括存储器控制器 534。通道 536 和 538 分别与存储模块 542 和 544 相耦合,其包括了如同在这里所描述的芯片。

[0048] 在图 18 中,存储控制器 552(其表示任何先前提到过的存储器控制器)包括在芯片 550 中,其也包括一个或多个处理器核 554。将输入 / 输出控制器芯片 556 耦合到芯片 550,并且也耦合到无线发送和接收机电路 558。在图 19 中,存储控制器 552 包括在芯片 574 中,其可以是集线器 (hub) 芯片。芯片 574 耦合于芯片 570(其包括了一个或多个处理器核 572) 和输入 / 输出控制器芯片 578 之间,其可以是集线器芯片。输入 / 输出控制器芯片 578

耦合于无线发送和接收机电路 558。

[0049] 附加信息和实施例

[0050] 本发明不局限于任何特定的信号发送技术或协议。在附图中系统的具体实现中，将存在着附加的电路，控制线，并且或许还有没有进行示出的互连。当附图显示了两个通过导体进行连接的模块的时候，可能存在没有示出的中间电路。模块的形状以及相对大小并不与真实形状和相对大小有联系。

[0051] 实施例是本发明的一种实现或者一个例子。在说明书涉及的“实施例”，“一个实施例”，“某些实施例”或者“其它实施例”表示结合所述实施例描述的特定的特征、结构、或者特性包括在本发明的至少某些实施例中，但并不一定在本发明的所有实施例中。所出现各种各样的“实施例”，“一个实施例”，或者“某些实施例”并不必都涉及相同的实施例。

[0052] 当说到元件“A”与元件“B”相耦合的时候，元件A可以是直接与元件B相耦合的或者通过，例如元件C与元件B间接耦合。

[0053] 当说明书或者权利要求指出元件、特征、结构、处理、或者特性A“导致”了元件、特征、结构、处理、或者特性B的时候，其表示“A”至少是导致“B”的部分原因，但是也可能存在至少一个其它的促进导致“B”的元件、特征、结构、处理、或者特性。

[0054] 如果说明书指出“可以”、“也许”或者“能够”包括元件、特征、结构、处理或者特性，那么不是必需包括所述特定的元件、特征、结构、处理或者特性。如果说明书或者权利要求涉及了“一”或者“一个”(“a” or “an”)元件，那么并不表示仅有一个该元件。

[0055] 本发明不局限于在这里描述的特定细节。实质上，可以在本发明的范围之内进行前述说明和附图的许多其它的变化。相应地，应当是下面的包括了对其的任何修改的权利要求限定了本发明的范围。

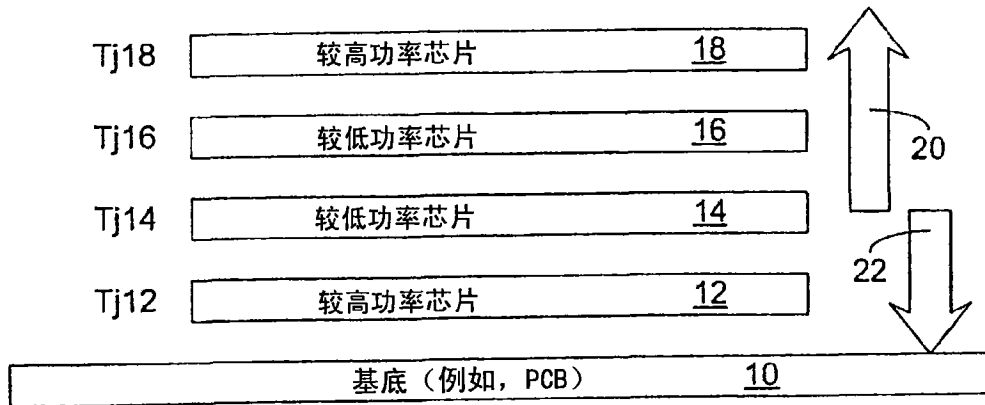


图 1

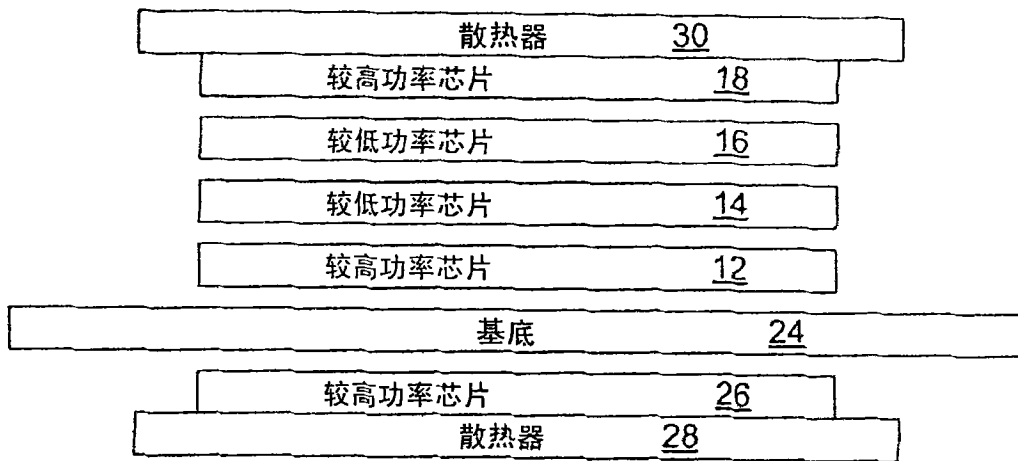


图 2

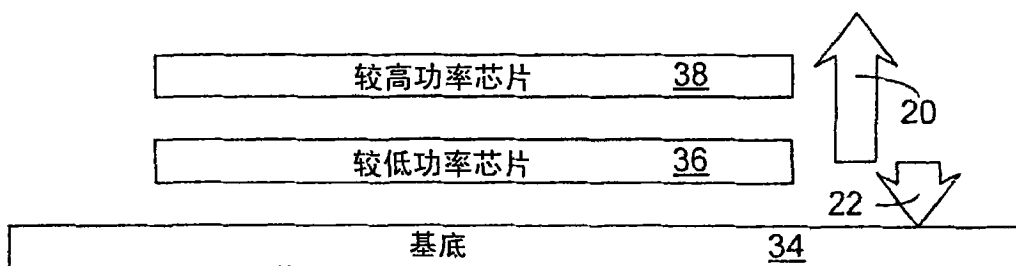


图 3

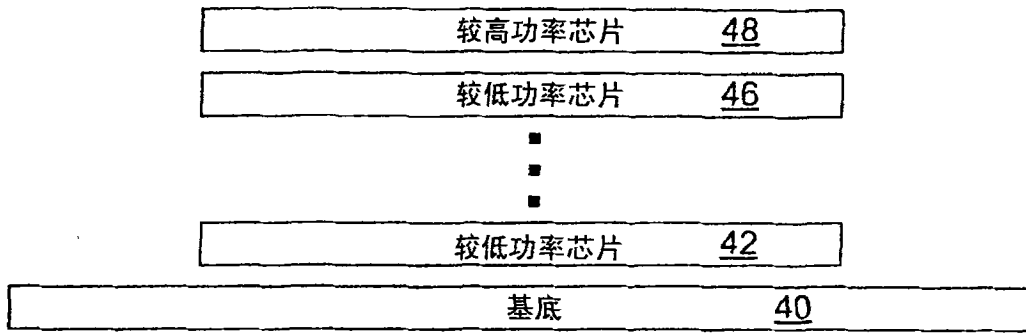


图 4

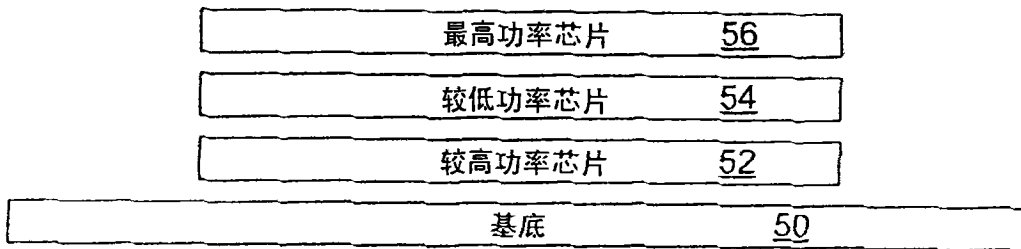


图 5

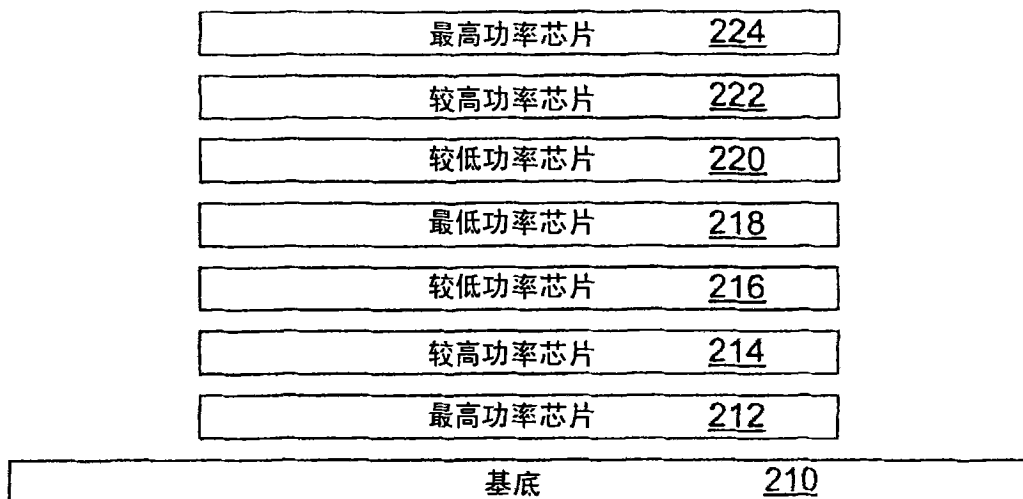


图 6

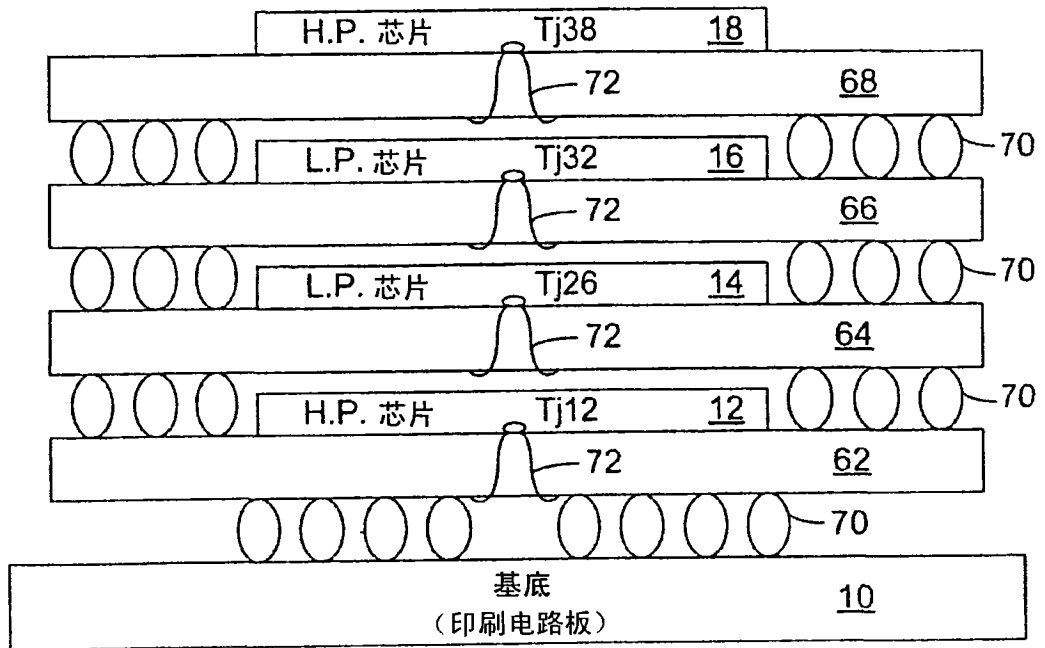


图 7

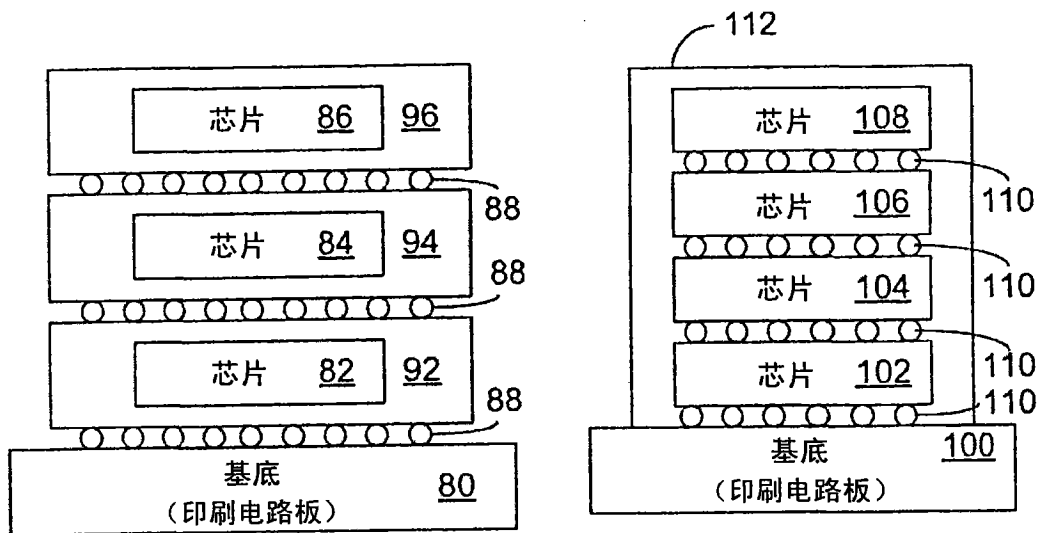


图 8

图 9



图 10

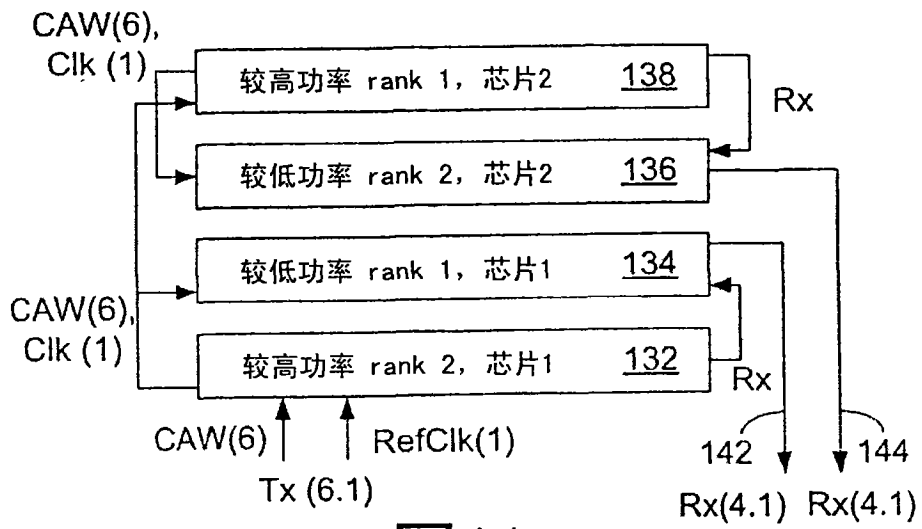


图 11

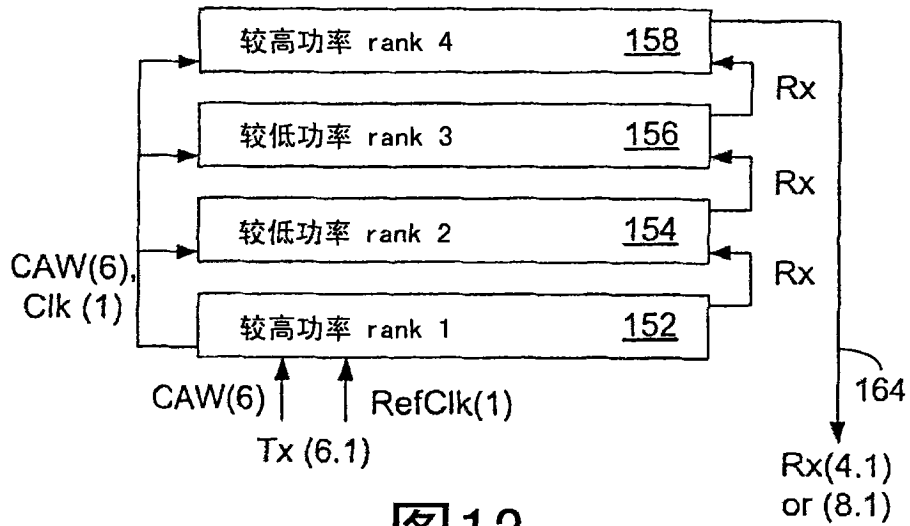


图12

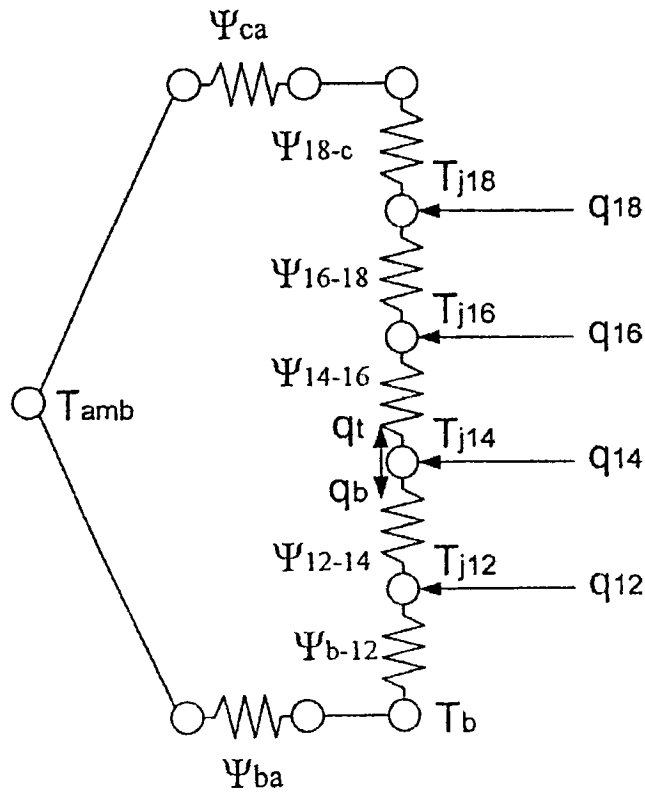


图 13



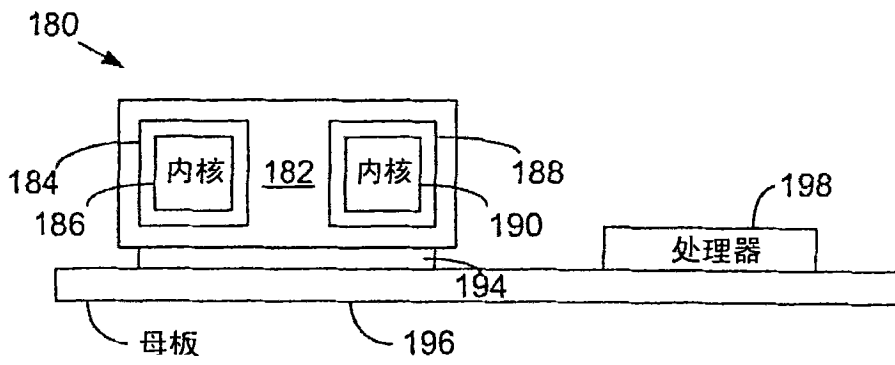


图 14

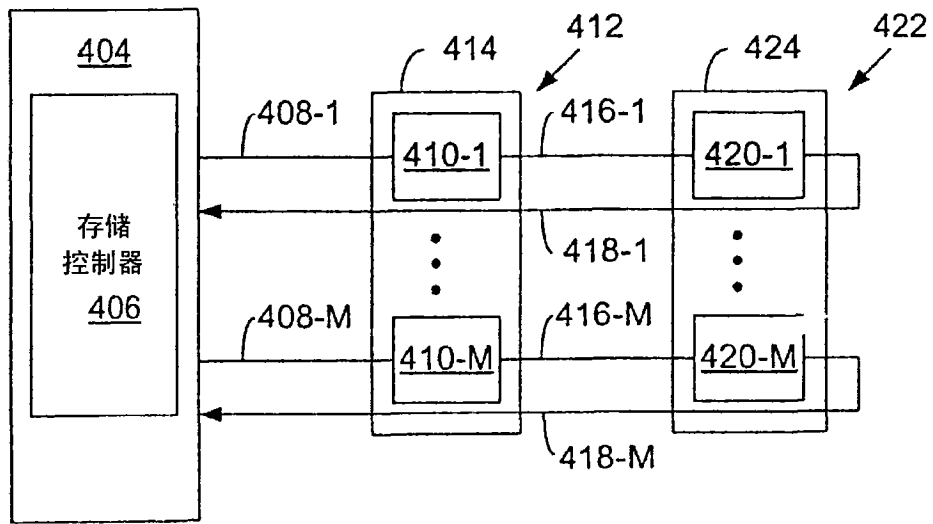


图 15

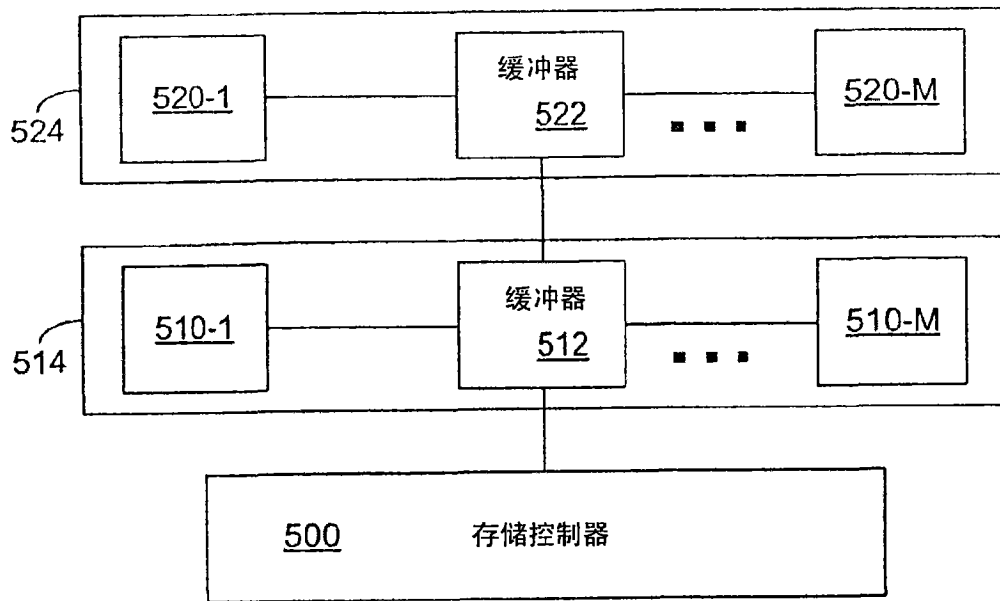


图 16

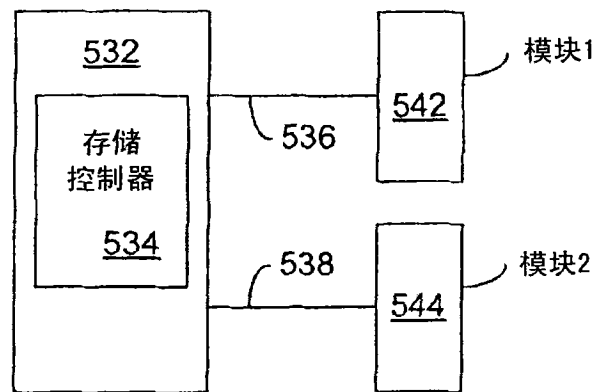


图 17

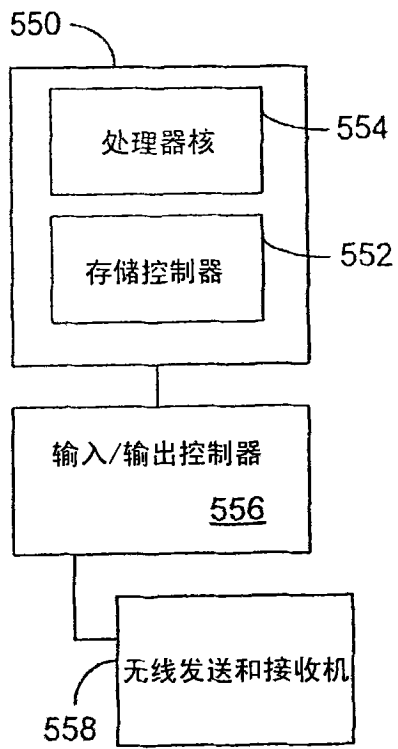


图 18

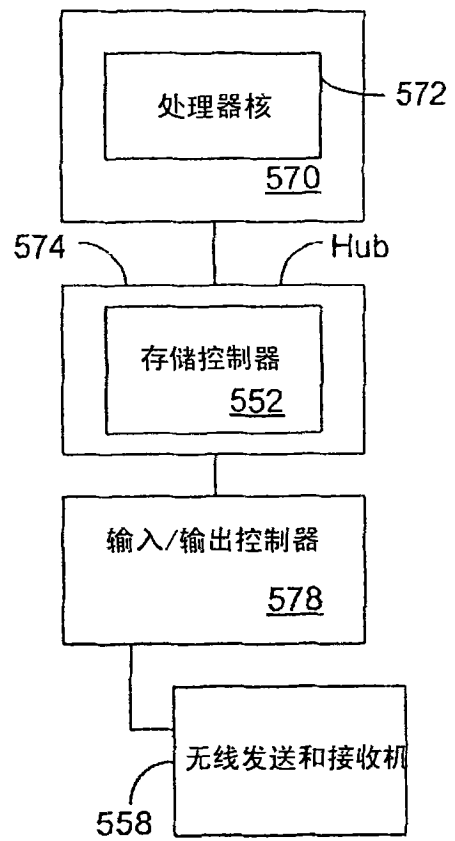


图 19