

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6216852号
(P6216852)

(45) 発行日 平成29年10月18日(2017.10.18)

(24) 登録日 平成29年9月29日(2017.9.29)

(51) Int.Cl.	F 1
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 C
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 1 6 V GO 2 F 1/1368

請求項の数 6 (全 85 頁)

(21) 出願番号	特願2016-180623 (P2016-180623)
(22) 出願日	平成28年9月15日 (2016.9.15)
(62) 分割の表示	特願2015-82620 (P2015-82620) の分割 原出願日 平成22年10月12日 (2010.10.12)
(65) 公開番号	特開2017-28304 (P2017-28304A)
(43) 公開日	平成29年2月2日 (2017.2.2)
審査請求日	平成28年9月23日 (2016.9.23)
(31) 優先権主張番号	特願2009-238914 (P2009-238914)
(32) 優先日	平成21年10月16日 (2009.10.16)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	津吹 将志 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	野田 耕生 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に、薄膜トランジスタと、前記薄膜トランジスタと電気的に接続された液晶素子と、を有し、

前記液晶素子は、画素電極層を有し、

前記画素電極層は、反射性を有し、

前記薄膜トランジスタのチャネル形成領域は、酸化物半導体を有し、

前記薄膜トランジスタのオフ電流は、測定温度120°及びドレイン電圧6Vのとき、 $1 \times 10^{-16} \text{ A} / \mu\text{m}$ 以下であることを特徴とする表示装置。

【請求項 2】

基板上に、薄膜トランジスタと、前記薄膜トランジスタと電気的に接続された液晶素子と、を有し、

前記液晶素子は、画素電極層を有し、

前記画素電極層は、反射性を有し、

前記薄膜トランジスタのチャネル形成領域は、酸化物半導体を有し、

前記薄膜トランジスタのオフ電流は、測定温度120°及びドレイン電圧6Vのとき、 $1 \times 10^{-16} \text{ A} / \mu\text{m}$ 以下であり、

前記酸化物半導体のキャリア密度は、 $5 \times 10^{14} / \text{cm}^3$ 以下であることを特徴とする表示装置。

【請求項 3】

10

20

請求項 1 又は請求項 2 において、
前記基板は、ガラス基板であることを特徴とする表示装置。

【請求項 4】

請求項 1 又は請求項 2 において、
前記基板は、ポリビニルフルオライドフィルム、ポリエステルフィルム、又はアクリル樹脂フィルムのいずれかを有することを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記画素電極層は、タンゲステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、ニッケル、チタン、白金、アルミニウム、銅、銀の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を有することを特徴とする表示装置。 10

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、
前記薄膜トランジスタは、ボトムゲート型であることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、酸化物半導体を用いた電界効果型トランジスタを有する論理回路に関する。また、該論理回路を有する半導体装置に関する。 20

【0002】

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電気機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いて薄膜トランジスタ (TFT) を構成する技術が注目されている。薄膜トランジスタは液晶テレビに代表されるような表示装置に用いられている。薄膜トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が公知であるが、その他の材料として酸化物半導体が注目されている。 30

【0004】

酸化物半導体の材料としては、酸化亜鉛又は酸化亜鉛を成分とするものが知られている。そして、電子キャリア密度が $10^{18} / \text{cm}^3$ 未満である非晶質酸化物 (酸化物半導体) からなるもので形成された薄膜トランジスタが開示されている (特許文献 1 乃至 3) 。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2006 - 165527 号公報

【特許文献 2】特開 2006 - 165528 号公報

【特許文献 3】特開 2006 - 165529 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、酸化物半導体は薄膜形成工程において化学量論的組成からのはずれが生じてしまう。例えば、酸素の過不足によって酸化物半導体の電気伝導度が変化してしまう。また、酸化物半導体の薄膜形成中に混入する水素が酸素 (O) - 水素 (H) 結合を形成して電子供与体となり、電気伝導度を変化させる要因となる。さらに O - H は極性分子なので、酸化物半導体によって作製される薄膜トランジスタのような能動デバイスに対して特性の変動要因となる。

【0007】

電子キャリア密度が $10^{18} / \text{cm}^3$ 未満としても、酸化物半導体においては実質的に 50

はn型であり、前記特許文献に開示される薄膜トランジスタのオン・オフ比は10³しか得られていない。このような薄膜トランジスタのオン・オフ比が低い理由はオフ電流が高いことによるものである。

【0008】

オン・オフ比はスイッチとしての特性を表す指標であり、オン・オフ比が低い薄膜トランジスタによって構成される回路は、回路動作が不安定になる。また、オフ電流が高いことにより、無駄に電流が流れ消費電力が増加するという問題がある。

【0009】

上述した課題に鑑み、本発明の一形態は、酸化物半導体を用いて形成された薄膜トランジスタによって構成される論理回路の誤動作を低減することを課題の一とする。

10

【0010】

また、本発明の一態様は、酸化物半導体を用いて形成された薄膜トランジスタによって構成される論理回路の消費電力を低減することを課題の一とする。

【課題を解決するための手段】

【0011】

本発明の一形態は、酸化物半導体中で電子供与体（ドナー）となり得る不純物（水素又は水など）を除去することで、真性又は実質的に真性な半導体であって、シリコン半導体よりもエネルギーギャップが大きい酸化物半導体でチャネル形成領域が形成される薄膜トランジスタによって論理回路を構成するものである。

【0012】

具体的には、酸化物半導体に含まれる水素が5×10¹⁹ / cm³以下、好ましくは5×10¹⁸ / cm³以下、より好ましくは5×10¹⁷ / cm³以下として、酸化物半導体に含まれる水素若しくはOH結合を除去し、キャリア密度を5×10¹⁴ / cm³以下、好ましくは5×10¹² / cm³以下とした酸化物半導体でチャネル形成領域が形成される薄膜トランジスタによって論理回路が構成されるものである。

20

【0013】

当該酸化物半導体のエネルギーギャップは、2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上として、ドナーを形成する水素等の不純物を極力低減し、キャリア密度を1×10¹⁴ / cm³以下、好ましくは1×10¹² / cm³以下となるようする。

30

【0014】

このように高純度化された酸化物半導体は、薄膜トランジスタのチャネル形成領域に用いることで、チャネル幅が10mmの場合でさえも、ドレイン電圧が1V及び10Vの場合において、ゲート電圧が-5Vから-20Vの範囲において、ドレイン電流は1×10⁻¹³ [A]以下となるように作用する。

【0015】

すなわち、本発明の一態様は、薄膜トランジスタと、薄膜トランジスタがオフすることによって、一方の端子が電気的に接続されたノードの電位が浮遊状態となる容量素子と、を有し、薄膜トランジスタのチャネル形成領域は、水素濃度が5×10¹⁹ (atoms / cm³)以下の酸化物半導体によって構成されることを特徴とする論理回路である。

40

【0016】

なお、本明細書において、濃度は二次イオン質量分析法（Secondary Ion Mass Spectrometry。以下、SIMSともいう。）によるものである。ただし、他の計測法が挙げられている場合など、特に記載がある場合にはこの限りではない。

【0017】

また、上記の論理回路を有する半導体装置も本発明の一態様である。

【発明の効果】

【0018】

本発明の一態様の論理回路は、チャネル形成領域が酸化物半導体によって構成された薄

50

膜トランジスタと、該薄膜トランジスタがオフすることによって、一方の端子の電位が浮遊状態となる容量素子とを有する。該酸化物半導体は、水素濃度が低減された酸化物半導体である。具体的には、当該酸化物半導体の水素濃度は、 5×10^{-9} (atoms/cm³) 以下である。また、当該酸化物半導体は、無電界中においては、絶縁体又は絶縁体に近い半導体(実質的には絶縁体)として機能する。そのため、当該薄膜トランジスタのオフ電流を低減することができる。これにより、当該容量素子に蓄積された電荷の当該薄膜トランジスタを介したリークを抑制することができる。その結果、当該論理回路の誤動作を防止することができる。また、当該容量素子の一方の端子の電位が浮遊状態にある期間を長くすることもできる。別言すると、当該容量素子への情報の再書き込み(リフレッシュともいう)の頻度を低減することができる。

10

【0019】

また、当該薄膜トランジスタのオフ電流を低減することにより当該論理回路内に流れる無駄な電流を低減することができる。これにより、当該論理回路の消費電力を低減することができる。

【図面の簡単な説明】

【0020】

【図1】インバータの一例を示す(A)、(C)回路図、(B)、(D)タイミングチャート。

【図2】(A)～(D)インバータの一例を示す回路図。

20

【図3】シフトレジスタの一例を示す(A)回路図、(B)タイミングチャート。

【図4】シフトレジスタの一例を示す(A)回路図、(B)タイミングチャート。

【図5】薄膜トランジスタの一例を示す(A)平面図、(B)断面図。

【図6】(A)～(E)薄膜トランジスタの作製方法の一例を示す断面図。

【図7】薄膜トランジスタの一例を示す(A)平面図、(B)断面図。

【図8】(A)～(E)薄膜トランジスタの作製方法の一例を示す断面図。

【図9】(A)、(B)薄膜トランジスタの一例を示す断面図。

【図10】(A)～(E)薄膜トランジスタの作製方法の一例を示す断面図。

【図11】(A)～(E)薄膜トランジスタの作製方法の一例を示す断面図。

【図12】(A)～(D)薄膜トランジスタの作製方法の一例を示す断面図。

30

【図13】(A)～(D)薄膜トランジスタの作製方法の一例を示す断面図。

【図14】薄膜トランジスタの一例を示す断面図。

【図15】半導体装置の一例を示す(A)、(C)平面図、(B)断面図。

【図16】半導体装置の画素等価回路の一例を示す図。

【図17】(A)～(C)半導体装置の一例を示す断面図。

【図18】半導体装置の一例を示す(A)平面図、(B)断面図。

【図19】半導体装置の一例を示す断面図。

【図20】(A)、(B)半導体装置の一例を示す図。

【図21】(A)、(B)半導体装置の一例を示す図。

【図22】半導体装置の一例を示す図。

【図23】半導体装置の一例を示す図。

40

【図24】酸化物半導体を用いたMOSトランジスタのソース-ドレイン間のバンド構造を示す図。

【図25】図24においてドレイン側に正の電圧が印加された状態を示す図。

【図26】酸化物半導体を用いたMOSトランジスタのMOS構造のエネルギー-バンド図であり、(A)ゲート電圧を正とした場合、(B)ゲート電圧を負とした場合を示す図。

【図27】シリコンMOSトランジスタのソース-ドレイン間のバンド構造を示す図。

【図28】薄膜トランジスタの一例の初期特性を示す図。

【図29】(A)、(B)薄膜トランジスタの一例の評価用素子の上面図。

【図30】(A)、(B)薄膜トランジスタの一例の評価用素子のVg-Id特性を示す図。

50

【発明を実施するための形態】**【0021】**

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0022】

なお、トランジスタのソース端子及びドレイン端子は、トランジスタの構造や動作条件等によって替わるため、いずれがソース端子又はドレイン端子であるかを特定することが困難である。そこで、本明細書においては、ソース端子及びドレイン端子の一方を第1端子、ソース端子及びドレイン端子の他方を第2端子と表記し、区別することとする。

10

【0023】

また、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。また、本明細書にて用いる「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0024】**(実施の形態1)**

本実施の形態では、論理回路の一例について説明する。具体的には、チャネル形成領域が酸化物半導体によって構成される薄膜トランジスタを有するインバータの一例について図1及び図2を用いて説明する。

20

【0025】

図1(A)は、本実施の形態のインバータの一例を示す回路図である。図1(A)に示したインバータは、薄膜トランジスタ11乃至薄膜トランジスタ14と、容量素子15とを有する。ここでは、薄膜トランジスタ11は、デプレッション型トランジスタであり、薄膜トランジスタ12乃至薄膜トランジスタ14はエンハンスマント型トランジスタであるとする。なお、本明細書においては、nチャネル型であり且つしきい値電圧が正の場合は、エンハンスマント型トランジスタと呼び、pチャネル型であり且つしきい値電圧が負の場合は、デプレッション型トランジスタと呼ぶこととする。

30

【0026】

薄膜トランジスタ11は、第1端子が高電源電位(VDD)を供給する配線(以下、高電源電位線ともいう)に電気的に接続される。

【0027】

薄膜トランジスタ12は、ゲート端子が入力信号(IN)を供給する配線(以下、入力信号線ともいう)に電気的に接続され、第1端子が薄膜トランジスタ11のゲート端子及び第2端子に電気的に接続される。

【0028】

薄膜トランジスタ13は、ゲート端子がパルス信号(PS)を供給する配線(以下、パルス信号線ともいう)に電気的に接続され、第1端子が薄膜トランジスタ12の第2端子に電気的に接続され、第2端子が低電源電位(VSS)を供給する配線(以下、低電源電位線ともいう)に電気的に接続される。

40

【0029】

薄膜トランジスタ14は、ゲート端子がパルス信号線に電気的に接続され、第1端子が薄膜トランジスタ11のゲート端子及び第2端子並びに薄膜トランジスタ12の第1端子に電気的に接続され、第2端子が出力信号を出力する配線(以下、出力信号線ともいう)に電気的に接続される。

【0030】

容量素子15は、一方の端子が薄膜トランジスタ14の第2端子及び出力信号線に電気的に接続され、他方の端子が低電源電位線に電気的に接続される。

50

【0031】

なお、薄膜トランジスタ11は、第1端子が高電源電位線に電気的に接続され、ゲート端子と第2端子が電気的に接続されたデプレッション型トランジスタである。つまり、薄膜トランジスタ11は、期間によらずオン状態を維持する。別言すると、薄膜トランジスタ11は、抵抗素子として利用されている。

【0032】

また、本明細書において、高電源電位（VDD）及び低電源電位（VSS）とは、それぞれを比較したときに高電源電位（VDD）が低電源電位（VSS）より高くなればどのような電位であってもよい。例えば、低電源電位（VSS）として、接地電位又は0Vなどを適用し、高電源電位（VDD）として、任意の正電位を適用することなどができる。

10

【0033】

次いで、図1（A）に示した回路の動作について、図1（B）に示すタイミングチャートを参照しながら説明する。なお、図1（B）では、便宜上、薄膜トランジスタ11のゲート端子及び第2端子、薄膜トランジスタ12の第1端子並びに薄膜トランジスタ14の第1端子が電気的に接続するノードをノードAとして説明する。

【0034】

期間T1において、入力信号（IN）及びパルス信号（PS）の電位がハイレベルに増加する。そのため、薄膜トランジスタ12、薄膜トランジスタ13、薄膜トランジスタ14がオンする。これにより、ノードA及び容量素子の一方の端子が低電源電位線に電気的に接続する。つまり、ノードAの電位及びインバータの出力信号（OUT）がロウレベルに低下する。また、容量素子15には、電荷が蓄積されない。

20

【0035】

期間T2において、パルス信号（PS）の電位がロウレベルに低下する。そのため、薄膜トランジスタ13及び薄膜トランジスタ14がオフする。薄膜トランジスタ13のオフに伴い、ノードAの電位がハイレベルに増加する。また、薄膜トランジスタ14のオフに伴い、容量素子15の一方の端子の電位は浮遊状態となる。そのため、インバータの出力信号（OUT）はロウレベルに維持される。

【0036】

期間T3において、入力信号（IN）の電位がロウレベルに低下し、パルス信号（PS）の電位がハイレベルに増加する。そのため、薄膜トランジスタ12がオフし、薄膜トランジスタ13及び薄膜トランジスタ14がオンする。これにより、ノードA及び容量素子15の一方の端子が、薄膜トランジスタ11を介して高電源電位線に電気的に接続する。つまり、ノードAの電位及びインバータの出力信号（OUT）がハイレベルに増加する。また、容量素子15の一方の端子には、正電荷が蓄積される。

30

【0037】

本実施の形態のインバータが有する複数の薄膜トランジスタは、チャネル形成領域が酸化物半導体によって構成される。該酸化物半導体は、水素濃度が低減された酸化物半導体である。具体的には、当該酸化物半導体の水素濃度は、 5×10^{19} (atoms/cm³) 以下であり、無電界中においては、絶縁体又は絶縁体に近い半導体（実質的には絶縁体）として機能する。そのため、当該酸化物半導体によってチャネル形成領域が構成される薄膜トランジスタのオフ電流を低減することができる。これにより、当該薄膜トランジスタを介した電荷のリークを抑制することができる。

40

【0038】

例えば、薄膜トランジスタ14のチャネル形成領域が当該酸化物半導体によって構成されることによって、容量素子15の一方の端子の電位が浮遊状態にある期間（期間T2）における電位の変化量（期間T2における電位の増加など）を低減することができる。これにより、当該インバータの誤動作を防止することができる。また、容量素子15の一方の端子の電位が浮遊状態にある期間を長くすることもできる。別言すると、容量素子15への情報の再書き込み（リフレッシュともいう）の頻度を低減することができる。

【0039】

50

また、薄膜トランジスタ13のチャネル形成領域が当該酸化物半導体によって構成されることによって、入力信号(IN)の電位がハイレベルであり且つパルス信号(PS)の電位がロウレベルである期間(期間T2)に高電源電位線から低電源電位線に流れる貫通電流を低減することができる。これにより、当該インバータの消費電力を低減することができる。

【0040】

なお、本実施の形態のインバータは、図1(A)に示したインバータに限定されない。以下に、図1(C)を参照しながら、図1(A)に示したインバータと異なるインバータの一例について説明する。

【0041】

図1(C)に示すインバータは、薄膜トランジスタ21乃至薄膜トランジスタ24と、容量素子25とを有する。ここでは、薄膜トランジスタ21は、デプレッション型トランジスタであり、薄膜トランジスタ22乃至薄膜トランジスタ24はエンハンスメント型トランジスタであるとする。

【0042】

薄膜トランジスタ21は、第1端子が高電源電位線に電気的に接続される。

【0043】

薄膜トランジスタ22は、ゲート端子がパルス信号線に電気的に接続され、第1端子が薄膜トランジスタ21のゲート端子及び第2端子に電気的に接続される。

【0044】

薄膜トランジスタ23は、ゲート端子が入力信号線に電気的に接続され、第1端子が薄膜トランジスタ22の第2端子に電気的に接続され、第2端子が低電源電位線に電気的に接続される。

【0045】

薄膜トランジスタ24は、ゲート端子がパルス信号線に電気的に接続され、第1端子が薄膜トランジスタ22の第2端子及び薄膜トランジスタ23の第1端子に電気的に接続され、第2端子が出力信号線に電気的に接続される。

【0046】

容量素子25は、一方の端子が薄膜トランジスタ24の第2端子及び出力信号線に電気的に接続され、他方の端子が低電源電位線に電気的に接続される。

【0047】

端的に言うと、図1(C)に示すインバータは、図1(A)に示した薄膜トランジスタ13を薄膜トランジスタ22に置換した回路である。

【0048】

次いで、図1(C)に示した回路の動作について、図1(D)に示すタイミングチャートを参照しながら説明する。なお、図1(D)では、便宜上、薄膜トランジスタ22の第2端子、薄膜トランジスタ23の第1端子及び薄膜トランジスタ24の第1端子が電気的に接続するノードをノードBとして説明する。

【0049】

期間T4において、入力信号(IN)及びパルス信号(PS)の電位がハイレベルに増加する。そのため、薄膜トランジスタ22、薄膜トランジスタ23、薄膜トランジスタ24がオンする。これにより、ノードB及び容量素子25の一方の端子が低電源電位線に電気的に接続する。つまり、ノードBの電位及びインバータの出力信号(OUT)がロウレベルに低下する。また、容量素子25には、電荷が蓄積されない。

【0050】

期間T5において、パルス信号(PS)の電位がロウレベルに低下する。そのため、薄膜トランジスタ22及び薄膜トランジスタ24がオフする。薄膜トランジスタ24のオフに伴い、容量素子25の一方の端子の電位は浮遊状態となる。そのため、インバータの出力信号(OUT)はロウレベルに維持される。なお、ノードBの電位は、ロウレベルである。

10

20

30

40

50

【0051】

期間T6において、入力信号(IN)の電位がロウレベルに低下し、パルス信号(PS)の電位がハイレベルに増加する。そのため、薄膜トランジスタ23がオフし、薄膜トランジスタ22及び薄膜トランジスタ24がオンする。これにより、ノードB及び容量素子25の一方の端子が、薄膜トランジスタ21を介して高電源電位線に電気的に接続する。つまり、ノードBの電位及びインバータの出力信号(OUT)がハイレベルに増加する。また、容量素子25の一方の端子には、正電荷が蓄積される。

【0052】

図1(C)に示したインバータが有する複数の薄膜トランジスタは、チャネル形成領域が酸化物半導体によって構成される。該酸化物半導体は、水素濃度が低減された酸化物半導体である。具体的には、当該酸化物半導体の水素濃度は、 5×10^{-9} (atoms/cm³) 以下であり、無電界中においては、絶縁体又は絶縁体に近い半導体(実質的には絶縁体)として機能する。そのため、当該酸化物半導体によってチャネル形成領域が構成される薄膜トランジスタのオフ電流を低減することができる。これにより、当該薄膜トランジスタを介した電荷のリークを抑制することができる。

10

【0053】

例えば、薄膜トランジスタ24のチャネル形成領域が当該酸化物半導体によって構成されることによって、容量素子25の一方の端子の電位が浮遊状態にある期間における電位の変化量を低減することができる。これにより、当該インバータの誤動作を防止することができる。また、ノードBが浮遊状態にある期間を長くすることもできる。別言すると、容量素子25への情報の再書き込み(リフレッシュともいう)の頻度を低減することができる。

20

【0054】

また、薄膜トランジスタ22のチャネル形成領域が当該酸化物半導体によって構成されることによって、入力信号(IN)の電位がハイレベルであり且つパルス信号(PS)の電位がロウレベルである期間(期間T5)に高電源電位線から低電源電位線に流れる貫通電流を低減することができる。これにより、当該インバータの消費電力を低減することができる。

【0055】

また、上述したインバータでは、高電源電位線に電気的に接続する薄膜トランジスタにデプレーション型トランジスタを適用したが、当該薄膜トランジスタをエンハンスマント型トランジスタとすることもできる。図2(A)には、図1(A)に示したインバータが有する薄膜トランジスタ11をエンハンスマント型トランジスタである薄膜トランジスタ31に置換した図を示す。同様に、図2(B)には、図1(C)に示したインバータが有する薄膜トランジスタ21をエンハンスマント型トランジスタである薄膜トランジスタ41に置換した図を示す。なお、薄膜トランジスタ31及び薄膜トランジスタ41は、ゲート端子及び第1端子が高電源電位線に電気的に接続される。

30

【0056】

また、上述したインバータでは、容量素子を有する構成について示したが、当該容量素子がなくても、当該インバータは機能し得る。図2(C)には、図2(A)に示したインバータから容量素子15を削除した図を示す。同様に、図2(D)には、図2(B)に示したインバータから容量素子25を削除した図を示す。

40

【0057】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0058】

(実施の形態2)

本実施の形態では、論理回路の一例について説明する。具体的には、実施の形態1に示したインバータを有するシフトレジスタの一例について、図3及び図4を用いて説明する。

【0059】

50

本実施の形態のシフトレジスタは、複数のパルス出力回路と、該複数のパルス出力回路の奇数番目に電気的に接続された、第1のクロック信号（CK1）を供給する配線（以下、第1のクロック信号線ともいう）と、該複数のパルス出力回路の偶数番目に電気的に接続された、第2のクロック信号（CK2）を供給する配線（以下、第2のクロック信号線ともいう）と、を有する。さらに、各パルス出力回路の入力端子は、スタートパルス信号（SP）を供給する配線（以下、スタートパルス線ともいう）又は前段のパルス出力回路の出力端子に電気的に接続される。

【0060】

パルス出力回路の具体的な回路構成例について図3（A）を参照しながら説明する。なお、図3（A）では、パルス出力回路110、120、130を図示している。

10

【0061】

パルス出力回路110は、薄膜トランジスタ101乃至薄膜トランジスタ104と、容量素子105とを有する。ここでは、薄膜トランジスタ101は、デプレッション型トランジスタであり、薄膜トランジスタ102乃至薄膜トランジスタ104はエンハンスマント型トランジスタであるとする。

【0062】

薄膜トランジスタ101は、第1端子が高電源電位線に電気的に接続される。

【0063】

薄膜トランジスタ102は、ゲート端子がスタートパルス線に電気的に接続され、第1端子が薄膜トランジスタ101のゲート端子及び第2端子に電気的に接続される。

20

【0064】

薄膜トランジスタ103は、ゲート端子が第1のクロック信号線に電気的に接続され、第1端子が薄膜トランジスタ102の第2端子に電気的に接続され、第2端子が低電源電位線に電気的に接続される。

【0065】

薄膜トランジスタ104は、ゲート端子が第1のクロック信号線に電気的に接続され、第1端子が薄膜トランジスタ101のゲート端子及び第2端子並びに薄膜トランジスタ102の第1端子に電気的に接続される。

【0066】

容量素子105は、一方の端子が薄膜トランジスタ104の第2端子に電気的に接続され、他方の端子が低電源電位線に電気的に接続される。

30

【0067】

すなわち、図3（A）に示したパルス出力回路110は、図1（A）に示したインバータによって構成される。

【0068】

なお、単にパルス出力回路110の入力端子または出力端子と記す場合、該入力端子は、スタートパルス信号（SP）又は前段のパルス出力回路の出力信号が入力される端子を指し、該出力端子は、後段のパルス入力端子に対して信号を出力する端子を指すこととする。つまり、ここでは、薄膜トランジスタ102のゲート端子がパルス出力回路の入力端子と電気的に接続され、薄膜トランジスタ104の第2端子及び容量素子105の一方の端子が出力端子に電気的に接続されている。また、当該出力端子及び当該入力端子に該当するものが無い場合は、薄膜トランジスタ102のゲート端子がパルス出力回路の入力端子であり、薄膜トランジスタ104の第2端子及び容量素子105の一方の端子が出力端子であると表現することができる。

40

【0069】

パルス出力回路120の具体的な回路構成は、パルス出力回路110と同じであるため、ここでは前述の説明を援用することとする。ただし、パルス出力回路120においては、入力端子がパルス出力回路110の出力端子に電気的に接続される点及びパルス出力回路110において第1のクロック信号（CK1）が入力されていた端子に第2のクロック信号（CK2）が入力される点がパルス出力回路110とは異なる。

50

【0070】

パルス出力回路120以降に設けられたパルス出力回路の回路構成もパルス出力回路110及びパルス出力回路120と同じである。そのため、ここでは前述の説明を援用することとする。また、上記したように、奇数番目に設けられたパルス出力回路は、第1のクロック信号線に電気的に接続され、偶数番目に設けられたパルス出力回路は、第2のクロック信号線に電気的に接続される。

【0071】

次いで、図3(A)に示した回路の動作について、図3(B)に示すタイミングチャートを参照しながら説明する。なお、図3(B)では、便宜上、図3(A)中の回路の特定のノードにC~Gの符号を付し、当該各ノードの電位の変化を参照しながら説明する。

10

【0072】

期間t1において、スタートパルス信号(SP)の電位がハイレベルに増加する。そのため、薄膜トランジスタ102がオンする。また、薄膜トランジスタ101は、ゲート端子と第2端子が電気的に接続されたデブレッショングループである。つまり、薄膜トランジスタ101は、期間によらずオン状態を維持する。別言すると、薄膜トランジスタ101は、抵抗素子として利用されている。

【0073】

期間t2において、スタートパルス信号(SP)の電位がハイレベルを維持する。そのため、薄膜トランジスタ102がオン状態を維持する。

【0074】

20

期間t3において、第1のクロック信号(CK1)の電位がハイレベルに増加する。そのため、薄膜トランジスタ103及び薄膜トランジスタ104がオンする。また、スタートパルス信号(SP)の電位がハイレベルを維持する。そのため、薄膜トランジスタ102はオン状態を維持する。これにより、ノードC及びノードDが低電源電位線に電気的に接続する。つまり、ノードC及びノードDの電位がロウレベルに低下する。

【0075】

期間t4において、第1のクロック信号(CK1)の電位がロウレベルに低下する。そのため、薄膜トランジスタ103及び薄膜トランジスタ104がオフする。これにより、ノードCは、薄膜トランジスタ101を介して、高電源電位線に電気的に接続され、ノードDは、浮遊状態になる。つまり、ノードCの電位はハイレベルに増加し、ノードDの電位はロウレベルを維持する。

30

【0076】

期間t5において、スタートパルス信号(SP)の電位がロウレベルに低下する。そのため、薄膜トランジスタ102がオフする。また、第2のクロック信号(CK2)の電位がハイレベルに増加する。そのため、薄膜トランジスタ113及び薄膜トランジスタ114がオンする。これにより、ノードFは、薄膜トランジスタ111を介して、高電源電位線に電気的に接続される。つまり、ノードFの電位がハイレベルに増加する。これにより、薄膜トランジスタ122がオンする。

【0077】

40

期間t6において、第2のクロック信号(CK2)の電位がロウレベルに低下する。そのため、薄膜トランジスタ113及び薄膜トランジスタ114がオフする。これにより、ノードFは、浮遊状態になる。つまり、ノードE及びノードFの電位は、ハイレベルを維持する。

【0078】

期間t7において、第1のクロック信号(CK1)の電位がハイレベルに増加する。そのため、薄膜トランジスタ103、薄膜トランジスタ104、薄膜トランジスタ123及び薄膜トランジスタ124がオンする。薄膜トランジスタ104のオンに伴い、ノードDは、薄膜トランジスタ101を介して、高電源電位線に電気的に接続される。つまり、ノードDの電位はハイレベルに増加する。これにより、薄膜トランジスタ112がオンする。また、ノードFの電位はハイレベルを維持する。そのため、薄膜トランジスタ122は

50

オン状態を維持する。これにより、ノードGは、低電源電位線に電気的に接続される。つまり、ノードGの電位がロウレベルに低下する。

【0079】

期間t8において、第1のクロック信号(CK1)の電位がロウレベルに低下する。そのため、薄膜トランジスタ103、薄膜トランジスタ104、薄膜トランジスタ123及び薄膜トランジスタ124がオフする。薄膜トランジスタ104のオフに伴い、ノードCは、薄膜トランジスタ101を介して、高電源電位線に電気的に接続され、ノードDは、浮遊状態になる。そのため、ノードC及びノードDの電位がハイレベルを維持する。また、薄膜トランジスタ123のオフに伴い、ノードGは、薄膜トランジスタ121を介して、高電源電位線に電気的に接続される。つまり、ノードGの電位がハイレベルに増加する。

10

【0080】

期間t9において、第2のクロック信号(CK2)の電位がハイレベルに増加する。そのため、薄膜トランジスタ113及び薄膜トランジスタ114がオンする。また、ノードDの電位はハイレベルを維持している。そのため、薄膜トランジスタ112がオン状態を維持する。これにより、ノードE及びノードFは、低電源電位線に電気的に接続される。つまり、ノードE及びノードFの電位がロウレベルに低下する。そのため、薄膜トランジスタ122がオフする。また、スタートパルス(SP)の電位が再度ハイレベルに増加する。なお、当該期間以降におけるスタートパルス(SP)の電位の増加に伴う動作は、期間t1以降における動作と同じである。そのため、ここでは、前述の説明を援用することとする。

20

【0081】

期間t10において、第2のクロック信号(CK2)の電位がロウレベルに低下する。そのため、薄膜トランジスタ113及び薄膜トランジスタ114がオフする。これにより、ノードFは、浮遊状態になる。つまり、ノードFの電位がロウレベルを維持する。また、ノードEは、薄膜トランジスタ111を介して、高電源電位線に電気的に接続される。つまり、ノードEの電位がハイレベルに増加する。

【0082】

期間t10以降の動作については、上述した動作の繰り返しとなる。そのため、ここでは前述の説明を援用することとする。

30

【0083】

なお、各パルス出力回路が有する容量素子(容量素子105、115、125など)は、各パルス出力回路の出力信号を保持するために設けられる。

【0084】

本実施の形態のシフトレジスタが有する複数の薄膜トランジスタは、チャネル形成領域が酸化物半導体によって構成される。該酸化物半導体は、水素濃度が低減された酸化物半導体である。具体的には、当該酸化物半導体の水素濃度は、 5×10^{-9} (atoms/cm³)以下であり、無電界中においては、絶縁体又は絶縁体に近い半導体(実質的には絶縁体)として機能する。そのため、当該酸化物半導体によってチャネル形成領域が構成される薄膜トランジスタのオフ電流を低減することができる。これにより、当該薄膜トランジスタを介した電荷のリークを抑制することができる。

40

【0085】

例えば、薄膜トランジスタ104のチャネル形成領域が当該酸化物半導体によって構成されることによって、ノードDが浮遊状態にある期間(期間t4~期間t6など)におけるノードDの電位の変化量(期間t4~期間t6における電位の増加など)を低減することができる。これにより、当該シフトレジスタの誤動作を防止することができる。また、ノードDが浮遊状態にある期間を長くすることもできる。別言すると、容量素子105への情報の再書き込み(リフレッシュともいう)の頻度を低減することができる。

【0086】

また、薄膜トランジスタ103のチャネル形成領域が当該酸化物半導体によって構成さ

50

れることによって、スタートパルス (S P) の電位がハイレベルであり且つ第 1 のクロック信号 (C K 1) の電位がロウレベルである期間 (期間 t 1 、期間 t 2 、期間 t 4 など) に高電源電位線から低電源電位線に流れる貫通電流を低減することができる。これにより、当該シフトレジスタの消費電力を低減することができる。

【 0 0 8 7 】

なお、本実施の形態のシフトレジスタは、図 3 (A) に示したシフトレジスタに限定されない。以下に、図 4 を参照しながら、図 3 のシフトレジスタと異なるシフトレジスタの一例について説明する。

【 0 0 8 8 】

図 4 (A) に示すシフトレジスタは、パルス出力回路 2 1 0 乃至パルス出力回路 2 3 0 を有する。パルス出力回路 2 1 0 は、薄膜トランジスタ 2 0 1 乃至薄膜トランジスタ 2 0 4 と、容量素子 2 0 5 とを有する。ここでは、薄膜トランジスタ 2 0 1 は、デプレッショーン型トランジスタであり、薄膜トランジスタ 2 0 2 乃至薄膜トランジスタ 2 0 4 はエンハンスメント型トランジスタであるとする。

【 0 0 8 9 】

薄膜トランジスタ 2 0 1 は、第 1 端子が高電源電位線に電気的に接続される。

【 0 0 9 0 】

薄膜トランジスタ 2 0 2 は、ゲート端子が第 1 のクロック信号線に電気的に接続され、第 1 端子が薄膜トランジスタ 2 0 1 のゲート端子及び第 2 端子に電気的に接続される。

【 0 0 9 1 】

薄膜トランジスタ 2 0 3 は、ゲート端子がスタートパルス線に電気的に接続され、第 1 端子が薄膜トランジスタ 2 0 2 の第 2 端子に電気的に接続され、第 2 端子が低電源電位線に電気的に接続される。

【 0 0 9 2 】

薄膜トランジスタ 2 0 4 は、ゲート端子が第 1 のクロック信号線に電気的に接続され、第 1 端子が薄膜トランジスタ 2 0 2 の第 2 端子及び薄膜トランジスタ 2 0 3 の第 1 端子に電気的に接続される。

【 0 0 9 3 】

容量素子 2 0 5 は、一方の端子が薄膜トランジスタ 2 0 4 の第 2 端子に電気的に接続され、他方の端子が低電源電位線に電気的に接続される。

【 0 0 9 4 】

端的に言うと、図 4 (A) に示すパルス出力回路 2 1 0 は、図 3 (A) に示したパルス出力回路 1 1 0 が有する薄膜トランジスタ 1 0 3 を薄膜トランジスタ 2 0 2 に置換した回路である。

【 0 0 9 5 】

図 4 (B) には、図 4 (A) に示した回路の動作を表すタイミングチャートを示す。なお、図 4 (B) では、便宜上、図 4 (A) 中の回路の特定のノードに H ~ L の符号を付し、当該各ノードの電位の変化を参照しながら説明する。

【 0 0 9 6 】

期間 t 1 1 において、スタートパルス信号 (S P) の電位がハイレベルに増加する。そのため、薄膜トランジスタ 2 0 3 がオンする。これにより、ノード H が低電源電位線に電気的に接続する。つまり、ノード H の電位がロウレベルに低下する。

【 0 0 9 7 】

期間 t 1 2 において、スタートパルス信号 (S P) の電位がハイレベルを維持する。つまり、ノード H の電位がロウレベルを維持する。

【 0 0 9 8 】

期間 t 1 3 において、第 1 のクロック信号 (C K 1) の電位がハイレベルに増加する。そのため、薄膜トランジスタ 2 0 2 及び薄膜トランジスタ 2 0 4 がオンする。また、スタートパルス信号 (S P) の電位がハイレベルを維持する。そのため、薄膜トランジスタ 2 0 3 はオン状態を維持する。これにより、ノード I が低電源電位線に電気的に接続する。

10

20

30

40

50

つまり、ノードIの電位がロウレベルに低下する。

【0099】

期間t14において、第1のクロック信号(CK1)の電位がロウレベルに低下する。そのため、薄膜トランジスタ202及び薄膜トランジスタ204がオフする。これにより、ノードIは、浮遊状態になる。そのため、ノードIの電位がロウレベルを維持する。

【0100】

期間t15において、スタートパルス信号(SP)の電位がロウレベルに低下する。そのため、薄膜トランジスタ203がオフする。これにより、ノードHは、浮遊状態になる。そのため、ノードHの電位がロウレベルを維持する。また、第2のクロック信号(CK2)の電位がハイレベルに増加する。そのため、薄膜トランジスタ212及び薄膜トランジスタ214がオンする。これにより、ノードJ及びノードKは、薄膜トランジスタ211を介して、高電源電位線に電気的に接続される。つまり、ノードJ及びノードKの電位がハイレベルに増加する。そのため、薄膜トランジスタ223がオンする。これにより、ノードLは、低電源電位線に電気的に接続される。つまり、ノードLの電位がロウレベルに低下する。

【0101】

期間t16において、第2のクロック信号(CK2)の電位がロウレベルに低下する。そのため、薄膜トランジスタ212及び薄膜トランジスタ214がオフする。これにより、ノードJ及びノードKは、浮遊状態になる。そのため、ノードJ及びノードKの電位はハイレベルを維持し、ノードLの電位はロウレベルを維持する。

【0102】

期間t17において、第1のクロック信号(CK1)の電位がハイレベルに増加する。そのため、薄膜トランジスタ202、薄膜トランジスタ204、薄膜トランジスタ222及び薄膜トランジスタ224がオンする。薄膜トランジスタ202及び薄膜トランジスタ204のオンに伴い、ノードH及びノードIは、薄膜トランジスタ201を介して、高電源電位線に電気的に接続される。つまり、ノードH及びノードIの電位はハイレベルに増加する。そのため、薄膜トランジスタ213がオンする。これにより、ノードJは、低電源電位線に電気的に接続される。つまり、ノードJの電位がロウレベルに低下する。

【0103】

期間t18において、第1のクロック信号(CK1)の電位がロウレベルに低下する。そのため、薄膜トランジスタ202、薄膜トランジスタ204、薄膜トランジスタ222及び薄膜トランジスタ224がオフする。薄膜トランジスタ202及び薄膜トランジスタ204のオフに伴い、ノードH及びノードIは、浮遊状態になる。そのため、ノードH及びノードIの電位がハイレベルを維持する。

【0104】

期間t19において、第2のクロック信号(CK2)の電位がハイレベルに増加する。そのため、薄膜トランジスタ212及び薄膜トランジスタ214がオンする。また、ノードIの電位はハイレベルを維持している。そのため、薄膜トランジスタ213がオン状態を維持する。これにより、ノードJ及びノードKは、低電源電位線に電気的に接続される。つまり、ノードJの電位がロウレベルを維持し、ノードKの電位がロウレベルに低下する。そのため、薄膜トランジスタ223がオフする。これにより、ノードLが低電源電位線に電気的に接続される。つまり、ノードLの電位がロウレベルを維持する。また、スタートパルス(SP)の電位が再度ハイレベルに増加する。なお、当該期間以降におけるスタートパルス(SP)の電位の増加に伴う動作は、期間t11以降における動作と同じである。そのため、ここでは、前述の説明を援用することとする。

【0105】

期間t20において、第2のクロック信号(CK2)の電位がロウレベルに低下する。そのため、薄膜トランジスタ212及び薄膜トランジスタ214がオフする。これにより、ノードJ及びノードKは、浮遊状態になる。その結果、ノードJ及びノードKの電位がロウレベルを維持する。

10

20

30

40

50

【0106】

期間 t_{20} 以降の動作については、上述した動作の繰り返しとなる。そのため、ここでは前述の説明を援用することとする。

【0107】

なお、各パルス出力回路が有する容量素子（容量素子 205、215、225など）は、各パルス出力回路の出力信号を保持するために設けられる。

【0108】

図4に示したシフトレジスタが有する複数の薄膜トランジスタは、チャネル形成領域が酸化物半導体によって構成される。該酸化物半導体は、水素濃度が低減された酸化物半導体である。具体的には、当該酸化物半導体の水素濃度は、 5×10^{19} (atoms/cm³) 以下であり、無電界中においては、絶縁体又は絶縁体に近い半導体（実質的には絶縁体）として機能する。そのため、当該酸化物半導体によってチャネル形成領域が構成される薄膜トランジスタのオフ電流を低減することができる。これにより、当該薄膜トランジスタを介した電荷のリークを抑制することができる。

10

【0109】

例えは、薄膜トランジスタ 204 のチャネル形成領域が当該酸化物半導体によって構成されることによって、ノード I が浮遊状態にある期間（期間 t_{11} 、期間 t_{12} 、期間 $t_{14} \sim$ 期間 t_{16} 、期間 $t_{18} \sim$ 期間 t_{20} など）における電位の変化量（期間 t_{11} 、期間 t_{12} 、期間 t_{19} 、期間 t_{20} などにおける電位の低下）を低減することができる。これにより、当該シフトレジスタの誤動作を防止することができる。また、ノード I が浮遊状態にある期間を長くすることもできる。別言すると、容量素子 205 への情報の再書き込み（リフレッシュともいう）の頻度を低減することができる。

20

【0110】

また、薄膜トランジスタ 202 のチャネル形成領域が当該酸化物半導体によって構成されることによって、スタートパルス（SP）の電位がハイレベルであり且つ第1のクロック信号（CK1）の電位がロウレベルである期間（期間 t_{11} 、期間 t_{12} 、期間 $t_{14} \sim$ 期間 t_{16} 、期間 $t_{18} \sim$ 期間 t_{20} など）に高電源電位線から低電源電位線に流れる貫通電流を低減することができる。これにより、当該シフトレジスタの消費電力を低減することができる。

30

【0111】

また、上述したシフトレジスタでは、高電源電位線に電気的に接続する薄膜トランジスタにデプレーション型トランジスタを適用したが、当該薄膜トランジスタをエンハンスマント型トランジスタとすることもできる。すなわち、図2（A）及び図2（B）に示したインバータを本実施の形態のパルス出力回路として適用することが可能である。

【0112】

また、上述したシフトレジスタでは、各パルス出力回路が容量素子を有する構成について示したが、当該容量素子がなくても、当該シフトレジスタは機能し得る。すなわち、図2（C）及び図2（D）に示したインバータを本実施の形態のパルス出力回路として適用することが可能である。

40

【0113】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0114】

(実施の形態3)

本実施の形態では、実施の形態1又は2に示した論理回路が有する薄膜トランジスタの一例について示す。

【0115】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図5及び図6を用いて説明する。

【0116】

図5（A）、（B）に薄膜トランジスタの平面及び断面構造の一例を示す。図5（A）

50

、(B)に示す薄膜トランジスタ410は、トップゲート構造の薄膜トランジスタの一つである。

【0117】

図5(A)はトップゲート構造の薄膜トランジスタ410の平面図であり、図5(B)は図5(A)の線C1-C2における断面図である。

【0118】

薄膜トランジスタ410は、絶縁表面を有する基板400上に、絶縁層407、酸化物半導体層412、ソース電極層又はドレイン電極層415a、及びソース電極層又はドレイン電極層415b、ゲート絶縁層402、ゲート電極層411を含み、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bにそれぞれ配線層414a、配線層414bが接して設けられ電気的に接続している。

10

【0119】

また、薄膜トランジスタ410はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0120】

以下、図6(A)乃至(E)を用い、基板400上に薄膜トランジスタ410を作製する工程を説明する。

【0121】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

20

【0122】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。一般に、酸化ホウ素(B₂O₃)と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、B₂O₃よりBaOを多く含むガラス基板を用いることが好ましい。

【0123】

30

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0124】

まず、絶縁表面を有する基板400上に下地膜となる絶縁層407を形成する。酸化物半導体層と接する絶縁層407は、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などの酸化物絶縁層を用いると好ましい。絶縁層407の成膜方法としては、プラズマCVD法又はスパッタリング法等を用いることができるが、絶縁層407中に水素が多量に含まれないようにするためには、スパッタリング法で絶縁層407を成膜することが好ましい。

40

【0125】

本実施の形態では、絶縁層407として、スパッタリング法により酸化シリコン層を成膜する。基板400を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて、基板400に絶縁層407として、酸化シリコン層を成膜する。また基板400は室温でもよいし、加熱されていてもよい。

【0126】

例えば、石英(好ましくは合成石英)をターゲットとして用い、基板温度108°C、基板とターゲットとの間との距離(T-S間距離)を60mm、圧力0.4Pa、高周波電源電力1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm)

50

= 1 : 1) 雰囲気下で R F スパッタリング法により酸化シリコン層を成膜する。膜厚は 100 nm とする。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを酸化シリコン層を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いている。

【 0 1 2 7 】

この場合において、処理室内の残留水分を除去しつつ絶縁層 407 を成膜することが好ましい。絶縁層 407 に水素、水酸基又は水分が含まれないようにするためである。

【 0 1 2 8 】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを取り付けたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H₂O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し絶縁層 407 に含まれる不純物の濃度を低減できる。

【 0 1 2 9 】

絶縁層 407 を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

【 0 1 3 0 】

スパッタリング法にはスパッタ用電源に高周波電源を用いる R F スパッタリング法、直流電源を用いる D C スパッタリング法、さらにパルス的にバイアスを与えるパルス D C スパッタリング法がある。R F スパッタリング法は主に絶縁膜を成膜する場合に用いられ、D C スパッタリング法は主に金属膜を成膜する場合に用いられる。

【 0 1 3 1 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 1 3 2 】

また、チャンバー内部に磁石機構を備えたマグнетロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる E C R スパッタリング法を用いるスパッタ装置がある。

【 0 1 3 3 】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてこれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【 0 1 3 4 】

また、絶縁層 407 は積層構造でもよく、例えば、基板 400 側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

【 0 1 3 5 】

例えば、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて、酸化シリコン層と基板との間に窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【 0 1 3 6 】

窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

【 0 1 3 7 】

絶縁層 407 として窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むスパッタガスを導入して、処理室内に装着されたシリコン

10

20

30

40

50

ターゲットを用いて窒化シリコン層を形成し、次にスパッタガスを酸素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて酸化シリコン層を成膜する。窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。

【0138】

次いで、絶縁層407上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

【0139】

また、酸化物半導体層に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層407が形成された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、後に形成するゲート絶縁層402の成膜前の基板400に行ってもよいし、後に形成するソース電極層又はドレイン電極層415a及びソース電極層又はドレイン電極層415bまで形成した基板400にも同様に行ってもよい。

10

【0140】

なお、酸化物半導体層をスパッタリング法により成膜する前に、アルゴンガスを導入した状態でプラズマを発生させて逆スパッタを行い、絶縁層407の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加して基板上にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

20

【0141】

酸化物半導体層はスパッタリング法により成膜する。酸化物半導体層は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体層を用いる。本実施の形態では、酸化物半導体層をIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体層は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

30

【0142】

酸化物半導体層を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

【0143】

酸化物半導体層をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む金属酸化物ターゲット（組成比として、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1 [mol]、In : Ga : Zn = 1 : 1 : 0.5 [atom]）を用いることができる。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、In : Ga : Zn = 1 : 1 : 1 [atom]、又はIn : Ga : Zn = 1 : 1 : 2 [atom]の組成比を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層は緻密な膜となる。

40

【0144】

50

酸化物半導体層は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板400上に酸化物半導体層を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。また、酸化物半導体層成膜時に基板を加熱してもよい。

10

【0145】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を60mm、圧力0.4Pa、直流(DC)電源電力0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0146】

次いで、酸化物半導体層を第1のフォトリソグラフィ工程により島状の酸化物半導体層412に加工する(図6(A)参照)。また、島状の酸化物半導体層412を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0147】

なお、ここでの酸化物半導体層のエッティングは、ドライエッティングでもウェットエッティングでもよく、両方を用いてもよい。

【0148】

ドライエッティングに用いるエッティングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl₂)、塩化硼素(BCl₃)、塩化珪素(SiCl₄)、四塩化炭素(CCl₄)など)が好ましい。

30

【0149】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF₄)、弗化硫黄(SF₆)、弗化窒素(NF₃)、トリフルオロメタン(CHF₃)など)、臭化水素(HBr)、酸素(O₂)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0150】

ドライエッティング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用いることができる。所望の加工形状にエッティングできるように、エッティング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0151】

ウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0152】

また、ウェットエッティング後のエッティング液はエッティングされた材料とともに洗浄によって除去される。その除去された材料を含むエッティング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッティング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

50

【0153】

所望の加工形状にエッティングできるように、材料に合わせてエッティング条件（エッティング液、エッティング時間、温度等）を適宜調節する。

【0154】

本実施の形態では、エッティング液として磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッティング法により、酸化物半導体層を島状の酸化物半導体層412に加工する。

【0155】

本実施の形態では、酸化物半導体層412に、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、当該基板を大気にさらすことなく、酸化物半導体層への水や水素の混入を防ぐ。この第1の加熱処理によって酸化物半導体層412の脱水化または脱水素化を行うことができる。

【0156】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等のR T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。当該高温のガスとしては、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物とほとんど反応しない不活性気体が用いられる。

【0157】

例えば、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すG R T Aを行ってもよい。G R T Aを用いると短時間での高温加熱処理が可能となる。

【0158】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0159】

また、第1の加熱処理の条件、または酸化物半導体層412の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層412の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体の中に微結晶部（粒径1nm以上20nm以下（代表的には2nm以上4nm以下））が混在する酸化物半導体層となる場合もある。

【0160】

また、第1の加熱処理は、島状の酸化物半導体層412に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0161】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層412上にソース電極層及びドレイン電極層を積層させた後、ソ

10

20

30

40

50

ース電極層及びドレイン電極層上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0162】

次いで、絶縁層407及び酸化物半導体層412上に、導電層を成膜する。導電層をスパッタリング法や真空蒸着法で成膜すればよい。導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電層は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する2層構造、Ti層と、そのTi層上に重ねてアルミニウム層を積層し、さらにその上にTi層を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タンゲステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素を単数もしくは複数組み合わせた層又はそれらの合金層もしくは窒化層を用いてもよい。

【0163】

第2のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bを形成した後、レジストマスクを除去する(図6(B)参照)。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0164】

本実施の形態ではソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bとしてスパッタリング法により膜厚150nmのチタン層を形成する。

【0165】

なお、導電膜のエッチングの際に、酸化物半導体層412が除去されて、その下の絶縁層407が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0166】

本実施の形態では、導電膜としてTi層を用いて、酸化物半導体層412にはIn-Ga-Zn-O系酸化物半導体を用いて、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0167】

なお、第2のフォトリソグラフィ工程では、酸化物半導体層412は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0168】

第2のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層412上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャネル長Lが決定される。なお、チャネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第2のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光においては、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さくすることができるため、低消費電力化も図ることができる。

【0169】

次いで、絶縁層407、酸化物半導体層412、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415b上にゲート絶縁層402を形成する(図

10

20

30

40

50

6 (C) 参照)。

【 0 1 7 0 】

ゲート絶縁層 4 0 2 は、プラズマ C V D 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層の単層又は積層を適用することができる。なお、ゲート絶縁層 4 0 2 中に水素が大量に含まれないようにするためには、スパッタリング法でゲート絶縁層 4 0 2 を成膜することが好ましい。スパッタリング法により酸化シリコン層を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【 0 1 7 1 】

ゲート絶縁層 4 0 2 は、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b 側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。例えば、第 1 のゲート絶縁層として膜厚 5 nm 以上 3 0 0 nm 以下の酸化シリコン層 (SiO_x (x > 0)) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層としてスパッタリング法により膜厚 5 0 nm 以上 2 0 0 nm 以下の窒化シリコン層 (SiN_y (y > 0)) を積層して、膜厚 1 0 0 nm のゲート絶縁層としてもよい。本実施の形態では、圧力 0.4 Pa、高周波電源電力 1.5 kW、酸素及びアルゴン (酸素流量 2 5 sccm : アルゴン流量 2 5 sccm = 1 : 1) 雰囲気下で R F スパッタリング法により膜厚 1 0 0 nm の酸化シリコン層を形成する。

【 0 1 7 2 】

次いで、第 3 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層 4 0 2 の一部を除去して、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b に達する開口 4 2 1 a、4 2 1 b を形成する (図 6 (D) 参照) 。

【 0 1 7 3 】

次に、ゲート絶縁層 4 0 2 、及び開口 4 2 1 a、4 2 1 b 上に導電層を成膜した後、第 4 のフォトリソグラフィ工程によりゲート電極層 4 1 1 、配線層 4 1 4 a、4 1 4 b を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 1 7 4 】

また、ゲート電極層 4 1 1 、配線層 4 1 4 a、4 1 4 b は、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【 0 1 7 5 】

例えば、ゲート電極層 4 1 1 、配線層 4 1 4 a、4 1 4 b の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、または銅層上にモリブデン層を積層した 2 層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した 2 層構造、窒化チタン層とモリブデン層とを積層した 2 層構造とすることが好ましい。3 層の積層構造としては、タンゲステン層または窒化タンゲステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電層を用いてゲート電極層を形成することもできる。透光性を有する導電層としては、透光性導電性酸化物等をその例に挙げることができる。

【 0 1 7 6 】

本実施の形態ではゲート電極層 4 1 1 、配線層 4 1 4 a、4 1 4 b としてスパッタリング法により膜厚 1 5 0 nm のチタン層を形成する。

【 0 1 7 7 】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理 (好ましくは

10

20

30

40

50

200 以上 400 以下、例えば 250 以上 350 以下)を行う。本実施の形態では、窒素雰囲気下で 250 、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ 410 上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0178】

さらに大気中、100 以上 200 以下、1時間以上 30 時間以下の加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0179】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層 412 を有する薄膜トランジスタ 410 を作製することができる(図 6 (E) 参照)。薄膜トランジスタ 410 は、実施の形態 1 及び 2 に示した論理回路を構成する薄膜トランジスタとして適用することができる。

【0180】

また、薄膜トランジスタ 410 上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。例えば、保護絶縁層として酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層の単層又は積層を適用することができる。

【0181】

また、図示しないが、平坦化絶縁層としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、平坦化絶縁層を形成してもよい。

【0182】

なお、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基(例えばアルキル基やアリール基)やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0183】

平坦化絶縁層の成膜法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。

【0184】

上記のように酸化物半導体層を成膜する際に、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体層の安定化を図ることができる。

【0185】

上述した薄膜トランジスタを実施の形態 1 及び 2 に示した論理回路に適用することによって、安定な電気特性を有し信頼性の高い論理回路を提供することができる。

【0186】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0187】

(実施の形態 4)

本実施の形態では、実施の形態 1 又は 2 に示した論理回路が有する薄膜トランジスタの一例について示す。なお、実施の形態 3 と同一部分又は同様な機能を有する部分、及び工程は、実施の形態 3 と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所

10

20

30

40

50

の詳細な説明も省略する。

【0188】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図7及び図8を用いて説明する。

【0189】

図7(A)、(B)に薄膜トランジスタの平面及び断面構造の一例を示す。図7(A)、(B)に示す薄膜トランジスタ460は、トップゲート構造の薄膜トランジスタの一つである。

【0190】

図7(A)はトップゲート構造の薄膜トランジスタ460の平面図であり、図7(B)は図7(A)の線D1-D2における断面図である。

【0191】

薄膜トランジスタ460は、絶縁表面を有する基板450上に、絶縁層457、ソース電極層又はドレイン電極層465a(465a1、465a2)、酸化物半導体層462、ソース電極層又はドレイン電極層465b、配線層468、ゲート絶縁層452、ゲート電極層461(461a、461b)を含み、ソース電極層又はドレイン電極層465a(465a1、465a2)は配線層468を介して配線層464と電気的に接続している。また、図示していないが、ソース電極層又はドレイン電極層465bもゲート絶縁層452に設けられた開口において配線層と電気的に接続する。

【0192】

以下、図8(A)乃至(E)を用い、基板450上に薄膜トランジスタ460を作製する工程を説明する。

【0193】

まず、絶縁表面を有する基板450上に下地膜となる絶縁層457を形成する。

【0194】

本実施の形態では、絶縁層457として、スパッタリング法により酸化シリコン層を成膜する。基板450を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲット又は石英(好ましくは合成石英)を用いて、基板450に絶縁層457として、酸化シリコン層を成膜する。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【0195】

例えば、スパッタガスの純度が6Nであり、石英(好ましくは合成石英)を用い、基板温度108°C、基板とターゲットの間との距離(T-S間距離)を60mm、圧力0.4Pa、高周波電源電力1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により酸化シリコン層を成膜する。膜厚は100nmとする。なお、石英(好ましくは合成石英)に代えてシリコンターゲットを酸化シリコン層を成膜するためのターゲットとして用いることができる。

【0196】

この場合において、処理室内の残留水分を除去しつつ絶縁層457を成膜することが好ましい。絶縁層457に水素、水酸基又は水分が含まれないようにするためである。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し絶縁層457に含まれる不純物の濃度を低減できる。

【0197】

絶縁層457を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

【0198】

また、絶縁層457は積層構造でもよく、例えば、基板450側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層などの窒化物絶縁層

10

20

30

40

50

と、上記酸化物絶縁層との積層構造としてもよい。

【0199】

例えば、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて、酸化シリコン層と基板との間に窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【0200】

次いで、絶縁層457上に、導電層を成膜し、第1のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465a1、465a2を形成した後、レジストマスクを除去する（図8（A）参照）。ソース電極層又はドレイン電極層465a1、465a2は断面図では分断されて示されているが、連続した層である。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

10

【0201】

ソース電極層又はドレイン電極層465a1、465a2の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムから選択されたいずれか一または複数を用いてよい。また、金属導電層は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する2層構造、Ti層と、そのTi層上に重ねてアルミニウム層を積層し、さらにその上にTi層を成膜する3層構造などが挙げられる。また、Alに、チタン（Ti）、タンタル（Ta）、タンゲステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）、Sc（スカンジウム）から選ばれた元素を単数、又は複数組み合わせた層、合金層、もしくは窒化層を用いてよい。

20

【0202】

本実施の形態ではソース電極層又はドレイン電極層465a1、465a2としてスパッタリング法により膜厚150nmのチタン層を成膜する。

【0203】

次いで、絶縁層457及びソース電極層又はドレイン電極層465a1、465a2上に、膜厚2nm以上200nm以下の酸化物半導体層を成膜する。

30

【0204】

次に酸化物半導体層を第2のフォトリソグラフィ工程により島状の酸化物半導体層462に加工する（図8（B）参照）。本実施の形態では、酸化物半導体層をIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。

【0205】

酸化物半導体層は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板450上に酸化物半導体層を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（H₂O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。また、酸化物半導体層成膜時に基板を加熱してもよい。

40

【0206】

酸化物半導体層を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

50

【0207】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を60mm、圧力0.4Pa、直流(DC)電源電力0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0208】

本実施の形態では、エッティング液として磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッティング法により、酸化物半導体層を島状の酸化物半導体層462に加工する。

10

【0209】

本実施の形態では、酸化物半導体層462に、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層462の脱水化または脱水素化を行うことができる。

【0210】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

20

【0211】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

30

【0212】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶層または多結晶層となる場合もある。

【0213】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

40

【0214】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にさらにソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0215】

次いで、絶縁層457及び酸化物半導体層462上に、導電層を成膜し、第3のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッティングを行ってソース電極層又はドレイン電極層465b、配線層468を形成した後、レジストマスクを除去する(図8(C)参照)。ソース電極層又はドレイン電極層465b、配線層4

50

6 8 はソース電極層又はドレイン電極層 4 6 5 a 1 、 4 6 5 a 2 と同様な材料及び工程で形成すればよい。

【 0 2 1 6 】

本実施の形態ではソース電極層又はドレイン電極層 4 6 5 b 、配線層 4 6 8 としてスパッタリング法により膜厚 1 5 0 n m のチタン層を形成する。本実施の形態は、ソース電極層又はドレイン電極層 4 6 5 a 1 、 4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b に同じチタン層を用いる例のため、ソース電極層又はドレイン電極層 4 6 5 a 1 、 4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とはエッティングにおいて選択比がとれない。よって、ソース電極層又はドレイン電極層 4 6 5 a 1 、 4 6 5 a 2 が、ソース電極層又はドレイン電極層 4 6 5 b のエッティング時にエッティングされないように、酸化物半導体層 4 6 2 に覆われないソース電極層又はドレイン電極層 4 6 5 a 2 上に配線層 4 6 8 を設けている。ソース電極層又はドレイン電極層 4 6 5 a 1 、 4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とにエッティング工程において高い選択比を有する異なる材料を用いる場合には、エッティング時にソース電極層又はドレイン電極層 4 6 5 a 2 を保護する配線層 4 6 8 は必ずしも設けなくてもよい。

【 0 2 1 7 】

なお、導電膜のエッティングの際に、酸化物半導体層 4 6 2 が除去されないようにそれぞれの材料及びエッティング条件を適宜調節する。

【 0 2 1 8 】

本実施の形態では、導電膜として T i 層を用いて、酸化物半導体層 4 6 2 には I n - G a - Z n - O 系酸化物半導体を用いて、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【 0 2 1 9 】

なお、第 3 のフォトリソグラフィ工程では、酸化物半導体層 4 6 2 の一部がエッティングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層 4 6 5 b 、配線層 4 6 8 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 2 2 0 】

次いで、絶縁層 4 5 7 、酸化物半導体層 4 6 2 、ソース電極層又はドレイン電極層 4 6 5 a 1 、 4 6 5 a 2 、ソース電極層又はドレイン電極層 4 6 5 b 、及び配線層 4 6 8 上にゲート絶縁層 4 5 2 を形成する。

【 0 2 2 1 】

ゲート絶縁層 4 5 2 は、プラズマ C V D 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層の単層又は積層を適用することができる。なお、ゲート絶縁層 4 5 2 中に水素が多量に含まれないようにするために、スパッタリング法でゲート絶縁層 4 5 2 を成膜することが好ましい。スパッタリング法により酸化シリコン層を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【 0 2 2 2 】

ゲート絶縁層 4 5 2 は、ソース電極層又はドレイン電極層 4 6 5 a 1 、 4 6 5 a 2 、ソース電極層又はドレイン電極層 4 6 5 b 側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。本実施の形態では、圧力 0 . 4 P a 、高周波電源電力 1 . 5 k W 、酸素及びアルゴン（酸素流量 2 5 s c c m : アルゴン流量 2 5 s c c m = 1 : 1 ）雰囲気下で R F スパッタリング法によりスパッタリング法により膜厚 1 0 0 n m の酸化シリコン層を形成する。

【 0 2 2 3 】

次いで、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッティングを行ってゲート絶縁層 4 5 2 の一部を除去して、配線層 4 6 8 に達する開口 4 2 3

10

20

30

40

50

を形成する（図8（D）参照）。図示しないが開口423の形成時にソース電極層又はドレイン電極層465bに達する開口を形成してもよい。本実施の形態では、ソース電極層又はドレイン電極層465bへの開口はさらに層間絶縁層を積層した後に形成し、電気的に接続する配線層を開口に形成する例とする。

【0224】

次に、ゲート絶縁層452、及び開口423上に導電層を成膜した後、第5のフォトリソグラフィ工程によりゲート電極層461（461a、461b）、配線層464を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0225】

また、ゲート電極層461（461a、461b）、配線層464は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料の単層又は積層を適用することができる。

【0226】

本実施の形態ではゲート電極層461（461a、461b）、配線層464としてスパッタリング法により膜厚150nmのチタン層を成膜する。

【0227】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ460上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0228】

さらに大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0229】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層462を有する薄膜トランジスタ460を形成することができる（図8（E）参照）。

【0230】

また、薄膜トランジスタ460上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。なお、図示しないが、ゲート絶縁層452、保護絶縁層や平坦化絶縁層にソース電極層又はドレイン電極層465bに達する開口を形成し、その開口に、ソース電極層又はドレイン電極層465bと電気的に接続する配線層を形成する。

【0231】

上記のように酸化物半導体膜を成膜する際に、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0232】

上述した薄膜トランジスタを実施の形態1及び2に示した論理回路に適用することによって、安定な電気特性を有し信頼性の高い論理回路を提供することができる。

【0233】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0234】

（実施の形態5）

本実施の形態では、実施の形態1又は2に示した論理回路が有する薄膜トランジスタの一例について示す。なお、実施の形態3又は4と同一部分又は同様な機能を有する部分、及び工程は、実施の形態3又は4と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

10

20

30

40

50

【0235】

本実施の形態の薄膜トランジスタを、図9を用いて説明する。

【0236】

図9(A)、(B)に薄膜トランジスタの断面構造の一例を示す。図9(A)、(B)に示す薄膜トランジスタ425、426は、酸化物半導体層を導電層とゲート電極層とで挟んだ構造の薄膜トランジスタの一つである。

【0237】

また、図9(A)、(B)において、基板はシリコン基板を用いており、シリコン基板420上に設けられた絶縁層422上に薄膜トランジスタ425、426がそれぞれ設けられている。

10

【0238】

図9(A)において、シリコン基板420に設けられた絶縁層422と絶縁層407との間に少なくとも酸化物半導体層412全体と重なるように導電層427が設けられている。

【0239】

なお、図9(B)は、絶縁層422と絶縁層407との間の導電層が、導電層424のようにエッチングにより加工され、酸化物半導体層412の少なくともチャネル形成領域を含む一部と重なる例である。

【0240】

導電層427、424は後工程で行われる加熱処理温度に耐えられる金属材料であればよく、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金、または上述した元素を成分とする窒化物などを用いることができる。また、単層構造でも積層構造でもよく、例えばタングステン層単層、又は窒化タングステン層とタングステン層との積層構造などを用いることができる。

20

【0241】

また、導電層427、424は、電位が薄膜トランジスタ425、426のゲート電極層411と同じでもよいし、異なっていても良く、第2のゲート電極層として機能させることもできる。また、導電層427、424の電位がGND、0Vという固定電位であつてもよい。

30

【0242】

導電層427、424によって、薄膜トランジスタ425、426の電気特性を制御することができる。

【0243】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0244】

(実施の形態6)

本実施の形態では、実施の形態1又は2に示した論理回路が有する薄膜トランジスタの一例について示す。

【0245】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図10を用いて説明する。

40

【0246】

図10(E)に薄膜トランジスタの断面構造の一例を示す。図10(E)に示す薄膜トランジスタ390は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0247】

また、薄膜トランジスタ390はシングルゲート構造の薄膜トランジスタを用いて説明するが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

50

【0248】

以下、図10(A)乃至(E)を用い、基板394上に薄膜トランジスタ390を作製する工程を説明する。

【0249】

まず、絶縁表面を有する基板394上に導電層を成膜した後、第1のフォトリソグラフィ工程によりゲート電極層391を形成する。形成されたゲート電極層391の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0250】

絶縁表面を有する基板394に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板394としてバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0251】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般に、酸化ホウ素(B_2O_3)と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

【0252】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0253】

下地層となる絶縁層を基板394とゲート電極層391との間に設けてもよい。下地層は、基板394からの不純物元素の拡散を防止する機能があり、窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、又は酸化窒化シリコン層から選ばれた一又は複数の膜による積層構造により形成することができる。

【0254】

また、ゲート電極層391は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料の単層又は積層を適用することができる。

【0255】

例えば、ゲート電極層391の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、銅層上にモリブデン層が積層された2層構造、銅層上に窒化チタン層若しくは窒化タンタル層が積層された2層構造、窒化チタン層とモリブデン層とが積層された2層構造、又は窒化タンクステン層とタンクステン層とが積層された2層構造とすることが好ましい。3層の積層構造としては、タンクステン層または窒化タンクステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電層を用いてゲート電極層を形成することもできる。透光性を有する導電層としては、透光性導電性酸化物等をその例に挙げることができる。

【0256】

次いで、ゲート電極層391上にゲート絶縁層397を形成する。

【0257】

ゲート絶縁層397は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層の単層又は積層を適用することができる。なお、ゲート絶縁層397中に水素が多

10

20

30

40

50

量に含まれないようにするためには、スパッタリング法でゲート絶縁層397を成膜することが好ましい。スパッタリング法により酸化シリコン層を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0258】

ゲート絶縁層397は、ゲート電極層391側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層して、膜厚100nmのゲート絶縁層とする。

10

【0259】

また、ゲート絶縁層397、後に形成する酸化物半導体層393に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層391が形成された基板394、又はゲート絶縁層397までが形成された基板394を予備加熱し、基板394に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、後に形成する酸化物絶縁層396の成膜前に行なってもよいし、後に形成するソース電極層395a及びドレイン電極層395bまで形成した基板394にも同様に行ってもよい。

20

【0260】

次いで、ゲート絶縁層397上に、膜厚2nm以上200nm以下の酸化物半導体層393を形成する(図10(A)参照)。

【0261】

なお、酸化物半導体層393をスパッタリング法により成膜する前に、アルゴンガスを導入した状態でプラズマを発生させて逆スパッタを行い、ゲート絶縁層397の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

30

【0262】

酸化物半導体層393はスパッタリング法により成膜する。酸化物半導体層393は、 In-Ga-Zn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体を用いる。本実施の形態では、酸化物半導体層393を In-Ga-Zn-O 系金属酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体層393は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素混合雰囲気下においてスパッタリング法により成膜することができる。また、スパッタリング法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

40

【0263】

酸化物半導体層393をスパッタリング法で成膜するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、 In-Ga 、及び Zn を含む酸化物半導体ターゲット(組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol]、 $\text{In : Ga : Zn} = 1 : 1 : 0.5$ [atom])を用いることができる。また、 In-Ga 、及び Zn を含む金属酸化物ターゲットとして、 $\text{In : Ga : Zn} = 1 : 1 : 1$ [atom]、又は In

50

$n : Ga : Zn = 1 : 1 : 2$ [atom] の組成比を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99.9 % である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層は緻密な膜となる。

【 0 2 6 4 】

減圧状態に保持された処理室内に基板を保持し、基板を室温又は 400 未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板 394 上に酸化物半導体層 393 を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。また、クライオポンプにより処理室内に残留する水分を除去しながらスパッタ成膜を行うことで、酸化物半導体層 393 を成膜する際の基板温度は室温から 400 未満とすることができる。

【 0 2 6 5 】

成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源電力 0.5 kW、酸素 (酸素流量比率 100 %) 雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する粉状物質 (パーティクル、ゴミともいう) が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層は好ましくは 5 nm 以上 30 nm 以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【 0 2 6 6 】

スパッタリング法にはスパッタ用電源に高周波電源を用いる RF スパッタリング法、直流電源を用いる DC スパッタリング法、さらにパルス的にバイアスを与えるパルス DC スパッタリング法がある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

【 0 2 6 7 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 2 6 8 】

また、チャンバー内部に磁石機構を備えたマグネットロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタ装置がある。

【 0 2 6 9 】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてこれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【 0 2 7 0 】

次いで、酸化物半導体層 393 を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 399 に加工する (図 10 (B) 参照)。また、島状の酸化物半導体層 399 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 2 7 1 】

また、ゲート絶縁層 397 にコンタクトホールを形成する場合、その工程は酸化物半導体層 399 の形成時に行うことができる。

【 0 2 7 2 】

10

20

30

40

50

なお、ここで酸化物半導体層 393 のエッティングは、ドライエッティングでもウェットエッティングでもよく、両方を用いてもよい。

【0273】

ドライエッティングに用いるエッティングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（Cl₂）、塩化硼素（BCl₃）、塩化珪素（SiCl₄）、四塩化炭素（CCl₄）など）が好ましい。

【0274】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF₄）、弗化硫黄（SF₆）、弗化窒素（NF₃）、トリフルオロメタン（CHF₃）など）、臭化水素（HBr）、酸素（O₂）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いることができる。

10

【0275】

ドライエッティング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッティング法を用いることができる。所望の加工形状にエッティングできるように、エッティング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0276】

ウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

20

【0277】

また、ウェットエッティング後のエッティング液はエッティングされた材料とともに洗浄によって除去される。その除去された材料を含むエッティング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッティング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0278】

所望の加工形状にエッティングできるように、材料に合わせてエッティング条件（エッティング液、エッティング時間、温度等）を適宜調節する。

【0279】

30

なお、次工程の導電層を成膜する前に逆スパッタを行い、酸化物半導体層 399 及びゲート絶縁層 397 の表面に付着しているレジスト残渣などを除去することが好ましい。

【0280】

次いで、ゲート絶縁層 397、及び酸化物半導体層 399 上に、導電層を成膜する。導電層は、スパッタリング法や真空蒸着法で成膜すればよい。導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電層は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する2層構造、Ti層と、そのTi層上に重ねてアルミニウム層を積層し、さらにその上にTi層を成膜する3層構造などが挙げられる。また、Alに、チタン（Ti）、タンタル（Ta）、タンゲステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素を単数、又は複数組み合わせた層、合金層、もしくは窒化層を用いてもよい。

40

【0281】

第3のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッティングを行ってソース電極層 395a、ドレイン電極層 395b を形成した後、レジストマスクを除去する（図10（C）参照）。

【0282】

50

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層399上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャネル長Lが決定される。なお、チャネル長L = 25nm未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光においては、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さくすることができるため、低消費電力化も図ることができる。

10

【0283】

なお、導電層のエッティングの際に、酸化物半導体層399は除去されないようにそれぞれの材料及びエッティング条件を適宜調節する。

【0284】

本実施の形態では、導電膜としてTi層を用いて、酸化物半導体層399にはIn-Ga-Zn-O系酸化物半導体を用いて、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0285】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層399は一部のみがエッティングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層395a、ドレイン電極層395bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0286】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッティング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッティングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッティング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

30

【0287】

N₂O、N₂、またはArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0288】

プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁層として酸化物絶縁層396を形成する(図10(D)参照)。本実施の形態では、酸化物半導体層399がソース電極層395a、ドレイン電極層395bと重ならない領域において、酸化物半導体層399と酸化物絶縁層396とが接するように形成する。

40

【0289】

本実施の形態では、酸化物絶縁層396として、島状の酸化物半導体層399、ソース電極層395a、ドレイン電極層395bまで形成された基板394を室温又は100未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。

【0290】

例えば、スパッタガスの純度が6Nであり、ボロンがドープされたシリコンターゲット(抵抗値0.01～cm)を用い、基板とターゲットの間との距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源電力6kW、酸素(酸素流量比率100%

50

) 雰囲気下でパルス D C スパッタリング法により酸化シリコン層を成膜する。膜厚は 300 nm とする。なお、シリコンターゲットに代えて石英(好ましくは合成石英)を酸化シリコン層を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0291】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 396 を成膜することが好ましい。酸化物半導体層 399 及び酸化物絶縁層 396 に水素、水酸基又は水分が含まれないようにするためである。

【0292】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 396 に含まれる不純物の濃度を低減できる。

【0293】

なお、酸化物絶縁層 396 として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

【0294】

さらに、酸化物絶縁層 396 と酸化物半導体層 399 とを接した状態で 100 乃至 400 で加熱処理を行ってもよい。本実施の形態における酸化物絶縁層 396 は欠陥を多く含むため、この加熱処理によって酸化物半導体層 399 中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層 396 に拡散させ、酸化物半導体層 399 中に含まれる該不純物をより低減させることができる。

【0295】

以上の工程で、水素、水分、水酸基又は水素化物の濃度が低減された酸化物半導体層 392 を有する薄膜トランジスタ 390 を形成することができる(図 10 (E) 参照)。

【0296】

上記のように酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体層の安定化を図ることができる。

【0297】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層 398 を酸化物絶縁層 396 上に形成する。保護絶縁層 398 としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いる。

【0298】

保護絶縁層 398 として、酸化物絶縁層 396 まで形成された基板 394 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化物絶縁層 396 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 398 を成膜することが好ましい。

【0299】

保護絶縁層 398 を形成する場合、保護絶縁層 398 の成膜時に 100 ~ 400 に基板 394 を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させることができる。この場合上記酸化物絶縁層 396 の形成後に加熱処を行わなくてもよい。

【0300】

酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層と同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むスパッタガスを導入

10

20

30

40

50

して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にスパッタガスを窒素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理（温度 100 乃至 400）を行うとよい。

【0301】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

【0302】

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

【0303】

上記の工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（薄膜トランジスタが形成された基板）の製造に用いることができる。上記の工程は、400 以下の温度で行われるため、厚さが 1 mm 以下で、一辺が 1 m を超えるガラス基板を用いる製造工程にも適用することができる。また、400 以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

【0304】

上述した薄膜トランジスタを実施の形態 1 及び 2 に示した論理回路に適用することによって、安定な電気特性を有し信頼性の高い論理回路を提供することができる。

【0305】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0306】

（実施の形態 7）

本実施の形態では、実施の形態 1 又は 2 に示した論理回路が有する薄膜トランジスタの一例について示す。

【0307】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を図 11 を用いて説明する。

【0308】

図 11 に薄膜トランジスタの断面構造の一例を示す。図 11 (D) に示す薄膜トランジスタ 310 は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0309】

また、薄膜トランジスタ 310 はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0310】

以下、図 11 (A) 乃至 (E) を用い、基板 300 上に薄膜トランジスタ 310 を作製する工程を説明する。

【0311】

10

20

30

40

50

まず、絶縁表面を有する基板 300 上に導電層を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 311 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0312】

絶縁表面を有する基板 300 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0313】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 10 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般に、酸化ホウ素 (B_2O_3) と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

【0314】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。

【0315】

下地層となる絶縁層を基板 300 とゲート電極層 311 との間に設けてもよい。下地層は、基板 300 からの不純物元素の拡散を防止する機能があり、窒化珪素層、酸化珪素層、窒化酸化珪素層、又は酸化窒化珪素層から選ばれた一又は複数の層による積層構造により形成することができる。

【0316】

また、ゲート電極層 311 は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料の単層又は積層を適用することができる。

【0317】

例えば、ゲート電極層 311 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、銅層上にモリブデン層が積層された 2 層の積層構造、銅層上に窒化チタン層若しくは窒化タンタルが積層された 2 層の積層構造、窒化チタン層とモリブデン層との 2 層の積層構造、又は窒化タンタル層とタングステン層との 2 層の積層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タンタル層と、アルミニウムと珪素の合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

【0318】

次いで、ゲート電極層 311 上にゲート絶縁層 302 を形成する。

【0319】

ゲート絶縁層 302 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層の単層又は積層を適用することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。ゲート絶縁層 302 の膜厚は、100 nm 以上 500 nm 以下とし、積層の場合は、例えば、膜厚 50 nm 以上 200 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上に膜厚 5 nm 以上 300 nm 以下の第 2 のゲート絶縁層の積層とする。

【0320】

本実施の形態では、ゲート絶縁層 302 としてプラズマ CVD 法により膜厚 100 nm 以下の酸化窒化珪素層を形成する。

【0321】

10

20

30

40

50

次いで、ゲート絶縁層302上に、膜厚2nm以上200nm以下の酸化物半導体層330を形成する。

【0322】

なお、酸化物半導体層330をスパッタ法により成膜する前に、アルゴンガスを導入した状態でプラズマを発生させて逆スパッタを行い、ゲート絶縁層302の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0323】

酸化物半導体層330は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を用いる。本実施の形態では、酸化物半導体層330としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図11(A)に相当する。また、酸化物半導体層330は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素混合雰囲気下においてスパッタ法により成膜することができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

【0324】

酸化物半導体層330をスパッタリング法で成膜するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む金属酸化物ターゲット(組成比として、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1 [mol]、In : Ga : Zn = 1 : 1 : 0.5 [atom])を用いることができる。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、In : Ga : Zn = 1 : 1 : 1 [atom]、又はIn : Ga : Zn = 1 : 1 : 2 [atom]の組成比を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層は緻密な膜となる。

【0325】

酸化物半導体層330を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

【0326】

減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板300上に酸化物半導体層330を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0327】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源電力0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パ

10

20

30

40

50

ーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層は好ましくは5 nm以上30 nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0328】

次いで、酸化物半導体層330を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0329】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、400

10

以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層331を得る(図11(B)参照)。

【0330】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等のR T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

20

【0331】

例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すG R T Aを行ってもよい。G R T Aを用いると短時間での高温加熱処理が可能となる。

30

【0332】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下)とすることが好ましい。

【0333】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1 nm以上20 nm以下(代表的には2 nm以上4 nm以下))が混在する酸化物半導体層となる場合もある。

40

【0334】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層330に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0335】

50

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に保護絶縁層を形成した後、のいずれで行っても良い。

【0336】

また、ゲート絶縁層302にコンタクトホールを形成する場合、その工程は酸化物半導体層に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0337】

なお、ここでの酸化物半導体膜のエッティングは、ウェットエッティングに限定されずドライエッティングを用いてもよい。

【0338】

所望の加工形状にエッティングできるように、材料に合わせてエッティング条件（エッティング液、エッティング時間、温度等）を適宜調節する。

【0339】

次いで、ゲート絶縁層302、及び酸化物半導体層331上に、導電層を成膜する。導電層は、スパッタ法や真空蒸着法によって成膜すればよい。導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金層等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電層は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層が積層された2層構造、Ti層と、そのTi層上に重ねてアルミニウム層を積層し、さらにその上にTi層が成膜された3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた層、合金層、もしくは窒化層を用いてもよい。

【0340】

導電層成膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電層に持たせることが好ましい。

【0341】

第3のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッティングを行ってソース電極層315a、ドレイン電極層315bを形成した後、レジストマスクを除去する（図11（C）参照）。

【0342】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層331上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャネル長Lが決定される。なお、チャネル長L=25nm未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光においては、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さくすることができるため、低消費電力化も図ることができる。

【0343】

なお、導電層のエッティングの際に、酸化物半導体層331は除去されないようにそれぞれの材料及びエッティング条件を適宜調節する。

【0344】

本実施の形態では、導電層としてTi層を用いて、酸化物半導体層331にはIn-Ga-Zn-O系酸化物半導体を用いて、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

10

20

30

40

50

【0345】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層331は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層315a、ドレイン電極層315bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0346】

また、酸化物半導体層とソース電極層及びドレイン電極層の間に、酸化物導電層を形成してもよい。酸化物導電層とソース電極層及びドレイン電極層を形成するための金属層は、連続成膜が可能である。酸化物導電層はソース領域及びドレイン領域として機能しうる。

10

【0347】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタを高速動作させることができる。

【0348】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よってマスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0349】

次いで、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0350】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁層となる酸化物絶縁層316を形成する。

30

【0351】

酸化物絶縁層316は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層316に水、水素等の不純物を混入させない方法を適宜用いて成膜することができる。酸化物絶縁層316に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層316はできるだけ水素を含まない層になるように、成膜方法に水素を用いないことが重要である。

【0352】

本実施の形態では、酸化物絶縁層316として膜厚200nmの酸化珪素層をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素層のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素層を形成することができる。酸素欠乏状態となり低抵抗化、即ちN型化した酸化物半導体層に接して形成され酸化物絶縁層316は、水分、水素イオン、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁層を用い、代表的には酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム

40

50

層、または酸化窒化アルミニウム層などを用いる。

【0353】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層316を成膜することが好ましい。酸化物半導体層331及び酸化物絶縁層316に水素、水酸基又は水分が含まれないようにするためである。

【0354】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H_2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層316に含まれる不純物の濃度を低減できる。10

【0355】

酸化物絶縁層316を成膜する際に用いるスペッタガスは水素、水、水酸基又は水素化合物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

【0356】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層316と接した状態で加熱される。20

【0357】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行うと同時に酸化物半導体層が低抵抗化、即ちN型化する。その後、酸化物半導体層に接する酸化物絶縁層を成膜することにより酸化物半導体層の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層311と重なるチャネル形成領域313はI型となる。この時、少なくともチャネル形成領域313に比べてキャリア密度が高く、ソース電極層315aに重なる高抵抗ソース領域314aと、少なくともチャネル形成領域313に比べてキャリア密度が高く、ドレイン電極層315bに重なる高抵抗ドレイン領域314bとが自己整合的に形成される。以上の工程で薄膜トランジスタ310が形成される(図11(D)参照)。30

【0358】

さらに大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、この加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化合物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。40

【0359】

なお、ドレイン電極層315b(及びソース電極層315a)と重畠した酸化物半導体層において高抵抗ドレイン領域314b(及び高抵抗ソース領域314a)を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域314bを形成することで、ドレイン電極層315bから高抵抗ドレイン領域314b、チャネル形成領域313にかけて、導電性を段階的に変化させうるような構造とすることができる。そのため、ドレイン電極層315bに高電源電位VDDを供給する50

配線に接続して動作させる場合、ゲート電極層 311 とドレイン電極層 315b との間に高電圧が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じにくく、トランジスタの耐圧を向上させた構成とすることができる。

【0360】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導体層の膜厚が 15 nm 以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が 30 nm 以上 50 nm 以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化し高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁膜に近い領域は I 型とすることもできる。

10

【0361】

酸化物絶縁層 316 上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素層を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分、水素イオン、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁層を用い、窒化シリコン層、窒化アルミニウム層、窒化酸化シリコン層、窒化酸化アルミニウム層などを用いる。本実施の形態では、保護絶縁層として保護絶縁層 303 を、窒化シリコン層を用いて形成する(図 11 (E) 参照)。

【0362】

本実施の形態では、酸化物絶縁層 316 まで形成された基板 300 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて、保護絶縁層 303 として窒化シリコン層を成膜する。この場合においても、酸化物絶縁層 316 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 303 を成膜することが好ましい。

20

【0363】

図示しないが、保護絶縁層 303 上に平坦化のための平坦化絶縁層を設けてもよい。

【0364】

上述した薄膜トランジスタを実施の形態 1 及び 2 に示した論理回路に適用することによって、安定な電気特性を有し信頼性の高い論理回路を提供することができる。

【0365】

30

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0366】

(実施の形態 8)

本実施の形態では、実施の形態 1 又は 2 に示した論理回路が有する薄膜トランジスタの一例について示す。

【0367】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図 12 を用いて説明する。

【0368】

図 12 (D) に薄膜トランジスタの断面構造の一例を示す。図 12 (D) に示す薄膜トランジスタ 360 は、チャネル保護型(チャネルトップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

40

【0369】

また、薄膜トランジスタ 360 はシングルゲート構造の薄膜トランジスタを用いて説明するが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0370】

以下、図 12 (A) 乃至 (D) を用い、基板 320 上に薄膜トランジスタ 360 を作製する工程を説明する。

【0371】

50

まず、絶縁表面を有する基板320上に導電層を成膜した後、第1のフォトリソグラフィ工程によりゲート電極層361を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0372】

また、ゲート電極層361は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料の単層又は積層を適用することができる。

【0373】

次いで、ゲート電極層361上にゲート絶縁層322を形成する。

10

【0374】

本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0375】

次いで、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体層を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体層はIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。

【0376】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体層を成膜することが好ましい。酸化物半導体層に水素、水酸基又は水分が含まれないようにするためである。

20

【0377】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0378】

酸化物半導体層を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

30

【0379】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層332を得る(図12(A)参照)。

【0380】

40

次いで、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0381】

次いで、ゲート絶縁層322、及び酸化物半導体層332上に、酸化物絶縁層を成膜した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層366を形成した後、レジストマスクを除去する。

【0382】

本実施の形態では、酸化物絶縁層366として膜厚200nmの酸化珪素層をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施

50

の形態では 100 とする。酸化珪素層のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。

【0383】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 366 を成膜することが好ましい。酸化物半導体層 332 及び酸化物絶縁層 366 に水素、水酸基又は水分が含まれないようにするためである。

【0384】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 366 に含まれる不純物の濃度を低減できる。

【0385】

酸化物絶縁層 366 を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化合物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

【0386】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行ってもよい。例えば、窒素雰囲気下で 250 、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層 366 と接した状態で加熱される。

【0387】

本実施の形態は、さらに酸化物絶縁層 366 が設けられ一部が露出している酸化物半導体層 332 を、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行う。酸化物絶縁層 366 によって覆われていない露出された酸化物半導体層 332 の領域を、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うことで、低抵抗化することができる。例えば、窒素雰囲気下で 250 、1 時間の加熱処理を行う。

【0388】

酸化物絶縁層 366 が設けられた酸化物半導体層 332 に対する窒素雰囲気下の加熱処理によって、酸化物半導体層 332 の露出領域は低抵抗化し、抵抗の異なる領域（図 12 (B) においては斜線領域及び白地領域で示す）を有する酸化物半導体層 362 となる。

【0389】

次いで、ゲート絶縁層 322 、酸化物半導体層 362 、及び酸化物絶縁層 366 上に、導電層を成膜した後、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層 365a 、ドレイン電極層 365b を形成した後、レジストマスクを除去する（図 12 (C) 参照）。

【0390】

ソース電極層 365a 、ドレイン電極層 365b の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金等が挙げられる。また、金属導電層は、単層構造でも、2 層以上の積層構造としてもよい。

【0391】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行うと同時に酸素欠乏状態となり低抵抗化、即ち N 型化する。その後、酸化物半導体層に接する酸化物絶縁層を成膜することにより、酸化物半導体層の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層 361 と重なるチャネル形成

10

20

30

40

50

領域 3 6 3 は、 I 型となる。この時、少なくともチャネル形成領域 3 6 3 に比べてキャリア密度が高く、ソース電極層 3 6 5 a に重なる高抵抗ソース領域 3 6 4 a と、少なくともチャネル形成領域 3 6 3 に比べてキャリア密度が高く、ドレイン電極層 3 6 5 b に重なる高抵抗ドレイン領域 3 6 4 b とが自己整合的に形成される。以上の工程で薄膜トランジスタ 3 6 0 が作製される。

【 0 3 9 2 】

さらに大気中、 1 0 0 以上 2 0 0 以下、 1 時間以上 3 0 時間以下の加熱処理を行ってもよい。本実施の形態では 1 5 0 で 1 0 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、 1 0 0 以上 2 0 0 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

10

【 0 3 9 3 】

なお、ドレイン電極層 3 6 5 b (及びソース電極層 3 6 5 a) と重畠した酸化物半導体層において高抵抗ドレイン領域 3 6 4 b (及び高抵抗ソース領域 3 6 4 a) を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域 3 6 4 b を形成することで、ドレイン電極層から高抵抗ドレイン領域 3 6 4 b 、チャネル形成領域 3 6 3 にかけて、導電性を段階的に変化させうるような構造とすることができます。そのため、ドレイン電極層 3 6 5 b に高電源電位 V D D を供給する配線に接続して動作させる場合、ゲート電極層 3 6 1 とドレイン電極層 3 6 5 b との間に高電圧が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じにくく、トランジスタの耐圧を向上させた構成とすることができます。

20

【 0 3 9 4 】

ソース電極層 3 6 5 a 、ドレイン電極層 3 6 5 b 、酸化物絶縁層 3 6 6 上に保護絶縁層 3 2 3 を形成する。本実施の形態では、保護絶縁層 3 2 3 を、窒化珪素層を用いて形成する (図 1 2 (D) 参照) 。

【 0 3 9 5 】

なお、ソース電極層 3 6 5 a 、ドレイン電極層 3 6 5 b 、酸化物絶縁層 3 6 6 上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層 3 2 3 を積層してもよい。

30

【 0 3 9 6 】

上述した薄膜トランジスタを実施の形態 1 及び 2 に示した論理回路に適用することによって、安定な電気特性を有し信頼性の高い論理回路を提供することができる。

【 0 3 9 7 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 0 3 9 8 】

(実施の形態 9)

本実施の形態では、実施の形態 1 又は 2 に示した論理回路が有する薄膜トランジスタの一例について示す。

40

【 0 3 9 9 】

本実施の形態の薄膜トランジスタ及びその作製方法の一形態を、図 1 3 を用いて説明する。

【 0 4 0 0 】

なお、図 1 3 (D) に示す薄膜トランジスタ 3 5 0 はシングルゲート構造の薄膜トランジスタであるが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【 0 4 0 1 】

以下、図 1 3 (A) 乃至 (D) を用い、基板 3 4 0 上に薄膜トランジスタ 3 5 0 を作製する工程を説明する。

50

【0402】

まず、絶縁表面を有する基板340上に導電層を成膜した後、第1のフォトリソグラフィ工程によりゲート電極層351を形成する。本実施の形態では、ゲート電極層351として、膜厚150nmのタンゲステン層を、スパッタ法を用いて成膜する。

【0403】

次いで、ゲート電極層351上にゲート絶縁層342を形成する。本実施の形態では、ゲート絶縁層342としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を成膜する。

【0404】

次いで、ゲート絶縁層342上に、導電層を成膜し、第2のフォトリソグラフィ工程により導電層上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層355a、ドレイン電極層355bを形成した後、レジストマスクを除去する（図13（A）参照）。

【0405】

次に、酸化物半導体層345を形成する（図13（B）参照）。本実施の形態では、酸化物半導体層345をIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。酸化物半導体層345を第3のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0406】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体層345を成膜することが好ましい。酸化物半導体層345に水素、水酸基又は水分が含まれないようにするためである。

【0407】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（H₂O）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体層345に含まれる不純物の濃度を低減できる。

【0408】

酸化物半導体層345を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

【0409】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れる事なく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層346を得る（図13（C）参照）。

【0410】

また、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0411】

次いで、酸化物半導体層346に接する保護絶縁層となる酸化物絶縁層356を形成する。

【0412】

酸化物絶縁層356は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶

10

20

30

40

50

縁層 356 に水、水素等の不純物を混入させない方法を適宜用いて成膜することができる。酸化物絶縁層 356 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化 (N型化) してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層 356 はできるだけ水素を含まない層になるように、成膜方法に水素を用いないことが重要である。

【0413】

本実施の形態では、酸化物絶縁層 356 として膜厚 200 nm の酸化珪素層をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化珪素層のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 霧囲気下、酸素霧囲気下、または希ガス (代表的にはアルゴン) 及び酸素混合霧囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素霧囲気下でスパッタ法により酸化珪素層を成膜することができる。酸素欠乏状態となり低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層 356 は、水分、水素イオン、OH⁻などの不純物を含まず、これらが外部から侵入することをロックする無機絶縁層を用い、代表的には酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いる。

【0414】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 356 を成膜することが好ましい。酸化物半導体層 346 及び酸化物絶縁層 356 に水素、水酸基又は水分が含まれないようにするためである。

【0415】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H₂O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層 356 に含まれる不純物の濃度を低減できる。

【0416】

酸化物絶縁層 356 を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

【0417】

次いで、不活性ガス霧囲気下、または酸素ガス霧囲気下で第 2 の加熱処理 (好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) を行う。例えば、窒素霧囲気下で 250 、 1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部 (チャネル形成領域) が酸化物絶縁層 356 と接した状態で加熱される。

【0418】

以上の工程を経ることによって、脱水化または脱水素化と同時に酸素欠乏状態となり低抵抗化していた酸化物半導体層を酸素過剰な状態とする。その結果、高抵抗な I 型の酸化物半導体層 352 が形成される。以上の工程で薄膜トランジスタ 350 が形成される。

【0419】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下の加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置

10

20

30

40

50

の信頼性を向上できる。

【0420】

酸化物絶縁層356上にさらに保護絶縁層343を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素層を形成する。本実施の形態では、保護絶縁層343として、窒化珪素層を用いて形成する(図13(D)参照)。

【0421】

図示しないが、保護絶縁層343上に平坦化のための平坦化絶縁層を設けてよい。

【0422】

上述した薄膜トランジスタを実施の形態1及び2に示した論理回路に適用することによって、安定な電気特性を有し信頼性の高い論理回路を提供することができる。

10

【0423】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0424】

(実施の形態10)

本実施の形態では、実施の形態1又は2に示した論理回路が有する薄膜トランジスタの一例について示す。

【0425】

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態7と異なる例を図14に示す。図14は、図11と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

20

【0426】

実施の形態7に従って、基板370上にゲート電極層381を形成し、第1のゲート絶縁層372a、第2のゲート絶縁層372bを積層する。本実施の形態では、ゲート絶縁層を2層構造とし、第1のゲート絶縁層372aに窒化物絶縁層を、第2のゲート絶縁層372bに酸化物絶縁層を用いる。

【0427】

酸化絶縁層としては、酸化シリコン層、酸化窒化シリコン層、または酸化アルミニウム層、又は酸化窒化アルミニウム層などを用いることができる。また、窒化絶縁層としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いることができる。

30

【0428】

本実施の形態では、ゲート電極層381側から窒化シリコン層と酸化シリコン層とを積層した構造とする。第1のゲート絶縁層372aとしてスパッタリング法により膜厚50nm以上200nm以下(本実施の形態では50nm)の窒化シリコン層(SiNy(y>0))を成膜し、第1のゲート絶縁層372a上に第2のゲート絶縁層372bとして膜厚5nm以上300nm以下(本実施の形態では100nm)の酸化シリコン層(SiOx(x>0))を積層して、のゲート絶縁層とする。

【0429】

次に、酸化物半導体層の形成を行い、酸化物半導体層をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体層をIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。

40

【0430】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体層を成膜することが好ましい。酸化物半導体層に水素、水酸基又は水分が含まれないようにするためである。

【0431】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導

50

体層に含まれる不純物の濃度を低減できる。

【0432】

酸化物半導体層を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度 ppm 程度、濃度 ppb 程度まで除去された高純度ガスを用いることが好ましい。

【0433】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上 750 以下、好ましくは 425 以上とする。なお、425 以上であれば加熱処理時間は 1 時間以下でよいが、425 未満であれば加熱処理時間は、1 時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度の N₂O ガス、又は超乾燥エア（露点が -40 以下、好ましくは -60 以下）を導入して冷却を行う。酸素ガスまたは N₂O ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N₂O ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、（即ち酸素ガスまたは N₂O ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

【0434】

なお、加熱処理装置は電気炉に限られず、例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等の R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、L R T A 装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。G R T A とは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物とほとんど反応しない不活性ガスが用いられる。R T A 法を用いて、600 ~ 750 で数分間加熱処理を行ってもよい。

【0435】

また、脱水化または脱水素化を行う第1の加熱処理後に 200 以上 400 以下、好ましくは 200 以上 300 以下の温度で酸素ガスまたは N₂O ガス雰囲気下での加熱処理を行ってもよい。

【0436】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層に行うことともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0437】

以上の工程を経ることによって酸化物半導体層全体を酸素過剰な状態とすることで、I型化、即ち高抵抗化させる。よって、全体が I 型化した酸化物半導体層 382 を得る。

【0438】

次いで、酸化物半導体層 382 上に導電層を形成する。さらに、該導電層上にフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッティングを行ってソース電極層 385a、ドレイン電極層 385b を形成し、スパッタ法で酸化物絶縁層 386 を成膜する。

【0439】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層 386 を成膜することが好ましい。酸化物半導体層 382 及び酸化物絶縁層 386 に水素、水酸基又は水分が含まれないようにするためである。

10

20

30

40

50

【0440】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H_2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層386に含まれる不純物の濃度を低減できる。

【0441】

酸化物絶縁層386を成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化合物などの不純物が、濃度ppm程度、濃度ppb程度まで除去された高純度ガスを用いることが好ましい。

10

【0442】

以上の工程で、薄膜トランジスタ380を作製することができる。

【0443】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理(好ましくは150以上350未満)を行ってもよい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

【0444】

また、大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

20

【0445】

酸化物絶縁層386上に保護絶縁層373を形成する。本実施の形態では、保護絶縁層373として、スパッタリング法を用いて膜厚100nmの窒化珪素層を形成する。

【0446】

30

窒化物絶縁層からなる保護絶縁層373及び第1のゲート絶縁層372aは、水分や、水素や、水素化合物、水酸化物などの不純物を含まず、これらが外部から侵入することをブロックする効果がある。

【0447】

従って、保護絶縁層373形成後の製造プロセスにおいて、外部からの水分などの不純物の侵入を防ぐことができる。また、半導体装置、例えば液晶表示装置としてデバイスが完成した後にも長期的に、外部からの水分などの不純物の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

【0448】

また、窒化物絶縁層からなる保護絶縁層373と、第1のゲート絶縁層372aとの間に設けられる絶縁層を除去し、保護絶縁層373と、第1のゲート絶縁層372aとが接する構造としてもよい。

40

【0449】

従って、酸化物半導体層中の水分や、水素や、水素化合物、水酸化物などの不純物を究極にまで低減し、かつ該不純物の混入を防止し、酸化物半導体層中の不純物濃度を低く維持することができる。

【0450】

図示しないが、保護絶縁層373上に平坦化のための平坦化絶縁層を設けてもよい。

【0451】

上述した薄膜トランジスタを実施の形態1及び2に示した論理回路に適用することによ

50

って、安定な電気特性を有し信頼性の高い論理回路を提供することができる。

【0452】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0453】

(実施の形態11)

本実施の形態では、実施の形態1又は2に示した論理回路を有する半導体装置の一例について説明する。具体的には、駆動回路が実施の形態1又は2に示した論理回路を有する液晶表示パネルの外観及び断面について、図15を用いて説明する。図15(A)、(C)は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図15(B)は、図15(A)または図15(C)のM-Nにおける断面図に相当する。

【0454】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また、画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0455】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG法、ワイヤボンディング法、或いはTAB法などを用いることができる。図15(A)は、COG法により信号線駆動回路4003を実装する例であり、図15(C)は、TAB法により信号線駆動回路4003を実装する例である。

【0456】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図15(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041、4042、4021が設けられている。

【0457】

薄膜トランジスタ4010、4011は、実施の形態3乃至10に示した薄膜トランジスタのいずれか一を適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ4010、4011の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ4010、4011は信頼性の高い薄膜トランジスタである。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0458】

絶縁層4021において、薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっていても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。なお、当該導電層4040はなくてもよい。

【0459】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010の

10

20

30

40

50

ソース電極層又はドレイン電極層と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0460】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。

【0461】

また、4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有される。

【0462】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることができるとなる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0463】

なお、透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0464】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

【0465】

薄膜トランジスタ4011、4010上には、酸化物半導体層に接して絶縁層4041が形成されている。絶縁層4041は上記実施の形態で示した酸化物絶縁層と同様な材料及び方法で形成すればよい。ここでは、絶縁層4041として、スパッタリング法により酸化シリコン層を形成する。また、絶縁層4041上に接して絶縁層4042を形成する。また、絶縁層4042としては、例えば窒化シリコン層を用いることができる。また、絶縁層4042上には薄膜トランジスタ起因の表面凹凸を低減するため平坦化絶縁層として機能する絶縁層4021が設けられる構成となっている。

10

20

30

40

50

【0466】

また、平坦化絶縁層として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層4021を形成してもよい。

【0467】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0468】

画素電極層4030、対向電極層4031は、インジウム錫酸化物（ITO）、酸化インジウムに酸化亜鉛（ZnO）を混合したIZO（indium zinc oxide）、酸化インジウムに酸化珪素（SiO₂）を混合した導電材料、有機インジウム、有機スズ、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、などの透光性を有する導電性材料を用いることができる。または反射型の液晶表示装置において、透光性を有する必要がない、または反射性を有する必要がある場合は、タンゲステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0469】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。

【0470】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0471】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0472】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0473】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0474】

また、図15においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成

10

20

30

40

50

して実装しても良い。

【0475】

また、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0476】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0477】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0478】

また、通常の垂直同期周波数を1.5倍若しくは2倍以上にすることで応答速度を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0479】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0480】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0481】

また、薄膜トランジスタは静電気などにより破壊されやすいため、さらに画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線に対して並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタと同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

【0482】

また、液晶表示モジュールには、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroele

10

20

30

40

50

c t r i c L i q u i d C r y s t a l) などを用いることができる。

【 0 4 8 3 】

このように、本明細書に開示される半導体装置としては、特に限定されず、TN 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 型液晶、GH 液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV モードなどを用いることができる。

10

【 0 4 8 4 】

また、VA 型の液晶表示装置にも適用することができる。VA 型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方に液晶分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

【 0 4 8 5 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【 0 4 8 6 】

(実施の形態 12)

本実施の形態では、実施の形態 1 又は 2 に示した論理回路を有する半導体装置の一例について説明する。具体的には、駆動回路が実施の形態 1 又は 2 に示した論理回路を有するアクティブマトリクス型の発光表示装置を作製する一例を示す。なお、本実施の形態では、エレクトロルミネッセンスを利用する発光素子を有する発光表示装置の一例について説明する。

20

【 0 4 8 7 】

エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

30

【 0 4 8 8 】

有機 EL 素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子および正孔) が再結合することにより発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【 0 4 8 9 】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

40

【 0 4 9 0 】

図 16 は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【 0 4 9 1 】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いる n チャネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

50

【0492】

画素 6400 は、スイッチング用トランジスタ 6401、駆動用トランジスタ 6402、発光素子 6404 及び容量素子 6403 を有している。スイッチング用トランジスタ 6401 はゲートが走査線 6406 に接続され、第 1 の電極（ソース電極及びドレイン電極の一方）が信号線 6405 に接続され、第 2 の電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 6402 のゲートに接続されている。駆動用トランジスタ 6402 は、ゲートが容量素子 6403 を介して電源線 6407 に接続され、第 1 の電極が電源線 6407 に接続され、第 2 の電極が発光素子 6404 の第 1 の電極（画素電極）に接続されている。発光素子 6404 の第 2 の電極は共通電極に相当する。共通電極は、同一基板上に形成される共通電位線 6408 と電気的に接続される。

10

【0493】

なお、発光素子 6404 の第 2 の電極（共通電極）には低電源電位が設定されている。なお、低電源電位とは、電源線 6407 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6404 に印加して、発光素子 6404 に電流を流して発光素子 6404 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6404 の順方向電圧降下以上となるようにそれぞれの電位を設定する。

【0494】

なお、容量素子 6403 は駆動用トランジスタ 6402 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6402 のゲート容量については、チャネル形成領域とゲート電極との間で容量が形成されていてもよい。

20

【0495】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6402 のゲートには、駆動用トランジスタ 6402 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6402 は線形領域で動作させる。駆動用トランジスタ 6402 は線形領域で動作させるため、電源線 6407 の電圧よりも高い電圧を駆動用トランジスタ 6402 のゲートにかける。なお、信号線 6405 には、（電源線電圧 + 駆動用トランジスタ 6402 の Vth）以上の電圧をかける。

【0496】

30

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 16 と同じ画素構成を用いることができる。

【0497】

アナログ階調駆動を行う場合、駆動用トランジスタ 6402 のゲートに発光素子 6404 の順方向電圧 + 駆動用トランジスタ 6402 の Vth 以上の電圧をかける。発光素子 6404 の順方向電圧とは、所望の輝度とする場合の電圧を指している。なお、駆動用トランジスタ 6402 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6404 に電流を流すことができる。駆動用トランジスタ 6402 を飽和領域で動作させるため、電源線 6407 の電位は、駆動用トランジスタ 6402 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6404 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0498】

なお、図 16 に示す画素構成は、これに限定されない。例えば、図 16 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0499】

次に、発光素子の構成について、図 17 を用いて説明する。ここでは、駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。図 17 (A)、(B)、(C) の半導体装置に用いられる駆動用 TFT 7001、7011、7021 は、上記実施の形態に示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む薄膜トランジスタを用いる例を示す。

50

【0500】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出構造や、基板側の面から発光を取り出す下面射出構造や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成などの射出構造の発光素子にも適用することができる。

【0501】

下面射出構造の発光素子について図17(A)を用いて説明する。

【0502】

駆動用TFT7011がn型で、発光素子7012から発せられる光が第1の電極7013側に射出する場合の、画素の断面図を示す。図17(A)では、駆動用TFT7011のドレイン電極層と電気的に接続された透光性を有する導電層7017上に、発光素子7012の第1の電極7013が形成されており、第1の電極7013上にEL層7014、第2の電極7015が順に積層されている。

10

【0503】

透光性を有する導電層7017としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電層を用いることができる。

20

【0504】

また、発光素子の第1の電極7013は様々な材料を用いることができる。例えば、第1の電極7013を陰極として用いる場合には、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。図17(A)では、第1の電極7013の膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム層を、第1の電極7013として用いる。

【0505】

なお、透光性を有する導電層とアルミニウム層を積層成膜した後、選択的にエッチングして透光性を有する導電層7017と第1の電極7013を形成してもよく、この場合、同じマスクを用いてエッチングすることができるため、好ましい。

30

【0506】

また、第1の電極7013の周縁部は、隔壁7019で覆う。隔壁7019は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシリコサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、第1の電極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することができる。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0507】

40

また、第1の電極7013及び隔壁7019上に形成するEL層7014は、少なくとも発光層を含めれば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7014が複数の層で構成されている場合、陰極として機能する第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層の内、発光層以外の層を全て設ける必要はない。

【0508】

また、上記積層順に限定されず、第1の電極7013を陽極として機能させ、第1の電極7013上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7013を陰極として機能

50

させ、第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路部の電圧上昇を抑制でき、消費電力を少なくできるため好ましい。

【0509】

また、EL層7014上に形成する第2の電極7015としては、様々な材料を用いることができる。例えば、第2の電極7015を陽極として用いる場合、仕事関数が大きい材料、例えば、ZrN、Ti、W、Ni、Pt、Cr等や、ITO、IZO、ZnOなどの透明導電性材料が好ましい。また、第2の電極7015上に遮蔽膜7016、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、第2の電極7015としてITO膜を用い、遮蔽膜7016としてTi層を用いる。

10

【0510】

第1の電極7013及び第2の電極7015で、発光層を含むEL層7014を挟んでいる領域が発光素子7012に相当する。図17(A)に示した素子構造の場合、発光素子7012から発せられる光は、矢印で示すように第1の電極7013側に射出する。

【0511】

なお、図17(A)ではゲート電極層として透光性を有する導電層を用い、かつソース電極層及びドレイン電極層に透光性を有するような薄膜を用いる例を示しており、発光素子7012から発せられる光は、カラーフィルタ層7033を通過し、基板を通過して射出させることができる。

【0512】

カラーフィルタ層7033はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッティング方法などでそれぞれ形成する。

20

【0513】

また、カラーフィルタ層7033はオーバーコート層7034で覆われ、さらに保護絶縁層7035によって覆う。なお、図17(A)ではオーバーコート層7034は薄い膜厚で図示したが、オーバーコート層7034は、カラーフィルタ層7033に起因する凹凸を平坦化する機能を有している。

【0514】

また、平坦化絶縁層7036、絶縁層7032、及び絶縁層7031に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7019と重なる位置に配置する。

30

【0515】

次に、両面射出構造の発光素子について、図17(B)を用いて説明する。

【0516】

図17(B)では、駆動用TFT7021のドレイン電極層と電気的に接続された透光性を有する導電層7027上に、発光素子7022の第1の電極7023が形成されており、第1の電極7023上にEL層7024、第2の電極7025が順に積層されている。

【0517】

透光性を有する導電層7027としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電層を用いることができる。

40

【0518】

また、第1の電極7023は様々な材料を用いることができる。例えば、第1の電極7023を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。本実施の形態では、第1の電極7023を陰極として用い、その膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミ

50

ニウム層を、陰極として用いる。

【0519】

なお、透光性を有する導電層とアルミニウム層を積層成膜した後、選択的にエッティングして透光性を有する導電層7027と第1の電極7023を形成してもよく、この場合、同じマスクを用いてエッティングすることができ、好ましい。

【0520】

また、第1の電極7023の周縁部は、隔壁7029で覆う。隔壁7029は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、第1の電極7023上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することができ、好ましい。隔壁7029として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

10

【0521】

また、第1の電極7023及び隔壁7029上に形成するEL層7024は、発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7024が複数の層で構成されている場合、陰極として機能する第1の電極7023上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお、これらの層の内、発光層以外の層を全て設ける必要はない。

【0522】

また、上記積層順に限定されず、第1の電極7023を陽極として用い、陽極上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7023を陰極として用い、陰極上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

20

【0523】

また、EL層7024上に形成する第2の電極7025としては、様々な材料を用いることができる。例えば、第2の電極7025を陽極として用いる場合、仕事関数が大きい材料、例えば、ITO、IZO、ZnOなどの透明導電性材料を好ましく用いることができる。本実施の形態では、第2の電極7025を陽極として用い、酸化シリコンを含むITO層を形成する。

30

【0524】

第1の電極7023及び第2の電極7025で、発光層を含むEL層7024を挟んでいる領域が発光素子7022に相当する。図17(B)に示した素子構造の場合、発光素子7022から発せられる光は、矢印で示すように第2の電極7025側と第1の電極7023側の両方に射出する。

【0525】

なお、図17(B)ではゲート電極層として透光性を有する導電層を用い、かつソース電極層及びドレイン電極層に透光性を有するような薄膜を用いる例を示しており、発光素子7022から第1の電極7023側に発せられる光は、カラーフィルタ層7043を通過し、基板を通過して射出させることができる。

40

【0526】

カラーフィルタ層7043はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッティング方法などでそれぞれ形成する。

【0527】

また、カラーフィルタ層7043はオーバーコート層7044で覆われ、さらに保護絶縁層7045によって覆う。

【0528】

また、平坦化絶縁層7046、絶縁層7042、及び絶縁層7041に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7029と重なる位置に配置する。

【0529】

50

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、第2の電極70025側からの光はカラーフィルタ層70043を通過しないため、別途カラーフィルタ層を備えた封止基板を第2の電極70025上方に設けることが好ましい。

【0530】

次に、上面射出構造の発光素子について、図17(C)を用いて説明する。

【0531】

図17(C)に、駆動用TFT7001がn型で、発光素子7002から発せられる光が第2の電極7005側に抜ける場合の、画素の断面図を示す。図17(C)では、駆動用TFT7001のドレイン電極層と第1の電極7003と接しており、駆動用TFT7001と発光素子7002の第1の電極7003とを電気的に接続している。第1の電極7003上にEL層7004、第2の電極7005が順に積層されている。10

【0532】

また、第1の電極7003は様々な材料を用いることができる。例えば、第1の電極7003を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。

【0533】

また、第1の電極7003の周縁部は、隔壁7009で覆う。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシリコサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。20

【0534】

また、第1の電極7003及び隔壁7009上に形成するEL層7004は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されてもどちらでも良い。EL層7004が複数の層で構成されている場合、陰極として用いる第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層の内、発光層以外の層を全て設ける必要はない。30

【0535】

また、上記積層順に限定されず、陽極として用いる第1の電極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。

【0536】

図17(C)ではTi層、アルミニウム層、Ti層の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg:Ag合金薄膜とITOとの積層を形成する。

【0537】

ただし、駆動用TFT7001がn型の場合、第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路における電圧上昇を抑制することができ、消費電力を少なくできるため好ましい。40

【0538】

第2の電極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電層を用いても良い。

【0539】

第1の電極7003及び第2の電極7005で発光層を含むEL層7004を挟んでいる領域が発光素子7002に相当する。図17(C)に示した画素の場合、発光素子7050

02から発せられる光は、矢印で示すように第2の電極7005側に射出する。

【0540】

また、図17(C)において、駆動用TFT7001のドレイン電極層は、酸化シリコン層7051、保護絶縁層7052、平坦化絶縁層7056、平坦化絶縁層7053、及び絶縁層7055に設けられたコンタクトホールを介して第1の電極7003と電気的に接続する。平坦化絶縁層7036、7046、7053、7056は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料(LOW-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、平坦化絶縁層7036、7046、7053、7056を形成してもよい。平坦化絶縁層7036、7046、7053、7056の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー等を用いることができる。

【0541】

また、第1の電極7003と、隣り合う画素の第1の電極とを絶縁するために隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0542】

また、図17(C)の構造においては、フルカラー表示を行う場合、例えば発光素子7002として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3種類の発光素子だけでなく白色素子を加えた4種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

【0543】

また、図17(C)の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子7002上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

【0544】

半導体装置に用いられる駆動用TFT7001、7011、7021としては、上記実施の形態に示した薄膜トランジスタのいずれか一を適宜用いることができ、同様な工程及び材料で形成することができる。駆動用TFT7001、7011、7021の酸化物半導体層は水素や水が低減されている。従って、駆動用TFT7001、7011、7021は信頼性の高い薄膜トランジスタである。

【0545】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0546】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

【0547】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0548】

10

20

30

40

50

なお、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電気的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0549】

次に、発光表示パネル（発光パネルともいう）の外観及び断面について、図 18 を用いて説明する。図 18 は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 18 (B) は、図 18 (A) の H - I における断面図に相当する。

【0550】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0551】

また、第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 18 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

【0552】

薄膜トランジスタ 4509、4510 は、上記実施の形態に示した薄膜トランジスタのいずれか一を適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ 4509、4510 の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ 4509、4510 は信頼性の高い薄膜トランジスタである。

【0553】

なお、薄膜トランジスタ 4509 としては、薄膜トランジスタの酸化物半導体層のチャネル形成領域と重なる位置に導電層を設けた構造とする。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

【0554】

酸化シリコン層 4542 上において薄膜トランジスタ 4509 の酸化物半導体層のチャネル形成領域と重なる位置に導電層 4540 が設けられている。導電層 4540 を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT 試験前後における薄膜トランジスタ 4509 のしきい値電圧の変化量を低減することができる。また、導電層 4540 は、電位が薄膜トランジスタ 4509 のゲート電極層と同じでもよいし、異なっていても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4540 の電位が GND、0V、或いはフローティング状態であってもよい。

【0555】

また、薄膜トランジスタ 4510 の酸化物半導体層を覆う酸化シリコン層 4542 が形成されている。薄膜トランジスタ 4510 のソース電極層又はドレイン電極層は薄膜トランジスタ上に設けられた酸化シリコン層 4542 及び絶縁層 4551 に形成された開口において配線層 4550 と電気的に接続されている。配線層 4550 は第 1 の電極 4517 と接して形成されており、薄膜トランジスタ 4510 と第 1 の電極 4517 とは配線層 4550 を介して電気的に接続されている。

【0556】

発光素子 4511 の発光領域と重なるようにカラーフィルタ層 4545 が、絶縁層 4551 上に形成される。

10

20

30

40

50

【0557】

また、カラーフィルタ層4545の表面凹凸を低減するため平坦化絶縁膜として機能するオーバーコート層4543で覆う構成となっている。

【0558】

また、オーバーコート層4543上に絶縁層4544が形成されている。絶縁層4544としては、例えば窒化シリコン層をスパッタリング法で成膜すればよい。

【0559】

また、4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と配線層4550を介して電気的に接続されている。なお発光素子4511の構成は、第1の電極4517、電界発光層4512、第2の電極4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0560】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0561】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0562】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極4513及び隔壁4520上に保護層を形成してもよい。保護層としては、窒化シリコン層、窒化酸化シリコン層、DLC層等を形成することができる。

【0563】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0564】

接続端子電極4515が、発光素子4511が有する第1の電極4517と同じ導電層から形成され、端子電極4516は、薄膜トランジスタ4509のソース電極層及びドレイン電極層と同じ導電層から形成されている。

【0565】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電層4519を介して電気的に接続されている。

【0566】

発光素子4511からの光の取り出し方向に位置する第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0567】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。例えば充填材として窒素を用いればよい。

【0568】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(1/4板、1/2板)などの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

10

20

30

40

50

【0569】

シール材は、スクリーン印刷法、インクジェット装置またはディスペンス装置を用いて形成することができる。シール材は、代表的には可視光硬化性、紫外線硬化性または熱硬化性の樹脂を含む材料を用いることができる。また、フィラーを含んでもよい。

【0570】

信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図18の構成に限定されない。

10

【0571】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0572】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0573】

(実施の形態13)

本実施の形態では、実施の形態1又は2に示した論理回路を有する半導体装置の一例について説明する。具体的には、駆動回路が実施の形態1又は2に示した論理回路を有する電子ペーパーの一例を示す。

20

【0574】

図19は、アクティブマトリクス型の電子ペーパーを示す図である。電子ペーパーに用いられる薄膜トランジスタ581としては、上記実施の形態に示した薄膜トランジスタのいずれか一を適宜用いることができ、同様な工程及び材料で形成することができる。本実施の形態では、薄膜トランジスタ581として実施の形態6に示した薄膜トランジスタを適用する例を示す。薄膜トランジスタ581の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ581は信頼性の高い薄膜トランジスタである。

【0575】

図19の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用い、電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方式である。

30

【0576】

基板580上に設けられた薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は、酸化シリコン層583、保護絶縁層584、絶縁層585に形成される開口において第1の電極層587と接して電気的に接続されている。

【0577】

第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子が設けられており、球形粒子の周囲は樹脂等の充填材595で充填されている（図19参照）。本実施の形態においては、第1の電極層587が画素電極に相当し、対向基板596に設けられる第2の電極層588が共通電極に相当する。

40

【0578】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正または負に帯電した白い微粒子と、白い微粒子と逆の極性に帯電した黒い微粒子とを封入した直径 $10\text{ }\mu\text{m} \sim 200\text{ }\mu\text{m}$ 程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が互いに逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であ

50

り、一般に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0579】

本実施の形態の電子ペーパーは、駆動回路によって、当該ツイストボールに印加する電圧を制御することによって、表示を行う反射型の表示装置である。

【0580】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0581】

(実施の形態14)

本実施の形態では、実施の形態1又は2に示した論理回路を有する半導体装置の一例について説明する。具体的には、駆動回路が実施の形態1又は2に示した論理回路を有する電子機器（遊技機も含む）の一例を示す。なお、電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0582】

図20(A)は、携帯電話機の一例を示している。携帯電話機1600は、筐体1601に組み込まれた表示部1602の他、操作ボタン1603a、1603b、外部接続ポート1604、スピーカ1605、マイク1606などを備えている。

【0583】

図20(A)に示す携帯電話機1600は、表示部1602を指などで触ることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1602を指などで触ることにより行うことができる。

【0584】

表示部1602の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0585】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1602を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1602の画面のほとんどにキーボードまたは番号ボタンを表示させがほしい。

【0586】

また、携帯電話機1600内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1600の向き（縦か横か）を判断して、表示部1602の画面表示を自動的に切り替えるようにすることができる。

【0587】

また、画面モードの切り替えは、表示部1602を触ること、又は筐体1601の操作ボタン1603a、1603bの操作により行われる。また、表示部1602に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0588】

また、入力モードにおいて、表示部1602の光センサで検出される信号を検知し、表示部1602のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードに切り替える。

10

20

30

40

50

ドから表示モードに切り替えるように制御してもよい。

【0589】

表示部1602は、イメージセンサとして機能させることもできる。例えば、表示部1602に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0590】

表示部1602には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

10

【0591】

図20(B)も携帯電話機の一例である。図20(B)を一例とした携帯型情報端末は、複数の機能を備えることができる。例えば電話機能に加えて、コンピュータを内蔵し、様々なデータ処理機能を備えることもできる。

【0592】

図20(B)に示す携帯型情報端末は、筐体1800及び筐体1801の二つの筐体で構成されている。筐体1801には、表示パネル1802、スピーカ1803、マイクロフォン1804、ポインティングデバイス1806、カメラ用レンズ1807、外部接続端子1808などを備え、筐体1800には、キーボード1810、外部メモリスロット1811などを備えている。また、アンテナは筐体1801内部に内蔵されている。

20

【0593】

また、表示パネル1802はタッチパネルを備えており、図20(B)には映像表示されている複数の操作キー1805を点線で示している。

【0594】

また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵していくともよい。

【0595】

表示パネル1802は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル1802と同一面上にカメラ用レンズ1807を備えているため、テレビ電話が可能である。スピーカ1803及びマイクロフォン1804は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体1800と筐体1801は、スライドし、図20(B)のように展開している状態から重なり合った状態とすることもできる、携帯に適した小型化が可能である。

30

【0596】

外部接続端子1808はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどのデータ通信が可能である。また、外部メモリスロット1811に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【0597】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

40

【0598】

図21(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することができる。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0599】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示さ

50

れる映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

【0600】

なお、テレビジョン装置 9600 は、受信機やモ뎀などを備えた構成とする。受信機により一般的なテレビ放送の受信を行うことができ、さらにモ뎀を介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0601】

表示部 9603 には、画素のスイッチング素子として、上記の実施の形態に示す薄膜トランジスタを複数配置することができる。 10

【0602】

図 21 (B) は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することができる。例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0603】

表示部 9703 には、画素のスイッチング素子として、上記の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0604】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。 20

【0605】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0606】

図 22 は携帯型遊技機であり、筐体 9881 と筐体 9891 の 2 つの筐体で構成されており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。 30

【0607】

表示部 9883 には、画素のスイッチング素子として、上記の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0608】

また、図 22 に示す携帯型遊技機は、その他、スピーカ部 9884、記録媒体挿入部 9886、LED ランプ 9890、入力手段（操作キー 9885、接続端子 9887、センサ 9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 22 に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 22 に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。 40

【0609】

以上のように、実施の形態 1 又は 2 に示した駆動回路は、上記のような様々な電子機器

50

の表示パネルに適用することができ、信頼性の高い電子機器を提供することができる。

【0610】

(実施の形態15)

本実施の形態では、実施の形態1又は2に示した論理回路を有する半導体装置の一例について説明する。具体的には、駆動回路が実施の形態1又は2に示した論理回路を有する電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図23に示す。

【0611】

10

図23は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0612】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部(図23では表示部2705)に文章を表示し、左側の表示部(図23では表示部2707)に画像を表示することができる。

20

【0613】

また、図23では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0614】

30

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とともに可能である。

【0615】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0616】

(実施の形態16)

本発明の一形態は、酸化物半導体中でキャリアの供与体(ドナー又はアクセプタ)となり得る不純物を極めて少ないレベルにまで除去することで、真性又は実質的に真性な酸化物半導体を作製し、当該酸化物半導体を薄膜トランジスタに適用するものである。

40

【0617】

図24は、このようなトランジスタのソース-ドレイン間のバンド構造を示す図である。高純度化が図られた酸化物半導体のフェルミ準位は、理想的な状態では禁制帯の中央に位置している。

【0618】

この場合、仕事関数を m 、酸化物半導体の電子親和力を μ とすると、 $m = \mu$ であれば、接合面において電極メタルのフェルミレベルと酸化物半導体の伝導帯のレベルが一致する。この等式を境目として、右辺が大きい場合はオーミック接触となる。バンドギャップ3.15eV、電子親和力4.3eV、真性状態(キャリア密度約 $1 \times 10^{-7} / \text{cm}^3$)であると仮定し、ソース電極及びドレイン電極として仕事関数4.3eVのチタン(

50

Ti)を用いたときには、図24で示すように電子に対してショットキー障壁は形成されない。

【0619】

図25は酸化物半導体を用いたトランジスタにおいて、ドレイン側に正の電圧が印加された状態を示す図である。酸化物半導体はバンドギャップが広いため、高純度化され真性若しくは実質的に真性な酸化物半導体の真性キャリア密度はゼロ又は限りなくゼロに近い状態であるが、ソース-ドレイン間に電圧が印加されれば、ソース側からキャリア(電子)が注入され、ドレイン側に流れ得ることが理解される。

【0620】

図26(A)はゲート電圧を正にしたときのMOS構造のエネルギー-band図であり、酸化物半導体を用いたトランジスタにおけるものを示している。この場合、高純度化された酸化物半導体には熱励起キャリアがほとんど存在しないことから、ゲート絶縁膜近傍にもキャリアは蓄積されない。しかし、図25で示すように、ソース側から注入されたキャリア(電子)が伝搬することはできる。

【0621】

図26(B)は、ゲート電圧を負にしたときのMOS構造のエネルギー-band図であり、酸化物半導体を用いたトランジスタにおけるものを示している。酸化物半導体中に少数キャリア(正孔)はほとんど存在しないので、ゲート絶縁膜近傍にもキャリアは蓄積されない。このことは、オフ電流が小さいことを意味している。

【0622】

なお、図27にシリコン半導体を用いた場合のトランジスタのバンド図を示す。シリコン半導体のバンドギャップは 1.12 eV であり、真性キャリア密度は 1.45×10^1 $^0/\text{cm}^3$ (300 K)である。室温においても熱励起キャリアが無視できず、温度に依存してオフ電流が大きく変動することとなる。

【0623】

このように、単に、バンドギャップの広い酸化物半導体をトランジスタに適用するではなく、ドナーを形成する水素等の不純物を極力低減し、キャリア密度を $1 \times 10^{14} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにすることで、実用的な動作温度で熱的に励起されるキャリアを排除して、ソース側から注入されるキャリアのみによってトランジスタを動作させることができる。それにより、オフ電流を 1×10^{-13} [A]以下にまで下げると共に、温度変化によってオフ電流がほとんど変化しない極めて安定に動作するトランジスタを得ることができる。

【0624】

(実施の形態17)

本実施の形態では、評価用素子(TEGとも呼ぶ)でのオフ電流の測定値について以下に説明する。

【0625】

図28に $L/W = 3\text{ }\mu\text{m} / 50\text{ }\mu\text{m}$ の薄膜トランジスタを200個並列に接続し、実効的には $L/W = 3\text{ }\mu\text{m} / 10000\text{ }\mu\text{m}$ の薄膜トランジスタの初期特性を示す。また、上面図を図29(A)に示し、その一部を拡大した上面図を図29(B)に示す。図29(B)の点線で囲んだ領域が $L/W = 3\text{ }\mu\text{m} / 50\text{ }\mu\text{m}$ 、 $L_{ov} = 1.5\text{ }\mu\text{m}$ の1段分の薄膜トランジスタである。薄膜トランジスタの初期特性を測定するため、基板温度を室温とし、ソース-ドレイン間電圧(以下、ドレイン電圧または V_d という)を 10 V とし、ソース-ゲート間電圧(以下、ゲート電圧または V_g という)を $-20\text{ V} \sim +20\text{ V}$ まで変化させたときのソース-ドレイン電流(以下、ドレイン電流または I_d という)の変化特性、すなわち $V_g - I_d$ 特性を測定した。なお、図28では、 V_g を $-20\text{ V} \sim +5\text{ V}$ までの範囲で示している。

【0626】

図28に示すようにチャネル幅 W が $10000\text{ }\mu\text{m}$ の薄膜トランジスタは、 V_d が 1 V 及び 10 V においてオフ電流は 1×10^{-13} [A]以下となっており、測定機(半導体

10

20

30

40

50

パラメータ・アナライザ、Agilent 4156C；Agilent社製)の分解能(100fA)以下となっている。

【0627】

測定した薄膜トランジスタの作製方法について説明する。

【0628】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を成膜し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタ法によりタンゲステン層を形成した。ここで、タンゲステン層を選択的にエッチングしてゲート電極層を形成した。

【0629】

次に、ゲート電極層上にゲート絶縁層としてCVD法により厚さ100nmの酸化窒化珪素層を形成した。

【0630】

次に、ゲート絶縁層上に、スパッタ法によりIn-Ga-Zn-O系金属酸化物ターゲット(モル数比で、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2)を用いて、厚さ50nmの酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0631】

次に、酸化物半導体層をクリーンオーブンにて窒素雰囲気下、450、1時間の第1の熱処理を行った。

10

【0632】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層(厚さ150nm)をスパッタ法により成膜した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、1つの薄膜トランジスタのチャネル長Lが3μm、チャネル幅Wが50μmとし、200個を並列とすることで、実効的にL/W = 3μm / 10000μmとなるようにした。

【0633】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を膜厚300nmで形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、250で1時間、第2の熱処理を行った。

20

【0634】

そして、Vg - Id特性を測定する前に150、10時間の加熱を行った。

【0635】

以上の工程により、ボトムゲート型の薄膜トランジスタを作製した。

【0636】

図28に示すように薄膜トランジスタが、 1×10^{-13} [A]程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 5×10^{-9} (atoms/cm³)以下、好ましくは 5×10^{-8} (atoms/cm³)以下、さらに好ましくは 5×10^{-7} (atoms/cm³)以下とする。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で行う。

30

40

【0637】

また、In-Ga-Zn-O系酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、In-Sn-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、In-Sn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系などを用いることができる。また、酸化物半導体材料として、Al₂O₃を2.5~10wt%混入したIn-Al-Zn-O系や、SiO₂を2.5~10wt%混入したIn-Zn-O

50

系を用いることもできる。

【0638】

また、キャリア測定機で測定される酸化物半導体層のキャリア密度は、シリコンの真性キャリア密度 $1.45 \times 10^{10} / \text{cm}^3$ と同等、もしくはそれ以下であることが好ましい、具体的には、 $5 \times 10^{14} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{12} / \text{cm}^3$ 以下である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近くすることができる。

【0639】

また、薄膜トランジスタのチャネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費電力化も図ることができる。

10

【0640】

また、薄膜トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなして回路設計を行うことができる。

【0641】

続いて、本実施の形態で作製した薄膜トランジスタに対してオフ電流の温度特性を評価した。温度特性は、薄膜トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

【0642】

温度特性は、恒温槽を用い、-30、0、25、40、60、80、100、及び120 のそれぞれの温度で薄膜トランジスタを形成した基板を一定温度とし、ドレイン電圧を 6 V 、ゲート電圧を $-20 \text{ V} \sim +20 \text{ V}$ まで変化させて $V_g - I_d$ 特性を取得した。

20

【0643】

図30(A)に示すのは、上記それぞれの温度で測定した $V_g - I_d$ 特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図30(B)に示す。図中の矢印で示す右端の曲線が-30、左端が120 で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図30(B)においても明らかであるように、ゲート電圧が -20 V 近傍を除いて、全ての温度で測定機の分解能近傍の $1 \times 10^{-12} [\text{A}]$ 以下となっており、温度依存性も見えていない。すなわち、120 の高温においても、オフ電流が $1 \times 10^{-12} [\text{A}]$ 以下を維持しており、実効的なチャネル幅 W が $10000 \mu\text{m}$ であることを考慮すると、オフ電流が非常に小さいことがわかる。

30

【0644】

高純度化された酸化物半導体 (purified OS) を用いた薄膜トランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体のエネルギーギャップが 3 eV 以上であり、真性キャリアが極めて少ないと起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。薄膜トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性(オフ電流の温度依存性無し)を説明することができる。

40

【0645】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、記憶回路(記憶素子)などを作製した場合、オフ電流値が小さくほとんどリークがないため、記憶データを保持する時間を長くすることができる。

【符号の説明】

【0646】

- | | |
|-----|----------|
| 1 1 | 薄膜トランジスタ |
| 1 2 | 薄膜トランジスタ |
| 1 3 | 薄膜トランジスタ |
| 1 4 | 薄膜トランジスタ |

50

1 5	容量素子	
2 1	薄膜トランジスタ	
2 2	薄膜トランジスタ	
2 3	薄膜トランジスタ	
2 4	薄膜トランジスタ	
2 5	容量素子	
3 1	薄膜トランジスタ	
4 1	薄膜トランジスタ	
1 0 1	薄膜トランジスタ	10
1 0 2	薄膜トランジスタ	
1 0 3	薄膜トランジスタ	
1 0 4	薄膜トランジスタ	
1 0 5	容量素子	
1 1 0	パルス出力回路	
1 1 1	薄膜トランジスタ	
1 1 2	薄膜トランジスタ	
1 1 3	薄膜トランジスタ	
1 1 4	薄膜トランジスタ	
1 1 5	容量素子	
1 2 0	パルス出力回路	20
1 2 1	薄膜トランジスタ	
1 2 2	薄膜トランジスタ	
1 2 3	薄膜トランジスタ	
1 2 4	薄膜トランジスタ	
1 2 5	容量素子	
1 3 0	パルス出力回路	
2 0 1	薄膜トランジスタ	
2 0 2	薄膜トランジスタ	
2 0 3	薄膜トランジスタ	
2 0 4	薄膜トランジスタ	30
2 0 5	容量素子	
2 1 0	パルス出力回路	
2 1 1	薄膜トランジスタ	
2 1 2	薄膜トランジスタ	
2 1 3	薄膜トランジスタ	
2 1 4	薄膜トランジスタ	
2 1 5	容量素子	
2 2 0	パルス出力回路	
2 2 1	薄膜トランジスタ	
2 2 2	薄膜トランジスタ	40
2 2 3	薄膜トランジスタ	
2 2 4	薄膜トランジスタ	
2 2 5	容量素子	
2 3 0	パルス出力回路	
3 0 0	基板	
3 0 2	ゲート絶縁層	
3 0 3	保護絶縁層	
3 1 0	薄膜トランジスタ	
3 1 1	ゲート電極層	
3 1 3	チャネル形成領域	50

3 1 4 a	高抵抗ソース領域	
3 1 4 b	高抵抗ドレイン領域	
3 1 5 a	ソース電極層	
3 1 5 b	ドレイン電極層	
3 1 6	酸化物絶縁層	
3 2 0	基板	
3 2 2	ゲート絶縁層	
3 2 3	保護絶縁層	
3 3 0	酸化物半導体層	10
3 3 1	酸化物半導体層	
3 3 2	酸化物半導体層	
3 4 0	基板	
3 4 2	ゲート絶縁層	
3 4 3	保護絶縁層	
3 4 5	酸化物半導体層	
3 4 6	酸化物半導体層	
3 5 0	薄膜トランジスタ	
3 5 1	ゲート電極層	
3 5 2	酸化物半導体層	
3 5 5 a	ソース電極層	20
3 5 5 b	ドレイン電極層	
3 5 6	酸化物絶縁層	
3 6 0	薄膜トランジスタ	
3 6 1	ゲート電極層	
3 6 2	酸化物半導体層	
3 6 3	チャネル形成領域	
3 6 4 a	高抵抗ソース領域	
3 6 4 b	高抵抗ドレイン領域	
3 6 5 a	ソース電極層	
3 6 5 b	ドレイン電極層	30
3 6 6	酸化物絶縁層	
3 7 0	基板	
3 7 2 a	第1のゲート絶縁層	
3 7 2 b	第2のゲート絶縁層	
3 7 3	保護絶縁層	
3 8 0	薄膜トランジスタ	
3 8 1	ゲート電極層	
3 8 2	酸化物半導体層	
3 8 5 a	ソース電極層	
3 8 5 b	ドレイン電極層	40
3 8 6	酸化物絶縁層	
3 9 0	薄膜トランジスタ	
3 9 1	ゲート電極層	
3 9 2	酸化物半導体層	
3 9 3	酸化物半導体層	
3 9 4	基板	
3 9 5 a	ソース電極層	
3 9 5 b	ドレイン電極層	
3 9 6	酸化物絶縁層	
3 9 7	ゲート絶縁層	50

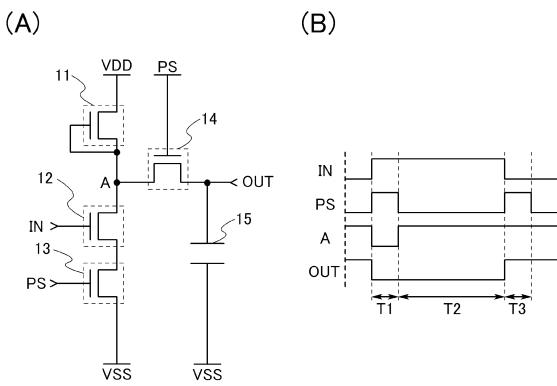
3 9 8	保護絶縁層	
3 9 9	酸化物半導体層	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 7	絶縁層	
4 1 0	薄膜トランジスタ	
4 1 1	ゲート電極層	
4 1 2	酸化物半導体層	
4 1 4 a	配線層	10
4 1 4 b	配線層	
4 1 5 a	ソース電極層又はドレイン電極層	
4 1 5 b	ソース電極層又はドレイン電極層	
4 2 0	シリコン基板	
4 2 1 a	開口	
4 2 1 b	開口	
4 2 2	絶縁層	
4 2 3	開口	
4 2 4	導電層	
4 2 5	薄膜トランジスタ	20
4 2 6	薄膜トランジスタ	
4 2 7	導電層	
4 5 0	基板	
4 5 2	ゲート絶縁層	
4 5 7	絶縁層	
4 6 0	薄膜トランジスタ	
4 6 1	ゲート電極層	
4 6 1 a	ゲート電極層	
4 6 1 b	ゲート電極層	
4 6 2	酸化物半導体層	
4 6 4	配線層	30
4 6 5 a	ソース電極層又はドレイン電極層	
4 6 5 a 1	ソース電極層又はドレイン電極層	
4 6 5 a 2	ソース電極層又はドレイン電極層	
4 6 5 b	ソース電極層又はドレイン電極層	
4 6 8	配線層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	酸化シリコン層	
5 8 4	保護絶縁層	
5 8 5	絶縁層	40
5 8 7	電極層	
5 8 8	電極層	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	対向基板	
1 6 0 0	携帯電話機	
1 6 0 1	筐体	
1 6 0 2	表示部	50

1 6 0 3 a	操作ボタン	
1 6 0 3 b	操作ボタン	
1 6 0 4	外部接続ポート	
1 6 0 5	スピーカ	
1 6 0 6	マイク	
1 8 0 0	筐体	
1 8 0 1	筐体	
1 8 0 2	表示パネル	
1 8 0 3	スピーカ	
1 8 0 4	マイクロフォン	10
1 8 0 5	操作キー	
1 8 0 6	ポインティングデバイス	
1 8 0 7	カメラ用レンズ	
1 8 0 8	外部接続端子	
1 8 1 0	キーボード	
1 8 1 1	外部メモリスロット	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	20
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	30
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	絶縁層	40
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 4 0	導電層	
4 0 4 1	絶縁層	
4 0 4 2	絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	50

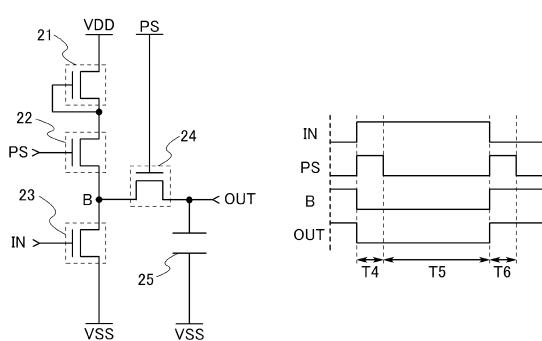
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	10
4 5 1 3	電極	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 5 1 9	異方性導電層	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 2	酸化シリコン層	20
4 5 4 3	オーバーコート層	
4 5 4 4	絶縁層	
4 5 4 5	カラーフィルタ層	
4 5 5 0	配線層	
4 5 5 1	絶縁層	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	30
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電位線	
7 0 0 1	駆動用 TFT	
7 0 0 2	発光素子	
7 0 0 3	電極	
7 0 0 4	EL層	
7 0 0 5	電極	
7 0 0 9	隔壁	40
7 0 1 1	駆動用 TFT	
7 0 1 2	発光素子	
7 0 1 3	電極	
7 0 1 4	EL層	
7 0 1 5	電極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電層	
7 0 1 9	隔壁	
7 0 2 1	駆動用 TFT	
7 0 2 2	発光素子	50

7 0 2 3	電極	
7 0 2 4	E L 層	
7 0 2 5	電極	
7 0 2 6	電極	
7 0 2 7	導電層	
7 0 2 9	隔壁	
7 0 3 1	絶縁層	
7 0 3 2	絶縁層	
7 0 3 3	カラーフィルタ層	10
7 0 3 4	オーバーコート層	
7 0 3 5	保護絶縁層	
7 0 3 6	平坦化絶縁層	
7 0 4 1	絶縁層	
7 0 4 2	絶縁層	
7 0 4 3	カラーフィルタ層	
7 0 4 4	オーバーコート層	
7 0 4 5	保護絶縁層	
7 0 4 6	平坦化絶縁層	
7 0 5 1	酸化シリコン層	20
7 0 5 2	保護絶縁層	
7 0 5 3	平坦化絶縁層	
7 0 5 5	絶縁層	
7 0 5 6	平坦化絶縁層	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	30
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	40
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	

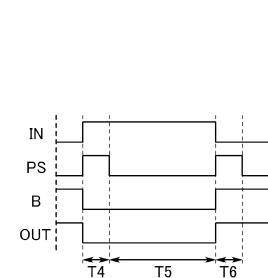
【 図 1 】



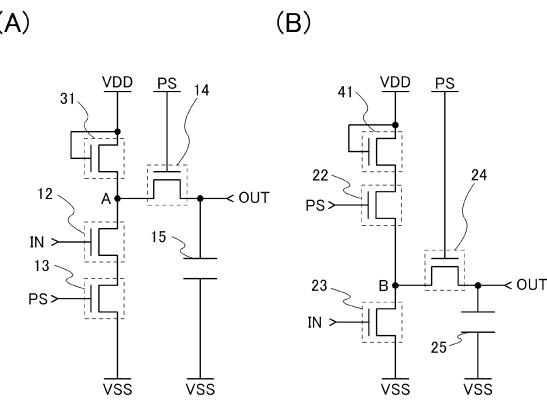
(C)



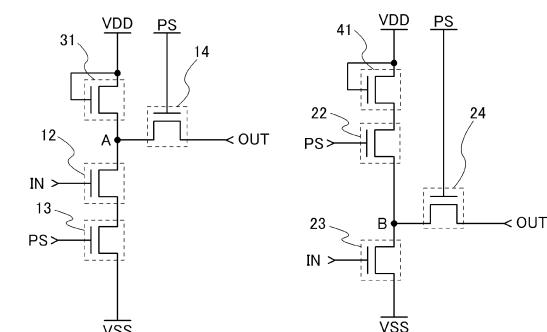
(D)



【 図 2 】

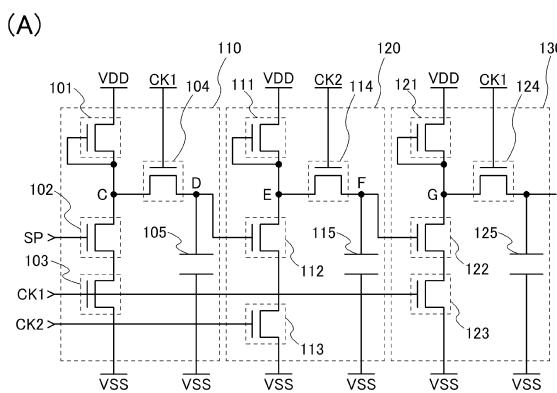


(C)

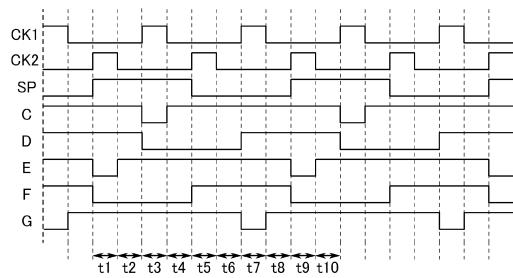


(D)

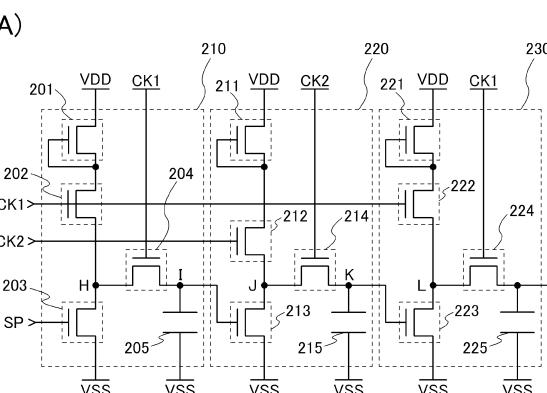
【 図 3 】



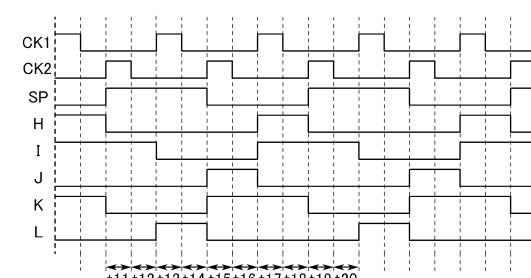
(B)



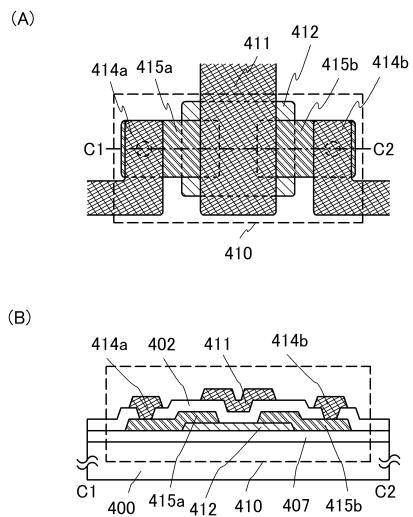
【 四 4 】



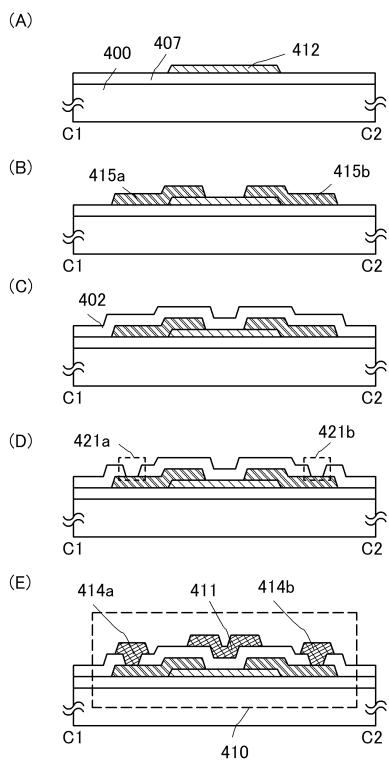
(B)



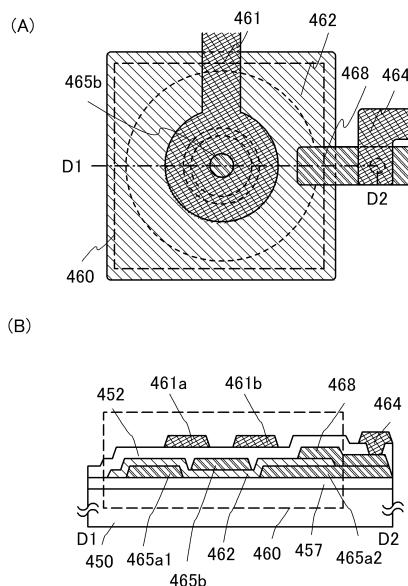
【図5】



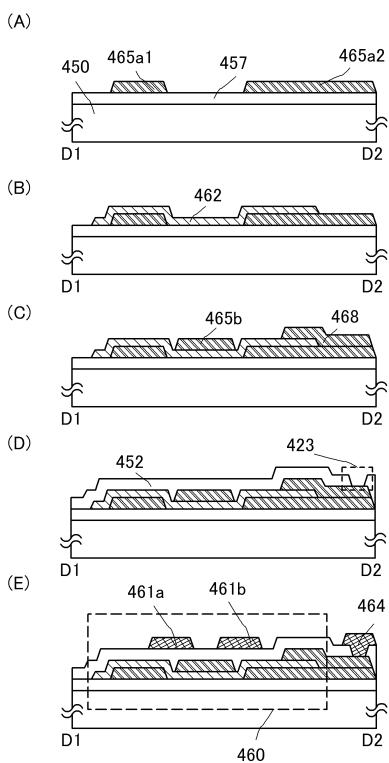
【図6】



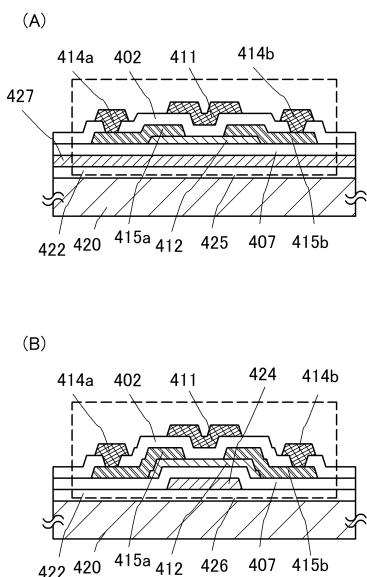
【図7】



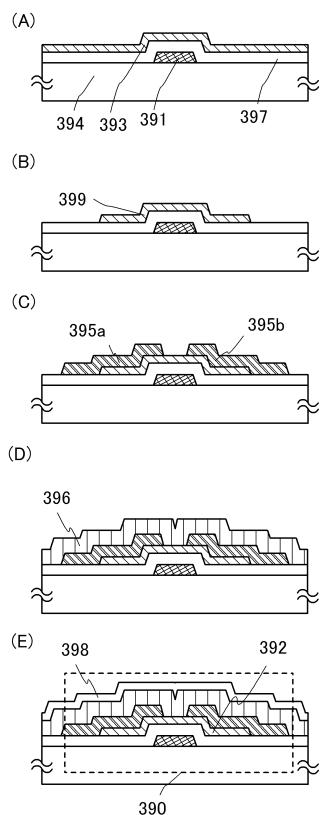
【図8】



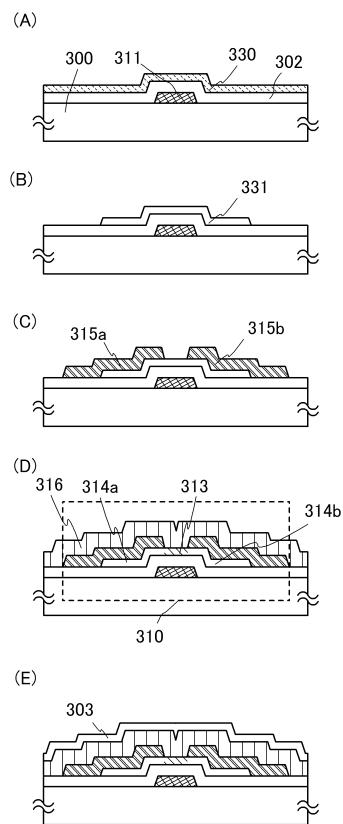
【図9】



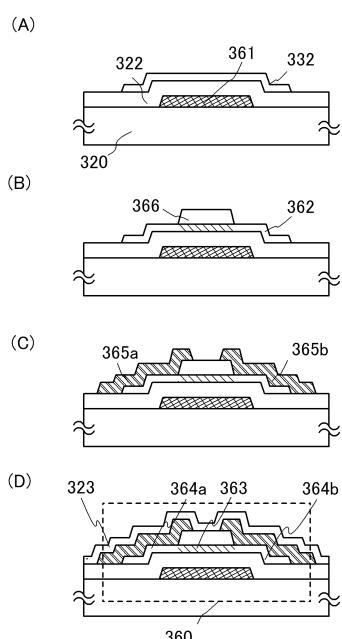
【図10】



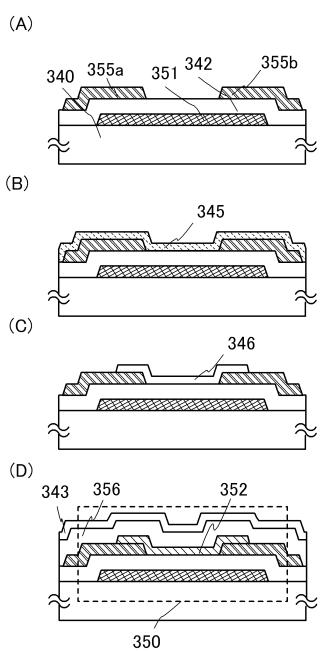
【図11】



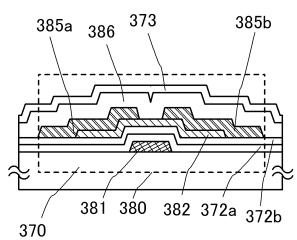
【図12】



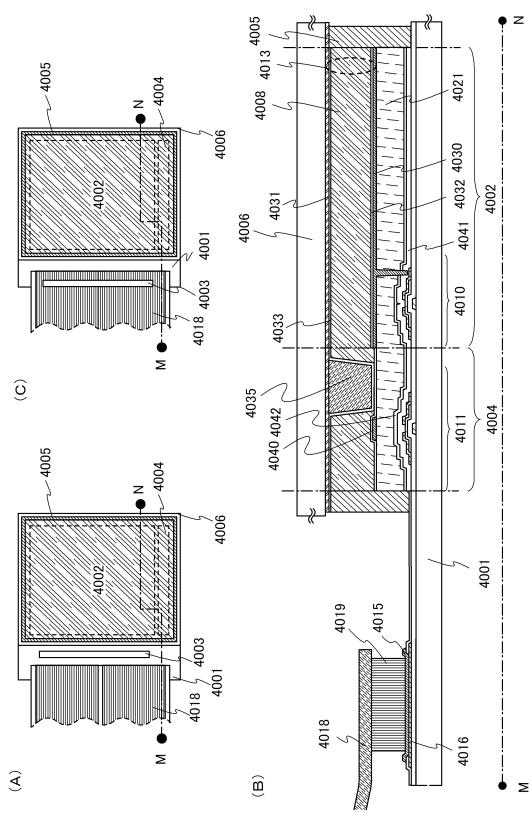
【図13】



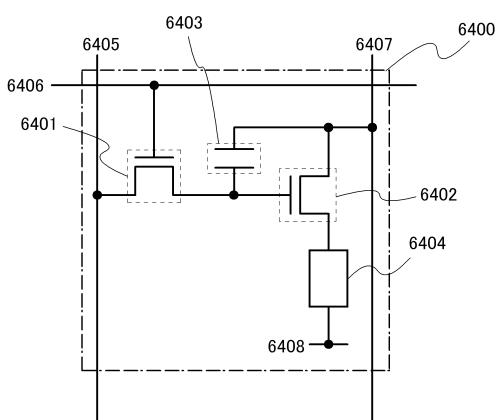
【図14】



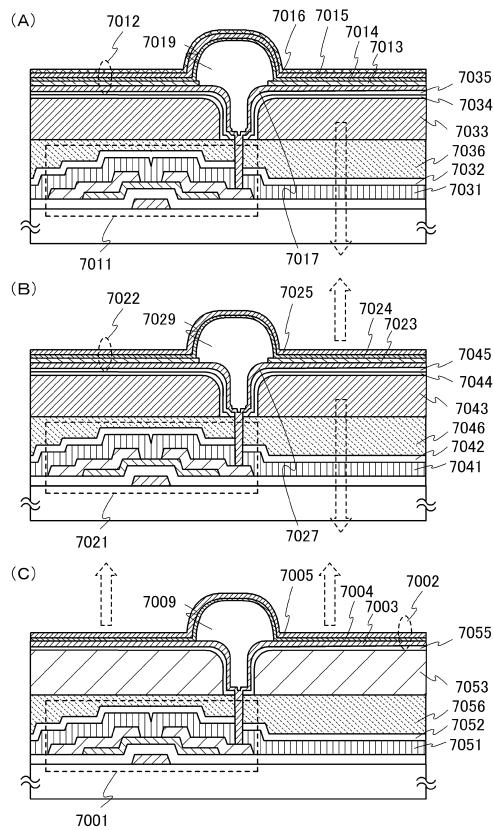
【図15】



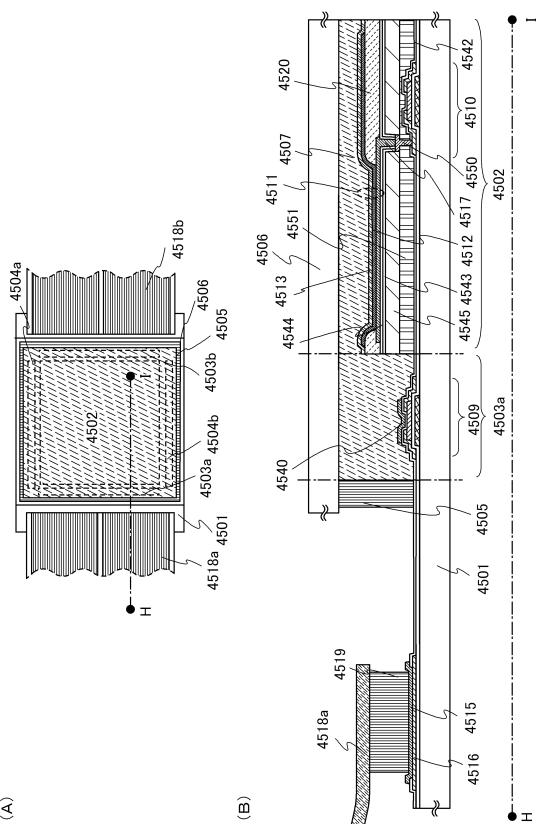
【図16】



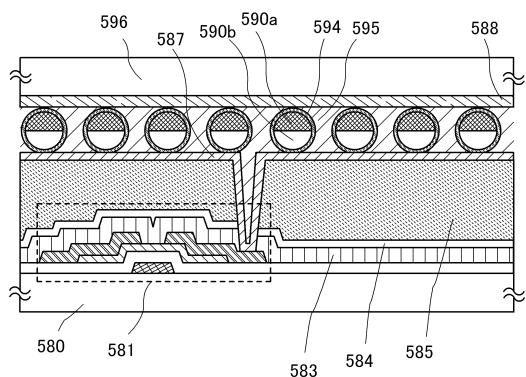
【図17】



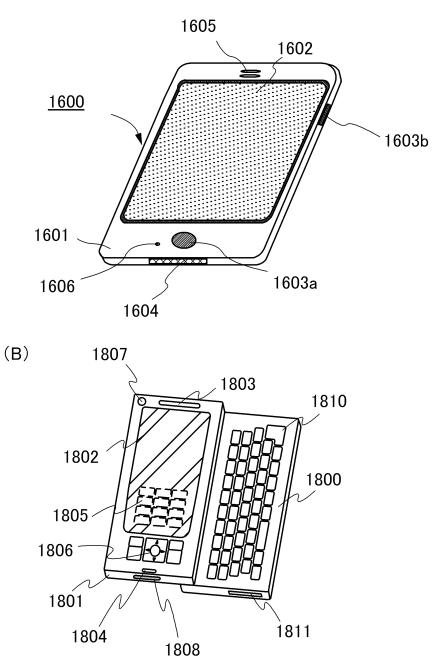
【 図 1 8 】



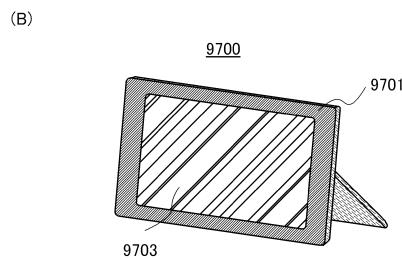
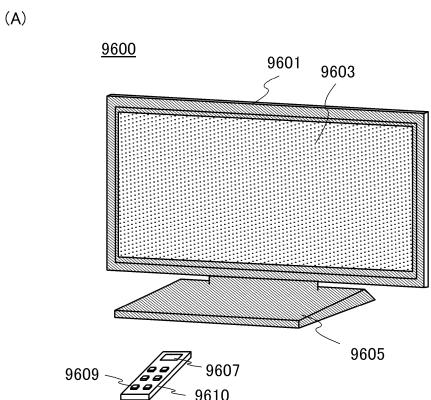
【図19】



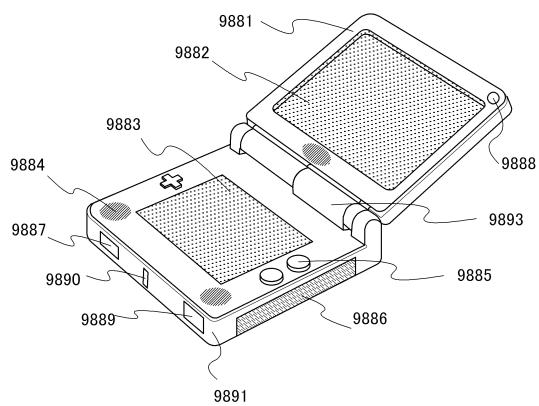
【図20】



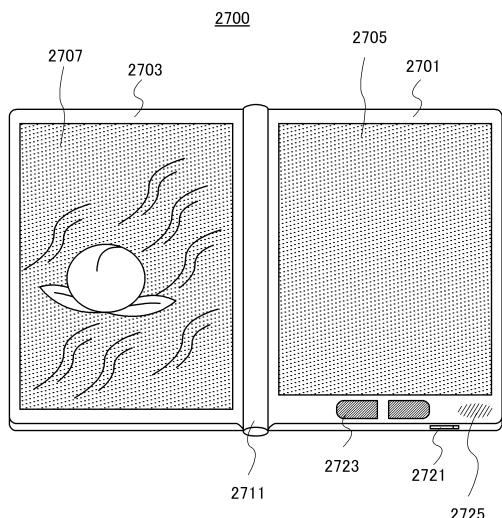
【図21】



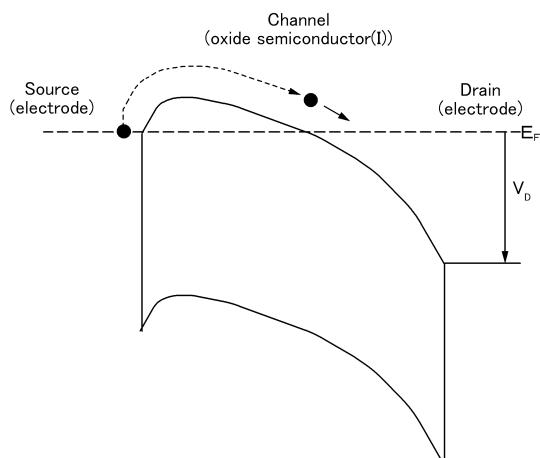
【図22】



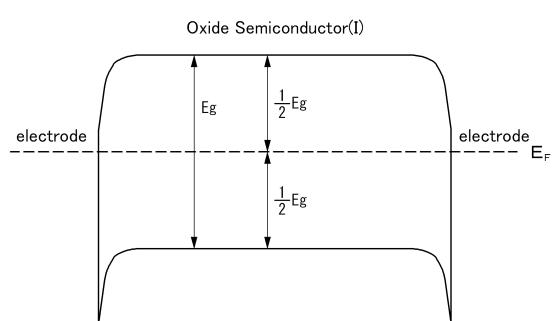
【図23】



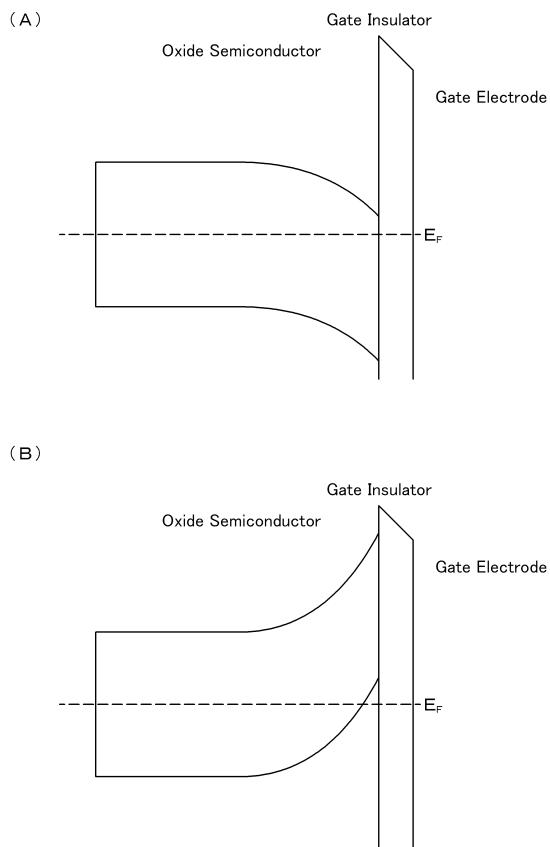
【図25】



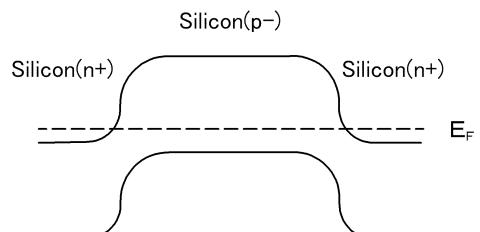
【図24】



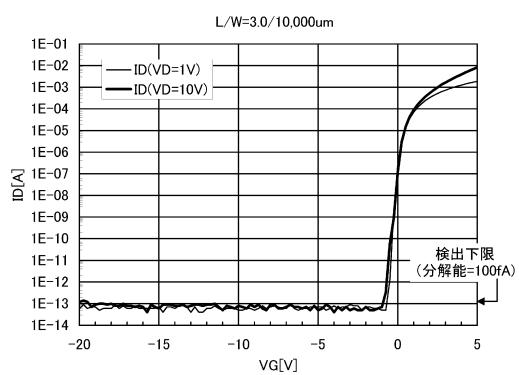
【図26】



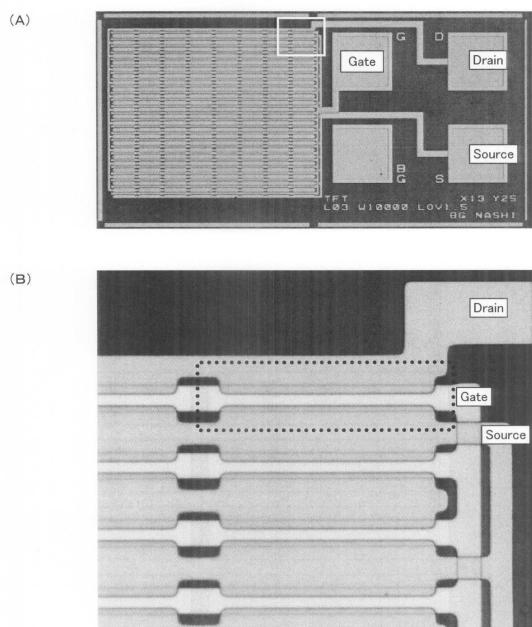
【図27】



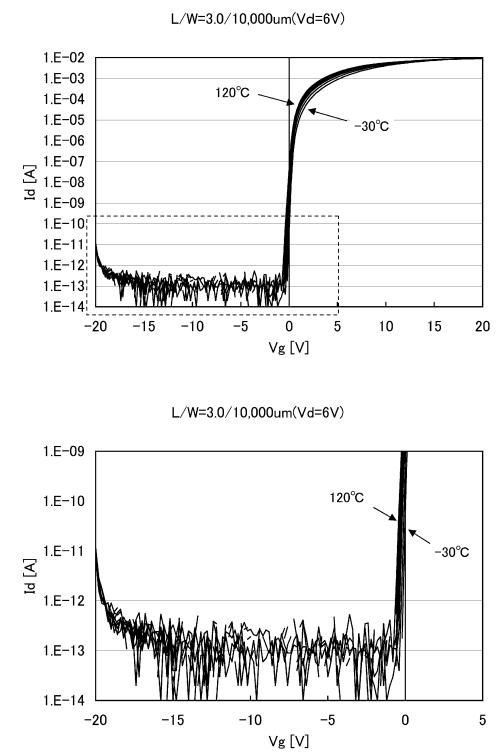
【図28】



【図29】



【図30】



フロントページの続き

審査官 市川 武宜

(56)参考文献 特開2007-123861(JP, A)
国際公開第2008/139860(WO, A1)
特開2006-106106(JP, A)
国際公開第2009/093625(WO, A1)
特開2008-286911(JP, A)
特開2006-005116(JP, A)
国際公開第2008/117739(WO, A1)
特開2008-311342(JP, A)
特開2007-142196(JP, A)
特開2009-164393(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
G02F 1/1368
H01L 21/336