



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0077155
(43) 공개일자 2009년07월15일

(51) Int. Cl.

H04L 27/01 (2006.01) G11C 7/12 (2006.01)

(21) 출원번호 10-2008-0002942

(22) 출원일자 2008년01월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

배송준

대전 서구 내동 맑은아침아파트 102-1503

(74) 대리인

윤재석, 권영규, 한지희

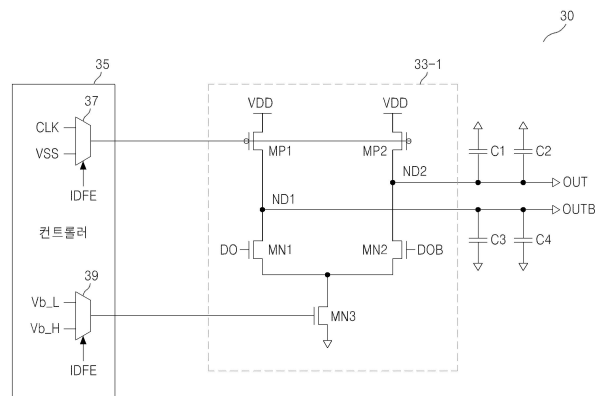
전체 청구항 수 : 총 8 항

(54) 전력 소모를 줄이기 위한 인터페이스 시스템 및 그를구비하는 반도체 장치

(57) 요약

전력 소모를 줄이기 위한 인터페이스 시스템이 개시된다. 상기 인터페이스 시스템은 선택 신호를 공급하는 컨트롤러와, 상기 선택 신호에 응답하여 샘플링 수신기 또는 적분 수신기로서 동작하는 수신기를 포함하며, 상기 인터페이스 시스템은 선택 신호에 응답하여 동작 모드를 결정할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

선택 신호를 공급하는 컨트롤러; 및

상기 선택 신호에 응답하여 샘플링 수신기 또는 적분 수신기로서 동작하는 수신기를 포함하는 인터페이스 시스템.

청구항 2

제1항에 있어서, 상기 수신기는,

스위칭 가능한 액티브 로드들과 제1 테일 전류 원을 포함하는 차동 증폭기를 포함하며,

상기 컨트롤러는,

상기 선택 신호에 응답하여, 상기 스위칭 가능한 액티브 로드들로 클락 신호 또는 일정한 전압을 공급하고 상기 제1 테일 전류 원의 전류를 제어하는 인터페이스 시스템.

청구항 3

제2항에 있어서, 상기 컨트롤러는,

상기 선택 신호에 응답하여 상기 클락 신호 또는 상기 일정한 전압을 상기 스위칭 가능한 액티브 로드들로 공급하기 위한 제1선택기; 및

상기 선택 신호에 응답하여 다수의 전압들 중에서 어느 하나의 전압을 상기 제1 테일 전류 원의 바이어스 전압으로 공급하기 위한 제2선택기를 포함하는 인터페이스 시스템.

청구항 4

제2항에 있어서, 상기 스위칭 가능한 액티브 로드들 각각은 MOSFET 또는 BJT인 인터페이스 시스템.

청구항 5

제2항에 있어서, 상기 수신기는,

자신의 제2 테일 전류 원을 경유하여 접지 전압과 상기 차동 증폭기의 출력 단자쌍 사이에 접속된 적어도 하나의 트랜지스터 쌍을 더 포함하며,

상기 컨트롤러는,

상기 선택 신호에 응답하여 상기 제2 테일 전류 원의 전류를 제어하는 인터페이스 시스템.

청구항 6

제5항에 있어서, 상기 수신기는 DFE(Decision Feedback Equalizer)인 인터페이스 시스템.

청구항 7

제6항에 있어서,

상기 수신기가 상기 DFE로 사용되는 경우,

상기 컨트롤러는 상기 스위칭 가능한 액티브 로드들로 상기 일정한 전압을 공급하고, 상기 제1 테일 전류 원의 전류를 제어하기 위해 상기 다수의 전압들 중에서 제1전압을 공급하고,

상기 수신기가 적분 DFE로 사용되는 경우,

상기 컨트롤러는 상기 스위칭 가능한 액티브 로드들로 상기 클락 신호를 공급하고, 상기 제1 테일 전류 원의 전류를 제어하기 위해 상기 다수의 전압들 중에서 제2전압을 공급하고,

상기 제1전압은 상기 제2전압보다 높은 인터페이스 시스템.

청구항 8

선택 신호에 응답하여 제1 선택기가 클락 신호 또는 일정한 전압을 스위칭 가능한 액티브 로드로 출력하고, 제2 선택기가 다수의 전압들 중에서 어느 하나의 전압을 제1 테일 전류 원의 바이어스 전압으로 공급하는(a) 단계; 및

스위칭 가능한 상기 액티브 로드들과 상기 제1 테일 전류원을 포함하는 차동 증폭기가 (a)단계에서 출력된 신호들에 응답하여 동작하는 단계를 포함하는 인터페이스 시스템의 동작 방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 시스템 환경에 적합한 동작 모드를 선택함으로써 전력 소모를 줄이기 위한 인터페이스 시스템 및 그를 구비하는 반도체 장치에 관한 것이다.

배경 기술

- <2> 송신기로부터 수신기로 전송되는 신호는 전송로 예컨대, 케이블, 또는 채널등을 거치는 도중에 여러 요인에 의하여 왜곡(예컨대, 진폭 왜곡 및 위상 왜곡 등)된다. 이러한 왜곡은 상기 신호의 분산 또는 일그러짐으로 나타나며, 왜곡된 신호만으로는 수신하여 복조하더라도 본래의 신호를 얻을 수 없다.
- <3> 칩(chip)과 칩 사이의 전송선을 통해 전송되는 데이터의 전송 속도가 증가할수록 채널의 물리적 한계에 의하여 시스템의 성능 향상에 있어서 제약을 주고 있다.
- <4> 다시 말해, PCB 상에서 전송선(또는 채널)이 로우 패스 필터의 특성을 갖으므로써 입력 신호의 게인 감소와 채널 상의 임피던스의 불연속으로 인한 반사파에 의해 ISI(inter symbol interference)가 발생한다. 특히, ISI는 신호라인의 수와 핀 수를 줄이기 위한 싱글 앤디드(single ended) 방식, 또는 하나의 신호 라인에 여러개의 칩들을 동시에 연결하는 멀티 드롭 채널 방식을 사용하는 DRAM 채널에서 더 심각하다. 또한, 수신기는 회로 내의 기생 캐패시턴스의 증가로 고주파 노이즈가 많이 발생한다.
- <5> 이에 따라 수신기에는 입력 신호를 왜곡시키는 성분 예컨대, ISI, 또는 고주파 노이즈등을 제거(또는 보상)하기 위하여 등화기(equalizer)가 널리 사용된다.
- <6> 등화기(equalizer)는 전 주파수 대역에 걸쳐 진폭 및 위상이 균일한 특성을 가지게 하여 채널 상의 왜곡(distortion) 및 간섭 예컨대, ISI 등을 복원 보상하는 신호처리 또는 필터링 기술을 말한다.
- <7> 일반적으로 등화기는 송신기에 사용되는 프리-엠퍼시스(pre-emphasis)와 수신기(receiver)에서 사용되는 선형 등화기, DFE(Decision Feedback Equalizer), 및 적분 DFE(integrating DFE)등이 있다.
- <8> 특히 DFE는 고주파 노이즈를 증폭하지 않고 칩과 칩 사이의 채널 상의 ISI를 줄여 데이터의 전송 속도를 높일 수 있으므로 널리 사용된다. DFE는 수신된 과거의 데이터 값에 기초하여 현재 입력되는 입력 신호에 포함된 ISI를 제거한다. 상기 DFE는 전력 소모가 크며, 고주파 노이즈에 민감하다.
- <9> 또한, 적분 DFE는 기존의 DFE에서 고주파 노이즈까지 필터링할 수 있으며, 수신된 과거의 데이터 값에 기초하여 ISI를 제거한 입력 신호를 한 주기 동안 적분하여 데이터를 판별한다. 상기 적분 DFE는 저주파 노이즈에 민감하며, 전력 소모가 작다.
- <10> 이와 같이 등화기 각각은 시스템 환경 예컨대, 노이즈 제거, 전력 소모, 클락 신호등에 따라 서로 다른 동작 특성을 갖는다.
- <11> 따라서, 데이터 송/수신시 채널 환경 또는 시스템 환경(예컨대, 노이즈, 전력 소모등)에 따라 최적화된 수신기를 제공하기 위한 인터페이스 시스템이 요구된다.

발명의 내용

해결 하고자하는 과제

<12> 따라서, 본 발명이 해결하고자 하는 과제는 데이터를 송/수신하는 반도체 장치에 있어서, 최소한의 오버헤드로 채널 환경, 또는 시스템 환경에 최적화된 동작 모드로 동작하는 인터페이스 시스템 및 그 방법에 것에 관한 것이다.

과제 해결수단

- <13> 본 발명의 실시 예에 따른 인터페이스 시스템은 선택 신호를 공급하는 컨트롤러와, 상기 선택 신호에 응답하여 샘플링 수신기 또는 적분 수신기로서 동작하는 수신기를 포함한다.
- <14> 상기 수신기는 스위칭 가능한 액티브 로드들과 제1 테일 전류 원을 포함하는 차동 증폭기를 포함하며, 상기 컨트롤러는 상기 선택 신호에 응답하여 상기 스위칭 가능한 액티브 로드들로 클락 신호 또는 일정한 전압을 공급하고 상기 제1 테일 전류 원의 전류를 제어한다.
- <15> 상기 컨트롤러는 상기 선택 신호에 응답하여 상기 클락 신호 또는 상기 일정한 전압을 상기 스위칭 가능한 액티브 로드들로 공급하기 위한 제1선택기와, 상기 선택 신호에 응답하여 다수의 전압들 중에서 어느 하나의 전압을 상기 제1 테일 전류 원의 바이어스 전압으로 공급하기 위한 제2선택기를 포함한다.
- <16> 상기 스위칭 가능한 액티브 로드들 각각은 MOSFET 또는 BJT이다.
- <17> 상기 인터페이스 시스템은 자신의 제2 테일 전류 원을 경유하여 접지 전압과 상기 차동 증폭기의 출력 단자쌍 사이에 접속된 적어도 하나의 트랜지스터 쌍을 더 포함하며, 상기 컨트롤러는 상기 선택 신호에 응답하여 상기 제2 테일 전류 원의 전류를 제어한다.
- <18> 상기 수신기는 DFE(Decision Feedback Equalizer)이다.
- <19> 상기 수신기가 상기 DFE로 사용되는 경우, 상기 컨트롤러는 상기 스위칭 가능한 액티브 로드들로 상기 일정한 전압을 공급하고, 상기 제1 테일 전류 원의 전류를 제어하기 위해 상기 다수의 전압들 중에서 제1전압을 공급한다.
- <20> 상기 수신기가 적분 DFE로 사용되는 경우, 상기 컨트롤러는 상기 스위칭 가능한 액티브 로드들로 상기 클락 신호를 공급하고 상기 제1 테일 전류 원의 전류를 제어하기 위해 상기 다수의 전압들 중에서 제2전압을 공급한다.
- <21> 본 발명의 실시 예에 따른 인터페이스 시스템의 동작 방법은 선택 신호에 응답하여 제1 선택기가 클락 신호 또는 일정한 전압을 스위칭 가능한 액티브 로드로 출력하고, 제2 선택기가 다수의 전압들 중에서 어느 하나의 전압을 제1 테일 전류 원의 바이어스 전압으로 공급하는(a) 단계와, 스위칭 가능한 상기 액티브 로드들과 상기 제1 테일 전류원을 포함하는 차동 증폭기가 (a)단계에서 출력된 신호들에 응답하여 동작하는 단계를 포함한다.

효 과

- <22> 본 발명의 실시 예에 따른 인터페이스 시스템은 시스템 환경에 따라 적합한 등화기를 사용할 수 있는 수신기를 제공함으로써, 반도체 장치의 전력 소모를 줄이고 안정적으로 동작할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <23> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <24> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <25> 도 1은 종래의 DFE(10)의 회로도를 나타낸다.
- <26> 도 1을 참조하면, DFE(10)는 차동 증폭기(3), 및 다수의 피드백 유닛(5, 및 7)을 포함한다.
- <27> 차동 증폭기(3)는 제1 저항(R1), 제2 저항(R2), 제1입력단자를 통하여 입력되는 제1입력 신호(D0)를 수신하는 제1입력 트랜지스터(MN1), 제2입력단자를 통하여 입력되는 제2입력 신호(D0B)를 수신하는 제2입력 트랜지스터(MN2), 및 테일 전류원(Ibias)을 포함한다.
- <28> 제1 저항(R1)은 제1 전압 예컨대, 전원 전압(VDD)을 공급하는 제1노드와 제1출력 단자(ND1) 사이에 접속되며,

제2 저항(R2)은 제1 전압을 공급하는 제1노드와 제2출력 단자(ND2) 사이에 접속된다.

- <29> 차동 증폭기(3)의 제1출력 단자(ND1)와 제2출력 단자(ND2) 각각은 각각의 트랜지스터(MN1 및 MN2)와 테일 전류원(Ibias)을 통하여 제2 전압 예컨대, 접지 전압(VSS)을 공급하는 제2노드에 접속된다. 테일 전류원(Ibias)은 바이어스 제어 전압에 응답하여 차동 증폭기(3)로 공급되는 바이어스 전류의 양을 제어한다.
- <30> 차동 증폭기(3)는 제1입력신호(D0)와 제2 입력 신호(D0B)의 전압 차이에 응답하여 제1출력 단자(ND1)를 통하여 제1전류와 제2출력 단자(ND2)를 통하여 제2전류를 발생한다.
- <31> 제1입력 트랜지스터(MN1), 및 제2입력 트랜지스터(MN2) 각각은 NMOSFET로 구현될 수 있다.
- <32> 제1 피드백 유닛(5)은 테일 전류원(I_{tl})을 경유하여 차동 증폭기(3)의 출력 단자쌍(ND1 및 ND2) 사이에 접속된 트랜지스터 쌍을 포함한다. 제1 피드백 유닛(5)은 입력 신호들(H1 및 H1B)에 기초하여 제1출력 단자(ND1)의 제1 전류와 제2출력 단자(ND2)의 제2 전류를 제어하며, 입력 신호들(H1 및 H1B) 각각은 과거에 DFE(10)로부터 출력된 출력 신호들 예컨대, 한 주기 전에 데이터가 판별된 샘플링 신호들일 수 있다.
- <33> 또한, 제n(n은 자연수) 피드백 유닛(7)은 테일 전류 원(I_{tl})을 경유하여 차동 증폭기(3)의 출력 단자쌍(ND1 및 ND2) 사이에 접속된 트랜지스터 쌍을 포함한다. 제n 피드백 유닛(7)은 입력 신호들(HN 및 HNB)에 기초하여 제1 출력 단자(ND1)의 제1전류와 제2출력 단자(ND2)의 제2 전류를 제어하며, 입력 신호들(HN 및 HNB) 각각은 과거에 DFE(10)로부터 출력된 출력 신호들 예컨대, n번째 주기 이전에 데이터가 판별된 샘플링 신호들일 수 있다.
- <34> 즉, 피드백 유닛(5, 및 7) 각각은 n(n은 자연수)번째 주기 이전에 차동 증폭기(3)에 입력되어 판별된 출력 신호들(H1, H1B, HN, 및 HNB)을 현재 입력되는 제1 입력 신호(D0), 및 제2입력 신호(D0B) 각각에 포함된 ISI를 제거하기 위하여 DFE(10)로 피드백한다.
- <35> 또한, DFE(10)의 부하 캐패시턴스(load capacitance)는 기생 캐패시터(parasitics capacitance)로 모델링될 수 있다. 따라서, 제1출력 단자(ND1)와 제2출력 단자(ND2) 각각에 접속된 DFE(10)의 부하는 기생 캐패시터(C1, C2, C3, 및 C4)로 모델링될 수 있다.
- <36> 다시말해, DFE(10)는 이전에 판별된 출력 신호들(H1과 H1B, 및 HN과 HNB) 각각에 기초하여 제1입력 신호(D0)와 제2입력 신호(D0B)에 포함된 ISI를 제거하고, 클럭 신호(CLK)의 상승 에지 또는 하강 에지에 응답하여 ISI가 제거된 제1출력 신호(OUT)와 제2출력 신호(OUTB)를 샘플링한다. DFE(10)는 샘플링된 제1출력 신호(OUT)와 제2출력 신호(OUTB)에 기초하여 데이터를 판별할 수 있다.
- <37> 여기서, 차동 증폭기(3)의 제1입력 신호(D0)와 제2입력 신호(D0B)는 차동 신호들일 수 있으며, 제1 입력 신호(D0) 또는 제2 입력 신호(D0B)는 싱글 엔디드(single ended) 신호일 수 있다.
- <38> 싱글 엔디드(single ended) 방식에서, DFE(10)는 입력 신호를 기준 전압과 비교하고, 비교 결과에 따라 데이터를 판별한다. 그런데 한 주기 전에 입력 신호가 로우 레벨을 갖는 경우, DFE(10)는 현재 입력 신호에 따라 하이 레벨로 변환에 따라 출력 신호의 크기가 감소함으로써 현재 입력 신호의 데이터를 제대로 판별하지 못할 수 있다.
- <39> 또한, DFE(10)는 고주파 노이즈에 민감하고, 전력 소모가 크므로 동작 속도의 제한이 있다.
- <40> 도 2는 종래의 적분 DFE(20)의 회로도와 상기 적분 DFE(20)의 적분 동작을 설명하기 위한 그래프를 나타낸다.
- <41> 도 2를 참조하면, 적분 DFE(20)(integrating decision feedback equalizer)는 차동 증폭기(13)와 피드백 유닛(5', 및 7')를 포함한다.
- <42> 차동 증폭기(13)는 제1 트랜지스터(MP1), 제2 트랜지스터(MP2), 제1입력단자를 통하여 입력되는 제1입력 신호(D0)를 수신하는 제1입력 트랜지스터(MN1), 제2입력단자를 통하여 입력되는 제2입력 신호(D0B)를 수신하는 제2입력 트랜지스터(MN2), 및 테일 전류원(Ibias')을 포함한다.
- <43> 제1 트랜지스터(MP1)는 제1전압 예컨대, 전원 전압(VDD)을 공급하는 제1노드와 제1출력 단자(ND1) 사이에 접속되며, 클럭 신호(CLK)에 응답하여 스위칭된다. 제2 트랜지스터(MP2)는 제1전압을 공급하는 제1노드와 제2출력 단자(ND2) 사이에 접속되며, 클럭 신호(CLK)에 응답하여 스위칭된다.
- <44> 차동 증폭기(13)의 제1출력 단자(ND1)와 제2출력 단자(ND2) 각각은 각각의 트랜지스터 쌍(MN1, 및 MN2)과 테일 전류원(ISS)을 경유하여 제2 전압 예컨대, 접지 전압(VSS)을 공급하는 제2노드에 접속된다. 테일 전류원

(Ibias')은 바이어스 제어 전압에 응답하여 차동 증폭기(13)로 공급되는 바이어스 전류의 양을 제어한다.

- <45> 차동 증폭기(13)는 제1입력 신호(D0)와 제2입력 신호(D0B)의 전압 차이에 응답하여 제1출력 단자(ND1)를 통하여 제1전류와 제2출력 단자(ND2)를 통하여 제2전류를 발생한다.
- <46> 제1 피드백 유닛(5')은 테일 전류원(I_{H1} ')을 경유하여 차동 증폭기(13)의 출력 단자쌍 사이에 접속된 트랜지스터 쌍을 포함한다. 제1 피드백 유닛(5')은 입력 신호(H1, 및 H1B)들에 기초하여 제1출력 단자(ND1)의 제1전류와 제2출력 단자(ND2)의 제2 전류를 제어하며, 입력 신호들(H1, 및 H1B) 각각은 과거에 DFE(10)로부터 출력된 출력 신호들 예컨대, 한 주기 전에 데이터가 판별된 샘플링 신호들일 수 있다.
- <47> 또한, 제 n (n 은 자연수) 피드백 유닛(7')은 테일 전류 원(I_{Hn} ')을 경유하여 차동 증폭기(13)의 출력 단자쌍(ND1, 및 ND2) 사이에 접속된 트랜지스터 쌍을 포함한다. 제 n 피드백 유닛(7')은 입력 신호들(HN, 및 HNB)에 기초하여 제1출력 단자(ND1)의 제1전류와 제2출력 단자(ND2)의 제2 전류를 제어하며, 입력 신호들(HN, 및 HNB) 각각은 과거에 DFE(10)로부터 출력된 출력 신호들 예컨대, n 번째 주기 이전에 데이터가 판별된 샘플링 신호들일 수 있다.
- <48> 즉, 피드백 유닛(5' 및 7') 각각은 n 번째 주기 이전에 차동 증폭기(3)에 입력되어 판별된 출력 신호들(H1, H1B, HN, 및 HNB)을 현재 입력되는 제1 입력 신호(D0)와 제2 입력 신호(D0B) 각각에 포함된 ISI를 제거하기 위하여 적분 DFE(20)로 피드백한다.
- <49> 적분 DFE(20)는 클락 신호(CLK)에 응답하여 제1 트랜지스터(MP1), 및 제2 트랜지스터(MP2) 각각을 스위칭함으로써 제1 입력 신호(D0)와 제2입력 신호(D0B)의 데이터를 판별할 수 있다.
- <50> 도 2에 도시된 바와 같이, 리셋(RESET) 구간에서, 적분 DFE(20)의 제1 트랜지스터(MP1), 및 제2 트랜지스터(MP2) 각각은 제1레벨(예컨대, 로우 레벨)을 갖는 클락 신호(CLK)에 응답하여 턴-온되어 제1출력 노드(ND1), 및 제2출력 노드(ND2)의 전압이 전원 전압(VDD)으로 프리차지된다.
- <51> 적분(INTEGRATE) 구간에서, 적분 DFE(20)는 제2레벨(예컨대, 하이 레벨)을 갖는 클락 신호(CLK)에 응답하여 이전에 판별된 출력 신호들(H1, H1B, HN, 및 HNB)에 기초하여 제1 입력 신호(D0)와 제2 입력신호(D0B)에 포함된 ISI를 제거하고, ISI가 제거된 제1출력 신호(OUT)와 제2출력 신호(OUTB)를 적분한다.
- <52> 적분 DFE(20)는 적분된 제1출력 신호(OUT)와 제2출력 신호(OUTB)의 평균값을 구하여 입력 신호(D0, 및 D0B)의 데이터를 판별한다.
- <53> 적분 DFE(20)는 고주파 노이즈를 필터링 할 수 있으므로 싱글 엔디드 방식에 유리하며, DFE(10)에 비하여 더 작은 부하(LOAD)를 갖기 때문에 전력 소모를 줄일 수 있다.
- <54> 그러나 적분 동작은 클락 신호(CLK)의 상승 에지 또는 하강 에지와 제1입력 신호(D0)와 제2입력 신호(D0B)의 크로스-포인트가 일치할 때 수행된다. 따라서, 제1입력 신호(D0)와 제2출력 신호(D0B)의 크로스-포인트와 클락 신호(CLK)의 상승 에지 또는 하강 에지가 일치하지 않는 경우에는 제1출력 신호(OUT), 및 제2출력 신호(OUTB)와 클락 신호(CLK) 사이에 셋업-타임을 조절(또는 제어)하기 위한 데이터 트레이닝 동작이 필요하다. 또한, 적분 DFE(20)는 프리커서(precursor) ISI에 의하여 저주파 노이즈에 취약하다.
- <55> 상술한 바와 같이, DFE(10) 및 적분 DFE(20) 각각은 서로 다른 동작 특성을 갖고 있으며, DFE(10) 또는 적분 DFE(20) 중에서 어느 하나만을 사용하는 경우 반도체 장치의 최대 성능을 달성하는데 부적합하다.
- <56> 따라서, 하나의 회로에 DFE(10)와 적분 DFE(20)를 구현하여 시스템 환경에 따라 적합한 동작 모드를 선택하여 수신기를 동작하도록 구현함으로써 전체 시스템의 오버헤드를 줄일 수 있는 인터페이스 시스템이 요구된다.
- <57> 도 3은 본 발명의 일 실시 예에 따른 인터페이스 시스템(30)의 회로도를 나타낸다.
- <58> 도 3을 참조하면, 인터페이스 시스템(30)은 선택신호(IDFE)를 공급하는 컨트롤러(35), 및 수신기(33-1)를 포함한다.
- <59> 수신기(33-1)는 선택신호(IDFE)에 응답하여 샘플링 수신기 또는 적분 수신기로서 동작한다. 수신기(33-1)는 제1 트랜지스터(MP1), 제2 트랜지스터(MP2), 제1입력단자를 통하여 입력되는 제1입력 신호(D0)를 수신하는 제1입력 트랜지스터(MN1), 제2입력단자를 통하여 입력되는 제2입력 신호(D0B)를 수신하는 제2입력 트랜지스터(MN2), 및 테일 전류원(MN3)으로 구성되는 차동 증폭기를 포함한다.
- <60> 제1 트랜지스터(MP1)는 제1전압 예컨대, 전원 전압(VDD)을 공급하는 제1노드와 제1출력 단자(ND1) 사이에 접속되며, 클락 신호(CLK)에 응답하여 스위칭된다. 제2 트랜지스터(MP2)는 제1전압을 공급하는 제1노드와 제2출력

단자(ND2) 사이에 접속되며, 클락 신호(CLK)에 응답하여 스위칭된다. 제1 트랜지스터(MP1)와 제2 트랜지스터(MP2)는 스위칭 가능한 액티브 로드와 일 예이다.

- <61> 수신기(33-1)의 제1출력 단자(ND1)와 제2출력 단자(ND2) 각각은 각각의 트랜지스터(MN1, 및 MN2)와 테일 전류원(MN3)을 공유하여 제2 전압 예컨대, 접지 전압(VSS)을 공급하는 제2노드에 접속된다.
- <62> 수신기(33-1)는 제1입력 신호(D0)와 제2입력 신호(D0B)의 전압 차이에 응답하여 제1출력 단자(ND1)를 통하여 제1전류와 제2출력 단자(ND2)를 통하여 제2전류를 발생한다.
- <63> NMOSFET로 구현될 수 있는 차동 증폭기의 테일 전류 원(MN3)은 컨트roller(35)로부터 출력되는 바이어스 제어 전압에 응답하여 차동 증폭기로 공급되는 바이어스 전류의 양을 제어한다.
- <64> 제1입력 트랜지스터(MN1), 및 제2입력 트랜지스터(MN2) 각각은 NMOSFET로 구현될 수 있다. 또한, 제1 트랜지스터(MP1)와 제2 트랜지스터(MP2) 각각은 MOSFET 또는 BJT로 구현될 수 있다.
- <65> 또한, 인터페이스 시스템(30)의 부하 캐패시턴스(load capacitance)는 기생 캐패시터(parasitics capacitance)로 모델링될 수 있다. 따라서, 제1출력 단자(ND1)와 제2출력 단자(ND2) 각각에 접속된 상기 인터페이스 시스템(30)의 부하는 기생 캐패시터(C1, C2, C3, 및 C4)로 모델링될 수 있다.
- <66> 컨트roller(35)는 제1 선택기(37), 및 제2 선택기(39)를 포함하며, 수신기(33-1)의 동작 모드를 제어하기 위한 제어 신호 예컨대, 클락 신호(CLK), 및 바이어스 제어 전압 등을 출력한다.
- <67> 제1 선택기(37)는 선택 신호(IDFE)에 응답하여 클락 신호(CLK) 또는 일정한 전압 예컨대, 접지 전압(VSS) 또는 전원 전압(VDD) 중에서 어느 하나를 차동 증폭기(33-1)의 제1 트랜지스터(MP1), 및 제2 트랜지스터(MP2)로 공급한다.
- <68> 제2 선택기(39)는 선택 신호(IDFE)에 응답하여 다수의 전압들(Vb_H, 및 Vb_L) 중에서 어느 하나를 테일 전류 원(MN3)의 바이어스 제어 전압으로 공급한다.
- <69> 제1 선택기(37), 및 제2 선택기(39) 각각은 멀티플렉서(multiplexer)로 구현될 수 있으며, 이에 한정되는 것은 아니다.
- <70> 또한, 컨트roller(35)는 SFR(special function resistor)의 설정, 또는 내부 입/출력 신호에 기초하여 수신기(33-1)의 동작 모드(예컨대, 샘플링 수신기, 또는 적분 수신기)를 제어하기 위한 선택 신호(IDFE)를 더 발생시킬 수 있다.
- <71> 예컨대, 선택 신호(IDFE)는 제1입력 신호(D0) 및/또는 제2입력 신호(D0B)와 클락 신호(CLK)를 서로 비교하고, 비교 결과에 따라 생성될 수 있다.
- <72> 즉, 컨트roller(35)는 상기 제1 입력 신호(D0)와 제2 입력 신호(D0B)의 크로스-포인트와 클락 신호(CLK)의 상승 에지 및 하강 에지 중에서 적어도 하나가 일치하는지 서로 비교한다.
- <73> 비교 결과 서로 일치하지 않는 경우, 컨트roller(35)는 선택 신호(IDFE)를 제1 레벨(예컨대 로우 레벨)로 설정하고 이를 데이터 트레이닝 동작 구간이라 인식한다.
- <74> 인터페이스 시스템(30)은 제1레벨을 갖는 선택신호에 응답하여 제1입력 신호(D0)와 제2입력 신호(D0B)의 크로스-포인트를 클락 신호의 상승 에지 또는 하강 에지와 일치시키기 위하여 데이터 트레이닝 동작을 수행한다.
- <75> 데이터 트레이닝 동작 수행시, 제1 선택기(37)는 제1 레벨(예컨대, 로우 레벨)을 갖는 선택 신호(IDFE)에 응답하여 일정한 전압 예컨대, 접지 전압(VSS) 또는 전원 전압(VDD)을 출력하고, 제2 선택기(39)는 다수의 전압들 중에서 어느 하나 예컨대, 제3 전압(Vb_H)을 출력한다.
- <76> 제1 트랜지스터(MP1)와 제2 트랜지스터(MP2) 각각은 컨트roller(35)로부터 출력되는 일정한 전압 예컨대, 접지 전압(VSS)에 응답하여 턴-온된다. 이 경우 제1 트랜지스터(MP1)와 제2 트랜지스터(MP2) 각각은 게이트-소스 전압에 의하여 저항 값을 갖게 된다.
- <77> 제1 트랜지스터(MP1), 및 제2 트랜지스터(MP2)가 PMOS 트랜지스터로 구현되는 경우, 제1 트랜지스터(MP1)와 제2 트랜지스터(MP2) 각각의 게이트는 접지 전압(VSS)이 공급되는 제2노드에 접속된다.
- <78> 반면 제1 트랜지스터(MP1)와 제2 트랜지스터(MP2)가 NMOS 트랜지스터로 구현되는 경우, 제1 트랜지스터(MP1)와 제2 트랜지스터(MP2) 각각의 게이트는 전원 전압(VDD)이 공급되는 제1노드에 접속될 수 있다. 즉, 제1 트랜지스

터(MP1)와 제2 트랜지스터(MP2) 각각은 항상 턴-온 상태를 유지한다.

- <79> 또한, 테일 전류원(MN3)은 컨트롤러(35)로부터 출력되는 제3 전압(Vb_H)에 응답하여 차동 증폭기로 공급되는 바이어스 전류의 양을 제어한다.
- <80> 이에 따라, 인터페이스 시스템(30)은 클락 신호(CLK)의 상승 에지 또는 하강 에지 중에서 어느 하나에 응답하여 이전에 판별된 출력 신호(H1, H1B, H2, 및 H2B)들 각각에 기초하여 제1입력 신호(D0)와 제2입력 신호(D0B)에 포함된 ISI를 제거하고, 상기 ISI가 제거된 제1 출력 신호(OUT)와 제2 출력 신호(OUTB)를 샘플링한다.
- <81> 따라서, 수신기(33-1)는 샘플링된 제1 출력 신호(OUT)와 제2 출력 신호(OUTB)에 기초하여 데이터를 판별하며, 즉 샘플링 수신기로 동작한다.
- <82> 여기서, 클락 신호(CLK)는 전반적인 기준 동기 신호로서 이용되며, 이에 한정되는 것은 아니다.
- <83> 데이터 트레이닝 동작을 수행한 결과, 제1입력 신호(D0)와 제2입력 신호(D0B)의 크로스-포인트가 클락 신호(CLK)의 상승에지 또는 하강 에지에 일치되면 컨트롤러(35)는 선택 신호(IDFE)를 제2 레벨(예컨대, 하이 레벨)로 설정하고, 이를 정상 모드 동작 구간이라 인식한다.
- <84> 정상 모드 동작시, 제1 선택기(37)는 클락 신호(CLK)를 제1 트랜지스터(MP1), 및 제2 트랜지스터(MP2)로 출력하고, 제2 선택기(39)는 다수의 전압들(Vb_H, 및 Vb_L) 중에서 어느 하나 예컨대, 제3전압(Vb_H)보다 작은 제4 전압(Vb_L)을 제1 테일 전류원(MN3)으로 출력한다.
- <85> 제1 트랜지스터(MP1), 및 제2 트랜지스터(MP2) 각각은 컨트롤러(35)로부터 출력되는 클락 신호(CLK)에 응답하여 스위칭된다.
- <86> 제1 레벨을 갖는 클락 신호(CLK)에 응답하여 수신기(33-1)의 제1출력 단자(ND1), 및 제2출력 단자(ND2) 각각의 전압은 전원 전압(VDD)으로 프리차지된다.
- <87> 또한, 제2 레벨을 갖는 클락 신호(CLK)에 응답하여 수신기(33-1)는 제1 입력 신호(D0)와 제2 입력신호(D0B) 각각에 포함된 ISI를 제거하고, ISI가 제거된 제1출력 신호(OUT)와 제2출력 신호(OUTB)를 적분한다. 수신기(33-1)는 적분된 제1 출력 신호(OUT)와 제2출력 신호(OUTB)의 평균값을 기초하여 데이터를 판별한다.
- <88> 상술한 바와 같이, 본 발명에 따른 인터페이스 시스템(30)은 데이터 트레이닝 동작시 샘플링 수신기로 동작하고, 정상 모드 동작시 적분 수신기로 동작한다.
- <89> 따라서 본 발명의 실시 예에 따른 인터페이스 시스템(30)은 시스템 환경에 따라 선택적으로 동작 모드를 설정함으로써 입력 신호들(D0 및 D0B)에 포함된 왜곡 성분 예컨대, ISI 및 고주파 노이즈를 빠르고 안정적으로 제거하며, 전력 소비를 감소시킬 수 있는 효과가 있다.
- <90> 도 4는 본 발명의 다른 실시 예에 따른 인터페이스 시스템(30)의 회로도들을 나타낸다.
- <91> 도 4를 참조하면, 인터페이스 시스템(30)은 수신기(33-2), 피드백 유닛(45, 및 47), 및 컨트롤러(35)를 포함한다.
- <92> 설명의 중복을 피하기 위하여, 도 4에 도시된 인터페이스 시스템(30)에서 도 3과 대비하여 차이점을 중심으로 기술한다.
- <93> 수신기(33-2)는 제1 트랜지스터(MP1), 제2 트랜지스터(MP2), 저항(RE), 제1입력단자를 통하여 입력되는 제1입력 신호(D0)를 수신하는 제1입력 트랜지스터(MN1), 제2입력단자를 통하여 입력되는 제2입력 신호(D0B)를 수신하는 제2입력 트랜지스터(MN2), 및 제1 테일 전류원(MN3, 및 MN4)으로 구성되는 차동 증폭기를 포함한다.
- <94> 수신기(33-2)의 제1출력 단자(ND1)와 제2출력 단자(ND2) 각각은 각각의 트랜지스터(MN1, 및 MN2)와 제1 테일 전류원(MN3, 및 MN4)을 경유하여 제2 전압 예컨대, 접지 전압(VSS)을 공급하는 제2노드에 접속된다.
- <95> 저항(RE)는 제1 입력 트랜지스터(MN1)의 드레인과 제2 입력 트랜지스터(MN2)의 드레인 사이에 접속되며, 차동 증폭기로부터 출력되는 제1 출력 신호(OUT) 및, 제2 출력 신호(OUTB)의 선형성을 높여주는 기능을 수행한다.
- <96> 수신기(33-2)는 제1입력 신호(D0)와 제2입력 신호(D0B)의 전압 차이에 응답하여 제1출력 단자(ND1)를 통하여 제1전류와 제2출력 단자(ND2)를 통하여 제2전류를 발생한다.
- <97> NMOSFET로 구현될 수 있는 차동 증폭기의 제1 테일 전류 원(MN3 및 MN4)은 컨트롤러(35)로부터 출력되는 바이어스 제어 전압에 응답하여 차동 증폭기로 공급되는 바이어스 전류의 양을 제어한다.

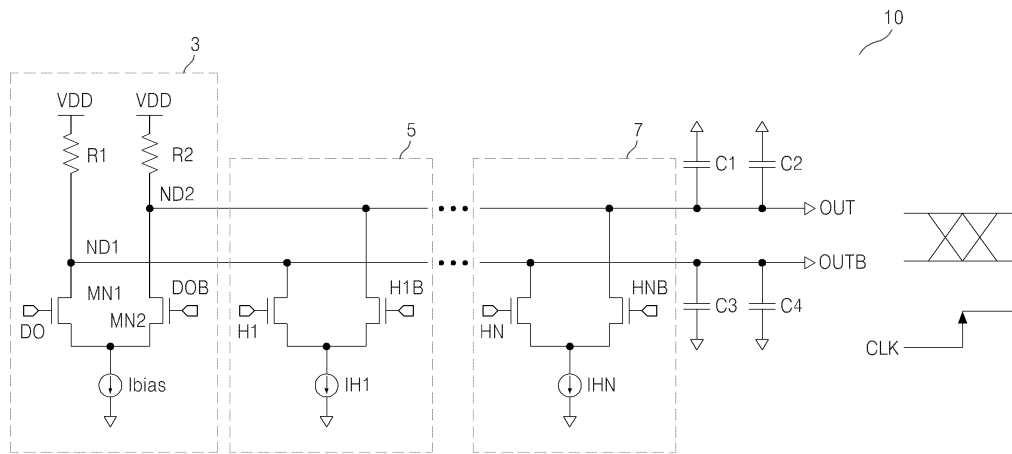
- <98> 수신기(33-2)는 제1입력 신호(D0)와 제2입력 신호(D0B)의 전압 차이에 응답하여 제1출력 단자(ND1)를 통하여 제1전류와 제2출력 단자(ND2)를 통하여 제2전류를 발생한다.
- <99> 제1 피드백 유닛(45)은 제2 테일 전류원(MN7)을 경유하여 수신기(33-2)의 출력 단자쌍(ND1, 및 ND2) 사이에 접속된 트랜지스터 쌍(MN5, 및 MN6)을 포함한다.
- <100> 제1 피드백 유닛(45)은 입력 신호들(H1, 및 H1B)에 기초하여 제1출력 단자(ND1)의 제1전류와 제2출력 단자(ND2)의 제2 전류를 제어하며, 입력 신호들(H1, 및 H1B) 각각은 과거에 인터페이스 시스템(30)으로부터 출력된 출력 신호들 예컨대, 한 주기 전에 데이터가 판별된 샘플링 신호들일 수 있다.
- <101> 제2 피드백 유닛(47)은 제2테일 전류 원(MN10)을 경유하여 수신기(33-2)의 출력 단자쌍(ND1 및 ND2) 사이에 접속된 트랜지스터 쌍(MN8 및 MN9)을 포함한다.
- <102> 제2 피드백 유닛(47)은 입력 신호들(HN 및 HNB)에 기초하여 제1출력 단자(ND1)의 제1전류와 제2출력 단자(ND2)의 제2 전류를 제어하며, 입력 신호들(HN, 및 HNB) 각각은 과거에 인터페이스 시스템(30)의 출력 신호들 예컨대, 두 번째 주기 이전에 데이터가 판별된 샘플링 신호들일 수 있다.
- <103> 즉, 피드백 유닛(45, 및 47) 각각은 과거에 수신기(33-2)에 입력되어 판별된 출력 신호들(H1, H1B, HN, 및 HNB)을 현재 입력되는 제1 입력 신호(D0), 및 제2입력 신호(D0B) 각각에 포함된 ISI를 제거하기 위하여 수신기(30)로 피드백한다.
- <104> 또한, NMOSFET로 구현될 수 있는 피드백 유닛(45 및 47)의 제2 테일 전류 원(MN8 및 MN11)은 컨트롤러(35)로부터 출력되는 바이어스 제어 전압에 응답하여 피드백 유닛(45 및 47)으로 공급되는 바이어스 전류의 양을 제어한다.
- <105> 피드백 유닛(45 및 47)의 제2 테일 전류원(MN8 및 MN11)에 공급되는 바이어스 제어 전압은 동작 모드에 따라 수신기(33-2)의 제1 테일 전류원(MN3 및 MN4)에 공급되는 바이어스 제어 전압 예컨대, 제3전압(Vb_H), 또는 제4전압(Vb_L)과 동일할 수 있다.
- <106> 도 4에서는 설명의 편의를 위하여 병렬로 접속된 2개의 피드백 유닛(5 및 7)등을 도시하였으나, 이는 예시적인 것에 불과하다
- <107> 상술한 바와 같이, 인터페이스 시스템(30)은 데이터 트레이닝 동작시 DFE로 동작하고, 정상 모드 동작시 적분 DFE로 동작한다.
- <108> 본 발명의 실시 예에 따른 인터페이스 시스템(30)은 DFE(10)와 적분 DFE(20)를 하나의 회로에 구현하고, 선택 신호(IDFE)에 응답하여 동작 모드를 결정함으로써 안정적으로 입력 신호의 왜곡 성분들을 제거할 수 있는 효과가 있다.
- <109> 본 발명의 실시 예에 따른 인터페이스 시스템(30)은 송신기에도 적용될 수 있음은 본 기술 분야의 통상의 지식을 가진 자에게 자명하며, 상기 인터페이스 시스템(30)을 필요로 하는 반도체 장치 및 기타 전자 장치에 폭 넓게 이용될 수 있음은 물론이다..
- <110> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

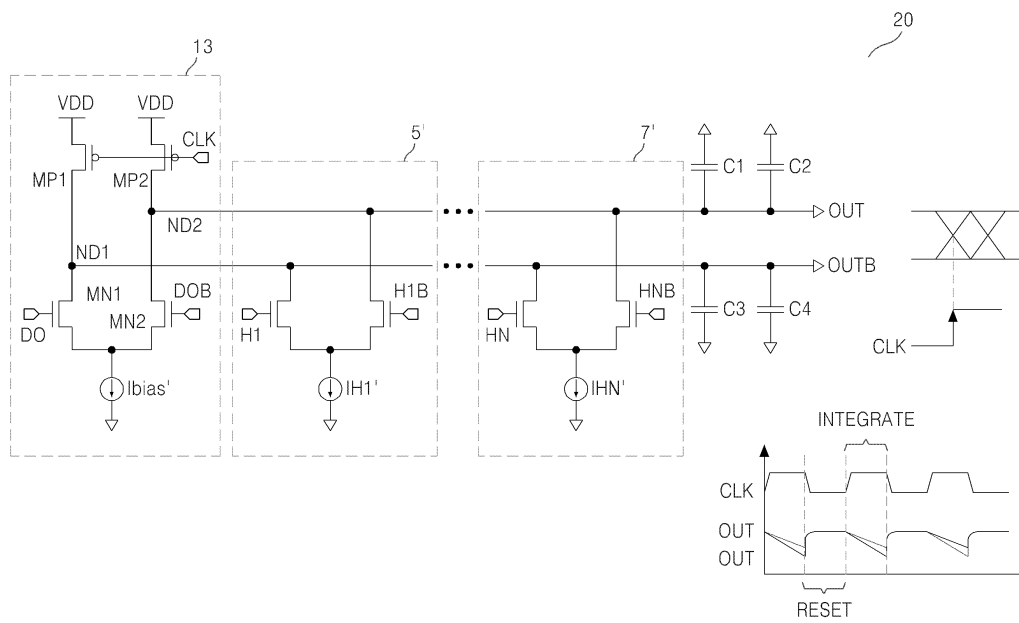
- <111> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <112> 도 1은 종래의 DFE의 회로도를 나타낸다.
- <113> 도 2는 종래의 적분 DFE의 회로도와 상기 적분 DFE의 적분 동작을 설명하기 위한 그래프를 나타낸다.
- <114> 도 3은 본 발명의 일 실시예에 따른 인터페이스 시스템의 회로도를 나타낸다.
- <115> 도 4은 본 발명의 다른 실시예에 따른 인터페이스 시스템의 회로도를 나타낸다.

도면

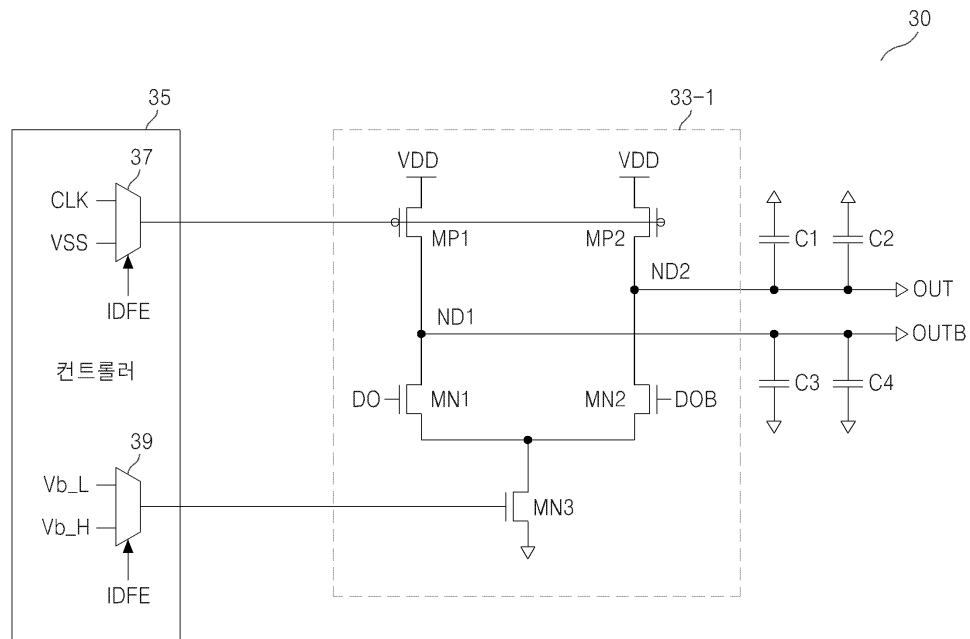
도면1



도면2



도면3



도면4

