

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 25 年 1 月 31 日 (2013.1.31)

【公開番号】特開 2010-193432 (P2010-193432A)

【公開日】平成 22 年 9 月 2 日 (2010.9.2)

【年通号数】公開・登録公報 2010-035

【出願番号】特願 2010-902 (P2010-902)

【国際特許分類】

H 0 3 K 3/356 (2006.01)

G 0 6 K 19/07 (2006.01)

G 1 1 C 14/00 (2006.01)

G 1 1 C 11/405 (2006.01)

H 0 3 K 17/00 (2006.01)

H 0 3 K 17/687 (2006.01)

【F I】

H 0 3 K 3/356 B

G 0 6 K 19/00 N

G 0 6 K 19/00 H

G 1 1 C 11/34 3 5 2 A

G 1 1 C 11/34 3 5 2 B

H 0 3 K 17/00 D

H 0 3 K 17/687 G

【手続補正書】

【提出日】平成 24 年 12 月 11 日 (2012.12.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、容量およびバッファを有し、

前記第 2 のトランジスタのソースおよびドレインの一方は、  入力端子に電氣的に接続され、ソースおよびドレインの他方は、前記第 1 のトランジスタのソースおよびドレインの一方かつ第 3 のトランジスタのソースおよびドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソースおよびドレインの他方は、  前記容量の一方の電極かつ前記バッファの入力に電氣的に接続され、

前記容量の他方の電極は、  基準電圧端子に電氣的に接続され、

前記バッファの出力は、  出力端子および前記第 3 のトランジスタのソースおよびドレインの他方に電氣的に接続されることを特徴とする R F I D タグ。

【請求項 2】

請求項 1 において、

前記第 2 のトランジスタおよび前記第 1 のトランジスタがオンになり、前記入力端子から前記容量に電荷が蓄積され、前記電荷に対応した情報が前記バッファから前記出力端子に出力され、

前記電荷が蓄積された後、前記第 2 のトランジスタおよび前記第 1 のトランジスタがオフになるとともに前記第 3 のトランジスタがオンになり、前記バッファからの出力が前記

第 1 のトランジスタのソースおよびドレインの一方に印加され、前記電荷は前記容量に保持されることを特徴とする R F I D タグ。

【請求項 3】

請求項 2 において、

前記第 2 のトランジスタおよび前記第 1 のトランジスタがオンになり、前記容量に蓄積された電荷が前記第 1 のトランジスタのソースおよびドレインの一方側へ放出され、前記電荷の放出に対応した情報が前記バッファから前記出力端子に出力され、

前記電荷が放出された後、前記第 2 のトランジスタおよび前記第 1 のトランジスタがオフになるとともに前記第 3 のトランジスタがオンになり、前記バッファからの出力が前記第 1 のトランジスタのソースおよびドレインの一方に印加されることを特徴とする R F I D タグ。

【請求項 4】

第 1 のインバータ、第 2 のインバータ、第 1 のトランジスタ、容量、バッファ、第 1 のアナログスイッチ、第 2 のアナログスイッチ、第 1 の入力端子、第 2 の入力端子および出力端子を有し、

前記第 1 の入力端子は、前記第 1 のインバータの入力に電氣的に接続され、

前記第 1 のインバータの出力は、前記第 2 のインバータの入力、前記第 1 のアナログスイッチの第 2 の制御端子および前記第 2 のアナログスイッチの第 1 の制御端子に電氣的に接続され、

前記第 2 のインバータの出力は、前記第 1 のアナログスイッチの第 1 の制御端子、前記第 2 のアナログスイッチの第 2 の制御端子および前記第 1 のトランジスタのゲートに電氣的に接続され、前記第 2 の入力端子は前記第 1 のアナログスイッチの入力に電氣的に接続され、

前記第 1 のアナログスイッチの出力は、前記第 1 のトランジスタのソースおよびドレインの一方かつ前記第 2 のアナログスイッチの出力に電氣的に接続され、前記第 1 のトランジスタのソースおよびドレインの他方は前記容量の一方の電極および前記バッファの入力に電氣的に接続され、

前記容量の他方の電極は、基準電圧端子に電氣的に接続され、

前記バッファの出力は、前記出力端子および前記第 2 のアナログスイッチの入力に電氣的に接続されることを特徴とする R F I D タグ。

【請求項 5】

請求項 4 において、

前記第 1 の入力端子から前記第 1 のインバータに信号が入力されることによって得られる前記第 1 のインバータおよび前記第 2 のインバータからの出力により、前記第 1 のアナログスイッチおよび前記第 1 のトランジスタがオンになるとともに前記第 2 のアナログスイッチがオフになり、前記第 2 の入力端子から前記容量に電荷が蓄積され、前記電荷に対応した情報が前記バッファから前記出力端子に出力され、

前記電荷が蓄積された後、前記第 1 の入力端子から前記第 1 のインバータに信号が入力されることによって得られる前記第 1 のインバータおよび前記第 2 のインバータからの出力により、前記第 1 のアナログスイッチおよび前記第 1 のトランジスタがオフになるとともに前記第 2 のアナログスイッチがオンになり、前記バッファからの出力が前記第 1 のトランジスタのソースおよびドレインの一方に印加され、前記電荷は前記容量に保持されることを特徴とする R F I D タグ。

【請求項 6】

請求項 5 において、

前記第 1 の入力端子から前記第 1 のインバータに信号が入力されることによって得られる前記第 1 のインバータおよび前記第 2 のインバータからの出力により、前記第 1 のアナログスイッチおよび前記第 1 のトランジスタがオンになるとともに前記第 2 のアナログスイッチがオフになり、前記容量に蓄積された電荷が前記第 1 のトランジスタのソースおよびドレインの一方側へ放出され、前記電荷の放出に対応した情報が前記バッファから前記

出力端子に出力され、

前記電荷が放出された後、前記第 1 の入力端子から前記第 1 のインバータに信号が入力されることによって得られる前記第 1 のインバータおよび前記第 2 のインバータからの出力により、前記第 1 のアナログスイッチおよび前記第 1 のトランジスタがオフになるとともに前記第 2 のアナログスイッチがオンになり、前記バッファからの出力が前記第 1 のトランジスタのソースおよびドレインの一方に印加されることを特徴とする R F I D タグ。