(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0121059
(43) 공개일자 2024년08월08일

(51) 국제특허분류(Int. Cl.)
H10B 99/00 (2023.01) *H10N 99/00* (2023.01)
(52) CPC특허분류
H10B 99/00 (2023.02)
H10N 99/00 (2023.02)
(21) 출원번호 10-2023-0013837
(22) 출원일자 2023년02월01일
심사청구일자 2023년02월01일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
오윤석
울산광역시 울주군 언양읍 유니스트길 50 울산과학기술원
(74) 대리인
오위환, 정기택

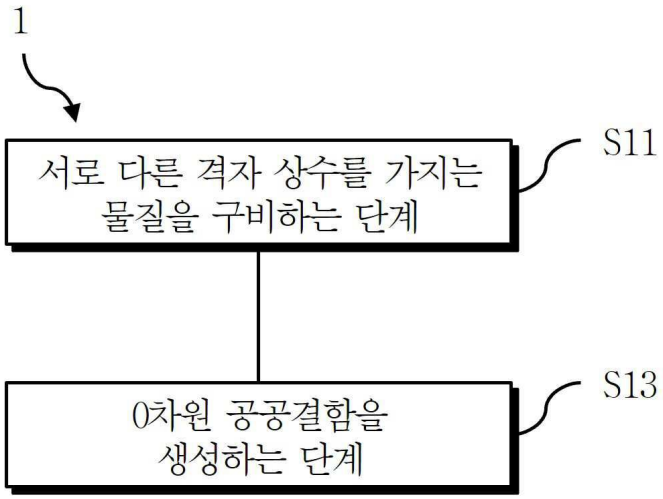
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **0차원 결함분극을 이용한 유전율 메모리 제조 방법 및 이를 이용한 유전율 메모리 소자**

(57) 요 약

0차원 결함분극을 이용한 유전율 메모리 제조 방법 및 이를 이용한 유전율 메모리 소자가 제공된다. 본 발명의 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방법은, 유전율 메모리 제조 장치에 서로 다른 격자 상수를 가지는 이종구조 물질을 구비하는 단계; 및 상기 유전율 메모리 제조 장치에서 어느 하나의 물질에 다른 물질을 증착하여 0차원 공공결함을 생성하는 단계;를 포함하고, 상기 어느 하나의 물질은 기판 물질이며, 상기 다른 물질은 강유전 특성을 가지는 박막 물질이고, 상기 박막 물질은 고유 특성으로 상기 강유전 특성을 가지거나 외력이 작용하여 응력이 발생할 때 상기 강유전 특성을 가지는 물질 중 어느 하나이다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1711169305
과제번호	2020R1A2C1009537
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	극한 환경하에서의 스핀 전류 측정을 통한 양자자성체 및 다강체의 매그논/스피알 수송 특성 연구
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2022.03.01 ~ 2023.02.28

명 세 서

청구범위

청구항 1

유전율 메모리 제조 장치에 서로 다른 격자 상수를 가지는 이종구조 물질을 구비하는 단계; 및

상기 유전율 메모리 제조 장치에서 어느 하나의 물질에 다른 물질을 증착하여 0차원 공공결함을 생성하는 단계;를 포함하고,

상기 어느 하나의 물질은 기판 물질이며,

상기 다른 물질은 강유전 특성을 가지는 박막 물질이고,

상기 박막 물질은 고유 특성으로 상기 강유전 특성을 가지거나 외력이 작용하여 응력이 발생할 때 상기 강유전 특성을 가지는 물질 중 어느 하나인 0차원 결함분극을 이용한 유전율 메모리 제조 방법.

청구항 2

제 1항에 있어서,

상기 서로 다른 격자 상수를 가지는 물질은,

상기 격자상수가 더 작은 물질인 상기 박막 물질을 상기 격자상수가 더 큰 물질인 상기 기판 물질 위에 증착하는 0차원 결함분극을 이용한 유전율 메모리 제조 방법.

청구항 3

제 2항에 있어서,

상기 박막 물질은 $BaTiO_3$이며, 상기 기판 물질은 $BaZrO_3$인 0차원 결함분극을 이용한 유전율 메모리 제조 방법.

청구항 4

제 2항에 있어서,

상기 0차원 공공결함을 생성하는 단계는,

상기 기판 물질을 포함하는 기판에 상기 박막 물질의 박막 성장을 통해 증착을 수행하는 0차원 결함분극을 이용한 유전율 메모리 제조 방법.

청구항 5

제 1항 내지 제 4항 중 어느 한 항의 0차원 결함분극을 이용한 유전율 메모리 제조 방법을 이용하여 제조되는 상기 0차원 결함 분극을 가지는 0차원 결함분극을 이용한 유전율 메모리 소자.

청구항 6

제 5항에 있어서,

기 설정된 방향으로 전기장을 인가하거나 상기 기 설정된 방향과 반대 방향으로 상기 전기장을 인가하여 분극 유도가 이루어지는 0차원 결함분극을 이용한 유전율 메모리 소자.

청구항 7

제 6항에 있어서,

상기 기 설정된 방향 및 상기 반대 방향을 이용하여 이진법으로 정보를 저장하는 0차원 결함분극을 이용한 유전율 메모리 소자.

청구항 8

제 6항에 있어서,

상기 전기장은 상온에서 인가되는 0차원 결함분극을 이용한 유전율 메모리 소자.

발명의 설명

기 술 분 야

[0001] 본 발명은 유전율 메모리 제조 방법 및 이를 이용한 유전율 메모리 소자에 관한 것으로, 특히 0차원 결함분극을 이용하여 생성되는 유전율 차이를 이용하여 메모리 현상을 구현할 수 있는 0차원 결함분극을 이용한 유전율 메모리 제조 방법 및 이를 이용한 유전율 메모리 소자에 관한 것이다.

배 경 기 술

[0002] 종래 기술에 속하는 메모리 소자는 반도체 물질을 이용하여 제조된다. 일반적으로 이러한 메모리 소자는 반도체 물질을 이용한 트랜지스터 소자를 기본구조로 하면서, 트랜지스터의 게이트 절연막을 유전체 또는 강유전체로 교체하거나, 강유전체로 이루어진 셀을 트랜지스터와 조합하는 방식으로 구현된다. 이렇게 조합된 트랜지스터는 소스와 드레인 사이에서 발생하는 저항 차이를 통해 0과 1의 정보를 표현할 수 있게 된다.

[0003] 하지만, 상술한 메모리 소자의 경우 트랜지스터의 저항 차이를 이용하기 위해 전기가 공급되고, 공급된 전기가 저항을 통과하게 되며 이로 인해 메모리 소자에서 열이 발생한다는 문제점이 존재한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국등록특허공보 제10-054137호

발명의 내용

해결하려는 과제

[0005] 상기와 같은 종래 기술의 문제점을 해결하기 위해, 본 발명의 일 실시예는 메모리 소재의 저항 차이를 판독하지 않고 유전율 차이를 판독하여 0과 1의 정보를 구분하는 메모리 현상을 구현할 수 있는 0차원 결함분극을 이용한 유전율 메모리 제조 방법 및 이를 이용한 유전율 메모리 소자를 제공하고자 한다.

과제의 해결 수단

[0006] 위와 같은 과제를 해결하기 위한 본 발명의 일 측면에 따르면, 0차원 결함분극을 이용한 유전율 메모리 제조 방법이 제공된다. 상기 0차원 결함분극을 이용한 유전율 메모리 제조 방법은, 유전율 메모리 제조 장치에 서로 다른 격자 상수를 가지는 이종구조 물질을 구비하는 단계; 및 상기 유전율 메모리 제조 장치에서 어느 하나의 물질에 다른 물질을 증착하여 0차원 공공결함을 생성하는 단계;를 포함하고, 상기 어느 하나의 물질은 기판 물질이며, 상기 다른 물질은 강유전 특성을 가지는 박막 물질이고, 상기 박막 물질은 고유 특성으로 상기 강유전 특성을 가지거나 외력이 작용하여 응력이 발생할 때 상기 강유전 특성을 가지는 물질 중 어느 하나이다.

[0007] 상기 서로 다른 격자 상수를 가지는 물질은, 상기 격자상수가 더 작은 물질인 상기 박막 물질이 상기 격자상수가 더 큰 물질인 상기 기판 물질 위에 증착될 수 있다.

[0008] 상기 박막 물질은 $BaTiO_3$이며, 상기 기판 물질은 $BaZrO_3$일 수 있다.

[0009] 상기 0차원 공공결함을 생성하는 단계는, 상기 기판 물질을 포함하는 기판에 상기 박막 물질의 박막 성장을 통해 증착을 수행할 수 있다.

[0010] 본 발명의 일 측면에 따르면, 0차원 결함분극을 이용한 유전율 메모리 제조 방법을 이용하여 제조되는 0차원 결함분극을 이용한 유전율 메모리 소자가 제공된다.

[0011] 상기 0차원 결함분극을 이용한 유전율 메모리 소자는, 기 설정된 방향으로 전기장을 인가하거나 상기 기 설정된 방향과 반대 방향으로 상기 전기장을 인가하여 분극 유도가 이루어질 수 있다.

[0012] 상기 0차원 결함분극을 이용한 유전율 메모리 소자는, 상기 기 설정된 방향 및 상기 반대 방향을 이용하여 이진법으로 정보를 저장할 수 있다.

[0013] 상기 전기장은 상온에서 인가될 수 있다.

발명의 효과

[0014] 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방법 및 이를 이용한 유전율 메모리 소자는 종래의 반도체 트랜지스터를 이용한 메모리에서 메모리 작동 시 방출되는 열로 인해 발생되는 방열 구조를 제거하고 사용할 수 있는 효과가 있다.

[0015] 또, 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방범 및 이를 이용한 유전율 메모리 소자는, 저항 변화를 일으켜 정보를 저장하는 것이 아니고 자발전기분극의 방향을 간접적으로 제어하여 정보를 저장하기 때문에 기본적으로 비휘발성으로 데이터를 저장할 수 있는 효과가 있다.

[0016] 또한, 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방범 및 이를 이용한 유전율 메모리 소자는 0차원 공공결함을 이용하여 메모리의 특징을 부여하기 때문에 종래의 트랜지스터를 이용한 메모리 소자보다 더 작은 공간에 더 많은 정보를 처리할 수 있는 집적도를 높일 수 있는 효과가 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방법의 순서도이다.

도 2는 박막 물질이 기판 상부에 성장되어 사방으로 균일한 응력을 받게 되는 상태의 예시도이다.

도 3은 응력으로 인해 박막 물질의 격자구조 내부의 산소 원자(O)가 제거되고, 제거된 위치에 생성되는 0차원 공공결함의 예시도이다.

도 4는 도 3중 0차원 공공결함(V_0)에 의한 주변 티타늄(Ti) 원자의 변위를 나타낸 예시도이다.

도 5는 0차원 결함분극과 자발전기분극 사이의 상호작용에 의한 두가지 분극의 정렬 상태의 예시도이다.

도 6은 본 발명의 일 실시예에 따른 유전율 메모리 소자에 전기장의 적용 여부 및 적용 방향에 따른 유전율 변화를 나타낸 그래프이다.

도 7은 본 발명의 일 실시예에서 분극 유도 발생 방향 및 여부에 따른 자발전기분극의 방향을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조부호를 붙였다.

[0019] 본 발명의 일 실시예에 0차원 결함분극을 이용한 유전율 메모리 제조 방법 및 이를 이용한 유전율 메모리 소자는 종래의 반도체 트랜지스터를 이용한 유전율 메모리와 달리 저항 차이를 판독하지 않기 때문에 저항 차이를 판독하는 과정에서 발생할 수 있는 열로 인한 구조적 필수 구성(방열 등)이 제거될 수 있으므로 종래의 메모리 소자에 비해 다양한 형태로 제조될 수 있는 장점이 존재한다.

[0020] 도 1은 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방법의 순서도이다. 도 1을 참고하면, 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방법(1)은, 서로 다른 격자 상수를 가지는 물질을 구비하는 단계(S11) 및 어느 하나의 물질에 다른 물질을 증착하여 0차원 공공결함을 생성하는 단계(S13)를 포함하도록 형성되며, 이를 이용하여 제조된 유전율 메모리는 0차원 결함분극을 이용하여 이진법으로 정보를 저장할 수 있다. 이하에서 본 발명의 유전율 메모리 제조 방법은, 메모리 제조 장치를 통해 수행될 수 있으며, 해당 메모리 제조 장치는 상술한 단계의 동작을 수행할 수 있는 구성을 포함할 수 있다.

[0021] 본 발명의 일 실시예에 따른 유전율 메모리 제조 방법(1)은 먼저, 메모리 제조 장치에 서로 다른 격자 상수를 가지는 물질을 구비한다(단계 S11). 후술되는 단계 S13에서 0차원 공공결함을 생성하기 위해서 본 발명의 단계 S11은, 서로 다른 2개의 격자상수를 가지는 물질을 구비할 수 있다. 여기서, 보다 큰 격자 상수를 가지는 물질은 설명의 편의상 기판 물질로 정의하고 더 작은 격자 상수를 가지는 물질은 박막 물질로 정의하도록 한다. 본 발명의 일 실시예에서 기판 물질은 박막 물질에 0차원 공공결함을 생성하기 위해 사용될 수 있다.

[0022] 본 발명에서 박막 물질은, 강유전 특성을 가지는 물질을 의미한다. 강유전 특성은 외부의 전기장 없이 스스로 분극(자발 분극)을 가질 수 있는 특성을 의미하며, 본 발명에서는 특히 이미 강유전 특성을 가지고 있는 물질뿐만 아니라, 외력이 작용하여 응력이 발생할 때 강유전 특성을 가지게 되는 물질 역시 박막 물질로 정의하도록 한다. 이는 후술되는 0차원 결함 분극을 생성하기 위해서 박막 증착을 수행하게 되면, 서로 다른 격자 상수로 인해 응력이 발생하게 되며 이를 이용하여 강유전 특성을 가지더라도 이미 강유전 특성을 가지는 물질과 동일한 효과를 나타낼 수 있기 때문이다.

[0023] 본 발명에서는 하나의 예시를 위해 상온강유전체인 $BaTiO_3$를 박막 물질로 사용하였으며, 기판 물질로는 $BaZrO_3$를 사용하였다.

[0024] 이는 후술되는 본 발명의 일 예시와 같이 산소원자가 제거되어 단계 S13과 같이 공공결함을 생성하도록 하기 위한 소재이며, 본 발명은 반드시 이에 한정되지는 않으며 응력으로 인해 제거될 수 있는 원자는 산소원자에 국한되지 않고 소재의 종류에 따라 가변할 수 있다.

[0025] 두 개의 물질이 각각 구비되면, 메모리 제조 장치는 기판 물질에 박막 물질을 증착하여 0차원 공공결함을 생성한다(단계 S13).

[0026] 단계 S13에서 0차원 공공결함을 생성하기 위해서 본 발명은, 서로 다른 두 물질의 이종 구조를 이용한다. 단계 S13에서 메모리 제조 장치는 박막 물질의 박막 성장을 기판 물질 상부에 수행하여 박막 물질이 기판 물질 상부에 부착되도록 할 수 있다. 이를 위해 메모리 제조 장치는 단계 S13을 위해 기판 물질을 먼저 구비하고, 기판 물질 상부에 박막 물질의 박막 성장을 수행할 수 있다. 이하에서는 설명의 편의상 기판 물질을 기판으로 설명하며, 여기서 기판은 일반적으로 전기/전자 분야에서 사용되는 기판을 의미하고, 해당 기판이 본 발명에서 설명하는 기판 물질을 포함하여 제조된 것을 의미한다. 또, 본 발명의 일 실시예로 박막 성장을 에피박막 성장으로 한정하였지만, 이는 본 발명의 박막 성장 방법 중 하나이며, 본 발명은 이에 한정되지 않는다.

[0027] 에피박막 성장은 에피택시 성장법(epitaxy growth)와 동일한 의미를 가지며, 단결정 기판 위에 그 기판과 같은 결정방위(구조)의 단결정 박막을 형성하는 방법이다. 본 발명에서는 이러한 에피박막 성장법을 이용함으로써 기판 물질과 박막 물질의 박막이 서로 동일한 결정방위를 가지게 하여 후술되는 0차원 공공결함을 생성하도록 할 수 있다.

[0028] 단계 S13에서 박막 물질이 기판 상부에 성장되면, 박막 물질은 사방으로 균일한 응력을 받게 된다. 이러한 응력으로 인해 박막 물질의 격자구조 내부에서 산소 원자(O)가 제거되며 산소 원자가 제거된 위치에 0차원 공공결함이 생성된다. 0차원 공공결함은 본 발명에서 정의하는 단어로, 원자가 제거된 부분에 다른 원자가 삽입 또는 결합되지 않고 빈 공간으로 남게 된 상태를 의미한다.

[0029] 산소 원자가 제거되면, 0차원 공공결함 주변의 두 개의 티타늄(Ti) 원자는 0차원 공공결함에서 멀어지는 방향으로 변위를 일으킨다.

[0030] 도 2는 박막 물질이 기판 상부에 성장되어 사방으로 균일한 응력을 받게 되는 상태의 예시도이며, 도 3은 응력으로 인해 박막 물질의 격자구조 내부의 산소 원자(O)가 제거되고, 제거된 위치에 생성되는 0차원 공공결함의 예시도이고, 도 4는 도 3중 0차원 공공결함(V_0)에 의한 주변 티타늄(Ti) 원자의 변위를 나타낸 예시도이며, 도 5는 0차원 결함분극과 자발전기분극 사이의 상호작용에 의한 두가지 분극의 정렬 상태의 예시도이다.

[0031] 도 3 및 도 4를 참고하면, 두 티타늄 원자가 공유하고 있던 산소 원자가 제거되고, 제거된 산소 원자로 인해 척력이 작용하며 두 티타늄 원자가 변위를 일으키게 되는 모습을 확인할 수 있다. 도 4와 같은 0차원 결함분극이 발생하면, 도 3에 도시된 바와 같이 주변 티타늄 원자들은 Ti^{4+} 변위에 의한 자발전기분극과는 그 정렬 상태가 다른 방향으로 나타나게 된다.

[0032] 상술한 단계 S11 및 S13을 통해 생성되는 0차원 결함분극을 이용한 유전율 메모리 소자는, 자발전기분극과 0차원 결함분극을 이용하여 메모리 소자의 역할을 수행할 수 있다. 0차원 결함분극은 도 5에 도시된 바와 같이 주

변 원자들로 인해 생성되는 자발전기분극과 다른 방향으로 생성된다. 이때, 상온에서 기 설정된 크기의 전기장을 메모리에 인가하면, 자발전기분극의 방향은 바뀌지만, 0차원 결함분극의 방향은 변화하지 않는 현상이 일어나며, 이를 이용하여 본 발명의 유전율 메모리 소자는 0 또는 1의 정보를 저장 할 수 있다. 여기서 기 설정된 크기의 전기장은 상술한 바와 같이 자발전기분극의 방향을 역전시키면서 0차원 결함분극의 방향을 유지할 수 있는 크기이며, 상술한 강유전체의 종류에 종속되는 크기일 수 있다.

[0033] 도 6은 0차원 공허와 원자 간 상호작용으로 구현되는 2진법 유전 상태에 대한 예시 그래프이다. 도 6에는 0차원 결함분극이 생성된 경우와, 전기장의 방향을 정하여 전기장을 인가하는 경우 발생하는 분극 유도 상태가 각각 도시되고 있다.

[0034] 본 발명의 유전율 메모리 소자는, 분극 유도 상태에서 서로 다른 유전율을 보이는 것을 이용하여 두 값 중 하나를 0으로, 다른 하나를 1로 표현함으로써 종래의 메모리 소자에서 저항 판독을 통해 0 또는 1로 정보를 저장하는 것과 동일하게 동작할 수 있다.

[0035] 도 7은 본 발명의 일 실시예에서 분극 유도 발생 방향 및 여부에 따른 유전율 메모리 소자 내부의 분극 방향을 나타낸 그래프이다. 도 7은 히스테리시스 루프가 중앙에 표시되고, 루프의 특정 부분에서의 자발전기분극 및 0차원 결함분극의 방향이 좌측 및 우측에 표시되고 있다.

[0036] 도 7을 참고하면, 본 발명의 0차원 결함분극을 이용한 유전율 메모리 소자는, 히스테리시스 루프의 위치에 관계없이 각 상황에서 0차원 결함분극의 방향이 동일하게 나타나는 것으로 확인된다. 하지만, 전기장의 인가에 따라 변화하는 자발전기분극의 방향은 각 히스테리시스 루프의 위치별로 확인되는 바와 같이 극화(polarization) 방향에 따라 그 방향 역시 달라지는 것으로 확인된다.

[0037] 즉 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 소자는, 인가되는 전기장에 따라 변화하는 자발전기분극의 방향을 포함하는 유전율 크기를 이용하여 0 또는 1의 정보를 저장하도록 형성될 수 있다.

[0038] 이때, 유전율의 크기는 도 6에 도시된 바와 같이 자발전기분극의 방향과 0차원 결함분극의 방향에 따라 결정될 수 있다.

[0039] 도 7에서 원점과 가까운 부분에서는 0차원 결함분극과 자발전기분극의 방향이 서로 반대 방향으로 향하고 있는 것을 확인할 수 있다. 하지만, 반대로 원점에서 먼 곳은 자발전기분극과 0처원 결함분극이 같은 방향을 향하는 것을 확인할 수 있다. 이와 같이, 유전율의 크기는 0차원 결함분극과 자발 전기분극의 방향의 일치 정도에 따라 계산될 수 있으며, 본 발명의 0차원 결함분극을 이용한 유전율 메모리는 상술한 도 6 및 도 7의 특징을 이용하여 0 또는 1의 정보를 저장하도록 형성될 수 있다.

[0040] 한편, 본 발명은 상술한 도 5를 참고하여 설명하였기 때문에 2차원 평면으로 표현되었지만, 도 3에 도시된 바와 같은 3차원 격자 형태로 형성될 수도 있다. 도 3은 본 발명의 일 예시에 따른 박막 물질인 $BaTiO_3$의 스퀘어 텐실 스트레인(Square Tensile Strain, STS) 구조도 및 일부 확대도이다. 도 2 및 도 3을 참고하면, 본 발명의 박막 물질은 균일한 방향으로 응력이 작용하여 0차원 결함이 생성된다.

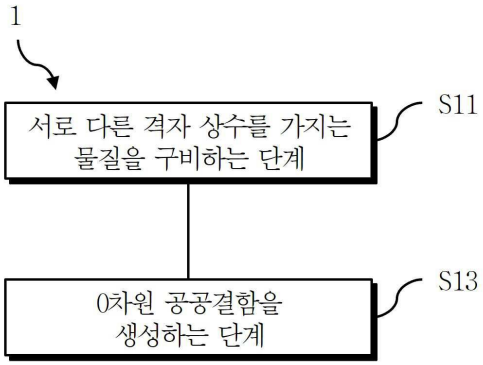
[0041] 생성된 0차원 결함 주변에는 상술한 도 5와 같이 자발분극이 형성되게 되고, 이로 인해 0차원 공공결함을 기준으로 0차원 결함분극이 생성된다.

[0042] 한편, 상술된 0차원 결함분극은 가열을 통해 그 배열이 변경될 수도 있다. 따라서, 본 발명의 일 실시예에 따른 0차원 결함분극을 이용한 유전율 메모리 제조 방법(1)은 도면에 도시되지 않은 단계인 가열을 통해 0차원 결함분극을 정렬하는 단계(단계 S15)를 더 포함할 수도 있으며, 이를 통해 균일한 0차원 결함분극 방향을 가지는 메모리 소자를 생성할 수도 있다.

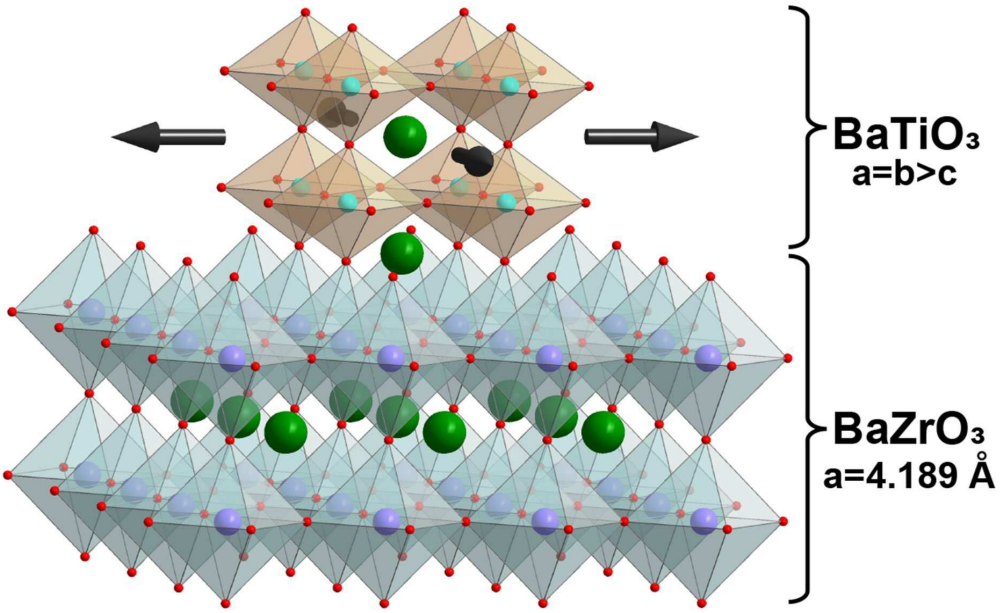
[0043] 이상에서 본 발명의 일 실시예에 대하여 설명하였으나, 본 발명의 사상은 본 명세서에 제시되는 실시 예에 제한되지 아니하며, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에서, 구성요소의 부가, 변경, 삭제, 추가 등에 의해서 다른 실시 예를 용이하게 제안할 수 있을 것이나, 이 또한 본 발명의 사상범위 내에 든다고 할 것이다.

도면

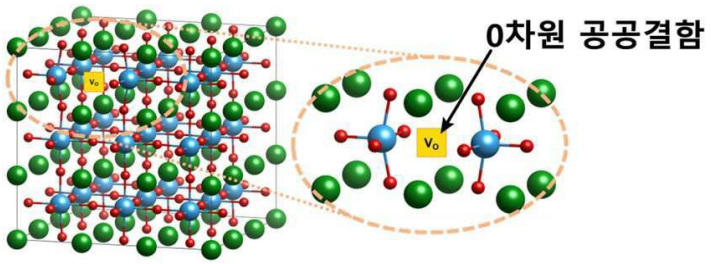
도면1



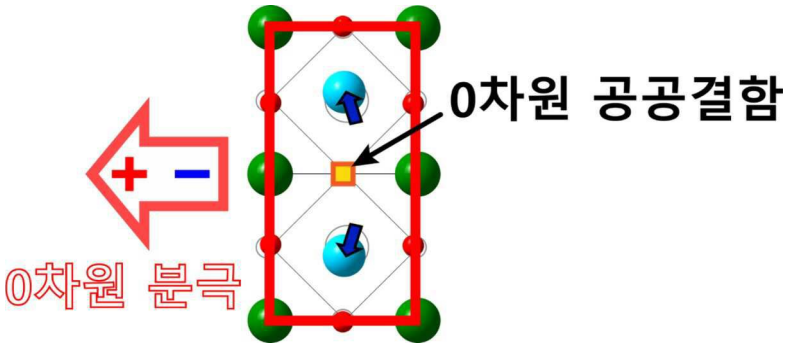
도면2



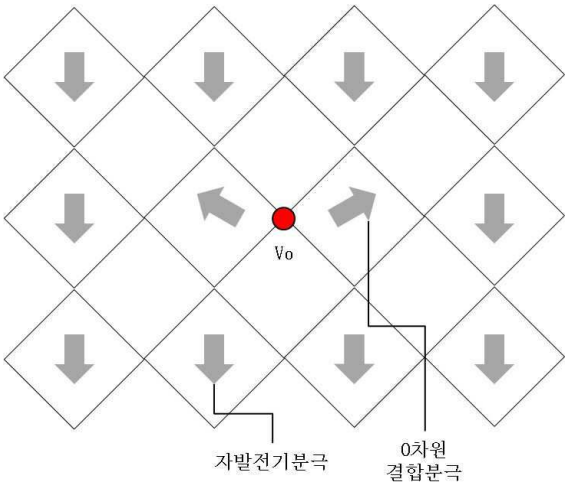
도면3



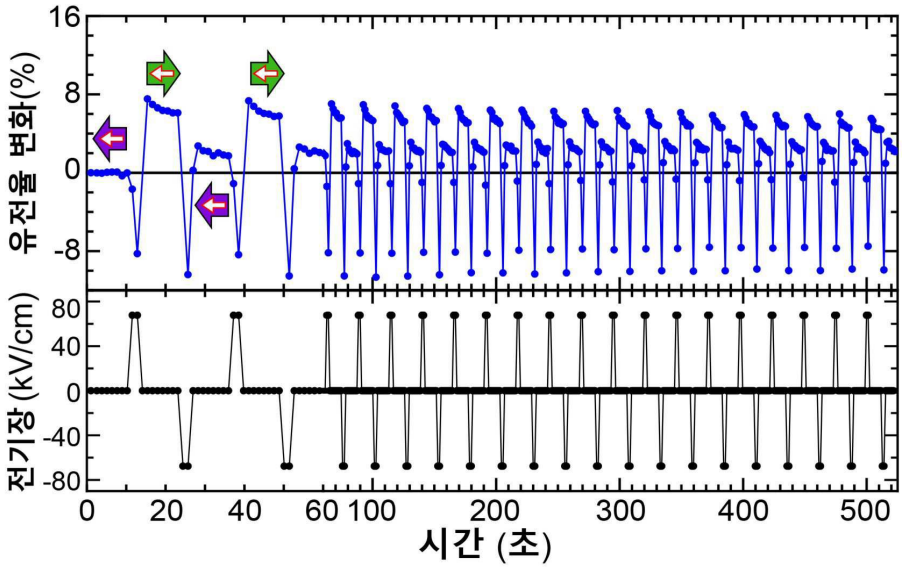
도면4


0차원 공공결함
0차원 분극

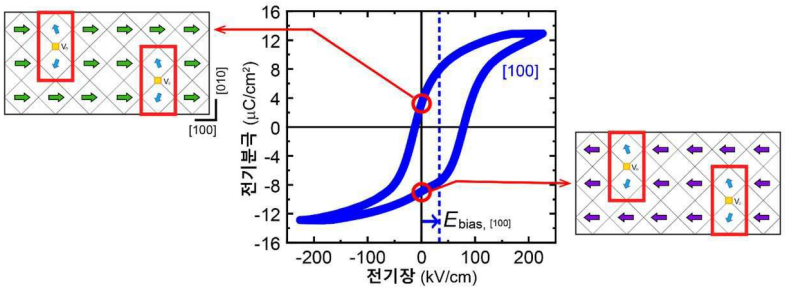
도면5


Vo
자발전기분극
0차원
결합분극

도면6


유전율 변화(%)
16
8
0
-8
전기장 (kV/cm)
80
40
0
-40
-80
0
20
40
60
100
200
300
400
500
시간 (초)

도면7


[010]
[100]
16
12
8
4
0
-4
-8
-12
-16
-200
-100
0
100
200
전기분극 (μC/cm²)
전기장 (kV/cm)
[100]
$E_{bias,\ [100]}$