



(12)发明专利

(10)授权公告号 CN 104704638 B

(45)授权公告日 2017. 11. 17

(21)申请号 201380054450.2

(22)申请日 2013.10.09

(65)同一申请的已公布的文献号

申请公布号 CN 104704638 A

(43)申请公布日 2015.06.10

(30)优先权数据

2012-230365 2012.10.17 JP

(85)PCT国际申请进入国家阶段日

2015.04.17

(86)PCT国际申请的申请数据

PCT/JP2013/078115 2013.10.09

(87)PCT国际申请的公布数据

W02014/061713 EN 2014.04.24

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72)发明人 山崎舜平 须泽英臣 笹川慎也

田中哲弘

(74)专利代理机构 中国专利代理(香港)有限公司
72001

代理人 姜冰 姜甜

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 21/02(2006.01)

H01L 27/1156(2017.01)

(56)对比文件

US 20120132905 A1, 2012.05.31,

CN 101132011 A, 2008.02.27,

CN 101621076 A, 2010.01.06,

CN 1897269 A, 2007.01.17,

US 20080038882 A1, 2008.02.14,

US 20110210327 A1, 2011.09.01,

CN 102646716 A, 2012.08.22,

CN 101609843 A, 2009.12.23,

JP 2011243745 A, 2011.12.01,

审查员 杨凯

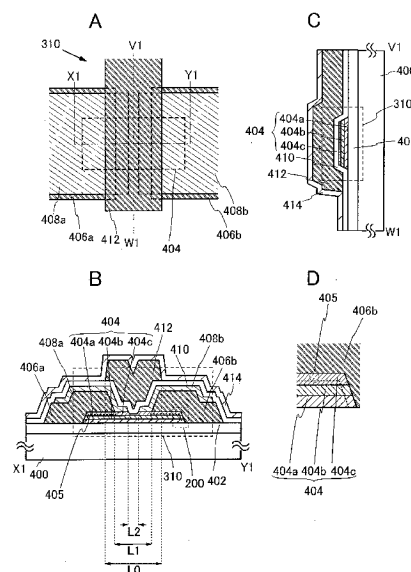
权利要求书2页 说明书32页 附图27页

(54)发明名称

半导体器件

(57)摘要

通过抑制其电特性的变化来提供一种包括氧化物半导体的极可靠半导体器件。氧从设置在氧化物半导体层下面的基绝缘层以及设置在氧化物半导体层之上的栅绝缘层提供给其中形成沟道的区域,由此填充可能在沟道中生成的氧空位。此外,抑制通过氧化物半导体层中形成的沟道附近的源电极层或漏电极层从氧化物半导体层提取氧,由此抑制可能在沟道中生成的氧空位。



1. 一种半导体器件,包括:
基绝缘层;
所述基绝缘层之上的第一氧化物层;
所述第一氧化物层之上的氧化物半导体层;
所述氧化物半导体层之上的第二氧化物层;
第一源电极层和第一漏电极层,它们各自与所述第二氧化物层的顶面相接触;
第二源电极层和第二漏电极层,分别在所述第一源电极层和所述第一漏电极层之上,
并且与所述第二氧化物层的所述顶面相接触;
栅绝缘层,在所述第二源电极层和所述第二漏电极层之上,并且与所述第二氧化物层的
所述第二源电极层与所述第二漏电极层之间的顶面相接触;以及
栅电极层,与所述氧化物半导体层重叠,所述栅绝缘层设置在它们之间,
其中,所述基绝缘层和所述栅绝缘层相互接触,
其中,所述栅绝缘层与所述第一源电极层和所述第一漏电极层相接触,并且
其中,所述第二源电极层和所述第二漏电极层之间的距离比所述第一源电极层和所述
第一漏电极层之间的距离短。
2. 如权利要求1所述的半导体器件,
其中,所述栅电极层与所述第一源电极层和所述第一漏电极层重叠。
3. 如权利要求1所述的半导体器件,
其中,所述栅电极层没有与所述第一源电极层和所述第一漏电极层重叠。
4. 如权利要求1所述的半导体器件,
其中,所述栅电极层与所述第二源电极层和所述第二漏电极层重叠。
5. 如权利要求1所述的半导体器件,
其中,所述第二源电极层和所述第二漏电极层分别覆盖所述第一源电极层和所述第一
漏电极层。
6. 如权利要求1所述的半导体器件,
所述第一源电极层和所述第一漏电极层与所述第一氧化物层、所述氧化物半导体层和
所述第二氧化物层的侧面相接触。
7. 如权利要求1所述的半导体器件,
其中,所述栅电极层具有堆叠层结构。
8. 如权利要求1所述的半导体器件,
其中,所述基绝缘层和所述栅绝缘层包含氧,以及
其中,所述第二源电极层和所述第二漏电极层包含氮。
9. 如权利要求8所述的半导体器件,
其中,所述第二源电极层和所述第二漏电极层的每个是金属氮化物膜。
10. 如权利要求1所述的半导体器件,
其中,所述氧化物半导体层包括晶体部分,以及
其中,所述晶体部分的c轴与所述氧化物半导体层的表面的法向矢量平行。
11. 一种半导体器件,包括:
基绝缘层;

- 所述基绝缘层之上的第一氧化物层；
所述第一氧化物层之上的氧化物半导体层；
第一源电极层和第一漏电极层，它们各自与所述氧化物半导体层的顶面相接触；
所述第一源电极层和所述第一漏电极层之上的第二氧化物层；
所述第二氧化物层之上的第二源电极层和第二漏电极层；
栅绝缘层，在所述第二源电极层和所述第二漏电极层之上，并且与所述第二氧化物层的所述第二源电极层与所述第二漏电极层之间的顶面相接触；以及
栅电极层，与所述氧化物半导体层重叠，所述栅绝缘层设置在它们之间，
其中，所述基绝缘层和所述栅绝缘层相互接触。
12. 如权利要求11所述的半导体器件，
其中，所述栅电极层与所述第一源电极层和所述第一漏电极层重叠。
13. 如权利要求11所述的半导体器件，
其中，所述栅电极层没有与所述第一源电极层和所述第一漏电极层重叠。
14. 如权利要求11所述的半导体器件，
其中，所述栅电极层与所述第二源电极层和所述第二漏电极层重叠。
15. 如权利要求11所述的半导体器件，
其中，所述第一源电极层和所述第一漏电极层与所述第一氧化物层和所述氧化物半导体层的侧面相接触。
16. 如权利要求11所述的半导体器件，
其中，所述栅电极层具有堆叠层结构。
17. 如权利要求11所述的半导体器件，
其中，所述基绝缘层和所述栅绝缘层包含氧，以及
其中，所述第二源电极层和所述第二漏电极层包含氮。
18. 如权利要求17所述的半导体器件，
其中，所述第二源电极层和所述第二漏电极层的每个是金属氮化物膜。
19. 如权利要求11所述的半导体器件，
其中，所述氧化物半导体层包括晶体部分，以及
其中，所述晶体部分的c轴与所述氧化物半导体层的表面的法向矢量平行。
20. 如权利要求11所述的半导体器件，所述半导体器件还包括第三源电极层和第三漏电极层，
其中，所述第三源电极层经过设置在所述第二氧化物层、所述第二源电极层和所述栅绝缘层中的第一接触孔与所述第一源电极层相接触，以及
其中，所述第三漏电极层经过设置在所述第二氧化物层、所述第二漏电极层和所述栅绝缘层中的第二接触孔与所述第一漏电极层相接触。

半导体器件

技术领域

[0001] 本说明书等所公开的本发明的一个实施例涉及半导体器件以及用于制造半导体器件的方法。

[0002] 在本说明书等中,半导体器件一般表示能够通过利用半导体特性来起作用的所有类型的装置;光电装置、图像显示装置、半导体电路和电子装置都是半导体器件。

背景技术

[0003] 使用在具有绝缘表面的衬底之上所形成的半导体薄膜来形成晶体管的技术一直受到关注。这种晶体管应用于大范围的电子装置,例如集成电路(IC)和图像显示装置(又简单地称作显示装置)。硅基半导体材料被普遍认为是用于可适用于晶体管的半导体薄膜的材料。作为另一种材料,氧化物半导体受到关注。

[0004] 例如,公开用于使用氧化锌或者In-Ga-Zn基氧化物半导体作为氧化物半导体来形成晶体管的技术(参见专利文献1和2)。

[0005] [参考文献]

[0006] [专利文献]

[0007] [专利文献1] 日本已发表专利申请No. 2007-123861

[0008] [专利文献2] 日本已发表专利申请No. 2007-096055。

发明内容

[0009] 本发明的一个实施例的一个目的是得到包括具有有利电特性的氧化物半导体的半导体器件。

[0010] 另一目的是通过抑制其电特性的变化来提供一种包括氧化物半导体的极可靠半导体器件。

[0011] 在形成包括氧化物半导体的晶体管的情况下,氧空位能够作为氧化物半导体的载流子供应源之一来给出。包括晶体管的沟道形成区的氧化物半导体中的许多氧空位引起沟道形成区中的电子的生成,这引起电特性的缺陷;例如,晶体管变成常通、泄漏电流增加或者阈值电压因应力应用而偏移。此外,在氧化物半导体层中,除了主要成分之外的氢、硅、氮、碳和金属元素是杂质。例如,氧化物半导体层中的氢形成施体级,其增加载流子密度。硅形成氧化物半导体层中的杂质级。杂质级用作陷阱(trap),并且可能使晶体管的电特性退化。

[0012] 因此,为了使包括氧化物半导体的半导体器件能够具有稳定电特性,需要采取一些措施,以降低氧化物半导体层中的氧空位,并且降低诸如氢和硅之类的杂质的浓度。

[0013] 鉴于以上所述,在本发明的一个实施例的半导体器件中,氧从基绝缘层(其设置在氧化物半导体层下面)和栅绝缘层(其设置在氧化物半导体层之上)提供给形成沟道的区域,由此填充可能在沟道中生成的氧空位。此外,抑制通过氧化物半导体层中形成的沟道附近的源电极层或漏电极层从氧化物半导体层提取氧,由此抑制可在沟道中生成的氧空位。

此外,形成栅电极层之上用作具有低氢含量和低透氧性质的屏障层的保护绝缘层,使得氧有效地提供给形成沟道的区域,同时抑制氧从栅绝缘层和/或基绝缘层的解吸。

[0014] 此外,包含形成氧化物半导体层的一种或多种金属元素的氧化物层设置在形成氧化物半导体层之上和之下并且与其接触。因此,沟道能够与栅绝缘层分离。此外,界面状态不可能在氧化物半导体层与氧化物层的每个之间的界面处形成,并且因而晶体管的电特性、例如阈值电压的波动能够降低。

[0015] 在本发明的一个实施例的半导体器件(其具有上述结构)中,用作沟道(用作主要载流子通路)的氧化物半导体层中的杂质的浓度能够降低,使得氧化物半导体层高度纯化为本征氧化物半导体层。得到高度纯化的本征氧化物半导体层表示将氧化物半导体层纯化或者基本上纯化为本征或者基本上本征氧化物半导体层。注意,在本说明书等中,在基本上纯化的氧化物半导体层的情况下,其载流子浓度低于 $1 \times 10^{17} / \text{cm}^3$ 、低于 $1 \times 10^{15} / \text{cm}^3$ 或者低于 $1 \times 10^{13} / \text{cm}^3$ 。通过将氧化物半导体层高度纯化为本征氧化物半导体层,晶体管能够具有稳定电特性。

[0016] 具体来说,例如能够采用下列结构。

[0017] 本发明的一个实施例是一种半导体器件,包括:包含氧的基绝缘层;岛状氧化物堆叠,其设置在基绝缘层之上;第一源电极层和第一漏电极层,其各沿沟道长度方向与岛状氧化物堆叠的顶面及其侧面相接触;第二源电极层和第二漏电极层,其分别设置在第一源电极层和第一漏电极层之上,与氧化物堆叠的顶面相接触,并且使用金属氮化物膜来形成;栅绝缘层,其设置在第二源电极层和第二漏电极层之上,并且与第二源电极层和第二漏电极层之间的氧化物堆叠的顶面相接触;栅电极层,其与氧化物堆叠重叠,栅绝缘层在它们之间被提供;以及保护绝缘层,其设置在栅绝缘层和栅电极层之上并且与其接触。氧化物堆叠包括:氧化物半导体层,其中至少形成沟道;第一氧化物层,其设置在氧化物半导体层与基绝缘层之间;以及第二氧化物层,其设置在氧化物半导体层与栅绝缘层之间。基绝缘层和栅绝缘层在岛状氧化物堆叠外部相互接触。保护绝缘层具有比栅绝缘层要低的透氧性质。

[0018] 本发明的另一个实施例是一种半导体器件,包括:包含氧的基绝缘层;岛状氧化物堆叠,其设置在基绝缘层之上;第一源电极层和第一漏电极层,其各沿沟道长度方向与岛状氧化物堆叠的顶面及其侧面相接触;第二源电极层和第二漏电极层,其分别设置在第一源电极层和第一漏电极层之上,与氧化物堆叠的顶面相接触,并且使用金属氮化物膜来形成;栅绝缘层,其设置在第二源电极层和第二漏电极层之上,并且与第二源电极层和第二漏电极层之间的氧化物堆叠的顶面相接触;栅电极层,其与氧化物堆叠、第二源电极层的一部分和第二漏电极的一部分重叠,栅绝缘层在它们之间被提供;以及保护绝缘层,其设置在栅绝缘层和栅电极层之上并且与其接触。氧化物堆叠包括:氧化物半导体层,其中至少形成沟道;第一氧化物层,其设置在氧化物半导体层与基绝缘层之间;以及第二氧化物层,其设置在氧化物半导体层与栅绝缘层之间。基绝缘层和栅绝缘层在岛状氧化物堆叠外部相互接触。保护绝缘层具有比栅绝缘层要低的透氧性质。

[0019] 在上述半导体器件的任一个中,优选的是,氧化物半导体层、第一氧化物层和第二氧化物层各使用In-M-Zn氧化物(M为Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf)来形成,并且第一氧化物层和第二氧化物层的每个中的M与In(以下又称作镧)的原子比比氧化物半导体层中要高。

[0020] 此外,在上述半导体器件的任一个中,优选的是,氧化物半导体层包括晶体部分,并且晶体部分的c轴与氧化物半导体层的表面的法向矢量并行。

[0021] 此外,在上述半导体器件的任一个中,第一源电极层和第一漏电极层各使用比用于第二源电极层和第二漏电极层的材料更易于接合到氧的材料来形成。

[0022] 此外,在上述半导体器件的任一个中,保护绝缘层中的氢的浓度优选地低于 $5 \times 10^{19} \text{ cm}^{-3}$ 。

[0023] 按照本发明的一个实施例,包括氧化物半导体的半导体器件能够具有有利电特性。

[0024] 此外,按照本发明的一个实施例,能够通过抑制其电特性的变化来提供包括氧化物半导体的极可靠半导体器件。

附图说明

[0025] 在附图中:

[0026] 图1A至图1D是示出半导体器件的一个实施例的平面图和截面图;

[0027] 图2A至图2C是示出半导体器件的一个实施例的平面图和截面图;

[0028] 图3A至图3D是示出半导体器件的一个实施例的截面图;

[0029] 图4A至图4C是示出用于制造半导体器件的方法的示例的截面图;

[0030] 图5A至图5D是示出用于制造半导体器件的方法的示例的截面图;

[0031] 图6A和图6B示出氧化物堆叠的能带(band)结构;

[0032] 图7A和图7B示出氧化物堆叠的能带结构;

[0033] 图8示出氧化物堆叠的能带结构;

[0034] 图9A至图9C是示出半导体器件的一个实施例的平面图和截面图;

[0035] 图10是示出晶体管的堆叠层结构的概念图;

[0036] 图11A和图11B示出SIMS测量结果;

[0037] 图12A和图12B示出SIMS测量结果;

[0038] 图13A和图13B示出SIMS测量结果;

[0039] 图14A和图14B示出SIMS测量结果;

[0040] 图15A和图15B示出薄层电阻的测量结果;

[0041] 图16示出薄层电阻的测量结果;

[0042] 图17A和图17B示出薄层电阻的测量结果;

[0043] 图18A和图18B示出TDS分析结果;

[0044] 图19是示出半导体器件的一个实施例的截面图;

[0045] 图20A和图20B是各示出本发明的一个实施例的半导体器件的电路图;

[0046] 图21A至图21C是本发明的一个实施例的半导体器件的电路图和概念图;

[0047] 图22是本发明的一个实施例的半导体器件的框图;

[0048] 图23是本发明的一个实施例的半导体器件的框图;

[0049] 图24是本发明的一个实施例的半导体器件的框图;以及

[0050] 图25A和图25B是示出能够使用本发明的一个实施例的半导体器件的电子装置的视图。

具体实施方式

[0051] 下面将参照附图来描述本说明书所公开的本发明的实施例和示例。但是,本说明书所公开的本发明并不局限于以下描述,本领域的技术人员将易于理解,其模式和细节能以各种方式来改变。因此,本说明书所公开的本发明不是被理解为局限于以下实施例和示例的描述。

[0052] 注意,在以下所述的本发明的一个实施例的结构中,相同部分或者具有相似功能的部分在不同附图中通过相同参考标号来表示,并且不作赘述。此外,相同的阴影图案应用于具有相似功能的部分,并且在一些情况下这些部分没有通过参考标号专门表示。

[0053] 注意,在本说明书等中使用诸如“第一”和“第二”之类的序数以便避免组件之间的混淆,而不是限制数量。

[0054] 注意,在采用不同极性的晶体管的情况下或者在电流的方向在电路操作中发生变化的情况下,可交换晶体管的源极和漏极的功能。因此,术语“源极”和“漏极”在本说明书中能够用来分别表示漏极和源极。

[0055] [实施例1]

[0056] 在这个实施例中,将参照图10来描述本发明的一个实施例的半导体器件的堆叠层结构。

[0057] <堆叠层结构>

[0058] 图10是堆叠层结构的示例的概念图。

[0059] 半导体器件的堆叠层结构包括基绝缘层402与栅绝缘层410之间的氧化物堆叠404。此外,氧化物堆叠404包括第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c。

[0060] 第一氧化物层404a和第二氧化物层404c的每个是包含形成氧化物半导体层404b的一种或多种金属元素的氧化物层。

[0061] 氧化物半导体层404b包括由In-M-Zn氧化物所表示的层,其至少包含铟、锌和M(M是诸如Al、Ga、Ge、Y、Zr、Sn、La、Ce或Hf之类的金属元素)。氧化物半导体层404b优选地包含铟,因为增加晶体管的载流子迁移率。

[0062] 在氧化物半导体层404b之下的第一氧化物层404a包括氧化物层,其由In-M-Zn(M是诸如Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf之类的金属元素)来表示,并且其中M与In的原子比比氧化物半导体层404b中要高。具体来说,第一氧化物层404a中的上述元素的任一种的量的原子比多至氧化物半导体层404b中的量的原子比的1.5倍或以上、优选地为2倍或以上、更优选地为3倍或以上。上述元素的任一种比铟更强地接合到氧,并且因而具有抑制氧化物层中的氧空位的生成的功能。也就是说,与氧化物半导体层404b中相比,在第一氧化物层404a中更不可能生成氧空位。

[0063] 此外,在氧化物半导体层404b之上的第二氧化物层404c包括氧化物层,其由In-M-Zn(M是诸如Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf之类的金属元素)来表示,并且其中M与In的原子比比氧化物半导体层404b中要高。具体来说,第二氧化物层404c中的上述元素的任一种的量的原子比多至氧化物半导体层404b中的量的原子比的1.5倍或以上、优选地为2倍或以上、更优选地为3倍或以上。

[0064] 换言之,当第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c的每个是至少包含镧、铈和M(M是诸如Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf)的In-M-Zn氧化物并且第一氧化物层404a的In与M和Zn的原子比为 $x_1:y_1:z_1$ 时,氧化物半导体层404b的In与M和Zn的原子比为 $x_2:y_2:z_2$,以及第二氧化物层404c的In与M和Zn的原子比为 $x_3:y_3:z_3$, y_1/x_1 和 y_3/x_3 的每个优选地大于 y_2/x_2 。 y_1/x_1 和 y_3/x_3 的每个为 y_2/x_2 的1.5倍或以上、优选地为2倍或以上、更优选地为 y_2/x_2 的3倍或以上。这时,当 y_2 在氧化物半导体层404b中大于或等于 x_2 时,晶体管能够具有稳定电特性。但是,当 y_2 为 x_2 的3倍或以上上,晶体管的场效应迁移率降低;相应地, y_2 优选地等于 x_2 或者小于 x_2 的3倍。

[0065] 注意,当第一氧化物层404a是In-M-Zn氧化物时,优选的是,在In与M之间的原子比中,In的比例小于50 atomic%,并且M的比例大于或等于50 atomic%,以及更优选的是,在In与M之间的原子比中,In的比例小于25 atomic%,并且M的比例大于或等于75 atomic%。当氧化物半导体层404b是In-M-Zn氧化物时,优选的是,在In与M之间的原子比中,In的比例大于或等于25 atomic%,并且M的比例小于75 atomic%,以及更优选的是,在In与M之间的原子比中,In的比例大于或等于34 atomic%,并且M的比例小于66 atomic%。当第二氧化物层404c是In-M-Zn氧化物时,优选的是,在In与M之间的原子比中,In的比例小于50 atomic%,并且M的比例大于或等于50 atomic%,以及更优选的是,在In与M之间的原子比中,In的浓度小于25 atomic%,并且M的比例大于或等于75 atomic%。

[0066] 第一氧化物层404a和第二氧化物层404c的组成元素可相互不同,或者其组成元素可以是相同的,具有相同原子比或者不同原子比。

[0067] 对于第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c,例如,能够使用包含镧、铈和镓的氧化物半导体。

[0068] 第一氧化物层404a的厚度大于或等于3 nm但小于或等于100 nm,优选地大于或等于3 nm但小于或等于50 nm。氧化物半导体层404b的厚度大于或等于3 nm但小于或等于200 nm,优选地大于或等于3 nm但小于或等于100 nm,更优选地大于或等于3 nm但小于或等于50 nm。

[0069] 优选的是,第一氧化物层404a和第二氧化物层404c的每个包含形成氧化物半导体层404b的一种或多种金属元素,并且使用一种氧化物半导体来形成,该氧化物半导体的导带底在真空度与导带底之间的能量中比氧化物半导体层404b要更接近真空度0.05 eV或以上、0.07 eV或以上、0.1 eV或以上或者0.15 eV或以上以及2 eV或以下、1 eV或以上、0.5 eV或以下或者0.4 eV或以下。

[0070] 在这种结构中,当电压施加到与氧化物堆叠404重叠的栅电极层(栅绝缘层410在它们之间被提供)时,沟道在氧化物堆叠404的氧化物半导体层404b中形成,其在导带底的能量为最低。换言之,第二氧化物层404c在氧化物半导体层404b与栅绝缘层410之间形成,由此能够得到其中晶体管的沟道没有与栅绝缘层410相接触的结构。

[0071] <氧化物堆叠的能带结构>

[0072] 描述氧化物堆叠404的能带结构。制造与氧化物堆叠404(其中能隙为3.15 eV的In-Ga-Zn氧化物用作与第一氧化物层404a和第二氧化物层404c的每个对应的层以及能隙为2.8 eV的In-Ga-Zn氧化物用作与氧化物半导体层404b对应的层)对应的堆叠,并且分析其能带结构。注意,为了方便起见,堆叠称作氧化物堆叠,以及形成堆叠的层称作第一氧化

物层、氧化物半导体层和第二氧化物层。

[0073] 第一氧化物层、氧化物半导体层和第二氧化物层的每个的厚度为10 nm。能隙借助于分光椭偏仪(由HORIBA Jobin Yvon所制造的UT-300)来测量。此外,第一氧化物层与氧化物半导体层之间的界面附近的能隙为3 eV,以及第二氧化物层与氧化物半导体层之间的界面附近的能隙为3 eV。

[0074] 图6A中,真空度与每层的价带顶之间的能量差在从第二氧化物层侧蚀刻氧化物堆叠的同时被测量,并且绘制。真空度与价带顶之间的能量差使用紫外光电子光谱(UPS)装置(由ULVAC-PHI, Inc.所制造的VersaProbe)来测量。

[0075] 图6B中,绘制真空度与每层的导带底之间的能量差(电子亲和性),其通过从真空度与价带顶之间的能量差中减去每层的能量隙来计算。

[0076] 图6B中的能带结构的部分在图7A中示意示出。图7A示出氧化硅膜设置成与第一氧化物层和第二氧化物层相接触的情况。在这里, E_v 表示真空度的能量, E_{cI1} 和 E_{cI2} 表示在氧化硅膜的导带底的能量, E_{cS1} 表示在第一氧化物层的导带底的能量, E_{cS2} 表示在氧化物半导体层的导带底的能量,以及 E_{cS3} 表示在第二氧化物层的导带底的能量。

[0077] 如图7A所示,第一氧化物层、氧化物半导体层和第二氧化物层的导带底的能量连续改变。这也能够从如下事实来理解:第一氧化物层、氧化物半导体层和第二氧化物层的组成相互接近,并且氧易于经过第一氧化物层与氧化物半导体层之间的界面以及经过氧化物半导体层与第二氧化物层之间的界面来扩散。

[0078] 注意,虽然在图7A中示出第一氧化物层和第二氧化物层是具有相同能隙的氧化物层的情况,但是第一氧化物层和第二氧化物层可以是具有不同能隙的氧化物层。例如,图7B中示出在 E_{cS1} 高于 E_{cS3} 的情况下的能带结构的一部分。备选的是,虽然图7A和图7B中未示出,但是 E_{cS3} 可高于 E_{cS1} 。

[0079] 按照图6A和图6B以及图7A和图7B,氧化物堆叠的氧化物半导体层用作阱,以及包括氧化物堆叠的晶体管的沟道在氧化物半导体层中形成。注意,由于导带底的能量连续改变,所以氧化物堆叠又能够称作U形阱。此外,形成为具有这种结构的沟道又称作内埋沟道。

[0080] 由于第一氧化物层404a和第二氧化物层404c的每个是包含形成氧化物半导体层404b的一种或多种金属元素的氧化物层,所以氧化物堆叠404又能够称作氧化物堆叠,其中堆叠包含相同主要成分的层。其中堆叠包含相同主要成分的层的氧化物堆叠形成为不仅具有层的简单堆叠层结构,而且还具有连续能带(在这里,具体来说是具有U形的阱结构,其中导带底的能量在层之间连续改变)。这是因为,当氧化物半导体的缺陷程度或杂质、例如诸如俘获(trapping)中心或者重组中心之类的缺陷程度或者形成屏障(barrier)的杂质(其阻止载流子的流动)在层之间的界面处混合时,能带的连续性丢失,并且因而载流子通过在界面处的重组而俘获或消失。

[0081] 为了形成连续能带,层需要借助于包括装载锁定室的多室沉积设备(溅射设备)、在没有暴露于空气的情况下连续堆叠。溅射设备中的每个室优选地借助于抽吸真空抽空泵(例如低温泵)经过高度真空抽空(到大约 1×10^{-4} Pa至 5×10^{-7} Pa的真空),以便尽可能多地去除作为氧化物半导体的杂质的水等。备选的是,涡轮式分子泵优选地与冷陷阱(cold trap)结合使用,使得气体不会从抽空系统回流到室。

[0082] 为了得到高度纯化的本征氧化物半导体,室需要经过高度真空抽空,以及另外,溅

射气体需要高度纯化。当露点为 -40°C 或更低、优选地为 -80°C 或更低、更优选地为 -100°C 或更低的高度纯化气体用作氧气或者氩气用作溅射气体时,能够尽可能多地防止水分等进入氧化物半导体。

[0083] 设置在氧化物半导体层404b之上和之下的第一氧化物层404a和第二氧化物层404c各用作屏障层,并且能够防止在氧化物堆叠404与绝缘层(其与氧化物堆叠404(基绝缘层402和栅绝缘层410)相接触)的每个之间的界面处形成的陷阱能级不利地影响氧化物半导体层404b(其用作晶体管的主要载流子通路)。

[0084] 例如,氧化物半导体层中包含的氧空位在氧化物半导体的能隙的深能量区域中作为定域状态出现。载流子在这类定域状态中俘获,使得晶体管的可靠性降低。为此,氧化物半导体层中包含的氧空位需要降低。其中与氧化物半导体层404b中相比不太可能生成氧空位的氧化物层设置在氧化物堆叠中的氧化物半导体层404b之上和之下并且与其接触,由此氧化物半导体层404b中的氧空位能够降低。例如,在氧化物半导体层404b中,因定域能级引起的吸收系数(其通过恒定光电流方法(CPM)的测量来得到)设置成低于 $1 \times 10^{-3}/\text{cm}$ 、优选地低于 $1 \times 10^{-4}/\text{cm}$ 。

[0085] 此外,在氧化物半导体层404b与包括不同组成元素的绝缘层(例如包括氧化硅膜的基绝缘层)相接触的情况下,杂质元素(例如硅)可能混合到氧化物半导体层404b(其中形成沟道)中。当界面状态通过混合杂质元素在氧化物半导体层404b与绝缘层之间的界面处形成时,引起晶体管的电特性的降低、例如晶体管的阈值电压的变化。但是,由于第一氧化物层404a包含形成氧化物堆叠404中的氧化物半导体层404b的一种或多种金属元素,所以界面状态不太可能在第一氧化物层404a与氧化物半导体层404b之间的界面处形成。因此,提供第一氧化物层404a使得有可能降低晶体管的电特性、例如阈值电压的波动。

[0086] 在栅绝缘层410与氧化物半导体层404b之间的界面附近形成沟道的情况下,界面散射在界面处发生,并且晶体管的场效应迁移率降低。但是,由于第二氧化物层404c包含形成氧化物堆叠404中的氧化物半导体层404b的一种或多种金属元素,所以载流子的散射在第二氧化物层404c与氧化物半导体层404b之间的界面处不太可能发生,并且因而晶体管的场效应迁移率能够增加。

[0087] 此外,第一氧化物层404a和第二氧化物层404c还各用作屏障层,其抑制因绝缘层(其与氧化物堆叠404(基绝缘层402和栅绝缘层410)相接触)的组成元素进入氧化物半导体层404b引起的杂质级的形成。

[0088] 例如,在使用含硅绝缘层作为基绝缘层402和栅绝缘层410(其与氧化物堆叠404相接触)的每个的情况下,绝缘层中的硅或者可能在绝缘层中包含的碳在一些情况下进入第一氧化物层404a或第二氧化物层404c离界面数纳米的深度。进入氧化物半导体层的诸如硅、碳等的杂质形成杂质级。杂质级用作施体,并且生成电子,使得氧化物半导体层可成为n型。

[0089] 但是,当第一氧化物层404a和第二氧化物层404c的厚度大于数纳米时,诸如硅或碳之类的杂质不会到达氧化物半导体层404b,使得抑制杂质级的影响。

[0090] 在这里,氧化物半导体层中的硅的浓度低于或等于 $3 \times 10^{18}/\text{cm}^3$ 、优选地低于或等于 $3 \times 10^{17}/\text{cm}^3$ 。另外,氧化物半导体层中的碳的浓度低于或等于 $3 \times 10^{18}/\text{cm}^3$ 、优选地低于或等于 $3 \times 10^{17}/\text{cm}^3$ 。特别优选的是由第一氧化物层404a和第二氧化物层404c夹合或者围绕用

作载流子通路的氧化物半导体层404b,以便防止作为14族元素许多硅或碳进入氧化物半导体层404b。也就是说,氧化物半导体层404b中包含的硅和碳的浓度优选地比第一氧化物层404a和第二氧化物层404c中要低。

[0091] 注意,氧化物半导体层的杂质浓度能够通过次级离子质谱法(SIMS)来测量。

[0092] 如果氢或水分包含在氧化物半导体层中,则它能够作为施体进行工作,并且形成n型区域;因此,为了实现阱形结构,有用的是提供保护绝缘层(例如氮化硅层),供防止氢或水分从外部在氧化物堆叠404上方进入。

[0093] 注意,虽然因杂质或缺陷引起的陷阱能级如图8所示可能在绝缘膜(例如氧化硅膜)与第一氧化物层和第二氧化物层的每个之间的界面附近形成,但是氧化物半导体层因第一氧化物层和第二氧化物层的存在而能够远离陷阱能级。但是,当 E_{cS1} 与 E_{cS2} 之间的能量差和 E_{cS2} 与 E_{cS3} 之间的能量差较小时,氧化物半导体层中的电子通过忽略能量差而达到陷阱能级。通过在陷阱能级中被俘获,在与绝缘膜的界面处或者在其附近引起负固定电荷,由此晶体管的阈值电压沿正方向偏移。

[0094] 因此, E_{cS1} 与 E_{cS2} 之间的能量差和 E_{cS3} 与 E_{cS2} 之间的能量差各优选地大于或等于0.1 eV、更优选地大于或等于0.15 eV,因为晶体管的阈值电压的变化量降低,并且晶体管具有稳定电特性。

[0095] <氧化物堆叠的膜形成>

[0096] 多层结构中包含的氧化物层的每个使用溅射靶(其至少包含铟(In),并且能够用以通过溅射方法、优选地DC溅射方法来形成膜)来形成。当溅射靶包含铟时,其导电率增加;因此,促进通过DC溅射方法的膜形成。

[0097] 作为形成第一氧化物层404a和第二氧化物层404c的材料,使用由In-M-Zn氧化物(M是诸如Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf之类的金属元素)来表示的材料。作为M,优选地使用Ga。但是,具有高比例的Ga的材料、特别是表示为 $InGaXZn_yO_z$ (其中X超过10)的材料不是适当的,因为粉末可在沉积中生成,并且通过溅射方法的沉积可变难。

[0098] 注意,对于第一氧化物层404a和第二氧化物层404c的每个,使用其中铟的比例的原子比小于用于氧化物半导体层404b的材料。那些氧化物层404a和404c以及氧化物半导体层404b中的铟和镓含量能够通过即时次级离子质谱法(又称作TOF-SIMS)或者X射线光电子能谱法(又称作XPS)相互比较。

[0099] 当第一氧化物层404a包含作为杂质的基绝缘层402的组成元素(例如硅)时,它可能具有非结构。注意,其中形成沟道的氧化物半导体层404b优选地具有晶体部分。在具有晶体部分的氧化物半导体层404b堆叠在具有非晶结构的第一氧化物层404a之上的情况下,氧化物堆叠能够称作具有不同晶体结构的异质结构。

[0100] 另外,第二氧化物层404c可具有非晶结构或者包括晶体部分。在具有晶体部分的氧化物半导体层404b之上形成第二氧化物层404c允许第二氧化物层404c具有晶体结构。在这种情况下,氧化物半导体层404b与第二氧化物层404c之间的边界在一些情况下无法通过采用透射电子显微镜(TEM)对截面的观测清楚地识别。注意,第二氧化物层404c具有比氧化物半导体层404b要低的结晶度。因此,能够说,边界能够通过结晶度的程度来确定。

[0101] 氧化物堆叠404中的氧化物半导体层404b至少优选地是c轴对齐结晶氧化物半导体(CAAC-OS)膜。在本说明书等中,CAAC-OS膜表示一种氧化物半导体层,其包括晶体部分

(其c轴沿与氧化物半导体膜的表面基本上垂直的方向对齐)。

[0102] 下面描述氧化物半导体层的结构。

[0103] 氧化物半导体层大致分类为单晶氧化物半导体层和非单晶氧化物半导体层。非单晶氧化物半导体层包括非晶氧化物半导体层、微晶氧化物半导体层、多晶氧化物半导体层、CAAC-OS膜等中的任一个。

[0104] 非晶氧化物半导体层具有无序原子排列并且没有结晶成分。其典型示例是氧化物半导体层,其中甚至在显微区中也没有晶体部分存在,并且整个膜是非晶的。

[0105] 例如,微晶氧化物半导体层包括尺寸大于或等于1 nm但小于10nm的微晶体(又称作纳米晶体)。因此,微晶氧化物半导体层具有比非晶氧化物半导体层要高程度的原子序列。因此,微晶氧化物半导体层的缺陷状态的密度比非晶氧化物半导体层要低。

[0106] CAAC-OS膜是包括多个晶体部分的氧化物半导体层其中之一,并且晶体部分的大多数各容纳在其一侧小于100 nm的立方体内部。因此,存在CAAC-OS膜中包含的晶体部分容纳在其一侧小于10 nm、小于5 nm或者小于3 nm的立方体内部的情况。CAAC-OS膜的缺陷状态的密度比微晶氧化物半导体层要低。下面详细描述CAAC-OS膜。

[0107] 在CAAC-OS膜的透射电子显微镜(TEM)图像中,晶体部分之间的边界、即晶界不是清楚观测的。因此,在CAAC-OS膜中,因晶界引起的电子迁移率的降低不太可能发生。

[0108] 按照沿与样本表面基本上平行的方向所观测的CAAC-OS膜的TEM图像(截面TEM图像),金属原子在晶体部分中按照分层方式来排列。各金属原子层具有通过其上形成CAAC-OS膜的表面(下文中,其上形成CAAC-OS膜的表面称作形成表面)或者CAAC-OS膜的顶面所反映的形态,并且与形成表面或者CAAC-OS膜的顶面平行地排列。

[0109] 另一方面,按照沿与样本表面基本上垂直的方向所观测的CAAC-OS膜的TEM图像(平面TEM图像),金属原子在晶体部分中按照三角形或六边形配置来排列。但是,在不同晶体部分之间不存在金属原子的排列的规则性。

[0110] 从截面TEM图像和平面TEM图像的结果,在CAAC-OS膜的晶体部分中找到对齐。

[0111] CAAC-OS膜采用X射线衍射(XRD)设备经过结构分析。例如,当包括InGaZnO₄晶体的CAAC-OS膜通过面外方法来分析时,峰值在衍射角(2 θ)为大约31°时频繁出现。这个峰值从InGaZnO₄晶体的(009)平面来得出,其指示CAAC-OS膜中的晶体具有c轴对齐,并且c轴沿与形成表面或者CAAC-OS膜的顶面基本上垂直的方向对齐。

[0112] 另一方面,当CAAC-OS膜通过面内方法(其中,x射线以基本垂直于c轴的方向进入样本)来分析时,峰值在2 θ 为大约56°时频繁出现。这个峰值从InGaZnO₄晶体的(110)平面来得出。在这里,在样本绕作为轴(ϕ 轴)的样本表面的法向矢量旋转的条件下,以2 θ 固定在大约56°来执行分析(ϕ 扫描)。在样本是InGaZnO₄的单晶氧化物半导体层的情况下,六个峰值出现。六个峰值从相当于(110)平面的晶体平面来得出。另一方面,在CAAC-OS膜的情况下,峰值甚至在以2 θ 固定在大约56°来执行 ϕ 扫描时也没有清楚地观测到。

[0113] 按照上述结果,在具有c轴对齐的CAAC-OS膜中,当a轴和b轴的方向在晶体部分之间不同时,c轴沿与形成表面的法向矢量或者顶面的法向矢量平行的方向对齐。因此,在截面TEM图像中观测的按照分层方式所排列的各金属原子层对应于与晶体的a-b平面平行的平面。

[0114] 注意,晶体部分与CAAC-OS膜的沉积同时形成,或者经过结晶处理、例如热处理来

形成。如上所述,晶体的c轴沿与形成表面的法向矢量或者CAAC-OS膜的顶面的法向矢量平行的方向对齐。因此,例如,在CAAC-OS膜的形状通过蚀刻等改变的情况下,c轴可能不一定平行于形成表面的法向矢量或者CAAC-OS膜的顶面的法向矢量。

[0115] 此外,CAAC-OS膜中的结晶度的程度不一定是均匀的。例如,在产生CAAC-OS膜的晶体生长从膜的顶面附近发生的情况下,顶面附近的结果度的程度在一些情况下比在形成表面附近要高。此外,当杂质添加到CAAC-OS膜时,对其添加杂质的区域中的结晶度改变,并且CAAC-OS膜中的结晶度的程度根据区域改变。

[0116] 注意,当具有 InGaZnO_4 晶体的CAAC-OS膜通过面外方法来分析时,除了在大约 31° 的 2θ 的峰值之外,在大约 36° 也可观测到 2θ 的峰值。在大约 36° 的 2θ 的峰值指示没有c轴对齐的晶体包含在CAAC-OS膜的一部分中。优选的是,在CAAC-OS膜中, 2θ 的峰值在大约 31° 出现,而 2θ 的峰值在大约 36° 没有出现。

[0117] 借助于晶体管中的CAAC-OS膜,因采用可见光或紫外光的照射引起的晶体管的电特性的变化较小。因此,晶体管具有高可靠性。

[0118] 注意,例如,氧化物半导体层可以是包括非晶氧化物半导体层、微晶氧化物半导体层和CAAC-OS膜中的一个或多个膜的堆叠膜。

[0119] 注意,包含在氧化物堆叠404中的第一氧化物层404a和第二氧化物层404c可能具有与上述氧化物半导体层相同的结构。

[0120] 注意,优选的是,在氧化物堆叠404中,第一氧化物层404a具有非晶结构,并且CAAC-OS膜从将要用作氧化物半导体层404b的非晶结构的表面来沉积。

[0121] <CAAC-OS膜的形成方法>

[0122] 例如,CAAC-OS膜通过采用多晶氧化物半导体膜溅射靶的溅射方法来形成。在离子与溅射靶碰撞时,溅射靶中包含的晶体区可沿a-b平面与靶分离;换言之,具有与a-b平面平行的溅射微粒(平板状溅射微粒或者板状溅射微粒)可从溅射靶剥落。在那种情况下,平板状溅射微粒在保持其晶态的同时到达衬底,由此能够形成CAAC-OS膜。

[0123] 平板状溅射微粒具有例如大于或等于3 nm但小于或等于10 nm的与a-b平面平行的平面的圆当量直径以及大于或等于0.7 nm但小于1 nm的厚度(沿与a-b平面垂直的方向的长度)。注意,在平板状溅射微粒中,与a-b平面平行的平面可以是规则三角形或者规则六边形。在这里,术语“平面的圆当量直径”表示具有与平面相同面积的正圆的直径。

[0124] 对于CAAC-OS膜的形成,优选地使用下列条件。

[0125] 通过增加沉积期间的衬底温度,溅射微粒的迁移在溅射微粒到达衬底表面之后可能发生。具体来说,沉积期间的衬底温度高于或等于 100°C 但低于或等于 740°C ,优选地高于或等于 200°C 但低于或等于 500°C 。通过增加沉积期间的衬底温度,当平板状溅射微粒到达衬底时,迁移在衬底上发生,使得溅射微粒的平坦平面附于衬底。这时,溅射微粒是带正电的,由此溅射微粒在相互排斥的同时附于衬底;因此,溅射微粒不会随机地相互重叠,并且能够沉积具有均匀厚度的CAAC-OS膜。

[0126] 通过降低沉积期间进入CAAC-OS膜的杂质量,能够防止晶态被杂质中断。例如,沉积室中存在的杂质(例如氢、水、二氧化碳和氮)的浓度可降低。此外,沉积气体中的杂质浓度可降低。具体来说,使用露点为 -80°C 或更低、优选地为 -100°C 或更低的沉积气体。

[0127] 此外,优选的是,沉积气体中的氧的比例增加,并且功率经过优化,以便降低沉积

时的等离子体损坏。沉积气体中的氧的比例为30 vol%或更高,优选地为100 vol%。

[0128] 在沉积CAAC-OS膜之后,可执行热处理。热处理的温度高于或等于100°C但低于或等于740°C,优选地高于或等于200°C但低于或等于500°C。此外,热处理被执行1分钟至24小时、优选地为6分钟至4小时。热处理可在惰性气氛或者氧化气氛中执行。优选的是在惰性气氛中执行热处理,并且然后在氧化气氛中执行热处理。惰性气氛中的热处理能够在短时间降低CAAC-OS中的杂质浓度。同时,惰性气氛中的热处理可生成CAAC-OS膜中的氧空位。在这种情况下,氧化气氛中的热处理能够降低氧空位。热处理能够进一步增加CAAC-OS膜的结晶度。注意,热处理可在诸如1000 Pa或更低、100 Pa或更低、10 Pa或更低或者1 Pa或更低的降低压力下执行。在降低压力下的热处理能够在较短时间降低CAAC-OS中的杂质浓度。

[0129] 作为溅射靶的示例,下面描述In-Ga-Zn-O化合物靶。

[0130] 通过以预定摩尔比混合 InO_x 粉末、 GaO_y 粉末和 ZnO_z 粉末,施加压力,并且在高于或等于1000°C但低于或等于1500°C的温度下执行热处理,来制成多晶In-Ga-Zn-O化合物靶。注意,x、y和z各是给定正数。在这里, InO_x 粉末与 GaO_y 粉末和 ZnO_z 粉末的预定摩尔比例如是2:2:1、8:4:3、3:1:1、1:1:1、4:2:3或3:1:2。粉末的种类以及用于混合粉末的摩尔比可根据预期溅射靶适当地确定。

[0131] 备选的是,CAAC-OS膜通过下列方法形成。

[0132] 首先,第一氧化物半导体膜形成为大于或等于1 nm但小于10 nm的厚度。第一氧化物半导体膜通过溅射方法形成。具体来说,沉积期间的衬底温度高于或等于100°C但低于或等于500°C、优选地高于或等于150°C但低于或等于450°C,以及沉积气体中的氧的比例高于或等于30 vol%、优选地为100 vol%。

[0133] 随后,执行热处理,使得第一氧化物半导体膜用作具有高结晶度的第一CAAC-OS膜。热处理的温度高于或等于350°C但低于或等于740°C,优选地高于或等于450°C但低于或等于650°C。此外,热处理被执行1分钟至24小时、优选地为6分钟至4小时。热处理可在惰性气氛或者氧化气氛中执行。优选的是在惰性气氛中执行热处理,并且然后在氧化气氛中执行热处理。惰性气氛中的热处理能够在短时间降低第一氧化物半导体膜中的杂质浓度。同时,惰性气氛中的热处理可生成第一氧化物半导体膜中的氧空位。在这种情况下,氧化气氛中的热处理能够降低氧空位。注意,热处理可在诸如1000 Pa或更低、100 Pa或更低、10 Pa或更低或者1 Pa或更低的降低压力下执行。在降低压力下的热处理能够在较短时间降低第一氧化物半导体膜中的杂质浓度。

[0134] 与第一氧化物半导体膜的厚度大于或等于10 nm的情况相比,厚度大于或等于1 nm但小于10 nm的第一氧化物半导体膜能够易于通过热处理来晶化。

[0135] 随后,具有与第一氧化物半导体膜相同的组成的第二氧化物半导体膜形成为大于或等于10 nm但小于或等于50 nm的厚度。第二氧化物半导体膜通过溅射方法形成。具体来说,沉积期间的衬底温度高于或等于100°C但低于或等于500°C、优选地高于或等于150°C但低于或等于450°C,以及沉积气体中的氧的比例高于或等于30 vol%、优选地为100 vol%。

[0136] 随后,执行热处理,使得第二氧化物半导体膜从第一CAAC-OS膜的固相生长发生,由此第二氧化物半导体膜变成具有高结晶度的第二CAAC-OS膜。热处理的温度高于或等于350°C但低于或等于740°C,优选地高于或等于450°C但低于或等于650°C。此外,热处理被执行1分钟至24小时、优选地为6分钟至4小时。热处理可在惰性气氛或者氧化气氛中执行。优

选的是在惰性气氛中执行热处理,并且然后在氧化气氛中执行热处理。惰性气氛中的热处理能够在短时间降低第二氧化物半导体膜中的杂质浓度。同时,惰性气氛中的热处理可生成第二氧化物半导体膜中的氧空位。在这种情况下,氧化气氛中的热处理能够降低氧空位。注意,热处理可在诸如1000 Pa或更低、100 Pa或更低、10 Pa或更低或者1 Pa或更低的降低压力下执行。在降低压力下的热处理能够在较短时间降低第二氧化物半导体膜中的杂质浓度。

[0137] 如上所述,能够形成总厚度为10 nm或以上的CAAC-OS膜。CAAC-OS膜能够有利地用作氧化物堆叠中的氧化物半导体层。

[0138] 这个实施例中所述的方法和结构能够与其他实施例中所述的方法和结构的任一个适当地组合。

[0139] [实施例2]

[0140] 在这个实施例中,将参照图1A至图1D、图2A至图2C、图3A至图3D、图9A至图9C和图19来描述包括实施例1中所述堆叠结构的半导体器件的一个实施例。在这个实施例中,包括氧化物半导体层的顶栅晶体管将作为半导体器件的示例来描述。

[0141] [半导体器件的结构示例1]

[0142] 图1A至图1D示出晶体管310的结构示例。图1A是晶体管310的平面图,图1B是沿图1A中的虚线X1-Y1所截取的截面图,以及图1C是沿图1A中的虚线V1-W1所截取的截面图。图1D是图1B中的区域200的局部放大视图。注意,图1A中未示出晶体管310的一些组件(例如保护绝缘层414等),以避免复杂性。

[0143] 图1A至图1D所示的晶体管310包括:基绝缘层402,在衬底400之上形成;岛状氧化物堆叠404,在基绝缘层402之上形成;第一源电极层406a和第一漏电极层406b,其各沿沟道长度方向与岛状氧化物堆叠404的顶面及其侧面相接触;第二源电极层408a和第二漏电极层408b,其分别设置在第一源电极层406a和第一漏电极层406b之上,与氧化物堆叠404的顶面相接触,并且使用金属氮化物膜来形成;栅绝缘层410,其设置在第二源电极层408a和第二漏电极层408b之上,并且与第二源电极层408a和第二漏电极层408b之间的氧化物堆叠404的顶面相接触;栅电极层412,其与氧化物堆叠404重叠,栅绝缘层410在它们之间被提供;以及保护绝缘层414,其设置在栅绝缘层410和栅电极层412之上并且与其接触。注意,另一个保护绝缘层可在保护绝缘层414之上形成。

[0144] <衬底>

[0145] 衬底400并不局限于简单支承衬底,而可以是其中形成装置、例如晶体管的衬底。在这种情况下,晶体管310中包含的栅电极层412、第一源电极层406a、第一漏电极层406b、第二源电极层408a和第二漏电极层408b中的至少一个可电连接到上述装置。

[0146] <基绝缘层>

[0147] 基绝缘层402具有将氧提供给氧化物堆叠404的功能以及防止杂质从衬底400扩散的功能;因此,包含氧的绝缘层用作基绝缘层402。注意,在衬底400是其中如上所述形成另一个装置的衬底的情况下,基绝缘层402还具有作为层间绝缘膜的功能。在那种情况下,基绝缘层402优选地经过平面化处理、例如化学机械抛光(CMP)处理,以便具有平坦表面。

[0148] 在这个实施例的晶体管310中,包含氧的基绝缘层402设置在包括氧化物半导体层的堆叠结构(氧化物堆叠404)下面。通过这种结构,基绝缘层402中的氧能够提供给沟道形

成区。基绝缘层402优选地具有包含超过化学计量组成的氧的区域。当基绝缘层402包含超过化学计量组成的氧时,能够促进向沟道形成区提供氧。

[0149] 注意,在本说明书等中,过剩氧表示能够在氧化物半导体层、氧化硅或氧氮化硅中转移的氧、超过本征化学计量组成存在的氧或者具有填充因缺乏氧而生成的 V_o (氧空位)的功能的氧。

[0150] <栅绝缘层>

[0151] 氧还从栅绝缘层410(其设置在氧化物堆叠404之上并且与其接触)提供给氧化物堆叠404。栅绝缘层410在岛状氧化物堆叠404外部与基绝缘层402相接触。相应地,通过将栅绝缘层410用作通路,基绝缘层402中的氧能够从其中栅绝缘层410和基绝缘层402相互接触的区域提供给氧化物堆叠404。

[0152] 栅绝缘层410是用作用于将基绝缘层402中的氧提供给氧化物堆叠404的通路。栅绝缘层410能够使用包含氧化铝、氧化镁、氧化硅、氧氮化硅、氧化氮化硅、氮化硅、氧化镓、氧化锗、氧化钪、氧化锆、氧化镧、氧化钕、氧化钐和氧化铈中的一个或多个的绝缘层来形成。此外,栅绝缘层410可以是上述材料的任一个的堆叠层。

[0153] 由于氧从氧化物堆叠404的上侧和底侧来提供,所以可能包含在氧化物堆叠404中的氧空位能够降低。

[0154] <保护绝缘层>

[0155] 作为设置在晶体管310中的栅绝缘层410和栅电极层412之上的保护绝缘层414,提供具有比栅绝缘层410要低的透氧性质(更高的氧屏障性质)的绝缘层。当提供设置在栅绝缘层410和栅电极层412之上并且与其接触以及具有针对氧的屏障性质的保护绝缘层414时,能够抑制氧从栅绝缘层410的解吸。由于栅绝缘层410是用作用于将氧提供给沟道形成区的通路的绝缘层,所以当抑制氧从栅绝缘层410的解吸时,能够抑制通过栅绝缘层410中的氧空位所引起的氧从氧化物堆叠404的提取,使得能够抑制沟道形成区中的氧空位。作为这种保护绝缘层,例如能够提供氮化硅膜或氧化氮化硅膜。

[0156] 此外,在氧化物半导体中,除了氧空位之外,氢还表现为载流子供应源。当氧化物半导体包含氢时,施体在接近导带的能级(浅能级)生成,并且因而氧化物半导体具有较低电阻(n型导电)。相应地,保护绝缘层414中的氢浓度优选地降低。具体来说,保护绝缘层414中的氢浓度优选地低于 $5 \times 10^{19} \text{cm}^{-3}$ 、更优选地低于 $5 \times 10^{18} \text{cm}^{-3}$ 。

[0157] <氧化物堆叠>

[0158] 氧化物堆叠404包括:氧化物半导体层404b,其中至少形成沟道;第一氧化物层404a,其设置在氧化物半导体层404b与基绝缘层402之间;以及第二氧化物层404c,其设置在氧化物半导体层404b与栅绝缘层410之间。

[0159] 第一氧化物层404a和第二氧化物层404c的每个是包含形成氧化物半导体层404b的一种或多种金属元素的氧化物层。关于氧化物堆叠404的细节,参阅实施例1。

[0160] 在氧化物堆叠404中,其中与氧化物半导体层404b中相比不太可能生成氧空位的氧化物层设置在氧化物半导体层404b(其中形成沟道)之上和之下并且与其接触,由此能够抑制晶体管的沟道中的氧空位的生成。

[0161] 注意,为了使氧化物半导体层是本征或者基本上本征的,氧化物半导体层中的硅浓度(其通过SIMS来测量)设置成低于 $1 \times 10^{19} \text{atom/cm}^3$ 、优选地低于 $5 \times 10^{18} \text{atom/cm}^3$ 、更

优选地低于 3×10^{18} atom/cm³、进一步优选地低于 1×10^{18} atom/cm³。氧化物半导体层中的氢浓度设置成低于或等于 2×10^{20} atom/cm³、优选地低于或等于 5×10^{19} atom/cm³、更优选地低于或等于 1×10^{19} atom/cm³、进一步优选地低于或等于 5×10^{18} atom/cm³。氧化物半导体层中的氮浓度设置成低于 5×10^{19} atom/cm³、优选地低于或等于 5×10^{18} atom/cm³、更优选地低于或等于 1×10^{18} atom/cm³、进一步优选地低于或等于 5×10^{17} atom/cm³。

[0162] 在氧化物半导体层包括晶体的情况下,硅或碳的高浓度可能降低氧化物半导体层的结晶度。当硅浓度低于 1×10^{19} atom/cm³、优选地低于 5×10^{18} atom/cm³、更优选地低于 1×10^{18} atom/cm³并且碳浓度低于 1×10^{19} atom/cm³、优选地低于 5×10^{18} atom/cm³、更优选地低于 1×10^{18} atom/cm³时,能够防止氧化物半导体层的结晶度降低。

[0163] 高度纯化氧化物半导体膜用于如上所述的沟道形成区的晶体管具有极低的断态电流。例如,当包括高度纯化氧化物半导体膜的晶体管在室温(大约25℃)下处于断态时的漏电流能够小于或等于 1×10^{-18} A、优选地小于或等于 1×10^{-21} A以及更优选地为 1×10^{-24} A;或者在85℃下,小于或等于 1×10^{-15} A、优选地小于或等于 1×10^{-18} A、更优选地小于或等于 1×10^{-21} A。晶体管的断态表示一种状态,其中栅电压比n沟道晶体管中的阈值电压要低许多。具体来说,当栅电压比阈值电压要低1 V或以上、2 V或以上或者3 V或以上时,晶体管处于断态。

[0164] <源电极层和漏电极层>

[0165] 晶体管310包括:第一源电极层406a和第一漏电极层406b,其各沿沟道长度方向与氧化物堆叠404的侧面相接触;以及第二源电极层408a和第二漏电极层408b,其设置在第一源电极层406a和第一漏电极层406b之上,并且具有沿沟道长度方向延伸到第一源电极层406a和第一漏电极层406b之外的区域。

[0166] 对于第一源电极层406a和第一漏电极层406b,能够使用易于接合到氧的导电材料。例如,能够使用Al、Cr、Cu、Ta、Ti、Mo或W。具体来说,优选地使用具有高熔点的W,这允许后续过程温度比较高。注意,易于接合到氧的导电材料在其范畴内包括氧对其易于扩散的材料。

[0167] 当易于接合到氧的这种导电材料与氧化物堆叠404相接触时,使氧化物堆叠404中的氧进入导电材料。在晶体管的制造过程中存在一些加热步骤,并且因而氧空位在氧化物堆叠404的区域(其处于氧化物堆叠404与第一源电极层406a和第一漏电极层406b的每个之间的界面附近)中生成,使得形成n型区域405(参见图1D)。相应地,n型区域405能够用作晶体管310的源极或漏极。

[0168] 注意,第一源电极层406a和第一漏电极层406b的组成元素可进入区域405。此外,第一源电极层406a和第一漏电极层406b中与区域405相接触的部分可能具有带高氧浓度的区域。氧化物堆叠404的组成元素可进入与区域405相接触的第一源电极层406a和第一漏电极层406b的部分。也就是说,在氧化物堆叠404与第一源电极层406a和第一漏电极层406b的每个之间的界面附近,在一些情况下形成能够称作氧化物堆叠404以及第一源电极层406a和第一漏电极层406b的每个的混合区域或者混合层。注意,n型区域与不是制作成具有n型导电的区域之间的界面通过虚线示意示出。同样的情况适用于以下所述的其他附图。

[0169] 此外,在形成具有极短沟道长度的晶体管的情况下,通过氧空位的生成来形成的n型区域有时在晶体管的沟道中延伸。在那种情况下,晶体管的电特性发生变化;例如,偏移

阈值电压,或者晶体管的通和断无法采用栅电极来控制(即,晶体管导通)。相应地,当形成具有极短沟道长度的晶体管,优选的是,不易于接合到氧的导电材料用于源电极和漏电极。

[0170] 因此,具有沿沟道长度方向延伸到第一源电极层406a和第一漏电极层406b之外并且确定沟道长度的第二源电极层408a和第二漏电极层408b堆叠在第一源电极层406a和第一漏电极层406b之上,并且使用不易于接合到氧的导电材料来形成。作为导电材料,例如,优选地使用氮化钽、氮化钛等。注意,不易于接合到氧的导电材料在其范畴内包括氧对其不易于扩散的材料。

[0171] 注意,在具有图1A至图1D所示结构的晶体管中,沟道长度表示第二源电极层408a与第二漏电极层408b之间的距离L2。

[0172] 此外,在具有图1A至图1D所示结构的晶体管中,沟道表示第二源电极层408a与第二漏电极层408b之间的氧化物半导体层404b的一部分。

[0173] 此外,在具有图1A至图1D所示结构的晶体管中,沟道形成区表示第二源电极层408a与第二漏电极层408b之间的第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c的部分。

[0174] 通过将不易于接合到氧的上述导电材料用于第二源电极层408a和第二漏电极层408b,能够抑制沟道形成区(其在氧化物堆叠404中形成)中的氧空位的生成,使得能够抑制沟道变化为n型。这样,甚至具有极短沟道长度的晶体管能够具有有利电特性。

[0175] 在源电极层和漏电极层仅使用不易于接合到氧的上述导电材料来形成的情况下,与氧化物堆叠404的接触电阻变成过高;因此,优选的是,如图1B所示,第一源电极层406a和第一漏电极层406b在氧化物堆叠404之上形成,以及第二源电极层408a和第二漏电极层408b在第一源电极层406a和第一漏电极层406b之上形成并且与其接触。

[0176] 这时,优选的是,氧化物堆叠404具有与第一源电极层406a或第一漏电极层406b的大接触面积,以及氧化物堆叠404与第二源电极层408a或第二漏电极层408b具有小接触面积。氧化物堆叠404与第一源电极层406a和第一漏电极层406b的每个之间的接触电阻因氧空位的生成而通过n型区域405来降低。另一方面,氧化物堆叠404与第二源电极层408a和第二漏电极层408b的每个之间的接触电阻高于氧化物堆叠404与第一源电极层406a和第一漏电极层406b的每个之间的接触电阻。因此,当氧化物堆叠404与第二源电极层408a和第二漏电极层408b的每个的接触面积较大时,晶体管的电特性在一些情况下降级。

[0177] 甚至当第二源电极层408a与第二漏电极层408b之间的距离(L2)比第一源电极层406a和第二漏电极层406b之间的距离L1要短、例如30 nm或更短时,晶体管也能够具有有利电特性。

[0178] <栅电极层>

[0179] 对于栅电极层412,能够使用采用Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta、W等所形成的导电膜。

[0180] 本发明的一个实施例的晶体管的结构能够抑制氧化物半导体层中的氧空位的增加。相应地,能够提供具有有利电特性和长期高可靠性的半导体器件。

[0181] [半导体器件的结构示例2]

[0182] 图2A至图2C示出晶体管320的结构示例。图2A是晶体管320的平面图,图2B是沿图2A中的虚线X2-Y2所截取的截面图,以及图2C是沿图2A中的虚线V2-W2所截取的截面图。注

意,图2A中未示出晶体管320的一些组件(例如保护绝缘层414等),以避免复杂性。

[0183] 图2A至图2C所示的晶体管320包括:基绝缘层402,在衬底400之上形成;岛状氧化物堆叠404,在基绝缘层之上形成;第一源电极层406a和第一漏电极层406b,其各沿沟道长度方向与岛状氧化物堆叠的顶面及其侧面相接触;第二源电极层408a和第二漏电极层408b,其设置成使得分别覆盖第一源电极层406a和第一漏电极层406b,与氧化物堆叠404的顶面相接触,并且使用金属氮化物膜来形成;栅绝缘层410,其设置在第二源电极层408a和第二漏电极层408b之上,并且与第二源电极层408a和第二漏电极层408b之间的氧化物堆叠404的顶面相接触;栅电极层412,其与氧化物堆叠404重叠,栅绝缘层410在它们之间被提供;以及保护绝缘层414,其设置在栅绝缘层410和栅电极层412之上并且与其接触。注意,另一个保护绝缘层可在保护绝缘层414之上形成。

[0184] 晶体管310与晶体管320之间的差别之一是栅电极层412沿沟道长度方向的长度 L_0 。在晶体管320中,采用其中第一源电极层406a和第一漏电极层406b没有与栅电极层412重叠的结构,以便降低栅极与漏极之间的寄生电容以及栅极与源极之间的寄生电容。当栅电极层412的宽度为 L_0 并且 $L_1 \geq L_0 \geq L_2$ (L_0 大于或等于 L_2 但小于或等于 L_1)时,栅极与漏极之间的寄生电容以及栅极与源极之间的寄生电容能够尽可能地降低,使得能够改进晶体管的频率特性。注意,为了得到晶体管的有利电特性, $(L_1 - L_2)/2$ 优选地小于 L_2 的20%。

[0185] 晶体管320所占用的面积优选地为 $1 \mu\text{m}^2$ 至 $25 \mu\text{m}^2$ 。例如,当图2A至图2C所示晶体管320中的氧化物堆叠404沿沟道长度方向的长度为300 nm,则优选的是 L_0 为40 nm以及 L_2 为30 nm。在这种情况下,岛状氧化物堆叠404的顶面的面积能够小于或等于 $1 \mu\text{m}^2$ 。

[0186] 注意,在不要求高频率特性的晶体管中,可满足 $L_0 \geq L_1 \geq L_2$ (L_1 长于或等于 L_2 以及短于或等于 L_0),如图1B所示。通过这种结构,能够降低栅电极的形成步骤中的困难程度。

[0187] 晶体管310与晶体管320之间的另一个差别是栅电极层412的结构。在晶体管320中,栅电极层412具有与栅绝缘层410和第二栅电极层412b相接触的第一栅电极层412a的堆叠层结构。在这里,当第一栅电极层412a使用与第二源电极层408a和第二漏电极层408b相似的材料来形成时,能够防止由栅电极层412从栅绝缘层410中提取氧。

[0188] 晶体管310与晶体管320之间的另一个差别是第二源电极层408a和第二漏电极层408b的结构。当第一源电极层406a(或者第一漏电极层406b)沿沟道宽度方向的宽度为 W_1 并且第二源电极层408a(或者第二漏电极层408b)沿沟道宽度方向的宽度为 W_2 时,在晶体管320中 $W_1 < W_2$ (W_2 大于 W_1),并且因而晶体管320具有一种结构,其中第二源电极层408a(或者第二漏电极层408b)覆盖第一源电极层406a(或者第一漏电极层406b)。

[0189] 这种结构能够防止栅绝缘层410与第一源电极层406a和第一漏电极层406b(其使用易于接合到氧的导电材料所形成)相接触。相应地,能够防止氧从栅绝缘层410中被提取。

[0190] 由于栅绝缘层410是用作用于将氧提供给氧化物堆叠404的通路的层,所以防止由第一源电极层406a和第一漏电极层406b从栅绝缘层410中提取氧,由此氧能够有效地提供给氧化物堆叠404。相应地,能够防止氧空位在氧化物堆叠404中生成,并且因而能够改进晶体管320的可靠性。

[0191] 注意,晶体管320的其他组件具有与晶体管310相同的结构;因此,能够参阅对晶体管310的描述。

[0192] [半导体器件的结构示例3]

[0193] 图3A和图3B示出晶体管310和晶体管320的修改示例。图3A所示晶体管330中的第一源电极层406a和第一漏电极层406b的端部与晶体管310中的第一源电极层406a和第一漏电极层406b是不同的。图3B所示晶体管340中的第一源电极层406a和第一漏电极层406b的端部与晶体管320中的第一源电极层406a和第一漏电极层406b是不同的。注意,除了第一源电极层406a和第一漏电极层406b的端部之外,晶体管330和340的结构分别与晶体管310和320的结构相似;因此能够参阅以上描述。

[0194] 图3C和图3D是各示出晶体管330和340中的第一源电极层406a的放大视图。优选的是,在晶体管330和340的每个中,第一源电极层406a和第一漏电极层406b的端部具有包括多个梯级的阶梯状形状,下梯级的端面使用氧化物堆叠404的顶面作为参考以角度 θ_1 来形成,以及上梯级的端面使用下梯级的顶面作为参考以角度 θ_2 来形成。此外,优选的是,第一源电极层406a和第一漏电极层406b形成为使得具有:在下梯级的顶面与端面之间具有曲率半径R1的弯曲表面;在上梯级的顶面与端面之间具有曲率半径R3的弯曲表面;以及在下梯级的顶面与上梯级的端面之间具有曲率半径R2的弯曲表面。

[0195] 注意,图3A至图3D中,两个梯级设置在第一源电极层406a和第一漏电极层406b的端部的每个中;但是,梯级的数量可以为三个或以上。优选的是,当第一源电极层406a和第一漏电极层406b的每个的厚度较大时增加梯级的数量。注意,第一源电极层406a和第一漏电极层406b的端部不一定是相互对称的。在第一源电极层406a和第一漏电极层406b的每个的厚度能够制作成较小的情况下,梯级的数量可以为一个,也就是说,第一源电极层406a和第一漏电极层406b可具有一种形状,其仅具有角 θ_1 和曲率半径R1。

[0196] 在这里,角 θ_1 和 θ_2 大于或等于 20° 但小于或等于 80° ,优选地大于或等于 25° 但小于或等于 70° ,更优选地大于或等于 30° 但小于或等于 60° 。当第一源电极层406a或第一漏电极层406b中没有形成梯级的区域的厚度用作参考时,曲率半径R1、R2和R3大于或等于该厚度的10%但小于或等于100%,优选地大于或等于该厚度的20%但小于或等于75%,更优选地大于或等于该厚度的30%但小于或等于60%。曲率半径R2优选地大于曲率半径R1和R3的任一个或者两者。

[0197] 当第一源电极层406a和第一漏电极层406b的每个具有包括上述多个梯级的形状时,改进在第一源电极层406a和第一漏电极层406b之上形成的膜的覆盖、具体来说第二源电极层408a、第二漏电极层408b、栅绝缘层410等的覆盖,使得晶体管能够具有更有利的电特性和更高的长期可靠性。

[0198] 此外,第二源电极层408a或第二漏电极层408b的端面使用氧化物堆叠404的顶面作为参考以角度 θ_3 来形成。角 θ_3 大于或等于 30° 但小于或等于 80° ,优选地大于或等于 35° 但小于或等于 75° 。通过这种角度,改进栅绝缘层410等的覆盖,使得晶体管能够具有更有利的电特性和更高的长期可靠性。

[0199] [半导体器件的结构示例4]

[0200] 图9A至图9C示出晶体管350的结构示例。晶体管350是图2A至图2C中的晶体管320的修改示例。图9A是晶体管350的平面图,图9B是沿图9A中的线条X3-Y3所截取的截面图,以及图9C是沿图9A中的线条V3-W3所截取的截面图。注意,图9A中未示出晶体管350的一些组件(例如保护绝缘层414等),以避免复杂性。

[0201] 晶体管320和晶体管350之间的差别是氧化物堆叠404以及源电极层和漏电极层的堆叠顺序。也就是说,在晶体管350中,第一源电极层406a和第一漏电极层406b设置成使得覆盖沿沟道长度方向的岛状第一氧化物层407a的侧面、岛状氧化物半导体层407b的顶面的一部分以及沿沟道长度方向的侧面,以及岛状第二氧化物层407c设置在第一源电极层406a和第一漏电极层406b之上并且与其接触。此外,第二源电极层408a和第二漏电极层408b设置在第二氧化物层407c之上。

[0202] 在第一氧化物层407a、氧化物半导体层407b和第二氧化物层407c中与第一源电极层406a或第一漏电极层406b相接触区域中,因由第一源电极层406a或第一漏电极层406b提取氧而形成n型区域405。在晶体管350中,包括第一氧化物层407a、氧化物半导体层407b和第二氧化物层407c的氧化物堆叠407在基绝缘层402与栅绝缘层410之间形成。

[0203] 通过在处理为第一源电极层406a和第一漏电极层406b时部分蚀刻,包含于氧化物堆叠407的氧化物半导体层407b中没有与第一源电极层406a和第一漏电极层406b重叠的区域、即没有制作成具有n型导电的区域在一些情况下具有小厚度。通过在处理为第二源电极层408a和第二漏电极层408b时部分蚀刻,第二氧化物层407c中没有与第二源电极层408a和第二漏电极层408b重叠的区域在一些情况下具有小厚度。

[0204] 如图9C所示,在沿沟道宽度方向所截取的截面中,晶体管350能够具有一种结构,其中岛状第一氧化物层407a和岛状氧化物半导体层407b的侧面覆盖有第二氧化物层407c。通过这种结构,能够降低可沿沟道宽度方向在氧化物堆叠407的端部来生成的寄生信道的影响。因此,晶体管的可靠性能够提高。

[0205] 如图19所示,第一源电极层406a和第二源电极层308a按照如下方式相互电连接:使得达到第一源电极层406a的接触孔在层间绝缘层424(其设置在保护绝缘层414之上)中形成,并且电极层422a在接触孔中形成。类似地,第一漏电极层406b和第二漏电极层408b按照如下方式相互电连接:使得达到第一漏电极层406b的接触孔在层间绝缘层424中形成,并且电极层422b在接触孔中形成。

[0206] 第一源电极层406a和第一漏电极层406b的每个的尺寸(其顶面的面积)制作成大于层间绝缘层424中设置的接触孔的尺寸(接触孔的平面表面的面积)。为了晶体管的小型化,优选地减小电极层的尺寸。

[0207] 作为层间绝缘层424,能够适当地使用有机绝缘层或无机绝缘层。具体来说,优选地使用能够易于形成成为具有高平面性的有机树脂。对于电极层422a和电极层422b,优选地使用与第一源电极层406a和第一漏电极层406b相似的材料。

[0208] 以上是本发明的一个实施例的晶体管的描述。在这个实施例所述的晶体管中,氧能够继续从基绝缘层或者经过栅绝缘层(其与岛状氧化物堆叠外部的基绝缘层相接触)提供给沟道形成区。晶体管的结构能够抑制氧化物半导体层中的氧空位的增加,并且降低杂质浓度,使得氧化物半导体层能够高度纯化为高度纯化的本征氧化物半导体层。

[0209] 相应地,能够抑制可能因沟道形成区中的氧空位而发生的电特性的变化、例如阈值电压的变化。具体来说,例如,包括氧化物堆叠404的晶体管对正阈值电压具有常断特性。相应地,能够提供具有有利电特性和长期高可靠性的半导体器件。

[0210] 注意,这个实施例所述的晶体管的结构能够相互自由组合。例如,晶体管310可具有晶体管320的栅电极层,其具有堆叠层结构。

[0211] 注意,这个实施例能够与本说明书中的其他实施例和示例的任一个适当地组合。

[0212] [实施例3]

[0213] 在这个实施例中,将描述用于制造实施例1所述的晶体管的方法的示例。在这个实施例中,将参照图4A至图4C和图5A至图5D、作为示例来描述制造图3B所示晶体管340的情况。

[0214] 首先,基绝缘层402在具有绝缘表面的衬底400之上形成(参见图4A)。

[0215] 基绝缘层402形成为大于或等于1 nm但小于或等于100 nm的厚度,以及诸如氧化铝膜、氧化镁膜、氧化硅膜、氮化硅膜、氧化镓膜、氧化锗膜、氧化铋膜、氧化铟膜、氧化铪膜、氧化钽膜或者氧化钽膜之类的包含氧的绝缘膜(其通过等离子体CVD方法或溅射方法来形成)能够用于基绝缘层402。

[0216] 至少基绝缘层402的上层(其与以后形成的氧化物堆叠404和栅绝缘层410相接触)使用包含氧的材料来形成,以便将氧提供给氧化物堆叠404。此外,基绝缘层402优选地是包含过剩氧的膜。

[0217] 为了使基绝缘层402包含过剩氧,例如,基绝缘层402可在氧气氛中形成。备选的是,基绝缘层402可按照如下方式包含过剩氧:使得将氧引入已经形成的基绝缘层402。两种方法可以相结合。

[0218] 在这个实施例中,将氧302(至少包括氧自由基、氧原子或氧离子)引入已经形成的基绝缘层402,以形成氧过剩区域。作为用于引入氧的方法,可使用离子注入方法、离子掺杂方法、等离子体浸入离子注入方法、等离子体处理等。

[0219] 包含氧的气体能够用于氧引入处理。作为包含氧的气体,能够使用氧、一氧化二氮、二氧化氮、二氧化碳、一氧化碳等。此外,在氧引入处理中,可在包含氧的气体中包含稀有气体。

[0220] 然后,第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c通过溅射方法、CVD方法、MBE方法、ALD方法或PLD方法在基绝缘层402之上形成,并且有选择地蚀刻,使得形成氧化物堆叠404(参见图4B)。注意,加热可在蚀刻之前执行。

[0221] 对于第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c,能够使用实施例1所述的材料。

[0222] 例如,第一氧化物层404a优选地使用其In与Ga和Zn的原子比为1:3:2的In-Ga-Zn氧化物、其In与Ga和Zn的原子比为1:6:4的In-Ga-Zn氧化物、其In与Ga和Zn的原子比为1:9:6的In-Ga-Zn氧化物或者具有上述原子比的任一个附近的组成的氧化物来形成。

[0223] 此外,例如氧化物半导体层404b优选地使用In与Ga和Zn的原子比为1:1:1的In-Ga-Zn氧化物、In与Ga和Zn的原子比为3:1:2的In-Ga-Zn氧化物或者具有处于上述原子比的任一个附近的组成的氧化物来形成。

[0224] 此外,例如,第二氧化物层404c优选地使用In与Ga和Zn的原子比为1:3:2的In-Ga-Zn氧化物或者具有处于上述原子比附近的组成的氧化物来形成。

[0225] 注意,例如,表达“以原子比In:Ga:Zn = a:b:c (a+b+c=1) 包含In、Ga和Zn的氧化物的组成处于以原子比In:Ga:Zn = A:B:C (A+B+C=1) 包含In、Ga和Zn的氧化物的组成附近”表示,a、b和c满足下列关系式: $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$,并且例如r可以为0.05。

[0226] 注意,氧化物层的每个的组成并不局限于上述原子比。氧化物半导体层404b中的

铟含量优选地比第一氧化物层404a和第二氧化物层404c中要高。在氧化物半导体中,重金属的s轨道主要促成载流子转移,以及当氧化物半导体中的In的比例增加时,s轨道的重叠可能增加。因此,与具有In的比例等于或低于Ga的比例的组成的氧化物相比,具有In的比例比Ga要高的组成的氧化物具有更高的迁移率。此外,镓需要氧空位的大形成能量,并且因而与铟相比不可能生成氧空位。因此,具有高镓含量的氧化物具有稳定特性。

[0227] 因此,通过将具有高铟含量的氧化物,用于氧化物半导体层404b,能够实现具有高迁移率的晶体管。此外,当使用具有高镓含量的氧化物(在这里为第一氧化物层404a和第二氧化物层404c)时,晶体管能够具有更高可靠性。

[0228] 此外,能够用于第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c的氧化物半导体优选地至少包含铟(In)或锌(Zn)。备选的是,氧化物半导体优选地包含In以及Zn。具体来说,优选的是,氧化物半导体层404b包含铟,因为晶体管的载流子迁移率能够增加,以及氧化物半导体层404b包含锌,因为易于形成CAAC-OS膜。为了降低包括氧化物半导体层的晶体管的电特性的波动,除了铟和锌之外,氧化物半导体层优选地还包含稳定剂。

[0229] 作为稳定剂,能够给出镓(Ga)、锡(Sn)、铪(Hf)、铝(Al)、锆(Zr)等。作为另一种稳定剂,能够给出诸如镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)和镱(Lu)之类的镧系元素。

[0230] 作为氧化物半导体,例如能够使用下列任一种:氧化铟、氧化锡、氧化锌、In-Zn氧化物、Sn-Zn氧化物、Al-Zn氧化物、Zn-Mg氧化物、Sn-Mg氧化物、In-Mg氧化物、In-Ga氧化物、In-Ga-Zn氧化物、In-Al-Zn氧化物、In-Sn-Zn氧化物、Sn-Ga-Zn氧化物、Al-Ga-Zn氧化物、Sn-Al-Zn氧化物、In-Hf-Zn氧化物、In-La-Zn氧化物、In-Ce-Zn氧化物、In-Pr-Zn氧化物、In-Nd-Zn氧化物、In-Sm-Zn氧化物、In-Eu-Zn氧化物、In-Gd-Zn氧化物、In-Tb-Zn氧化物、In-Dy-Zn氧化物、In-Ho-Zn氧化物、In-Er-Zn氧化物、In-Tm-Zn氧化物、In-Yb-Zn氧化物、In-Lu-Zn氧化物、In-Sn-Ga-Zn氧化物、In-Hf-Ga-Zn氧化物、In-Al-Ga-Zn氧化物、In-Sn-Al-Zn氧化物、In-Sn-Hf-Zn氧化物或In-Hf-Al-Zn氧化物。

[0231] 注意,如实施例1中详细描述,第一氧化物层404a和第二氧化物层404c的材料选择成使得第一氧化物层404a和第二氧化物层404c具有比氧化物半导体层404b要高的电子亲和性。

[0232] 注意,氧化物堆叠优选地通过溅射方法来形成。作为溅射方法,能够使用RF溅射方法、DC溅射方法、AC溅射方法等。具体来说,优选地使用DC溅射方法,因为在沉积中生成的灰尘能够降低,并且膜厚度能够是均匀的。

[0233] 注意,可按照在第一氧化物层404a的形成之后但在氧化物半导体层404b的形成之前的定时,将氧引入第一氧化物层404a。通过氧引入处理,第一氧化物层404a包含过剩氧,使得过剩氧能够在以后的膜形成步骤中通过热处理来提供给氧化物半导体层404b。

[0234] 相应地,能够通过对第一氧化物层404a所执行的氧引入处理,更大地抑制氧化物半导体层404b中的氧空位。

[0235] 注意,第一氧化物层404a在一些情况下通过氧引入处理变成非晶的。在氧化物堆叠404中,氧化物半导体层404b至少优选地是CAAC-OS膜。相应地,优选地按照在第一氧化物层404a的形成之后但在氧化物半导体层404b的形成之前的定时来执行氧引入处理。

[0236] 在形成氧化物堆叠404之后,优选地执行第一热处理。可在高于或等于250℃但低

于或等于650℃、优选地高于或等于300℃但低于或等于500℃的温度下、在惰性气体气氛、包含氧化气体的气氛中以10 ppm或以上或者降低压力状态,来执行第一热处理。备选的是,第一热处理可按照如下方式执行:使得热处理在惰性气体气氛中执行,并且然后另一个热处理在包含氧化气体的气氛中以10 ppm或以上执行,以便补偿解吸氧。通过第一热处理,氧化物半导体层404b的结晶度能够增加,并且此外,能够从基绝缘层402、第一氧化物层404a、氧化物半导体层404b和第二氧化物层404c的至少一个中去除诸如氢或水之类的杂质。注意,第一热处理的步骤可在用于形成氧化物堆叠404的蚀刻之前执行。

[0237] 此后,将要作为第一源电极层406a和第一漏电极层406b的第一导电膜在氧化物堆叠404之上形成。对于第一导电膜,能够使用Al、Cr、Cu、Ta、Ti、Mo、W或者包含这些的任一种作为主要成分的合金材料。例如,通过溅射方法等形成100 nm厚的钨膜。

[0238] 随后,蚀刻第一导电膜以便在氧化物堆叠404之上划分,使得形成第一源电极层406a和第一漏电极层406b(参见图4C)。这时,第一源电极层406a和第一漏电极层406b的端部优选地形成成为使得具有如图所示的阶梯状形状。端部能够按照如下方式来形成:使得通过灰化和蚀刻步骤使抗蚀剂掩模回退的步骤交替执行多次。

[0239] 注意,虽然未示出,但是通过第一导电膜108的过蚀刻,在一些情况下蚀刻氧化物堆叠404的一部分(外露区域)。

[0240] 然后,将要作为第二源电极层408a和第二漏电极层408b的第二导电膜在氧化物堆叠404、第一源电极层406a和第一漏电极层406b之上形成。作为第二导电膜,能够使用氮化钽、氮化钛等或者包含这些的任一种作为其主要成分的合金材料的金属氮化物膜。例如,通过溅射方法等形成20 nm厚的氮化钽膜。

[0241] 随后,蚀刻第二导电膜以便在氧化物堆叠404之上划分,使得形成第二源电极层408a和第二漏电极层408b(参见图5A)。这时,可蚀刻氧化物堆叠404的一部分(具体来说是第二氧化物层404c的一部分)。注意,虽然未示出,但是通过用于形成第二源电极层408a和第二漏电极层408b的蚀刻处理,基绝缘层402中从第二源电极层408a和第二漏电极层408b外露的区域被蚀刻,并且在一些情况下具有较小厚度。

[0242] 注意,在形成其沟道长度(第二源电极层408a与第二漏电极层408b之间的距离)极短的晶体管的情况下,使用抗蚀剂掩模(其通过适合于细线处理的方法、例如电子束曝光来处理)至少蚀刻划分第二导电膜的区域。注意,通过将正型抗蚀剂用于抗蚀剂掩模,外露区域能够为最小,并且吞吐量因而能够得到改进。按照上述方式,能够形成沟道长度为30 nm或以下的晶体管。

[0243] 随后,栅绝缘层410在氧化物堆叠404、第二源电极层408a和第二漏电极层408b之上形成(参见图5B)。能够使用氧化铝、氧化镁、氧化硅、氧氮化硅、氧化氮化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐、氧化铈等,来形成栅绝缘层410。注意,栅绝缘层410可以是上述材料的任一个的堆叠层。栅绝缘层410能够通过溅射方法、CVD方法、MBE方法、ALD方法、PLD方法等形成。具体来说,优选的是栅绝缘层410通过CVD方法、更优选地通过等离子体CVD方法来形成,因为能够得到有利覆盖。

[0244] 在栅绝缘层410的形成之后,优选地执行第二热处理。通过第二热处理,栅绝缘层410中包含的诸如水或氢之类的杂质能够解吸(能够执行脱水或脱氢)。第二热处理的温度优选地高于或等于300℃但低于或等于400℃。第二热处理可按照如下方式执行:使得热处

理在惰性气体气氛中执行,并且然后另一个热处理在包含氧化气体的气氛中以10 ppm或以上执行,以便补偿解吸氧。通过第二热处理,诸如氢或水之类的杂质能够从栅绝缘层410中去除。另外,诸如氢和水之类的其他杂质在一些情况下从氧化物堆叠404中去除。此外,当热处理在包含氧化气体的气氛中执行时,氧能够提供给栅绝缘层410。

[0245] 注意,优选的是,在形成栅绝缘层410之后,在沉积室中接连执行第二热处理。备选的是,在形成栅绝缘层410时的加热能够用作第二热处理。

[0246] 此外,在其中第一源电极层406a和第一漏电极层406b与氧化物堆叠404相接触的状态中执行第二热处理时,使氧化物堆叠404中的氧进入第一源电极层406a和第一漏电极层406b(其易于接合到氧)。相应地,在氧化物堆叠404中处于氧化物堆叠404与第一源电极层406a和第一漏电极层406b的每个之间的界面附近的区域中生成氧空位,使得形成n型区域405。但是,在一些情况下,n型区域405没有根据第二热处理的温度来形成。

[0247] 随后,将要作为栅电极层412的导电膜在栅绝缘层410之上形成。导电膜能够通过溅射方法等形成。蚀刻导电膜以便保持与沟道形成区重叠,使得形成栅电极层412(参见图5C)。

[0248] 在这个实施例中,栅电极层412具有堆叠层结构,其中包括使用与第二导电膜相似的材料所形成的第一栅电极层412a以及使用与第一导电膜相似的材料所形成的第二栅电极层412b。

[0249] 此后,保护绝缘层414在栅绝缘层410和栅电极层412之上形成(参见图5D)。作为保护绝缘层414,提供具有比栅绝缘层410要低的透氧性质(更高的氧屏障性质)的绝缘层。作为保护绝缘层414,例如能够提供氮化硅膜或氧化氮化硅膜。

[0250] 注意,优选的是保护绝缘层414通过溅射方法来形成,因为优选地降低保护绝缘层414中的氢浓度。保护绝缘层414中的氢浓度优选地低于 $5 \times 10^{19} \text{cm}^{-3}$ 、更优选地低于 $5 \times 10^{18} \text{cm}^{-3}$ 。

[0251] 第三热处理优选地在形成保护绝缘层414之后执行。第三热处理的温度优选地高于或等于350℃但低于或等于450℃。通过第三热处理,氧易于从基绝缘层402和栅绝缘层410中释放,使得氧化物堆叠404中的氧空位能够降低。

[0252] 此外,通过第三热处理,氧可能从氧化物堆叠404转移到第一源电极层406a和第一漏电极层406b(其易于接合到氧)。相应地,在一些情况下,在n型区域405中生成更多氧空位。备选的是,在处于界面附近的区域没有通过第二热处理变成n型区域的情况下,该区域能够通过第三热处理变成n型区域405。

[0253] 这样,能够制造这个实施例中的晶体管340。

[0254] 注意,这个实施例能够与本说明书中的其他实施例和示例的任一个适当地组合。

[0255] [实施例4]

[0256] 图20A示出作为本发明的一个实施例的半导体器件的示例、作为逻辑电路的NOR电路的电路图的示例。图20B示出NAND电路的电路图。

[0257] 在图20A的NOR电路中,p沟道晶体管801和802是晶体管,在其每个中,沟道形成区使用除了氧化物半导体之外的半导体材料(例如硅)来形成,以及n沟道晶体管803和804各包括氧化物堆叠(其中包括氧化物半导体),并且各具有与实施例2所述晶体管的结构的任一个相似的结构。

[0258] 包含半导体材料、例如硅的晶体管能够易于高速操作。相比之下,包括氧化物半导体的晶体管因其特性而使电荷能够保持长时间。

[0259] 为了使逻辑电路小型化,优选的是,n沟道晶体管803和804无双在p沟道晶体管801和802之上。例如,晶体管801和802能够使用单晶硅衬底来形成,以及晶体管803和804能够在晶体管801和802之上被形成,绝缘层在它们之间被提供。

[0260] 注意,在图20A所示的NOR电路中,晶体管803和804具有一种结构,其中具有背栅电极,以及通过控制背栅电极的电位、例如通过将电位设置成GND,晶体管803和804的阈值电压增加,使得晶体管能够常断。

[0261] 在图20B的NAND电路中,p沟道晶体管811和814是晶体管,在其每个中,沟道形成区使用除了氧化物半导体之外的半导体材料(例如硅)来形成,以及n沟道晶体管812和813各包括氧化物堆叠(其中包含氧化物半导体),并且各具有与实施例2所述晶体管的结构的任一个相似的结构。

[0262] 注意,在图20B所示的NAND电路中,晶体管812和813具有一种结构,其中具有背栅电极,以及通过控制背栅电极的电位、例如通过将电位设置成GND,晶体管812和813的阈值电压增加,使得晶体管能够常断。

[0263] 如同图20A所示的NOR电路中一样,为了使逻辑电路小型化,优选的是,n沟道晶体管812和813堆叠在p沟道晶体管811和814之上。

[0264] 通过将包括沟道形成区的氧化物半导体并且具有极低断态电流的晶体管应用于这个实施例中的半导体器件,半导体器件的功率消耗能够充分降低。

[0265] 通过堆叠包括不同半导体材料的半导体元件,小型化的半导体器件是高度集成的并且具有稳定和良好电特性,以及能够提供一种制造半导体器件的方法。

[0266] 另外,通过采用实施例2所述晶体管的结构的任一个,能够提供具有高可靠性和稳定特性的NOR电路和NAND电路。

[0267] 使用实施例2中的晶体管的NOR电路和NAND电路的示例在这个实施例中作为示例来描述;但是,对电路不存在具体限制,以及能够形成AND电路、OR电路等。

[0268] 这个实施例中所述的方法和结构能够与其他实施例中所述的方法和结构的任一个适当地组合。

[0269] [实施例5]

[0270] 在这个实施例中,将参照附图来描述包括实施例所述晶体管的任一个的半导体器件(存储器装置)的示例,其甚至在未供电时也能够保留所存储数据。

[0271] 图21是示出这个实施例的半导体器件的电路图。

[0272] 包括除了氧化物半导体层之外的半导体材料(例如硅)的晶体管能够应用于图21A所示的晶体管260,并且因而晶体管260能够易于高速操作。此外,电荷能够因其特性而在晶体管262(对其能够应用与各包括实施例2所述氧化物半导体层的晶体管的任一个相似的结构)中保持长时间。

[0273] 虽然所有晶体管在这里是n沟道晶体管,但是p沟道晶体管也能够用作用于这个实施例所述的半导体器件的晶体管。

[0274] 图21A中,第一布线(第1线)电连接到晶体管260的源电极层。第二布线(第2线)电连接到晶体管260的漏电极层。第三布线(第3线)电连接到晶体管262的源电极层和漏电极

层其中之一,以及第四布线(第4线)电连接到晶体管262的栅电极层。晶体管260的栅电极以及晶体管262的源电极层和漏电极层中的另一个电连接到电容器264的一个电极。第五布线(第5线)和电容器264的另一电极相互电连接。

[0275] 图21A中的半导体器件利用其中能够保持晶体管260的栅电极层的电位的特性,并且因而如下所述实现数据的数据写入、存储和读取。

[0276] 描述数据的写入和存储。首先,第四布线的电位设置成使晶体管262导通的电位,使得晶体管262导通。相应地,第三布线的电位施加到晶体管260的栅电极和电容器264。也就是说,将预定电荷提供给晶体管260的栅电极层(写入)。在这里,供应提供不同电位电平的两种电荷(以下称作低电平电荷和高电平电荷)其中之一。此后,第四布线的电位设置成使晶体管262截止的电位,使得晶体管262截止。因此,保持提供给晶体管260的栅电极层的电荷(保持)。也就是说,数据保持在浮栅(FG)中。

[0277] 由于晶体管262的断态电流极低,所以长时间保存晶体管260的栅电极层的电荷。

[0278] 接下来描述数据的读取。通过在向第一布线提供预定电位(恒定电位)的同时向第五布线提供适当电位(读取电位),第二布线的电位根据在晶体管260的栅电极层所保持的电荷量而改变。这是因为,一般来说,当晶体管260是n沟道晶体管时,在将高电平电荷提供给晶体管260的栅电极层的情况下的表观阈值电压 V_{th_H} 低于在将低电平电荷提供给晶体管260的栅电极的情况下的表观阈值电压 V_{th_L} 。在这里,表观阈值电压表示第五布线的电位,需要它来使晶体管260导通。第五布线的电位设置成处于 V_{th_H} 与 V_{th_L} 之间的电位 V_0 ,由此能够确定提供给晶体管260的栅电极层的电荷。例如,在写入中提供高电平电荷的情况下,当第五布线的电位为 $V_0(>V_{th_H})$ 时,晶体管260导通。在写入中提供低电平电荷的情况下,甚至当第五线的电位为 $V_0(<V_{th_L})$ 时,晶体管260也保持为截止。因此,浮栅(FG)中存储的数据能够通过读取第二布线的电位来确定。

[0279] 注意,在存储器单元排列成被使用的情况下,仅需要能够读取预期存储器单元的数据。在没有读取数据的情况下的第五写入可提供有使晶体管260截止而不管栅电极层的状态的电位、即低于 V_{th_H} 的电位。备选的是,第五布线可提供有使晶体管260导通而不管栅电极层的状态的电位、即高于 V_{th_L} 的电位。

[0280] 图21B示出存储器装置的一个实施例的另一个示例。图21B示出半导体器件的电路配置的示例,以及图21C是示出半导体器件的示例的概念图。首先描述图21B图21B所示的半导体器件,并且然后描述图21C所示的半导体器件。

[0281] 在图21B所示的半导体器件中,位线BL电连接到晶体管262的源电极或漏电极,字线WL电连接到晶体管262的栅电极层,以及晶体管262的源电极或漏电极电连接到电容器254的第一端子。

[0282] 在这里,包括氧化物半导体的晶体管262具有极低的断态电流。为此,电容器254的第一端子的电位(或者电容器254中积聚的电荷)能够通过使晶体管262截止保持极长时间。

[0283] 接下来描述图21B所示的半导体器件(存储器单元250)中的数据的写入和存储。

[0284] 首先,字线WL的电位设置成使晶体管262导通的电位,使得晶体管262导通。相应地,将位线BL的电位提供给电容器254的第一端子(写入)。此后,字线WL的电位设置成使晶体管262截止的电位,使得晶体管262截止。因此,保持电容器254的第一端子的电位(保持)。

[0285] 因为晶体管262的断态电流极低,所以电容器254的第一端子的电位(或者电容器

中积聚的电荷)能够保持长时间。

[0286] 接下来描述数据的读取。当晶体管262导通时,位线BL(其处于浮态)和电容器254相互电连接,并且电荷在位线BL与电容器254之间重新分配。因此,改变位线BL的电位。位线BL的电位的变化量根据电容器254的第一端子的电位(或者电容器254中积聚的电荷)而改变。

[0287] 例如,电荷重新分配之后的位线BL的电位是 $(C_B \times V_{B0} + C \times V) / (C_B + C)$, 其中V是电容器254的第一端子的电位,C是电容器254的电容, C_B 是位线BL的电容(以下又称作位线电容),以及 V_{B0} 是电荷重新分配之前的位线BL的电位。因此能够发现,假定存储器单元250处于其中电容器254的第一端子的电位为 V_1 和 V_0 ($V_1 > V_0$)的两种状态的任一种,在保持电位 V_1 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$)的情况下的位线BL的电位高于在保持电位 V_0 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)的情况下的位线BL的电位。

[0288] 然后,通过将位线BL的电位与预定电位进行比较,能够读取数据。

[0289] 如上所述,图21B所示的半导体器件能够长时间保持电容器254中积聚的电荷,因为晶体管262的断态电流极低。换言之,刷新操作变得不需要,或者刷新操作的频率能够极低,这引起功率消耗的充分降低。此外,已存储数据甚至在没有提供电力时也能够长时期保留。

[0290] 接下来描述图21C所示的半导体器件。

[0291] 图21C所示的半导体器件包括:上部的存储器单元阵列251(存储器单元阵列251a和251b),其中包括图21B所示的多个存储器单元250作为存储器电路;以及下部的外围电路253,其是操作存储器单元阵列251(存储器单元阵列251a和251b)所需的。注意,外围电路253电连接到存储器单元阵列251。

[0292] 在图21C所示的结构中,外围电路253能够设置在存储器单元阵列251(存储器单元阵列251a和251b)之下。因此,能够减小半导体器件的尺寸。

[0293] 优选的是,外围电路253中设置的晶体管的半导体材料与晶体管262是不同的。例如,能够使用硅、锗、硅锗、碳化硅、砷化镓等,并且优选地使用单晶半导体。备选的是,可使用有机半导体材料等。包括这种半导体材料的晶体管能够充分地高速操作。因此,晶体管使需要高速操作的多种电路。(例如逻辑电路和驱动器电路)能够有利地得到。

[0294] 注意,图21C作为示例示出其中堆叠两个存储器单元阵列251(存储器单元阵列251a和251b)的半导体器件;但是,待堆叠的存储器单元阵列的数量并不局限于此。可堆叠三个或更多存储器单元阵列。

[0295] 当包括沟道形成区中的氧化物半导体的晶体管用作晶体管262时,已存储数据能够保留长时期。换言之,功率消耗能够充分降低,因为能够提供其中不需要刷新操作或者刷新操作的频率极低的半导体器件。

[0296] 此外,这个实施例所述的半导体器件是实施例1所述的半导体器件,其包括氧化物堆叠,并且其中形成沟道的氧化物半导体层与氧化物堆叠的表面分隔开。因此,能够得到呈现稳定电特性的极可靠半导体器件。

[0297] [实施例6]

[0298] 在这个实施例中,将参照图22、图23、图24以及图25A和图25B来描述上述实施例的任一个中所述的半导体器件应用于电子装置(例如移动电话、智能电话和电子书阅读器)的

示例。

[0299] 图22是电子装置的框图。图22所示的电子装置包括RF电路901、模拟基带电路902、数字基带电路903、电池904、电源电路905、应用处理器906、闪存存储器910、显示控制器911、存储器电路912、显示器913、触摸传感器919、音频电路917、键盘918等。显示器913包括显示部分914、源极驱动器915和栅极驱动器916。应用处理器906包括CPU 907、DSP 908和接口909 (IF 909)。一般来说,存储器电路912包括SRAM或DRAM;通过将以上实施例的任一个所述的半导体器件用于存储器电路912,有可能提供一种电子装置,其中数据的写入和读取能够高速执行,数据能够保持长时期,功率消耗充分降低,并且可靠性较高。

[0300] 图23示出其中以上实施例中所述的半导体器件的任一个用于显示器的存储器电路950的示例。图23所示的存储器电路950包括存储器952、存储器953、开关954、开关955和存储控制器951。此外,在存储器电路中,连接来自图像数据 (输入图像数据) 的信号线、读取和控制存储器952和953中保持的数据 (已存储图像数据) 的显示控制器956以及通过来自显示控制器956的信号来显示数据的显示器957。

[0301] 首先,图像数据 (输入图像数据A) 由应用处理器 (未示出) 来形成。输入图像数据A经过开关954保持在存储器952中。存储器952中保持的图像数据 (已存储图像数据A) 经过开关955和显示控制器956来传送给显示器957并且显示。

[0302] 在没有改变输入图像数据A的情况下,已存储图像数据A经过开关955由显示控制器956通常以大约30 Hz至60 Hz的频率从存储器952来读取。

[0303] 随后,例如,当屏幕上显示的数据由用户来重写时 (即,在改变输入图像数据A的情况下),新图像数据 (输入图像数据B) 由应用处理器来形成。输入图像数据B经过开关954保持在存储器953中。已存储图像数据A甚至在那个时间期间也经过开关955周期地从存储器952来读取。在完成将新图像数据 (已存储图像数据B) 存储于存储器953之后,从显示器957的下一帧,已存储图像数据B开始被读取,经过开关955和显示控制器956传送给显示器957,并且在显示器957上显示。这个读操作继续进行,直到另一个新图像数据保持在存储器952中。

[0304] 通过如上所述对/从存储器952和存储器953交替地写入/读取图像数据,图像在显示器957上显示。注意,存储器952和存储器953并不局限于独立存储器,以及单个存储器可被划分和使用。通过将以上实施例的任一个中所述的半导体器件用于存储器952和存储器953,数据能够高速写入和读取并且保持长时期,以及功率消耗能够充分降低。此外,能够提供一种半导体器件,其几乎不受来自外部的水、水分等的进入影响,并且其具有高可靠性。

[0305] 图24是电子书阅读器的框图。图24包括电池1001、电源电路1002、微处理器1003、闪存存储器1004、音频电路1005、键盘1006、存储器电路1007、触控面板1008、显示器1009和显示控制器1010。

[0306] 在这里,以上实施例中所述的半导体器件的任一个能够用于图24的存储器电路1007。存储器电路1007具有暂时保持书籍内容的功能。例如,当用户使用突出显示功能时,存储器电路1007存储和保持用户所指定的部分的数据。注意,突出显示功能用来通过标记特定部分,例如通过改变显示颜色、下划线、使字符变粗、改变字符的字体等,在阅读电子书的同时区分特定部分与其他部分。为了短时间存储数据,数据可存储在存储器电路1007中。为了短时间存储数据,数据可存储在存储器电路1007中。为了长时期存储数据,存储器电路

1007中存储的数据可复制到闪速存储器1004中。又在这种情况下,通过采用以上实施例的任一个中所述的半导体器件,数据能够高速写入和读取并且保持长时期,以及功率消耗能够充分降低。此外,能够提供一种半导体器件,其几乎不受来自外部的水、水分等的进入影响,并且其具有高可靠性。

[0307] 图25A和图25B示出电子装置的具体示例。图25A和图25B示出可折叠平板终端。图25A示出处于展开状态的平板终端。平板终端包括壳体9630、显示部分9631a、显示部分9631b、显示模式开关按钮9034、电源开关9035、省电模式开关按钮9036、扣件9033和操作开关9038。

[0308] 以上实施例中所述的半导体器件的任一个能够用于显示部分9631a和显示部分9631b,使得平板终端能够具有高可靠性。另外,以上实施例中所述的存储器装置可应用于这个实施例的半导体器件的任一个。

[0309] 显示部分9631a的部分能够是触控面板区9632a,以及数据能够通过触摸被显示的操作按钮9638来输入。虽然作为示例示出其中显示部分9631a的一半区域仅具有显示功能并且另一半区域也具有触控面板功能的结构,但是显示部分9631a并不局限于该结构。例如,显示部分9631a能够在将要作为触控面板的整个区域中显示键盘按钮,以及显示部分9631b能够用作显示屏。

[0310] 与显示部分9631a相似,显示部分9631b的部分能够是触控面板区域9632b。当手指、触控笔等触摸触控面板中显示用于切换到键盘显示的按钮9639的位置时,键盘按钮能够在显示部分9631b上显示。

[0311] 触摸输入能够在触控面板区域9632a和9632b上同时执行。

[0312] 例如,用于切换显示模式的开关9034能够切换显示取向(例如在风景模式与肖像模式之间),并且选择显示模式(在单色显示和彩色显示之间进行切换)。通过用于切换到省电模式的开关9036,显示器的亮度能够当平板终端在使用时按照外部光的量来优化,其采用结合在平板终端中的光学传感器来检测。除了光学传感器之外,平板终端还可包括用于检测取向的另一个检测装置、例如传感器(例如陀螺仪或加速传感器)。

[0313] 注意,图25A示出其中显示部分9631a和显示部分9631b具有相同显示区的示例;但是,本发明的一个实施例不受此限,并且显示部分其中之一在尺寸和显示质量方面可与另一显示部分不同。例如,它们之一可以是显示面板,其能够显示比另一个要高的清晰度的图像。

[0314] 平板终端在图25B中是闭合的。平板终端包括壳体9630、太阳能电池9633、充电和放电控制电路9634、电池9635和DC-DC转换器9636。注意,图25B示出其中放电和放电控制电路9634包括电池9635和DC-DC转换器9636的示例。

[0315] 由于平板终端能够对折,所以壳体9630能够在平板终端未使用时闭合。因此,能够保护显示部分9631a和9631b,由此为平板终端提供长期使用的高耐用性和高可靠性。

[0316] 另外,图25A和图25B所示的平板终端能够具有显示多种数据(例如静止图像、运动图像和文本图像)的功能,在显示部分显示日历、日期、时间等的功能,通过触摸输入来操作或编辑显示部分所显示的数据的触摸输入功能,控制多种软件(程序)进行的处理的功能,等等。

[0317] 这个实施例中所述的结构、方法等能够与其它实施例中所述的结构和方法的任一

个适当结合。

[0318] [示例1]

[0319] 在这个示例中,导电膜在氧化物半导体膜之上形成,以及堆叠膜之间存在的元素的转移通过SIMS来检查,并且将描述其结果。

[0320] 图11A和图11B各示出各通过溅射方法、采用IGZO膜和钨膜的堆叠来制造的样本中的热处理之前和之后的通过SIMS的沿深度方向的氧同位素(^{18}O)的分布的分析结果。注意,通过DC溅射方法、采用以原子比1:1:1或1:3:2包含In、Ga和Zn的溅射靶以及以流率比2:1包含Ar和 O_2 (^{18}O)的沉积气体来形成IGZO膜。通过DC溅射方法、采用钨溅射靶以及用作沉积气体的100% Ar气体来形成钨膜。注意,热处理在300℃、350℃、400℃和450℃下各执行一小时,并且将包括未经过热处理的样本的五个样本相互比较。

[0321] 在这里,采用以原子比1:1:1包含In、Ga和Zn的溅射靶所形成的IGZO膜是结晶的,以及采用以原子比1:3:2包含In、Ga和Zn的溅射靶所形成的IGZO膜是非晶的。

[0322] 如图11A和图11B所示,随着热处理的温度增加,使氧化物半导体膜的氧进入钨膜,而不管氧化物半导体膜的组成(结晶度)。

[0323] 由于晶体管的制造过程涉及一些热处理步骤,所以在与源电极或漏电极相接触的氧化物半导体层的区域中生成氧空位,并且该区域变成n型。因此,n型区域能够用作晶体管的源极或漏极。

[0324] 图12A和图12B各示出各使用氮化钽膜而不是钨膜来制造的样本中通过SIMS的分析结果。通过反应溅射方法(DC溅射方法)、采用钽溅射靶以及以流率比5:1包含Ar和 N_2 的沉积气体来形成氮化钽膜。注意,热处理在与以上所述相似的四个条件下执行,并且将包括未经过热处理的样本的五个样本相互比较。

[0325] 图12A示出在各采用其In与Ga和Zn的原子比为1:1:1的IGZO膜和氮化钽膜的堆叠来制造的样本中通过SIMS的分析结果。在样本的任一个中,没有观测到转移到氮化钽膜的氧(进入其中的氧),并且其行为与图11A中采用钨膜的样本是不同的。图12B示出在各采用其In与Ga和Zn的原子比为1:3:2的IGZO膜和氮化钽膜的堆叠来形成的样本中通过SIMS的分析结果。在样本的任一个中,没有观测到转移到氮化钽膜的氧(进入其中的氧),并且其行为与图11B中采用钨膜的样本是不同的。相应地,能够说,氮化钽膜是不易于接合到氧的膜或者其中不易获取氧的膜。

[0326] 图13A和图13B各示出各使用氮化钛膜而不是钨膜来制造的样本中通过SIMS的分析结果。通过反应溅射方法(DC溅射方法)、采用钛溅射靶以及用作沉积气体的100% N_2 气体来形成氮化钛膜。注意,热处理在与以上所述相似的四个条件下执行,并且将包括未经过热处理的样本的五个样本相互比较。

[0327] 图13A示出在各采用其In与Ga和Zn的原子比为1:1:1的IGZO膜和氮化钛膜的堆叠来制造的样本中通过SIMS的分析结果。在任一个样本中,没有观测到转移到氮化钛膜的氧(进入其中的氧),并且其行为与图11A中采用钨膜的样本是不同的。图13B示出在各采用其In与Ga和Zn的原子比为1:3:2的IGZO膜和氮化钛膜的堆叠来制造的样本中通过SIMS的分析结果。在任一个样本中,没有观测到转移到氮化钛膜的氧(进入其中的氧),并且其行为与图11B中采用钨膜的样本是不同的。相应地,能够说,氮化钛膜是不易于接合到氧的膜或者其中不易获取氧的膜。

[0328] 随后,杂质向IGZO膜的转移通过SIMS分析来检查,并且描述其结果。

[0329] 图14A和图14B各示出各通过溅射方法、采用IGZO膜之上形成的氮化钽膜或氮化钛膜来制造的样本中的热处理之前和之后的通过SIMS的沿深度方向的氮的分布的分析结果。注意,通过DC溅射方法、采用以原子比1:1:1包含In、Ga和Zn的溅射靶以及以流率比2:1包含Ar和O₂的沉积气体来形成IGZO膜。氮化钽膜和氮化钛膜通过上述方法形成。注意,热处理在400℃下执行一小时,并且将包括未经过热处理的样本的两个样本相互比较。

[0330] 如图14A和图14B所示,在任一个示例中,没有观测到氮向IGZO膜的转移。因此,用作IGZO膜中的施体的氮没有从氮化钽膜或氮化钛膜广泛地转移到IGZO膜;相应地,晶体管的沟道形成区没有制作成具有n型导电。

[0331] 图15A和图15B作为示例分别示出在与图14A和图14B所示相似的样本中沿深度方向的钽和钛的剖面的SIMS分析结果。如图15A和图15B所示,没有观测到钛或钽向IGZO膜的转移。相应地,可能用作影响晶体管的电特性的杂质的钛和钽的每个没有从氮化钽膜或氮化钛膜广泛地转移到IGZO膜。

[0332] 上述结果表明,导电氮化物、例如氮化钽或氮化钛的膜是不易于接合到氧的膜或者其中不易获取氧的膜,以及这种导电氮化物中的氮和金属元素不易于转移到氧化物半导体膜。

[0333] 注意,这个示例能够与本说明书中的其他实施例或其他示例的任一个适当地组合。

[0334] [示例2]

[0335] 在这个示例中,将描述在氧化物半导体膜之上形成的导电膜的去除之后的氧化物半导体膜的薄层电阻值的测量结果。

[0336] 图16示出各如以下所述针对蚀刻IGZO膜的深度所制造的样本的薄层电阻值的测量结果:IGZO膜通过溅射方法来形成,钨膜或氮化钛膜通过溅射方法堆叠在IGZO膜之上,并且然后去除钨膜或氮化钛膜。为了进行比较,还制造其中导电膜没有在IGZO膜之上形成的样本。注意,通过DC溅射方法、采用以原子比1:1:1包含In、Ga和Zn的溅射靶以及以流率比2:1包含Ar和O₂ (¹⁸O)的沉积气体来形成IGZO膜。通过DC溅射方法、采用钨溅射靶以及用作沉积气体的100% Ar气体来形成钨膜。通过反应溅射方法(DC溅射方法)、采用钛溅射靶以及用作沉积气体的100% N₂气体来形成氮化钛膜。钨膜和氮化钛膜使用过氧化氢水来蚀刻。IGZO膜使用过氧化氢水和氨的混合溶液来蚀刻。蚀刻之后的IGZO膜的剩余厚度在蚀刻之前和之后使用分光椭圆偏光法(ellipsometry)来测量,以便得到蚀刻IGZO膜的深度。

[0337] 在IGZO膜之上形成钨膜的样本中,形成到离IGZO膜的表面大约5 nm深度的IGZO膜的区域电阻如图16所示降低。这表明,例如,IGZO和钨的低电阻混合层在接近其表面的IGZO膜的区域中形成,并且n型区域因上述区域中存在的氧空位而通过进入钨膜的IGZO膜中的氧来形成。

[0338] 另一方面,在IGZO膜之上形成氮化钛膜的示例或者IGZO膜之上没有形成导电膜的示例中,IGZO膜的每个电阻没有降低。这表明,例如,氮化钛的元素不易于进入IGZO膜,并且IGZO膜的氧不易于进入氮化钛膜。

[0339] 图17A示出各如以下所述针对蚀刻IGZO膜的深度所制造的样本的薄层电阻值的测量结果:IGZO膜通过溅射方法来形成,钨膜或氮化钛膜通过溅射方法堆叠在IGZO膜之上,执

行热处理,并且然后去除钨膜或氮化钛膜。为了进行比较,还制造其中导电膜没有在IGZO膜之上形成的样本。注意,IGZO膜和钨膜或氮化钛膜的形成以及钨膜或氮化钛膜的去除按照与以上所述相似的方式执行。热处理在400℃下在N₂气氛中执行一小时。

[0340] 如图17A所示,在样本的任一个中,IGZO膜的电阻降低。在这里,在IGZO膜之上形成钨膜的样本中,IGZO膜的电阻在接近其表面并且一直到最大深度的区域中被最大地降低。这表明,钨膜最易于使IGZO膜的氧进入其中。此外,IGZO膜之上形成氮化钛膜的样本的行为与IGZO膜之上形成导电膜的样本相似。换言之,在IGZO膜之上形成钨膜的样本中,IGZO膜的电阻通过进入钨膜的IGZO膜的氧来降低,而在IGZO膜之上形成氮化钛膜的样本中,从IGZO膜所释放的氧经过氮化钛膜来传送并且释放到上侧。这个结果完全符合示例1所示的SIMS分析结果。

[0341] 图17B示出各如以下所述针对蚀刻IGZO膜的深度所制造的样本的薄层电阻值的测量结果:氧化硅膜通过溅射方法来形成,IGZO膜通过溅射方法在氧化硅膜之上形成,钨膜或氮化钛膜通过溅射方法堆叠在IGZO膜之上,执行热处理,并且然后去除钨膜或氮化钛膜。为了进行比较,还制造其中导电膜没有在IGZO膜之上形成的样本。通过反应溅射方法(DC溅射方法)、采用硅溅射靶以及用作沉积气体的100% O₂气体来形成氧化硅膜。注意,IGZO膜和钨膜或氮化钛膜的形成以及钨膜或氮化钛膜的去除按照与以上所述相似的方式执行。热处理在400℃下在N₂气氛中执行一小时。

[0342] 如图17B所示,IGZO膜中其电阻被降低的区域沿厚度方向具有比从图17A所示结果所得到的要小的厚度。这表明,氧通过热处理从氧化硅膜提供给IGZO膜,以及IGZO膜中的氧空位降低;相应地,IGZO膜的电阻增加。借助于能够释放氧并且这样设置在IGZO膜下面的膜,能够控制IGZO膜中其电阻被降低的区域的厚度。

[0343] 如上所述,存在下列发现。易于使氧进入其中的导电膜、例如钨膜形成为与IGZO膜相接触,使得IGZO膜中接触和接近导电膜的区域的电阻能够降低。此外,IGZO膜中其电阻被降低的区域能够通过热处理沿深度方向增加。此外,能够释放氧的膜形成为接近IGZO膜,由此能够控制其电阻被降低的区域的厚度。

[0344] 注意,这个示例能够与本说明书中的其他实施例或其他示例的任一个适当地组合。

[0345] [示例3]

[0346] 在这个示例中,制造其中氧通过离子注入方法来添加到氧化物半导体膜的样本。将描述通过样本的热解吸谱(TDS)分析及其膜密度的评估所得到的结果。

[0347] 首先,进行所制造样本的描述。通过等离子体CVD方法在包含HCl的气氛中经过热氧化处理的硅晶圆之上形成氧氮化硅膜。随后,氧氮化硅膜的表面通过CMP方法经过平面化处理。此后,IGZO膜在氧氮化硅膜之上形成,并且氧离子(O⁺)通过离子注入方法来添加到IGZO膜。在这里,通过DC溅射方法、使用以原子比1:3:2包含In、Ga和Zn的溅射靶以及以流率比2:1包含Ar和O₂的沉积气体来形成IGZO膜。在下列条件下添加氧离子:加速电压为5 kV,以及剂量为 1.0×10^{16} ion/cm²。此外,对其没有添加氧的样本还作为比较样本来制备。

[0348] 图18A示出通过测量具有质量数32、来自对其没有通过TDS分析来添加氧离子的样本的所释放气体量所得到的结果。在从大约50℃至大约550℃的范围中没有观测到指示具有质量数32的气体的释放的峰值。图18B示出通过测量具有质量数32、来自对其通过TDS分

析来添加氧离子的样本的所释放气体量所得到的结果。在从大约400℃至大约500℃的范围中观测到指示气体的释放的显著峰值。相应地发现,在将氧离子添加到氧化物半导体膜时,过剩氧能够保持在氧化物半导体膜中,并且当加热对其添加氧离子的氧化物半导体膜时,过剩氧从氧化物半导体膜中释放。因此,对其添加氧的这种氧化物半导体膜设置成与氧化物半导体层(其中形成晶体管的沟道)相接触,并且对其执行热处理,由此氧能够有效地从其添加氧的氧化物半导体膜提供给氧化物半导体层(其中形成沟道)。

[0349] 作为对其没有添加氧离子的样本以及对其添加氧离子的样本的氧化物半导体膜的膜密度通过X射线反射计(XRR)来测量。

[0350] 首先,进行所制造样本的描述。氧氮化硅膜通过等离子体CVD方法在包含HCl的气氛中经过热氧化处理的硅晶圆之上形成,以及氧离子(O^+)通过离子注入方法来添加到氧氮化硅膜,并且然后氧氮化硅膜的表面通过CMP方法经过平面化处理。此后,IGZO膜在氧氮化硅膜之上形成,并且氧离子(O^+)通过离子注入方法来添加到IGZO膜。在这里,IGZO膜的形成和氧离子对IGZO膜的添加在与以上所述相似的条件执行。氧离子在下列条件下添加到氧氮化硅膜:加速电压为60 kV,以及剂量为 2.0×10^{16} ion/cm²。为了进行比较,还制造对其没有添加氧离子的样本。

[0351] 作为通过XRR对膜密度的测量的结果,对其没有添加氧离子的样本的膜密度为5.8 g/cm³,以及对其添加氧离子的样本的膜密度为5.6 g/cm³。相应地发现,氧化物半导体膜的膜密度通过添加氧离子来降低。这表明,通过添加氧离子,氧化物半导体膜能够具有更无序的原子排列,即,氧化物半导体膜能够修改为明显非晶膜。在例如具有结晶度的氧化物半导体膜堆叠在氧化物半导体膜之上并且作为下层的氧化物半导体膜具有不同晶体结构的情况下,作为上层的氧化物半导体膜的结晶度在一些情况下降低。甚至在这种情况下,将氧离子添加到作为下层的氧化物半导体膜,使得它在作为上层的氧化物半导体膜的形成之前变成非晶的,由此作为上层的氧化物半导体膜能够具有改进结晶度。

[0352] 注意,这个示例能够与本说明书中的其他实施例或其他示例的任一个适当地组合。

[0353] 参考标号

[0354] 200: 区域,250: 存储器单元,251: 存储单元阵列,251a: 存储单元阵列,251b: 存储单元阵列,253: 外围电路,254: 电容器,260: 晶体管,262: 晶体管,264: 电容器,302: 氧,310: 晶体管,320: 晶体管,330: 晶体管,340: 晶体管,350: 晶体管,400: 衬底,402: 基绝缘层,404: 氧化物堆叠,404a: 氧化物层,404b: 氧化物半导体层,404c: 氧化物层,405: 区域,406a: 源电极层,406b: 漏电极层,407: 氧化物堆叠,407a: 氧化物层,407b: 氧化物半导体层,407c: 氧化物层,408a: 源电极层,408b: 漏电极层,410: 栅绝缘层,412: 栅电极层,412a: 栅电极层,412b: 栅电极层,414: 保护绝缘层,422a: 电极层,422b: 电极层,424: 层间绝缘层,801: 晶体管,802: 晶体管,803: 晶体管,804: 晶体管,811: 晶体管,812: 晶体管,813: 晶体管,814: 晶体管,901: RF电路,902: 模拟基带电路,903: 数字基带电路,904: 电池,905: 电源电路,906: 应用处理器,907: CPU,908: DSP,910: 闪存存储器,911: 显示控制器,912: 存储器电路,913: 显示器,914: 显示部分,915: 源极驱动器,916: 栅极驱动器,917: 音频电路,918: 键盘,919: 触摸传感器,950: 存储器电路,951: 存储控制器,952: 存储器,953: 存储器,954: 开关,955: 开关,956: 显示控制器,957: 显示器,1001: 电池,1002: 电源电路,1003: 微处理器,1004: 闪存存储

器,1005:音频电路,1006:键盘,1007:存储器电路,1008:触控面板,1009:显示器,1010:显示控制器,9033:扣件,9034:开关,9035:电源开关,9036:开关,9038:操作开关,9630:壳体,9631a:显示部分,9631b:显示部分,9,632a:区域,9632b:区域,9633:太阳能电池,9634:充电和放电控制电路,9635:电池,9636:DC-DC转换器,9638:操作按键,9639:按钮。

[0355] 本申请基于2012年10月17日向日本专利局提交的日本专利申请序号2012-230365,通过引用将其完整内容结合于此。

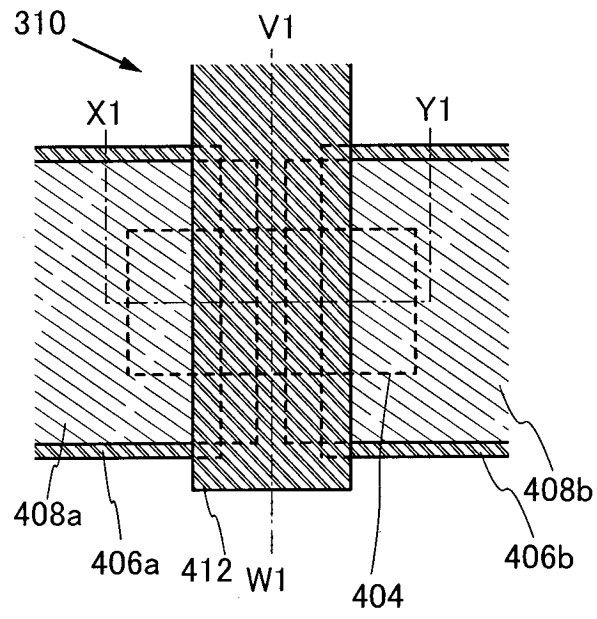


图 1A

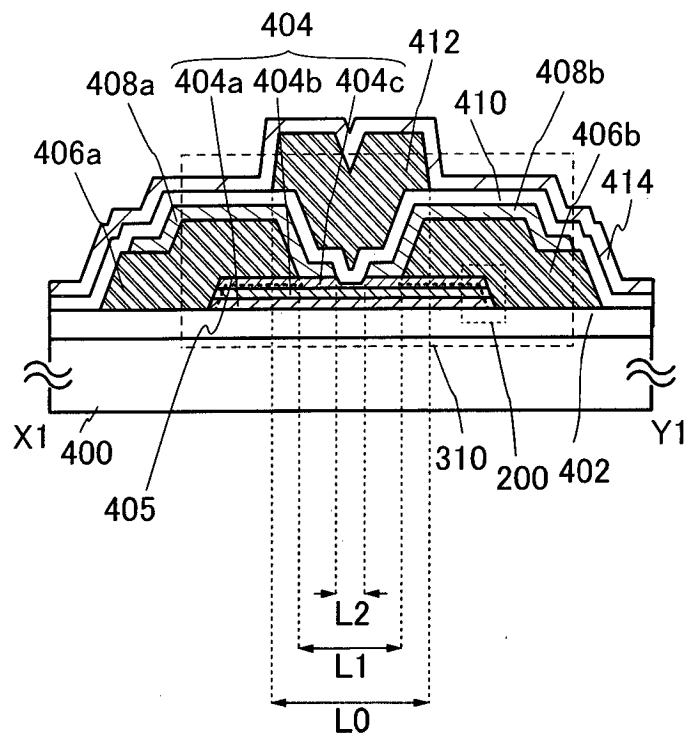


图 1B

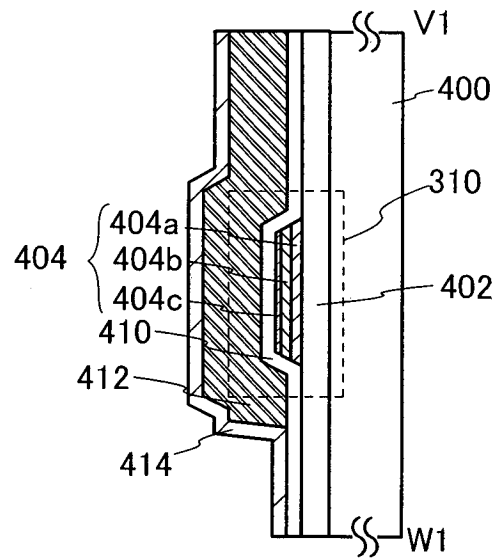


图 1C

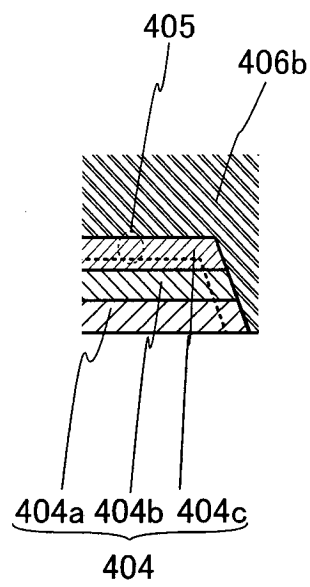


图 1D

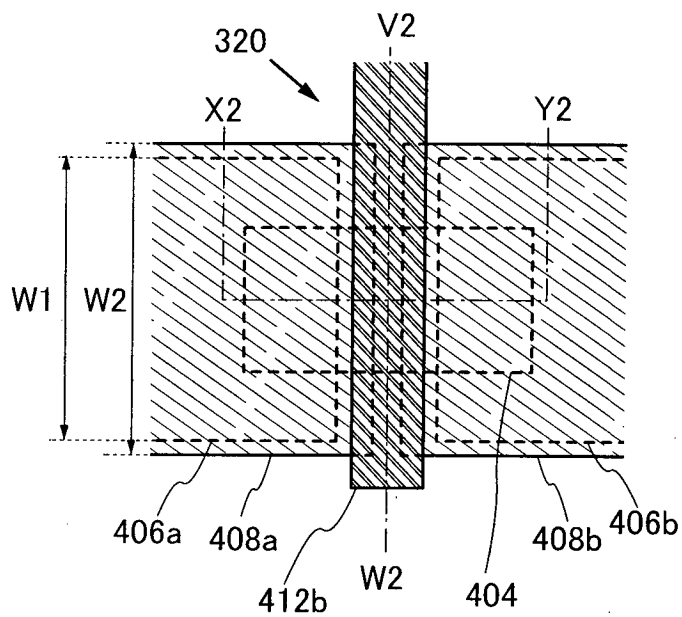


图 2A

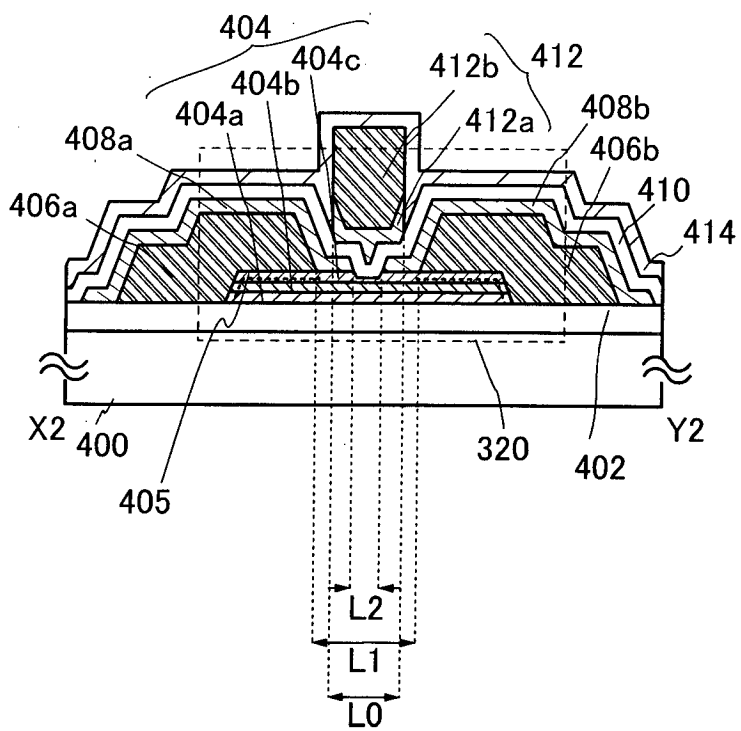


图 2B

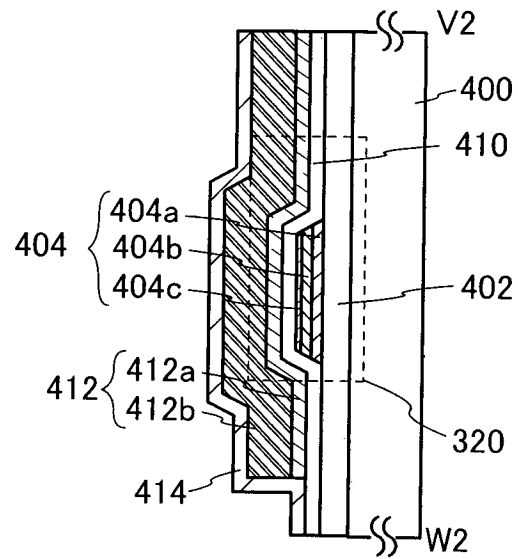


图 2C

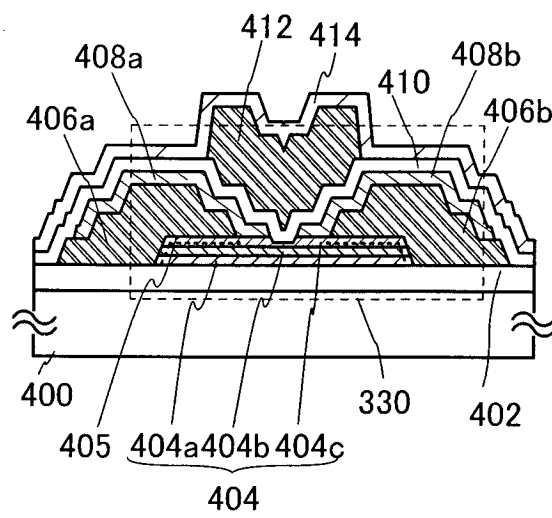


图 3A

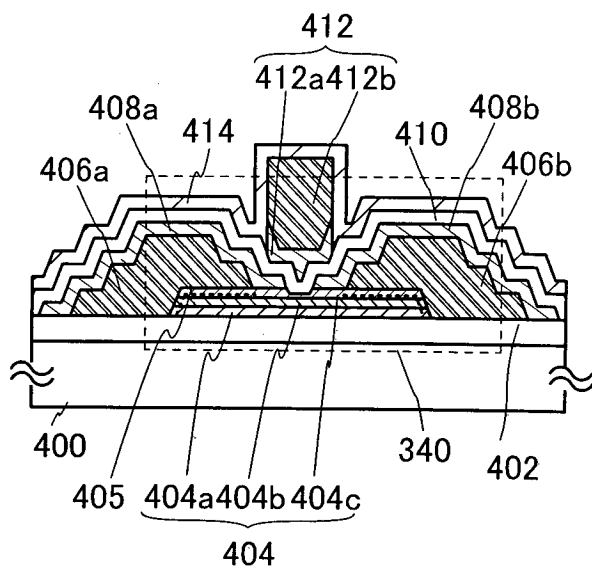


图 3B

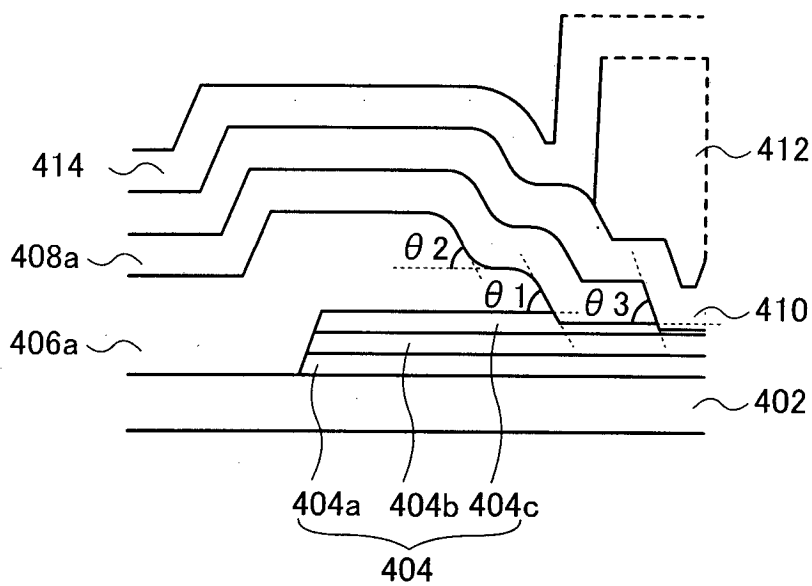


图 3C

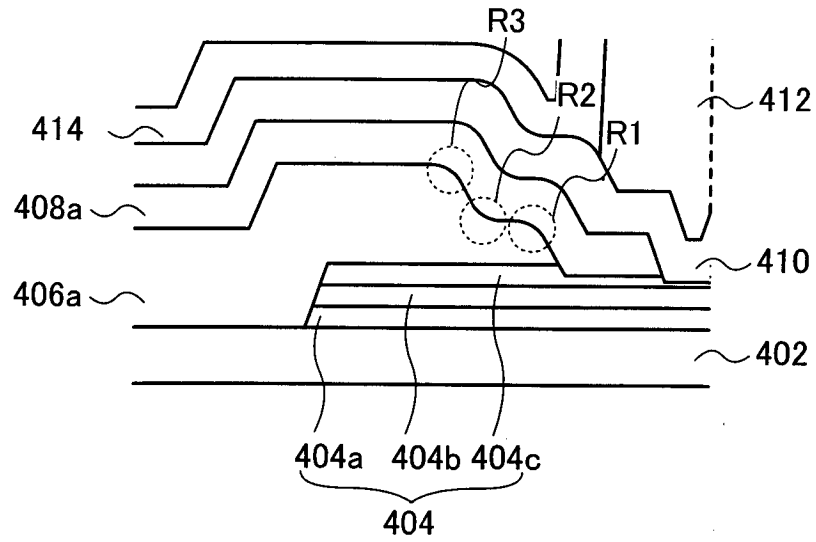


图 3D

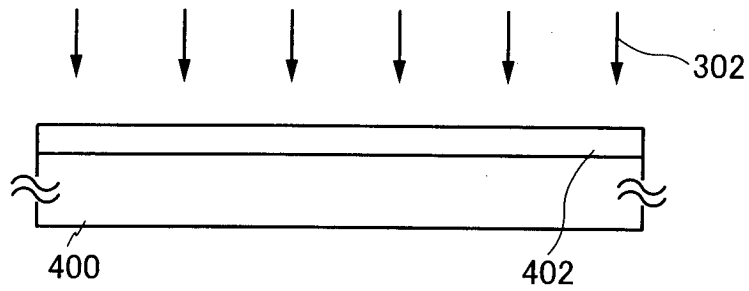


图 4A

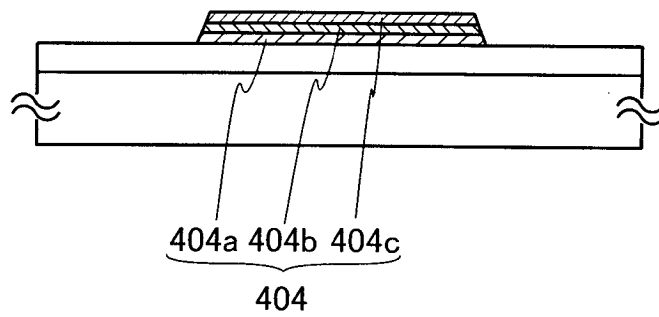


图 4B

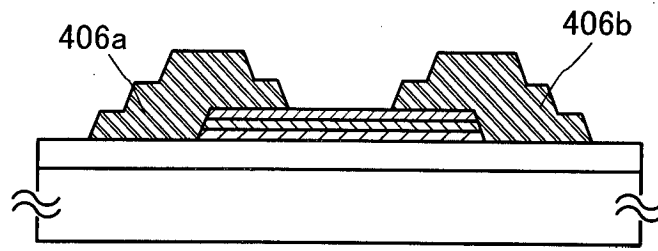


图 4C

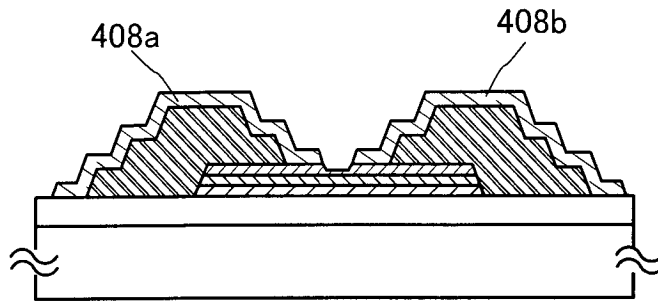


图 5A

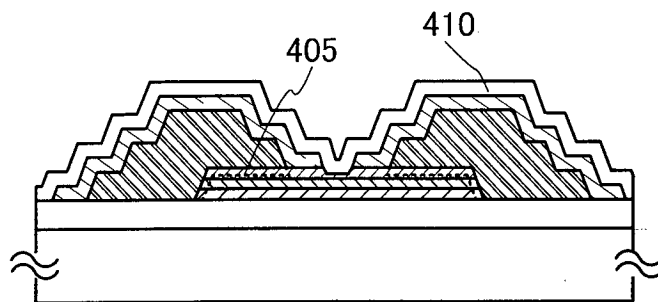


图 5B

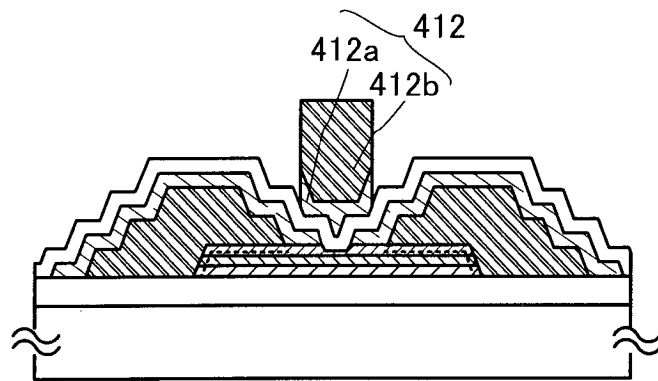


图 5C

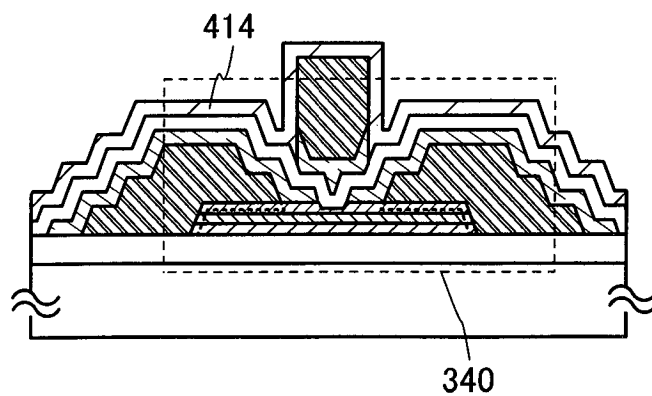


图 5D

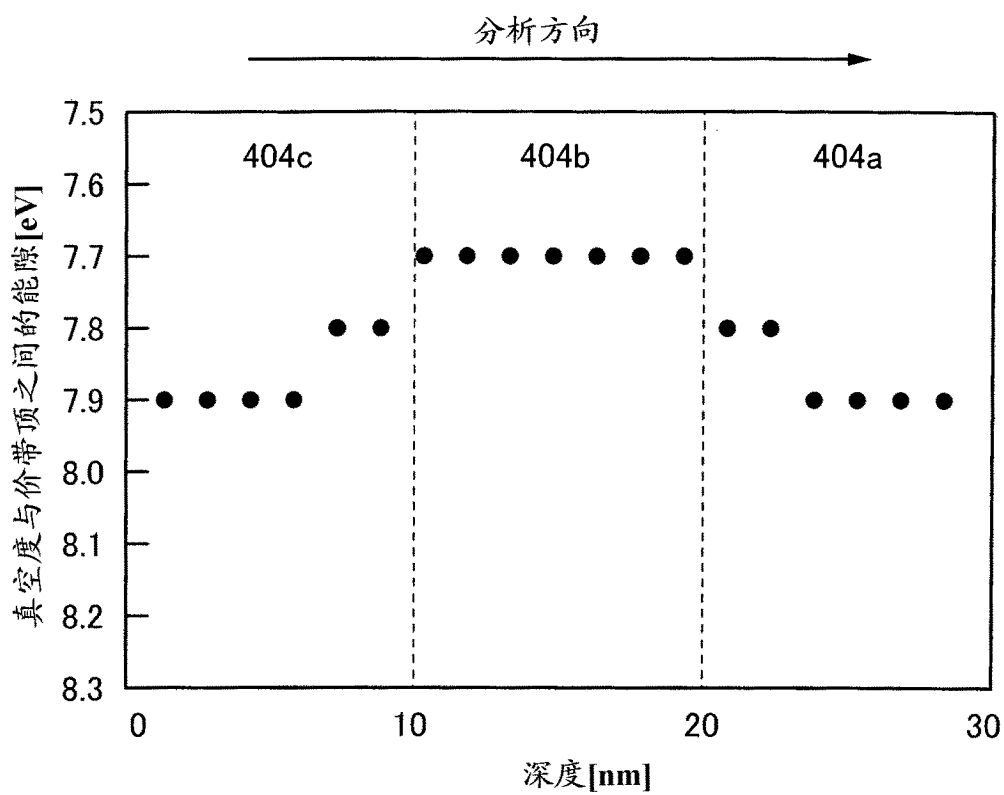


图 6A

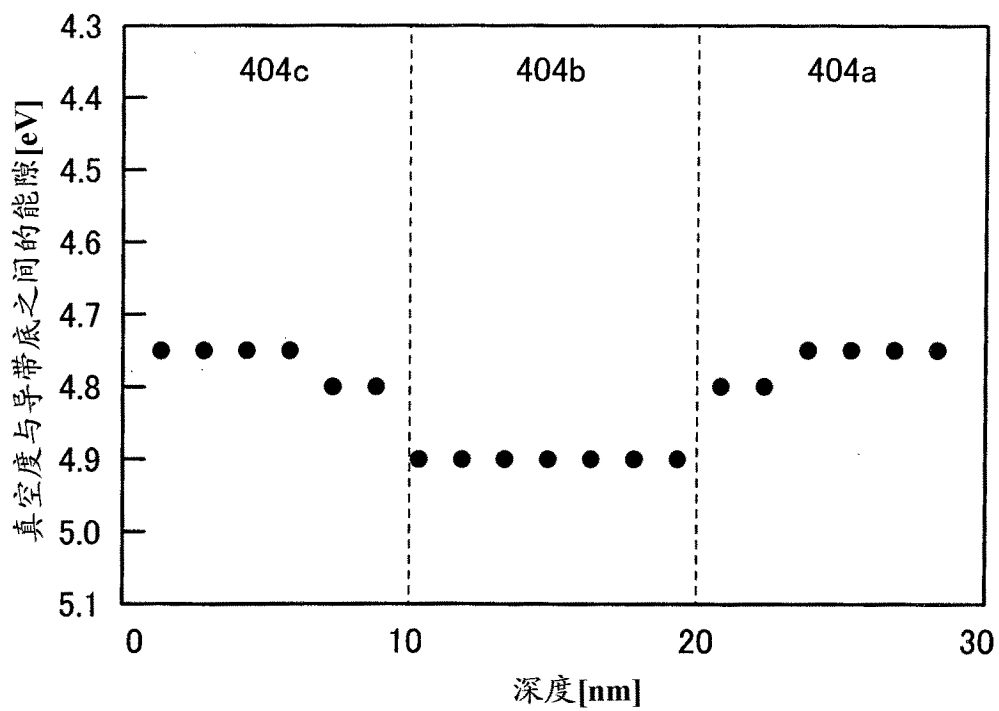


图 6B

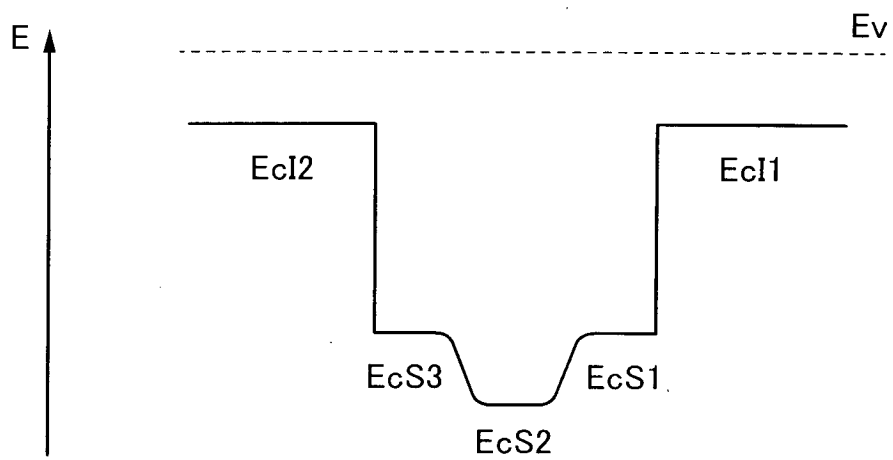


图 7A

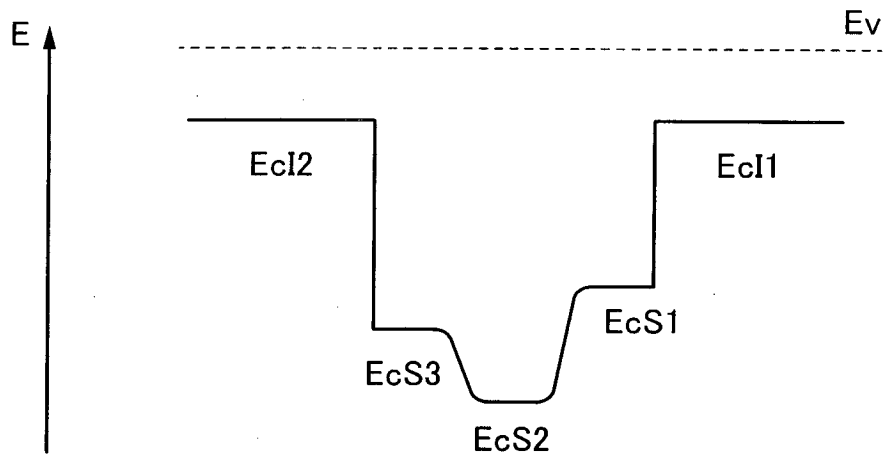


图 7B

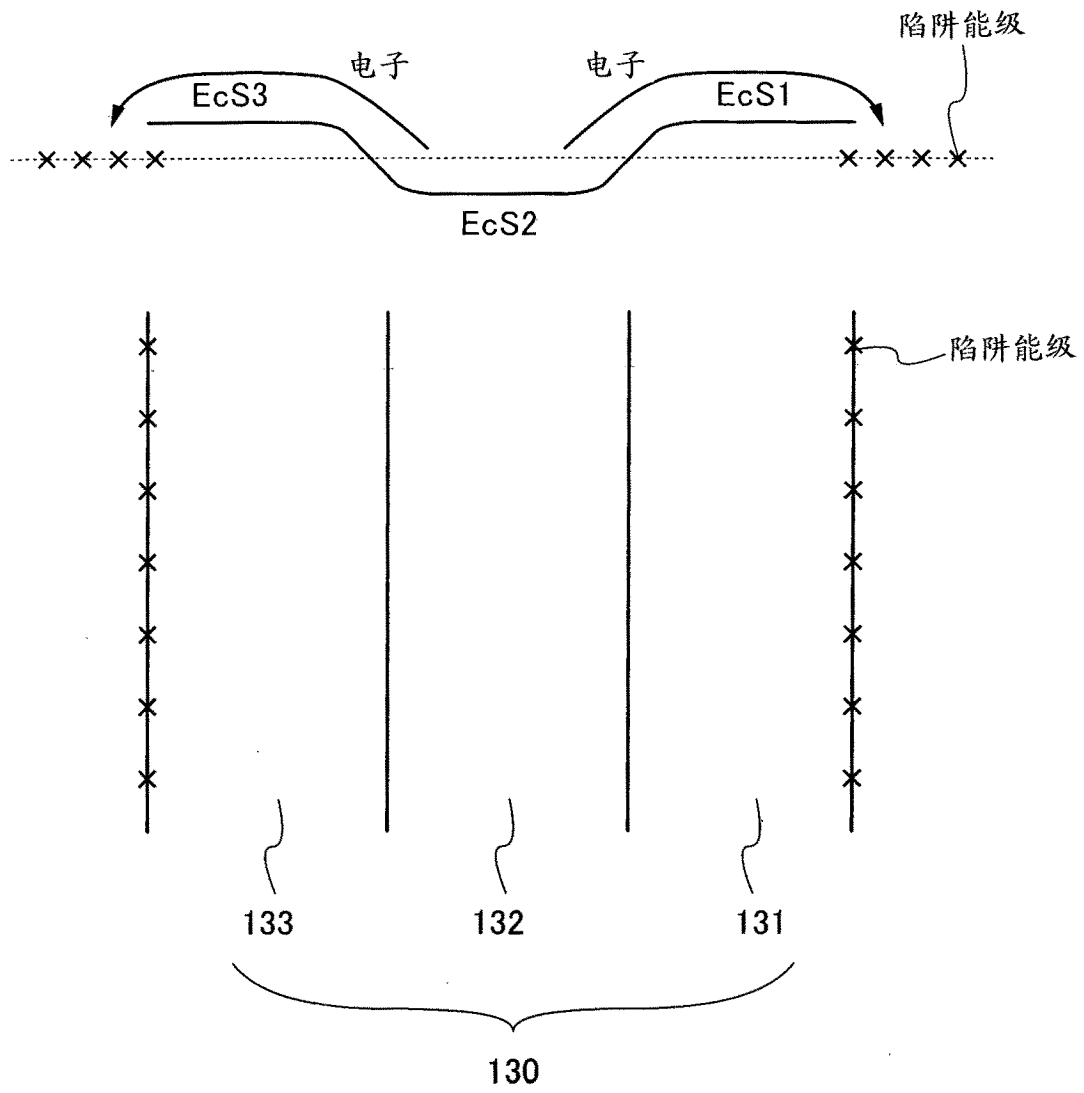


图 8

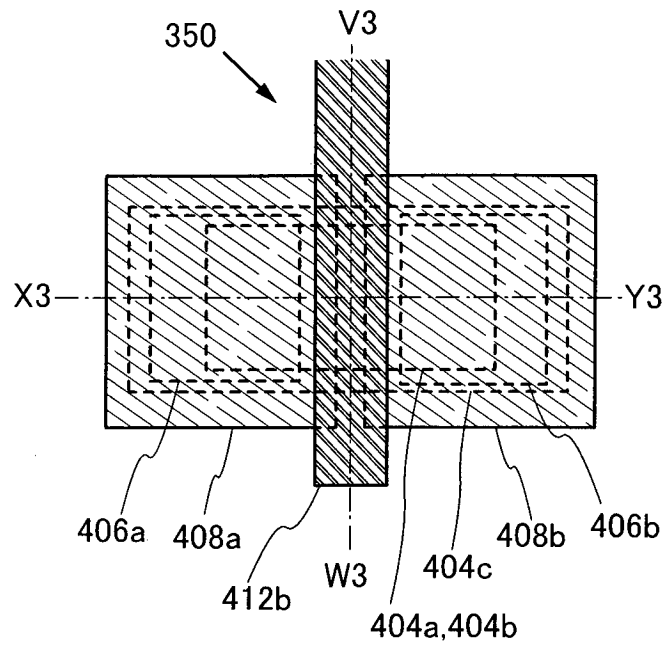


图 9A

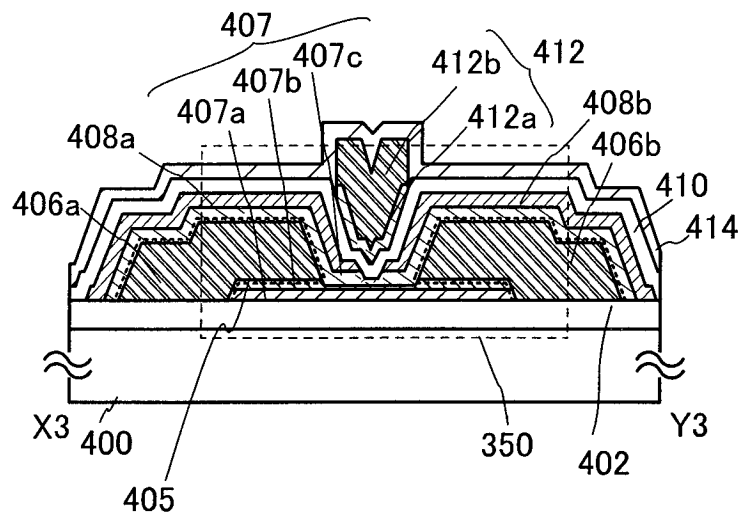


图 9B

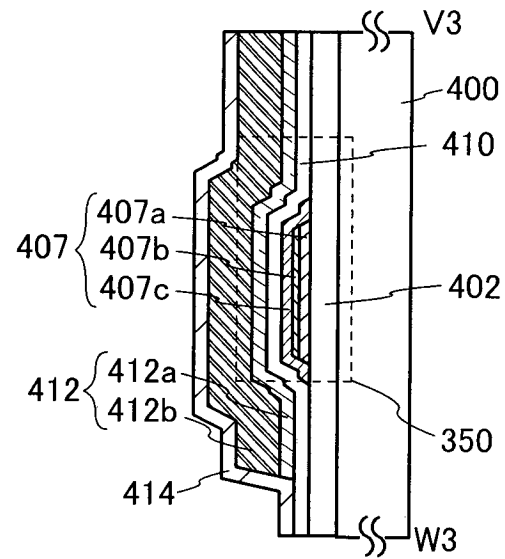


图 9C

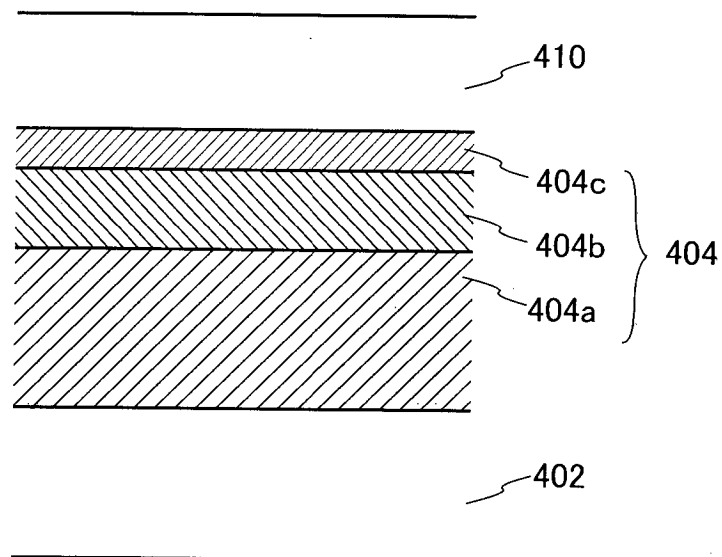


图 10

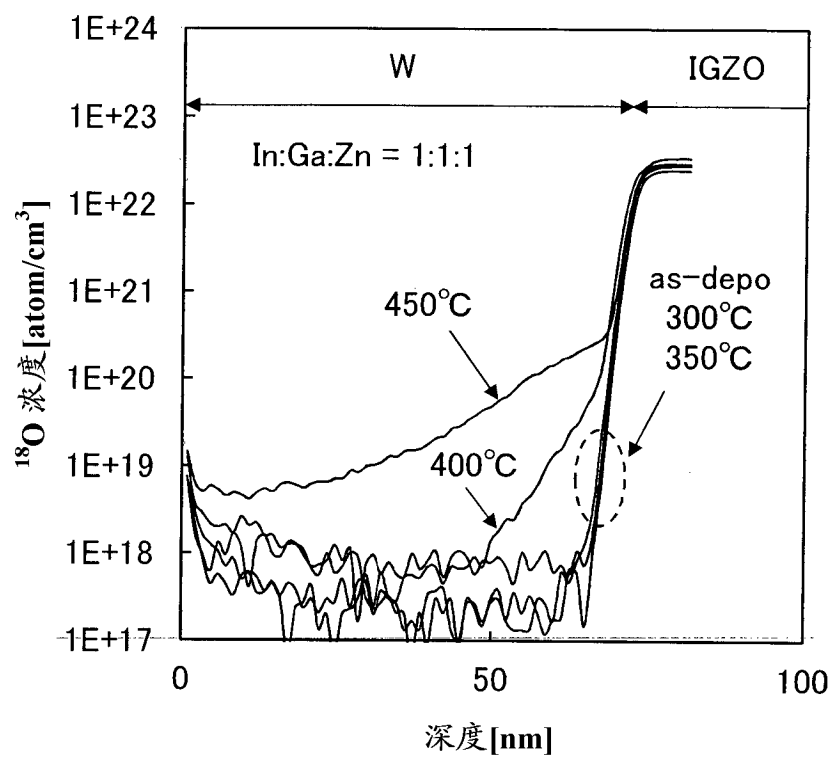


图 11A

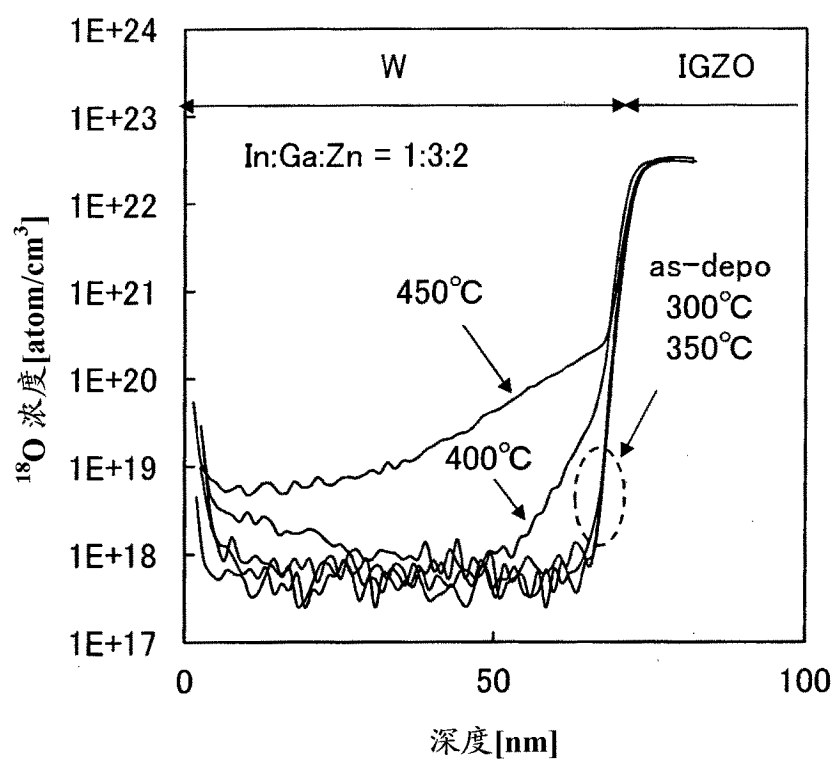


图 11B

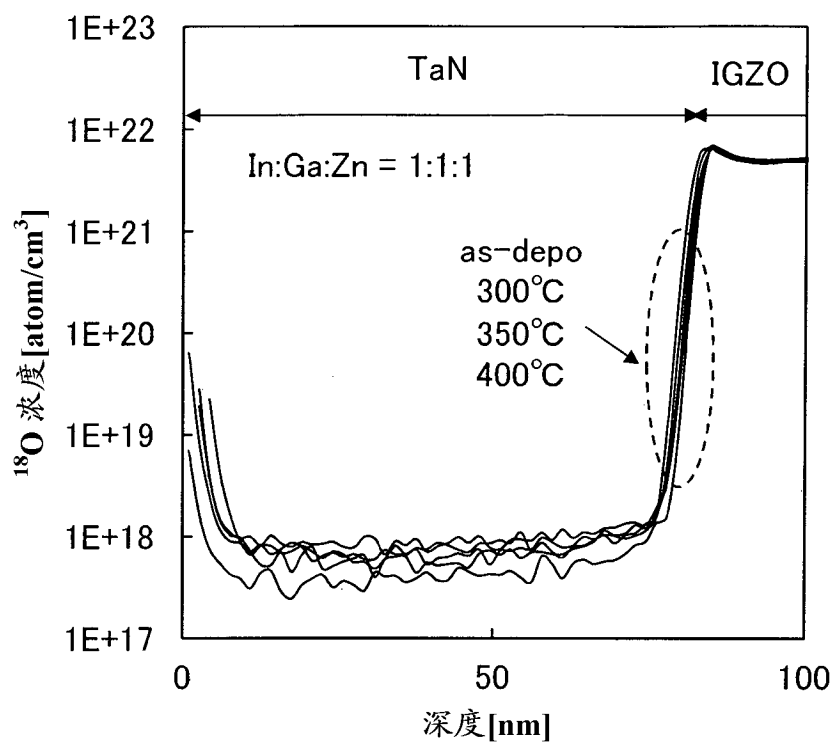


图 12A

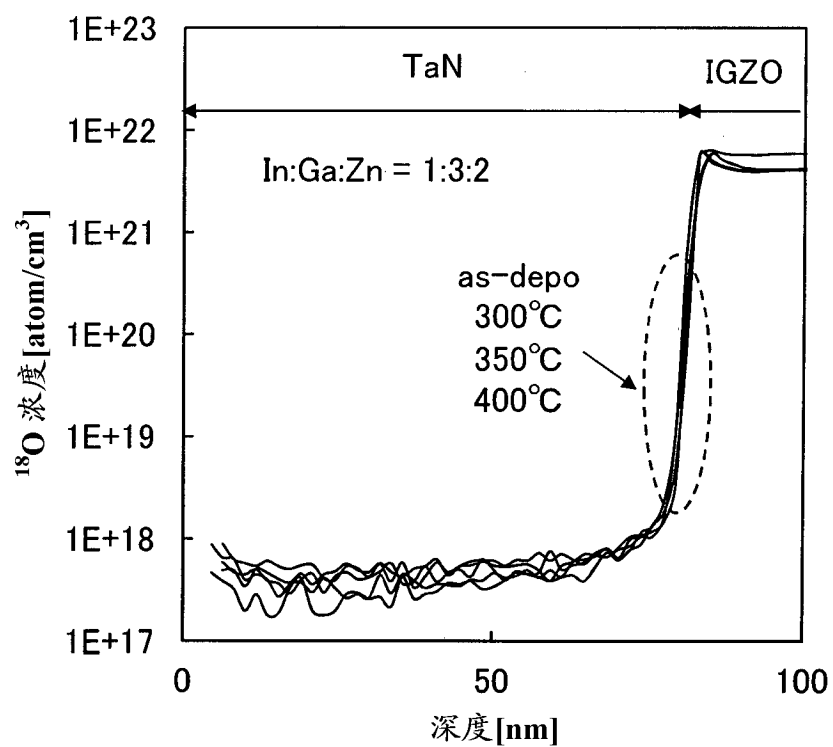


图 12B

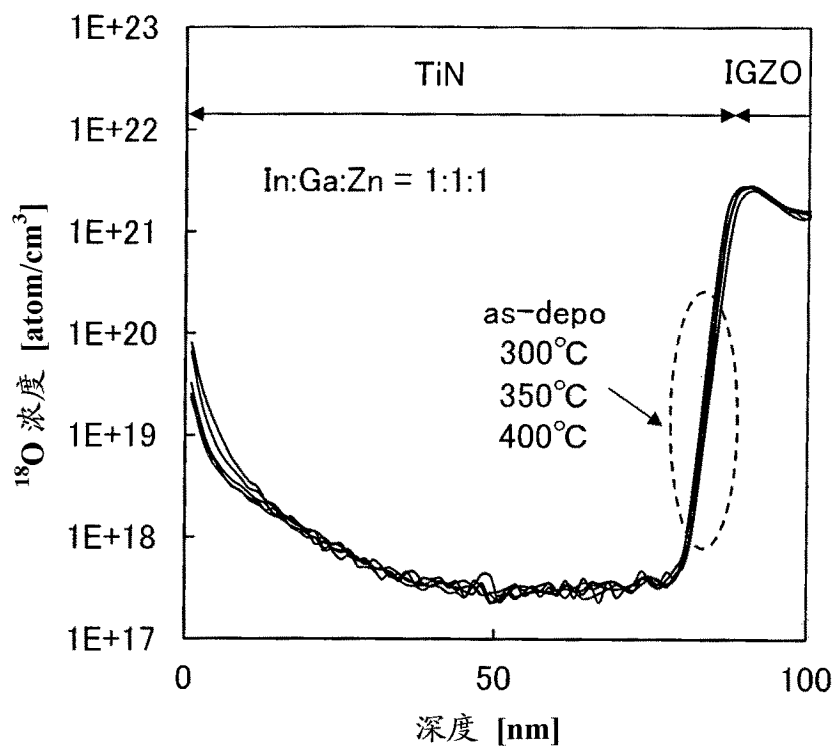


图 13A

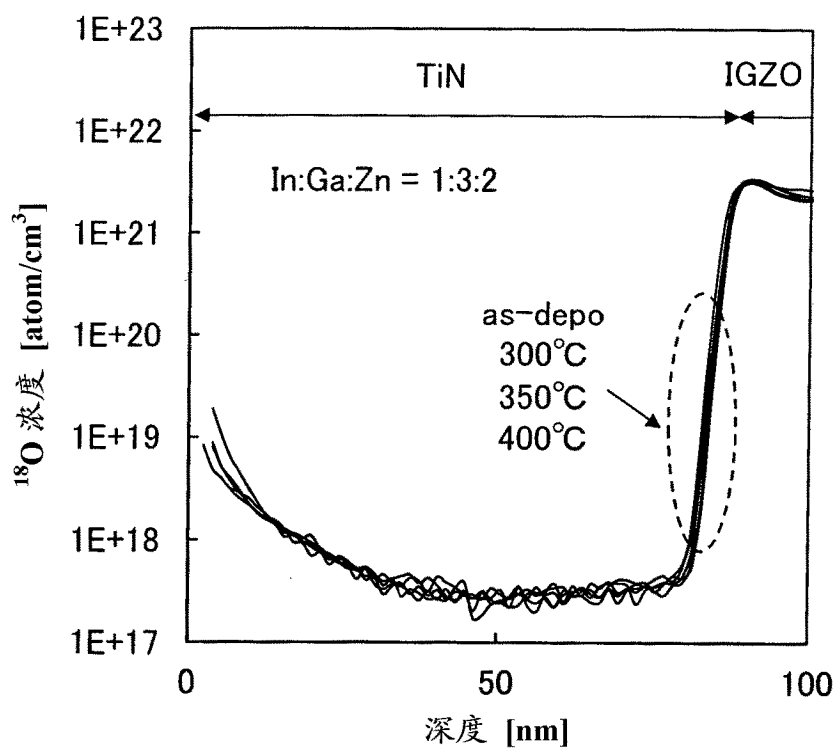


图 13B

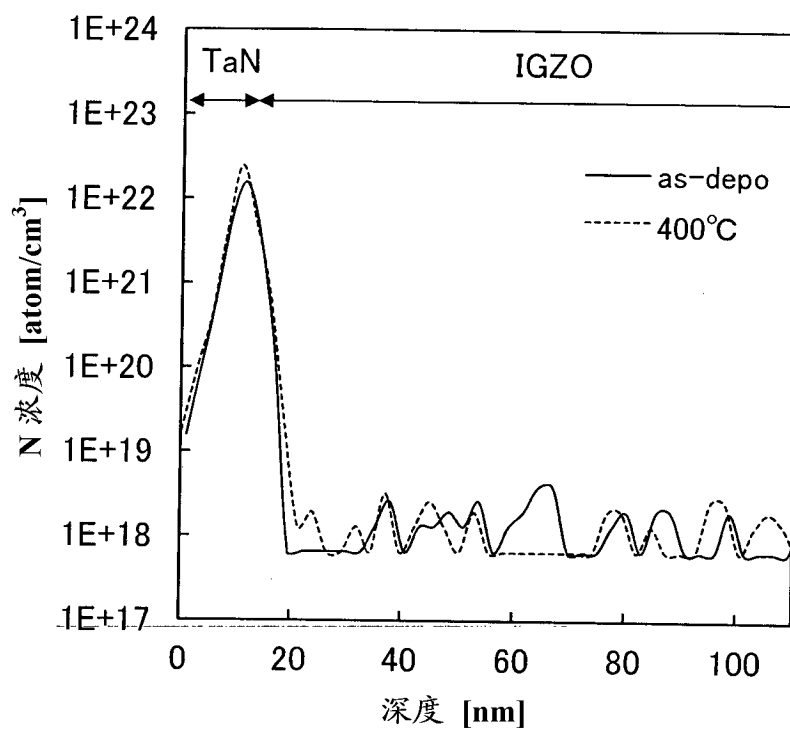


图 14A

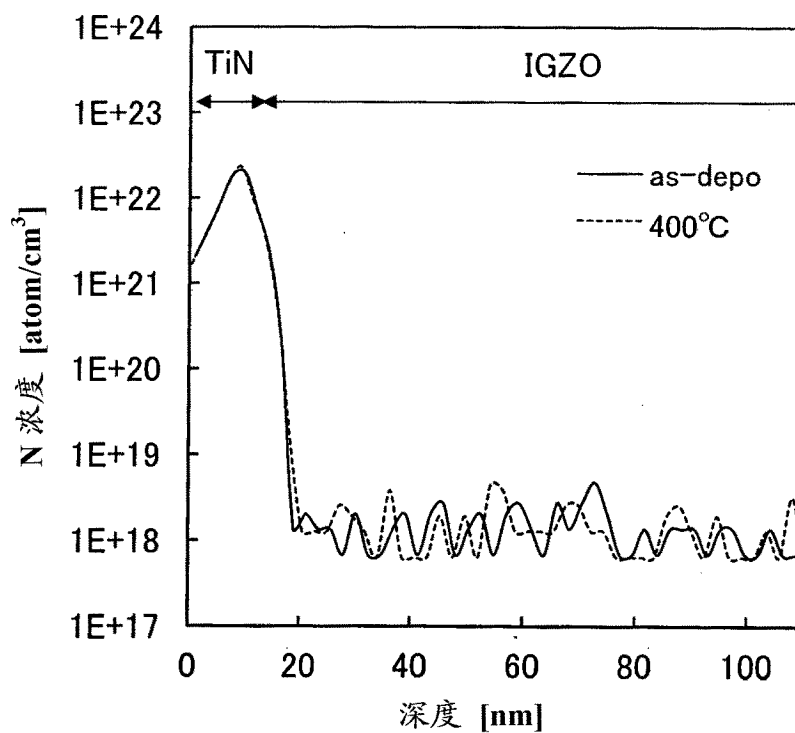


图 14B

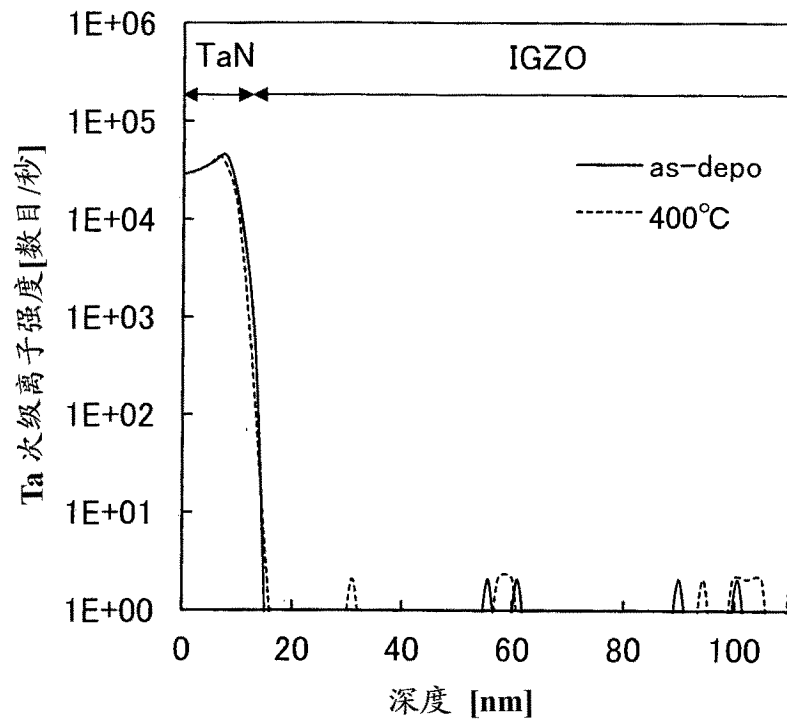


图 15A

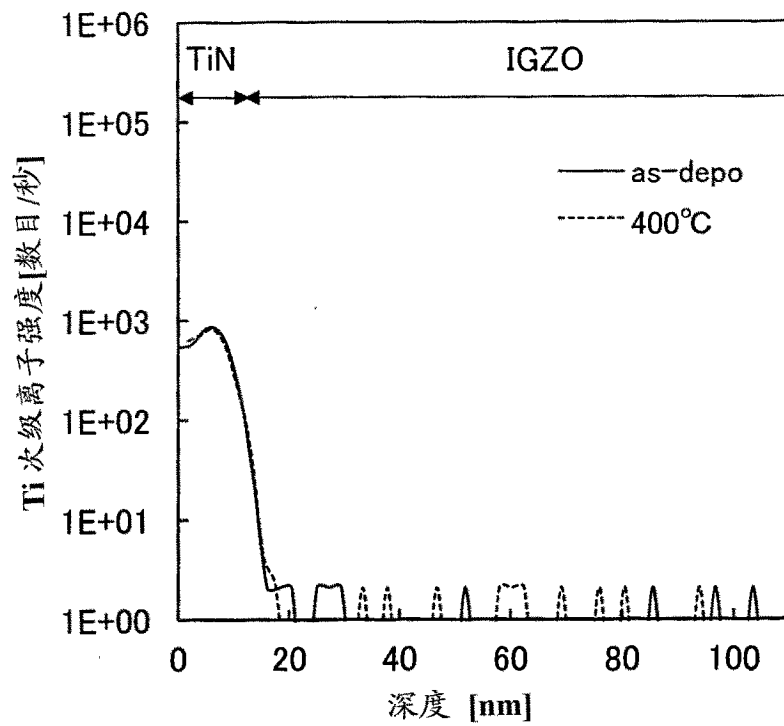


图 15B

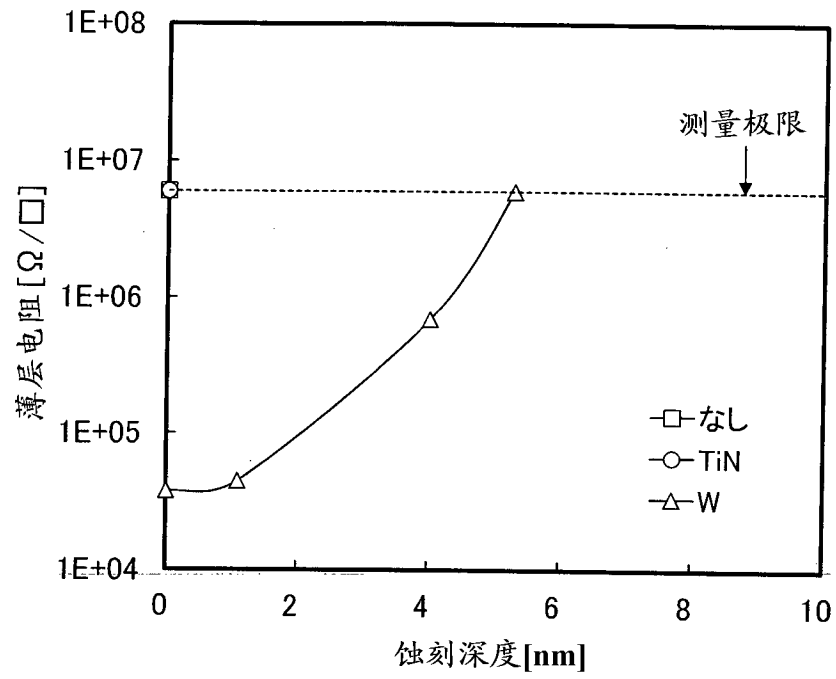


图 16

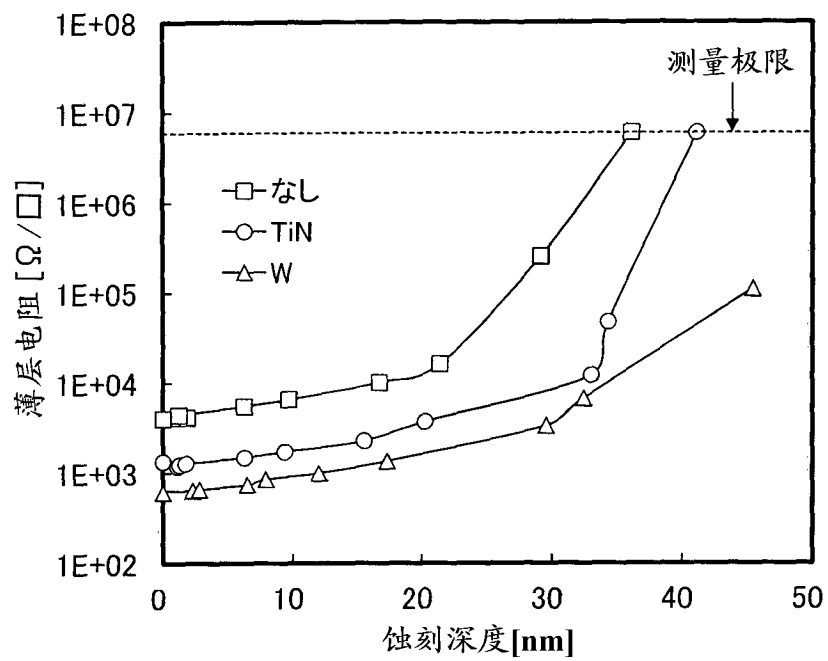


图 17A

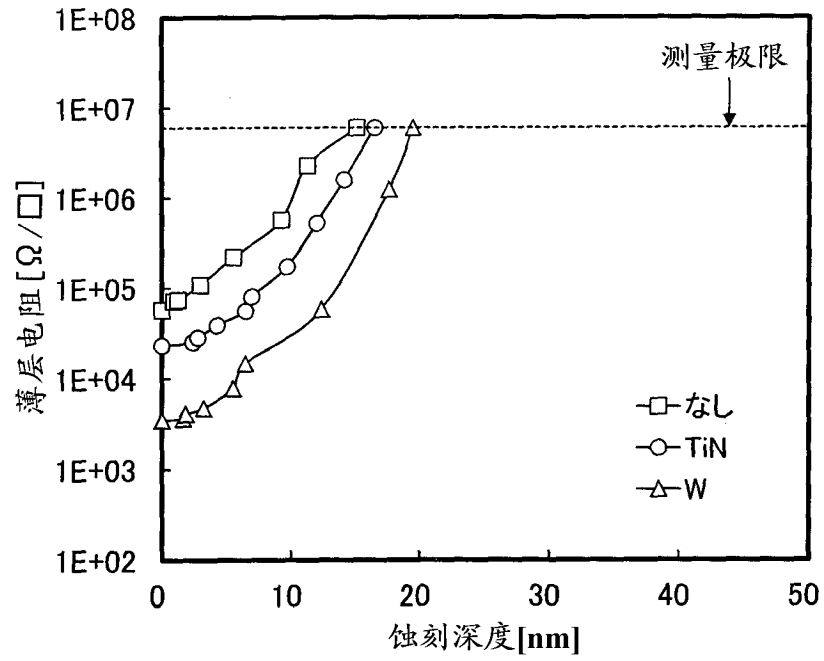


图 17B

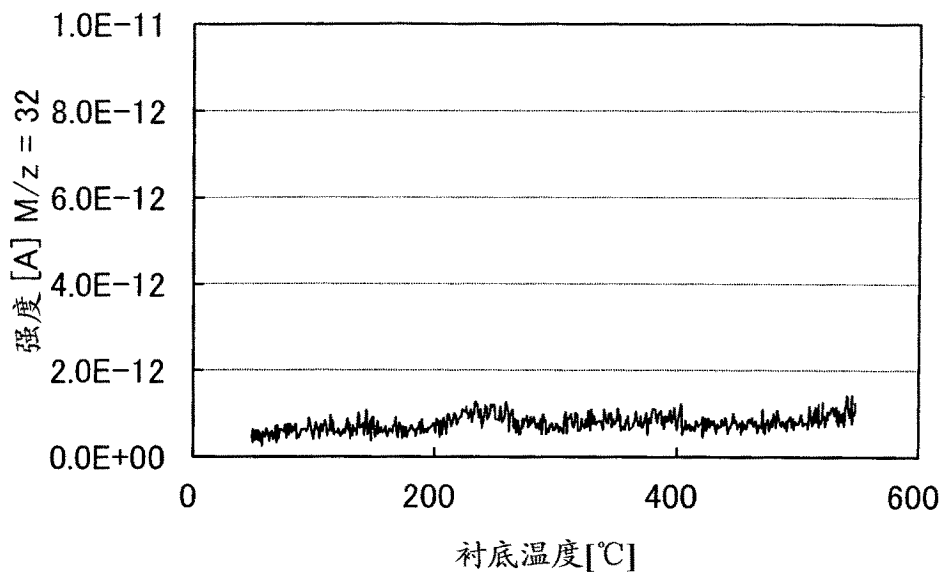


图 18A

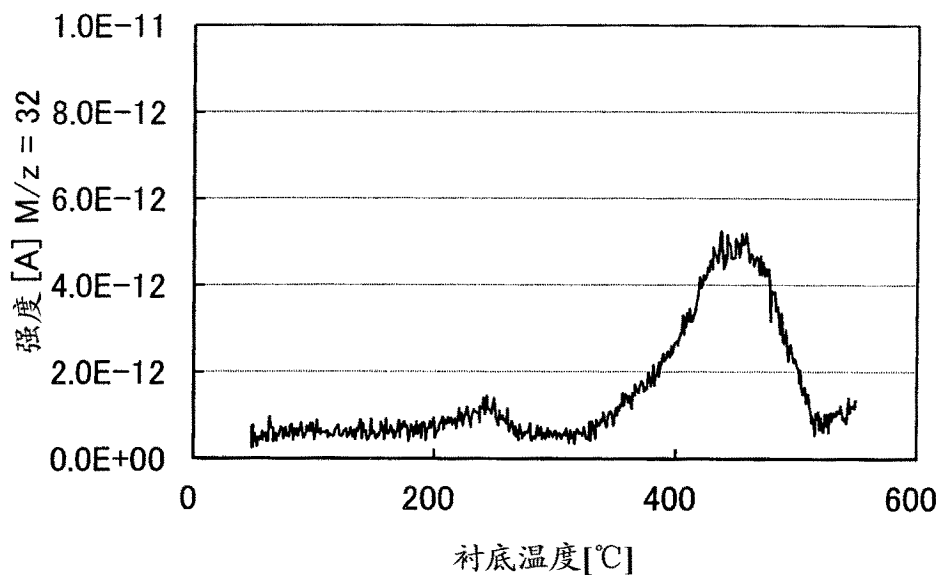


图 18B

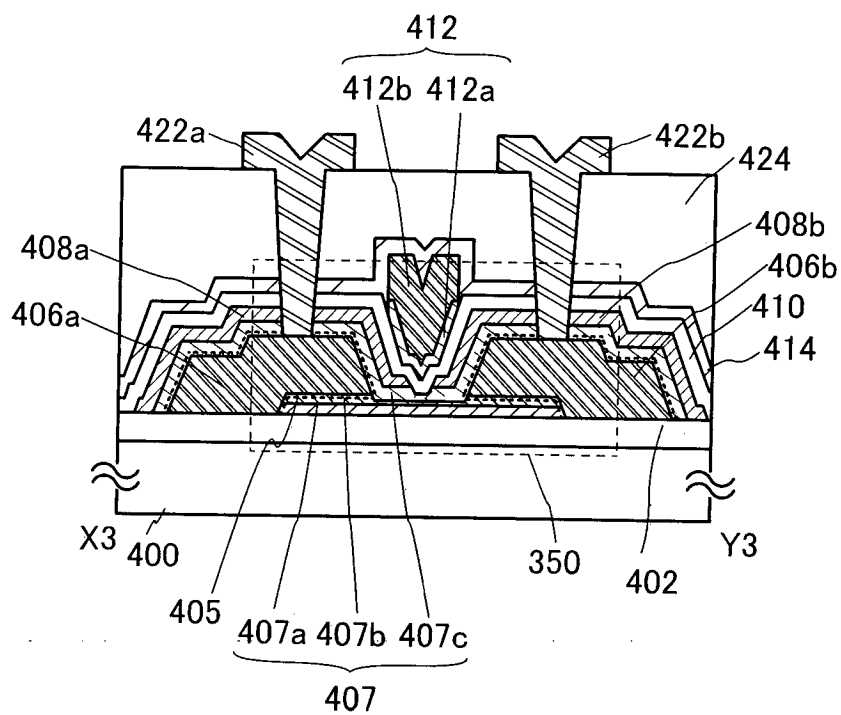


图 19

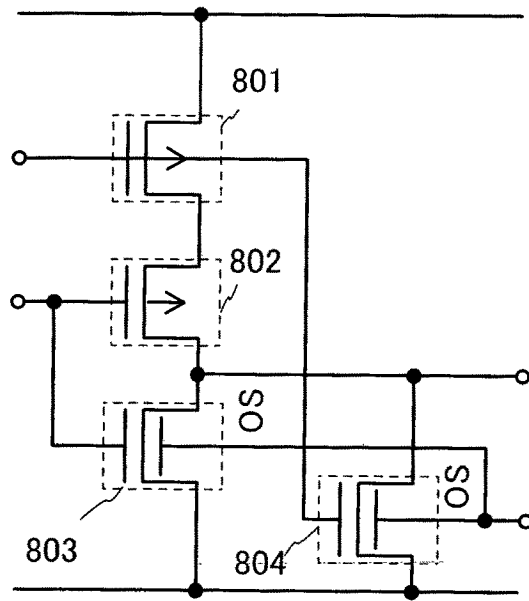


图 20A

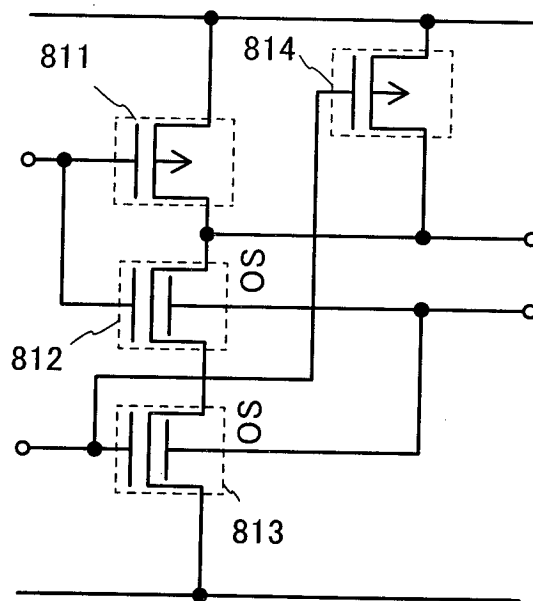


图 20B

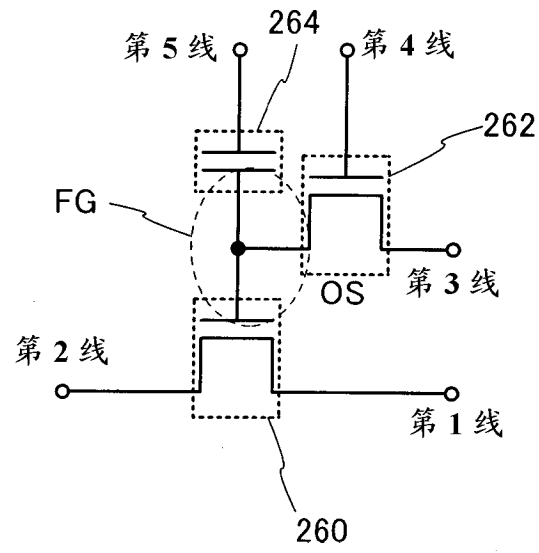


图 21A

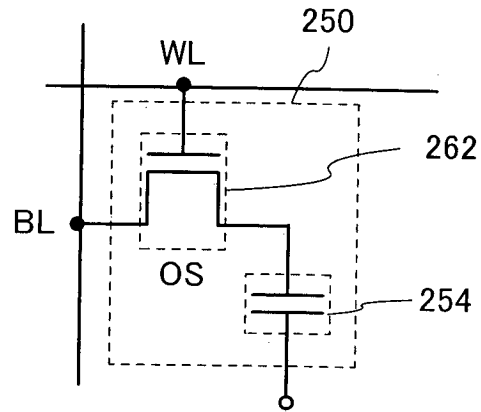


图 21B

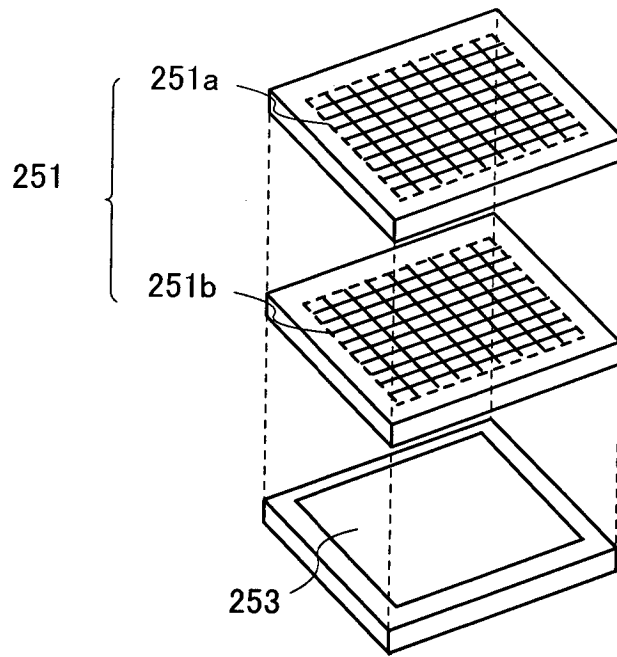


图 21C

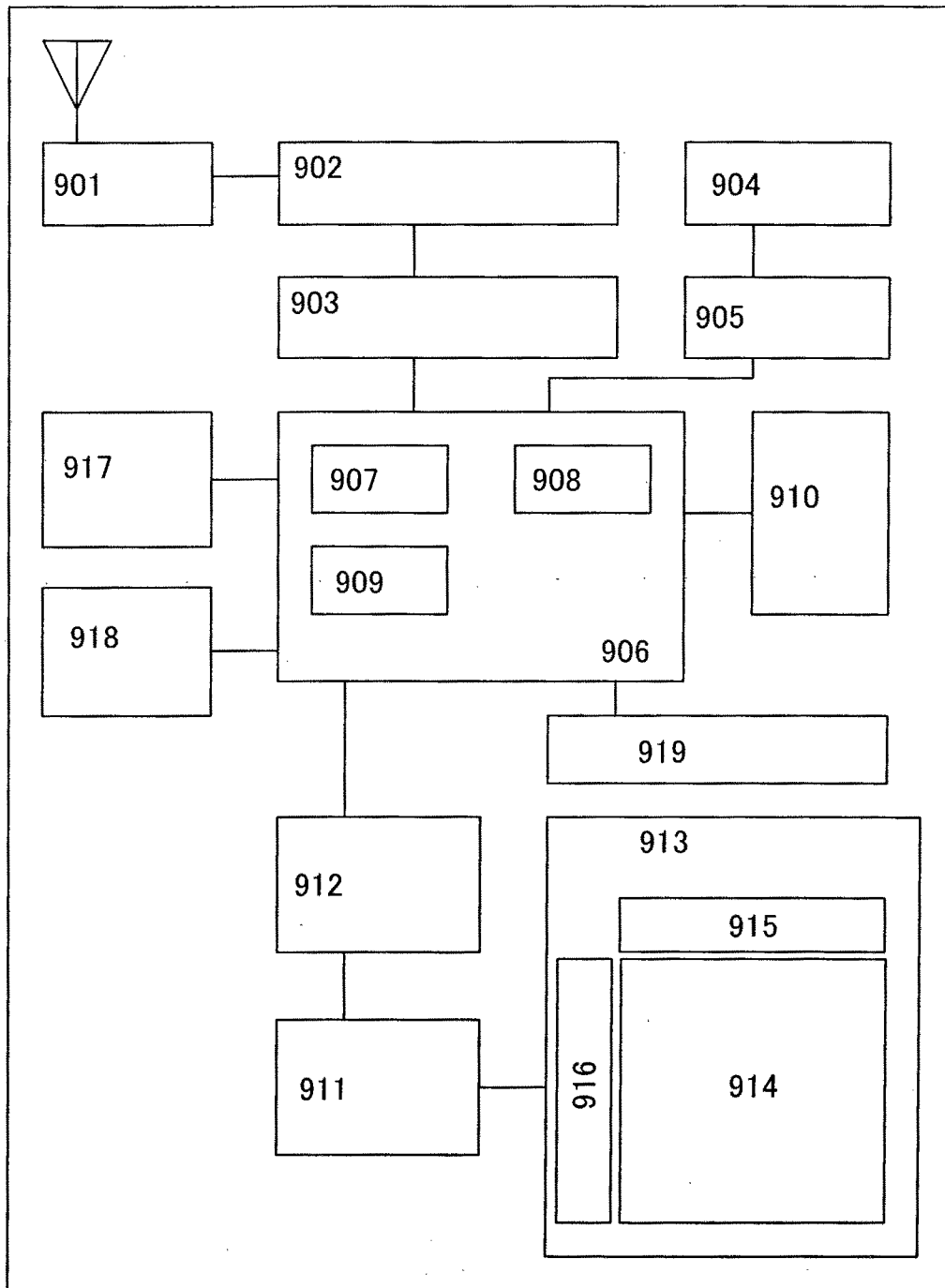


图 22

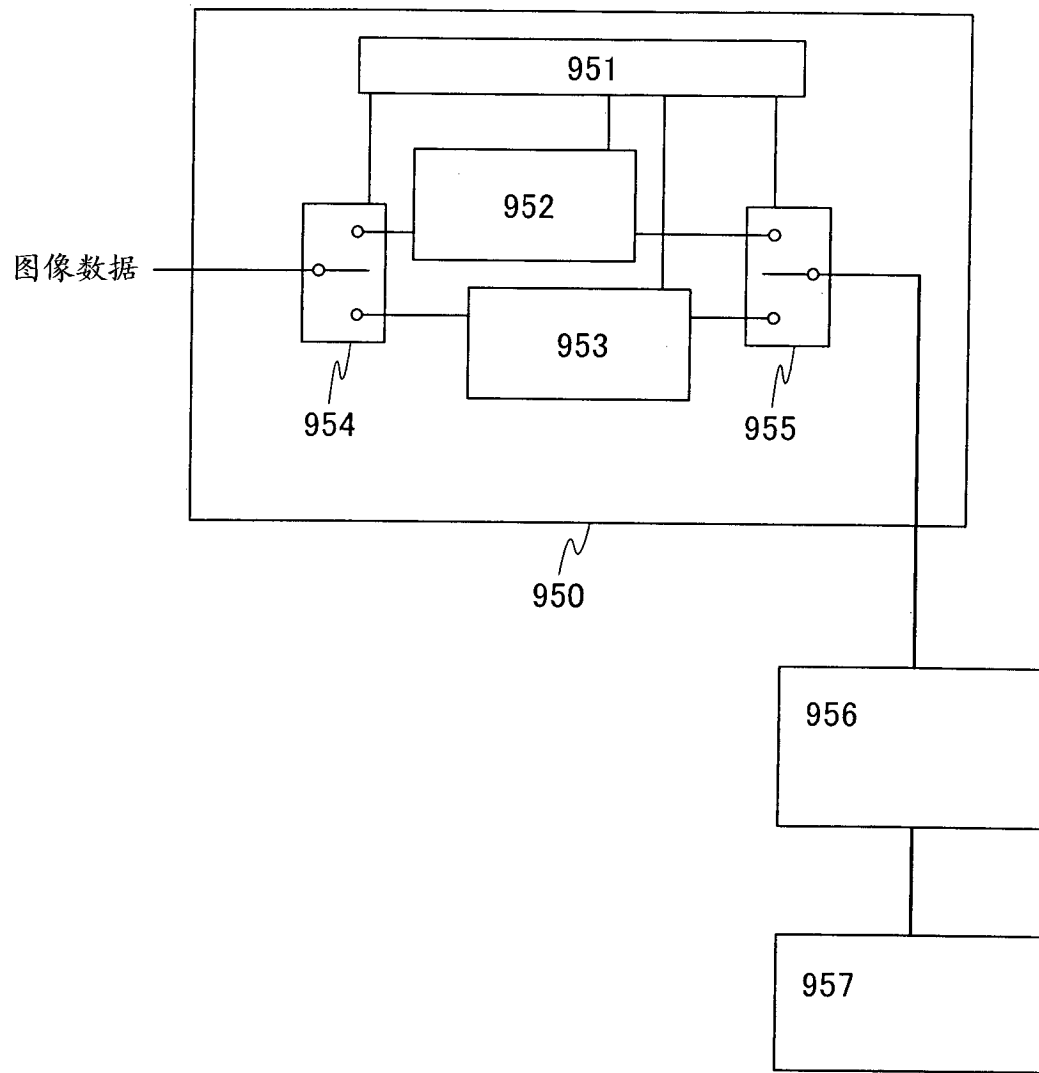


图 23

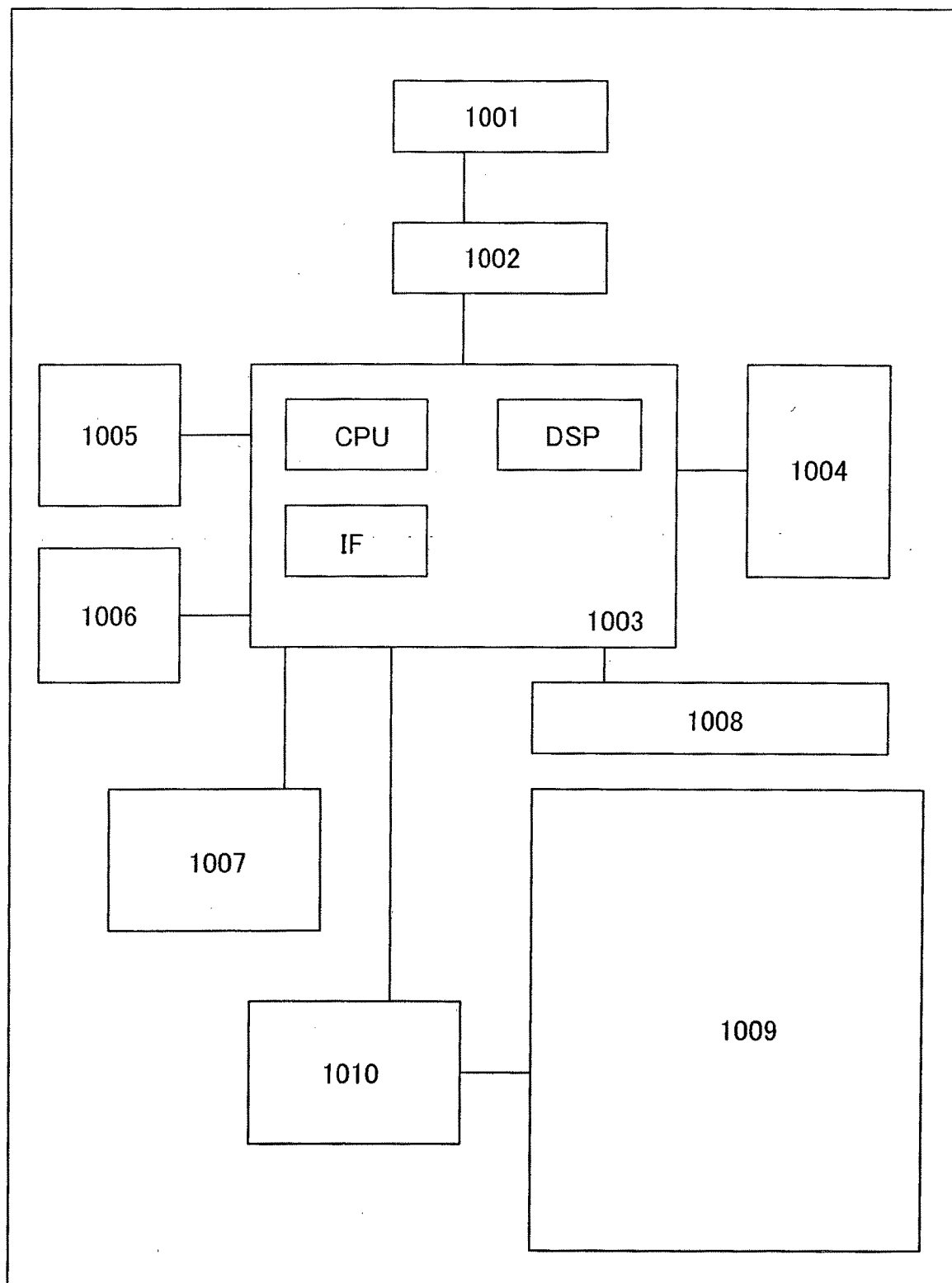


图 24

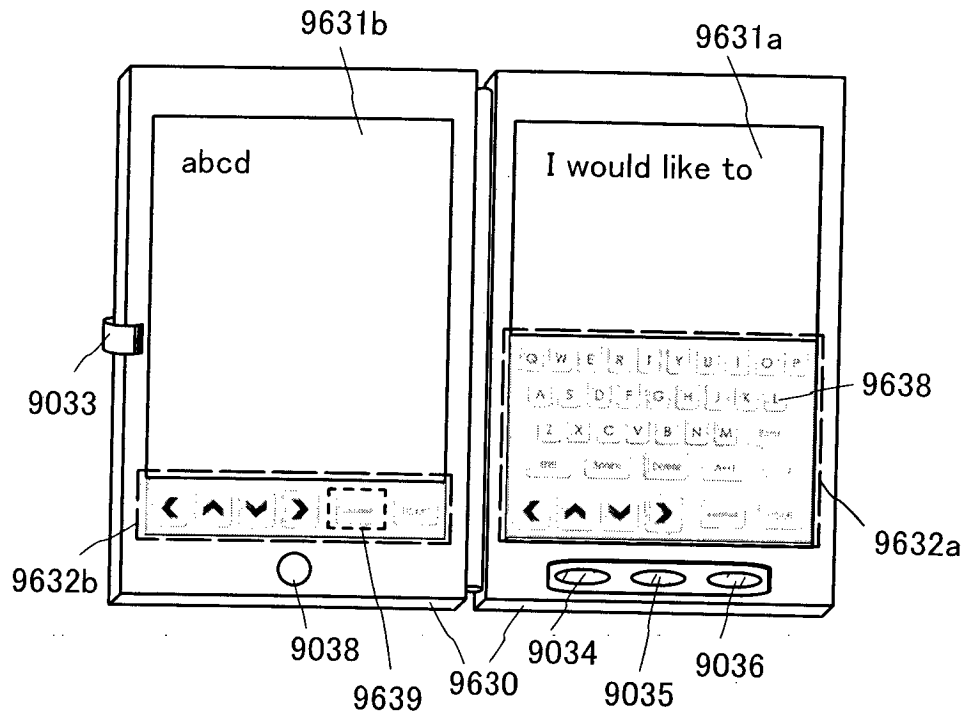


图 25A

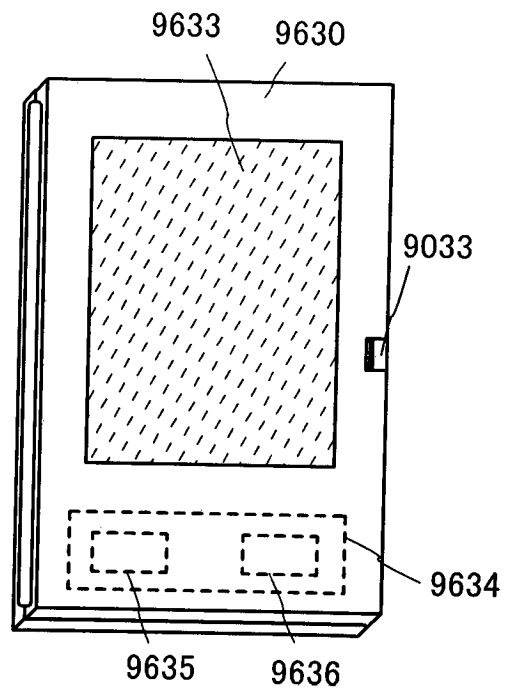


图 25B