

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2009-259225

(P2009-259225A)

(43) 公開日 平成21年11月5日 (2009.11.5)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 12/16 (2006.01)	G O 6 F 12/16 3 2 O M	2 C 0 5 6
B 4 1 J 2/175 (2006.01)	B 4 1 J 3/04 1 O 2 Z	5 B 0 1 8

審査請求 未請求 請求項の数 11 O L (全 31 頁)

(21) 出願番号 特願2009-50961 (P2009-50961)
 (22) 出願日 平成21年3月4日 (2009.3.4)
 (31) 優先権主張番号 特願2008-69078 (P2008-69078)
 (32) 優先日 平成20年3月18日 (2008.3.18)
 (33) 優先権主張国 日本国 (JP)

(特許庁注：以下のものは登録商標)

1. E E P R O M

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 110000028
 特許業務法人明成国際特許事務所
 (72) 発明者 中野 修一
 長野県諏訪市大和三丁目3番5号 セイコ
 ーエプソン株式会社内
 Fターム (参考) 2C056 EB20 EB29 EC19
 5B018 GA01 HA12 HA26 NA06

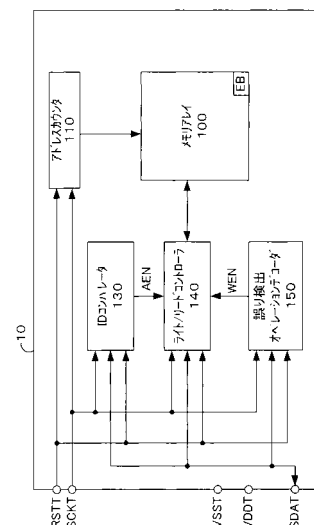
(54) 【発明の名称】 液体収容体

(57) 【要約】

【課題】 記憶装置に格納されているデータの信頼性の向上向上させること。

【解決手段】 半導体記憶装置10は、書き込みデータを受信すると、誤り検出オペレーションデコーダ150によって書き込みデータに誤りが発生しているか否かを判定する。誤り検出オペレーションデコーダ150は、書き込みデータに誤りを検出すると、ライト／リードコントローラ140に対して書き込み許可信号WENを送信しない。この結果、誤りが検出された書き込みデータはメモリアレイ100に書き込まれない。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

記憶装置を備える液体収容体であって、
データを記憶する記憶素子と、
前記記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、
前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備える液体収容体。

10

【請求項 2】

請求項 1 に記載の液体収容体はさらに、
前記誤り検出の結果を記憶するための誤り検出結果記憶部を備える液体収容体。

【請求項 3】

請求項 1 または 2 に記載の液体収容体において、
前記記憶素子はシーケンシャルアクセス型の記憶素子であり、
前記読み書き制御部は、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、以降受信する書き込みデータを前記記憶素子に対して書き込まない液体収容体。

20

【請求項 4】

請求項 1 または 2 に記載の液体収容体において、
前記記憶素子はシーケンシャルアクセス型の記憶素子であり、
前記読み書き制御部は、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、以降受信する書き込みデータであって前記誤り検出回路によって誤りが検出されない書き込みデータについては前記記憶素子に対する書き込みを実行する液体収容体。

【請求項 5】

請求項 1 から 4 のいずれに記載の液体収容体において、
前記書き込みデータには書き込みコマンドおよび誤り検出符号が付されており、
前記誤り検出回路は前記書き込みコマンドに基づいてデータが前記記憶素子に書き込まれるべき前記書き込みデータであると判断し、前記誤り検出符号を用いて前記受信した書き込みデータの誤りを検出する液体収容体。

30

【請求項 6】

記憶装置を備える液体収容体と、記憶装置に対するデータの書き込みおよび読み出しを行う計算機とを備えるシステムであって、
前記計算機は、
前記記憶装置に対して書き込まれるべきデータに対して誤り符号を付して書き込みデータを生成する誤り符号付与回路と、
前記書き込みデータを前記記憶装置に対して送信する送信部とを備え、
前記液体収容体は、
データを記憶する記憶素子と、
前記書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、
前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備えるシステム。

40

【請求項 7】

請求項 6 に記載のシステムにおいて、
前記液体収容体はさらに、前記誤り検出の結果を記憶するための誤り検出結果記憶部を

50

備え、

前記計算機は前記記憶装置における前記誤り検出結果記憶部に記憶されている結果が誤り検出を示している場合には、前記記憶装置に対して書き込み可能な全ての書き込みデータを前記記憶装置に対して送信するシステム。

【請求項 8】

請求項 6 に記載のシステムにおいて、

前記記憶装置の記憶素子はシーケンシャルアクセス型の記憶素子であり、

前記計算機の前記符号付与回路はさらに、誤った符号を有する送り用符号化データを生成可能であり、

前記計算機は、前記記憶装置における所望のアドレスに至るまでは前記送り用符号化データを前記記憶装置に対して送信し、前記記憶装置における所望のアドレスに至ると前記書き込みデータを前記記憶装置に対して送信するシステム。

【請求項 9】

液体収容体に備えられている記憶装置に対するアクセス制御方法であって、

前記記憶装置が有する記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出し、

前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しないアクセス制御方法。

【請求項 10】

記憶装置であって、

データを記憶する記憶素子と、

前記記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、

前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備える記憶装置。

【請求項 11】

回路基板であって、

データを記憶する記憶素子と、

前記記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、

前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備える半導体装置と、

前記半導体装置と電氣的に接続されている 1 または複数の外部端子とを備える回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置を備える液体収容体および液体収容体に備えられた記憶装置に対するアクセス制御方法に関する。

【背景技術】

【0002】

記憶装置を備える液体収容体、例えば、インクカートリッジが実用化されている（例えば、特許文献 1 参照）。記憶装置に記憶されるデータの信頼性を高めるために、例えば、記憶装置に対するデータの書き込みの際に誤り訂正符号を生成して記憶装置内に格納しておき、記憶装置からデータを読み出す際に格納されている誤り訂正符号を用いて読み出し

10

20

30

40

50

たデータに誤りが発生しているか否かを検出する技術が提案されている（例えば、特許文献2参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-14870号公報

【特許文献2】特開平2-68642号公報

【特許文献3】特開平5-298193号公報

【0004】

しかしながら、記憶装置内に誤り訂正符号を格納する場合には、記憶装置の記憶容量の増大、すなわち、記憶装置の大きさの増大を招くため、小容量の記憶装置ではコストが嵩むという問題がある。また、近年、記憶装置内に格納されているデータの信頼性は向上しており、特に、通信経路にメカニカル接点をもつシステムにおいてはデータに誤りが発生する原因は、主に接点不良、ノイズといった通信経路上の要因に基づいている。

【0005】

なお、上記課題は、液体収容体に備えられている記憶装置のみならず、単体で用いられている記憶装置においても同様に発生し得る課題である。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上記課題を解決するためになされたものであり、記憶装置に格納されているデータの信頼性の向上を目的とする。

【課題を解決するための手段】

【0007】

上記課題の少なくとも一部を解決するために、本発明は以下の種々の態様を採る。

【0008】

第1の態様は、記憶装置を備える液体収容体を提供する。第1の態様に係る液体収容体は、データを記憶する記憶素子と、前記記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備える。

【0009】

第1の態様に係る液体収容体によれば、受信した書き込みデータの誤りが検出された場合には、記憶素子に対する受信した書き込みデータの書き込みを実行しないので、記憶装置に格納されているデータの信頼性を向上させることができる。

【0010】

第1の態様に係る液体収容体はさらに、前記誤り検出の結果を記憶するための誤り検出結果記憶部を備えても良い。この場合には、記憶装置に書き込まれているデータに対する確認処理を行うことなく、誤り検出結果記憶部に基づいて書き込みデータの誤りの発生を検出することができる。

【0011】

第1の態様に係る液体収容体において、前記記憶素子はシーケンシャルアクセス型の記憶素子であり、前記読み書き制御部は、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、以降受信する書き込みデータを前記記憶素子に対して書き込まなくても良い。この場合には、誤った書き込みデータの書き込みを防止、抑制することができる。

【0012】

第1の態様に係る液体収容体において、前記記憶素子はシーケンシャルアクセス型の記憶素子であり、前記読み書き制御部は、前記誤り検出回路によって前記受信した書き込み

10

20

30

40

50

データの誤りが検出された場合には、以降受信する書き込みデータであって前記誤り検出回路によって誤りが検出されない書き込みデータについては前記記憶素子に対する書き込みを実行しても良い。この場合には、誤った書き込みデータの書き込みを防止、抑制しつつ、書き込み処理を実行することができる。

【0013】

第1の態様に係る液体収容体において、前記書き込みデータには書き込みコマンドおよび誤り検出符号が付されており、前記誤り検出回路は前記書き込みコマンドに基づいてデータが前記記憶素子に書き込まれるべき前記書き込みデータであると判断し、前記誤り検出符号を用いて前記受信した書き込みデータの誤りを検出しても良い。この場合には、書き込みコマンドが付されているデータについて誤りを検出することができる。

10

【0014】

第2の態様は、記憶装置を備える液体収容体と、記憶装置に対するデータの書き込みおよび読み出しを行う計算機とを備えるシステムを提供する。第2の態様に係るシステムにおいて、

前記計算機は、前記記憶装置に対して書き込まれるべきデータに対して誤り符号を付して書き込みデータを生成する誤り符号付与回路と、前記書き込みデータを前記記憶装置に対して送信する送信部とを備え、

前記液体収容体は、データを記憶する記憶素子と、前記書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備える。

20

【0015】

第1の態様に係るシステムによれば、計算機によって書き込まれるべきデータに対して誤り符号が付され、液体収容体による、受信した書き込みデータの誤りが検出された場合には、記憶素子に対する書き込みデータの書き込みが実行されないので、記憶装置に格納されているデータの信頼性を向上させることができる。

【0016】

第2の態様に係るシステムにおいて、前記液体収容体はさらに、前記誤り検出の結果を記憶するための誤り検出結果記憶部を備え、前記計算機は前記記憶装置における前記誤り検出結果記憶部に記憶されている結果が誤り検出を示している場合には、前記記憶装置に対して書き込み可能な全ての書き込みデータを前記記憶装置に対して送信しても良い。この場合には、記憶装置に書き込まれているデータの確認処理を行うことなく、記憶装置に格納されているデータを正しいデータに書き換えることができる。

30

【0017】

第2の態様に係るシステムにおいて、前記記憶装置の記憶素子はシーケンシャルアクセス型の記憶素子であり、前記計算機の前記符号付与回路はさらに、誤った符号を有する送り用符号化データを生成可能であり、前記計算機は、前記記憶装置における所望のアドレスに至るまでは前記送り用符号化データを前記記憶装置に対して送信し、前記記憶装置における所望のアドレスに至ると前記書き込みデータを前記記憶装置に対して送信する送信しても良いとするシステム。この場合には、シーケンシャルアクセス型の記憶素子を備える記憶装置における、所望のアドレスに対する書き込み処理を迅速化できる。

40

【0018】

第3の態様は、液体収容体に備えられている記憶装置に対するアクセス制御方法を提供する。第3の態様に係るアクセス制御方法は、前記記憶装置が有する記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出し、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しないことを備える。

【0019】

50

第3の態様に係るアクセス制御方法によれば、受信した書き込みデータの誤りが検出された場合には、記憶素子に対する受信した書き込みデータの書き込みを実行しないので、記憶装置に格納されているデータの信頼性を向上させることができる。また、第3の態様は、第1の態様と同様にして種々の態様にて実現され得る。さらに、第3の態様は、コンピュータプログラム、CD、DVD、HDDといったコンピュータ読み取り可能媒体に記録されたコンピュータプログラムとしても実現され得る。

【0020】

第4の態様は、記憶装置を提供する。第4の態様に係る記憶装置は、データを記憶する記憶素子と、前記記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備える。

10

【0021】

第4の態様に係る記憶装置によれば、受信した書き込みデータの誤りが検出された場合には、記憶素子に対する受信した書き込みデータの書き込みを実行しないので、記憶装置に格納されているデータの信頼性を向上させることができる。

【0022】

第5の態様は、回路基板を提供する。第5の態様に係る回路基板は、データを記憶する記憶素子と、前記記憶素子に対して書き込まれるべき書き込みデータを受信した場合に、前記受信した書き込みデータの誤りを検出する誤り検出回路と、前記記憶素子に対するデータの読み書きを制御する読み書き制御部であって、前記誤り検出回路によって前記受信した書き込みデータの誤りが検出された場合には、前記記憶素子に対する前記受信した書き込みデータの書き込みを実行しない読み書き制御部とを備える半導体装置と、

20

前記半導体装置と電氣的に接続されている1または複数の外部端子とを備える。

【0023】

第5の態様に係る回路基板によれば、受信した書き込みデータの誤りが検出された場合には、記憶素子に対する受信した書き込みデータの書き込みを実行しないので、記憶装置に格納されているデータの信頼性を向上させることができる。

【図面の簡単な説明】

30

【0024】

【図1】本実施例に係る半導体記憶装置の機能的な内部構成を示すブロック図である。

【図2】本実施例に係る半導体記憶装置に対して入力される書き込みデータ列の一例を模式的に示す説明図である。

【図3】本実施例に係る計算機としてのホストコンピュータと半導体記憶装置を含むシステムを模式的に示す説明図である。

【図4】本実施例に係る半導体記憶装置に対するアクセス制御時に半導体記憶装置において実行される処理ルーチンを示すフローチャートである。

【図5】本実施例に係る半導体記憶装置に対するアクセス制御時にホストコンピュータにおいて実行される処理ルーチンを示すフローチャートである。

40

【図6】本実施例に係る半導体記憶装置に対するアクセス制御時にホストコンピュータにおいて誤り検出結果を利用して実行される処理ルーチンを示すフローチャートである。

【図7】本実施例に係る半導体記憶装置に対するアクセス制御時にホストコンピュータにおいて所望のアドレスに対する迅速な書き込みを実現するために実行される処理ルーチンを示すフローチャートである。

【図8】液体収容体の一例を示す説明図である。

【図9】第2の実施例に係る半導体装置の機能的な内部構成を示すブロック図である。

【図10】液体収容体としてのインクカートリッジの概略構成を示す説明図である。

【図11】本実施例に係る印刷装置の構成および印刷装置とインクカートリッジとの接続態様を示す説明図である。

50

【図 1 2】本実施例に係る半導体記憶装置に対するアクセス制御時に半導体装置において実行される処理ルーチンを示すフローチャートである。

【図 1 3】本実施例に係る半導体装置に対する書き込みアクセス時にホストコンピュータとしての印刷装置において実行される処理ルーチンを示すフローチャートである。

【図 1 4】本実施例に係る半導体装置に対する書き込み時にデータの誤りがあって書き込みがされていないという誤り検出のためにアクセス時に印刷装置において誤り検出結果を利用して実行される処理ルーチンを示すフローチャートである。

【発明を実施するための形態】

【0025】

・第 1 の実施例：

以下、第 1 の実施例に係る半導体記憶装置および半導体記憶装置におけるアクセス制御方法について図面を参照しつつ、実施例に基づいて説明する。

【0026】

・半導体記憶装置の構成

図 1 および図 2 を参照して本実施例に係る半導体記憶装置の構成について説明する。図 1 は本実施例に係る半導体記憶装置の機能的な内部構成を示すブロック図である。図 2 は本実施例に係る半導体記憶装置に対して入力される書き込みデータ列の一例を模式的に示す説明図である。

【0027】

本実施例に係る半導体記憶装置 10 は、外部からアクセス先のアドレスを指定するアドレスデータを入力する必要のないシーケンシャルアクセス方式の記憶装置である。半導体記憶装置 10 は、メモリアレイ 100、アドレスカウンタ 110、ID コンパレータ 130、ライト／リードコントローラ 140、誤り検出オペレーションデコーダ 150 を備えている。これら各回路は、双方向バス式の信号線によって接続されている。なお、少なくとも ID コンパレータ 130、ライト／リードコントローラ 140、誤り検出オペレーションデコーダ 150 をメモリ制御部と総称することがある。

【0028】

メモリアレイ 100 は、データの電氣的な消去、書き込みが可能な E E P R O M の特性を有する記憶領域である。メモリアレイ 100 には、1 ビットの情報を格納するデータセル（メモリセル）が複数備えられている。メモリアレイ 100 は、例えば、1 行に 8 アドレス（データ 8 ビット分のアドレス）を所定のアドレス単位として備えており、1 列に 16 個のデータセル（16 ワード）が配置されてる場合には、16 ワード×8 ビット（128 ビット）のデータを格納することができる。メモリアレイ 100 の一部には、誤り検出処理の結果、誤りが検出されたか否かを示す誤り検出結果記憶領域 E B が備えられている。誤り検出結果記憶領域 E B は、例えば、1 bit の領域であり、ライト／リードコントローラ 140 を介して、誤り検出オペレーションデコーダ 150 によって、書き込みデータに誤りが検出された場合には「1」、書き込みデータに誤りが検出されなかった場合には「0」が記録される。なお、誤り検出結果記憶領域 E B は、メモリアレイ 100 とは別の記憶装置、例えば、レジスタとして備えられていても良い。誤り検出結果記憶領域 E B は、誤りが検出された書き込みデータの書き込み手順が完了すると「0」にリセットされる。

【0029】

本実施例におけるメモリアレイ 100 は、上述のように 8 ビットを単位とする複数の行を備えているが、各行は独立したデータセル列ではなく、いわば、1 本のデータセル列を 8 ビット単位で折り曲げることによって実現されている。すなわち、便宜的に 9 ビット目を含む行を 2 バイト目、17 ビット目を含む行を 3 バイト目と呼んでいるに過ぎない。この結果、メモリアレイ 100 における所望のアドレスにアクセスするためには、先頭から順次アクセスする、いわゆる、シーケンシャルアクセス方式によるアクセスが必要となり、ランダムアクセス方式の場合に可能な所望のアドレスに対する直接的なアクセスは不可能となる。

10

20

30

40

50

【0030】

メモリアレイ100における各データセルには、ワード線とビット（データ）線が接続されており、対応するワード線（行）を選択（選択電圧を印加）して、対応するビット線に書き込み電圧を印加することによってデータセルにデータが書き込まれる。また、対応するワード線（行）を選択し、対応するビット線をライト／リードコントローラ140と接続し、電流の検出の有無によってデータセルのデータ（1または0）が読み出される。なお、本実施例における所定アドレス単位とは、1本のワード線に書き込み電圧を加えることにより書き込みが可能なアドレス数（データセル数）であるということができる。

【0031】

メモリアレイ100は、アドレスカウンタ110によりカウントされた外部クロックパルス数に応じて順次、列（ビット線）をライト／リードコントローラ140と接続する図示しないカラム選択回路を備えている。メモリアレイ100はまた、アドレスカウンタ110によりカウントされた外部クロックパルス数に応じて順次、行（ワード線）に選択電圧を印加する図示しないロー選択回路を備えている。以上のように、本実施例に係る半導体記憶装置10では、アドレスデータを用いたメモリアレイ100に対するアクセスは実行されず、専らアドレスカウンタ110によってカウントされたクロックパルス数にしたがって、所望のアドレスに対するアクセスが実行される。

【0032】

アドレスカウンタ110は、リセット信号端子RSTT、クロック信号端子SCKT、ライト／リードコントローラ140、メモリアレイ100と接続されている。アドレスカウンタ110は、リセット信号端子RSTTを介して入力されるリセット信号を0（またはロー）にすることにより初期値にリセットされ、リセット信号が1とされた後にクロック信号端子SCKTを介して入力されるクロックパルスの立ち下がりに同期してクロックパルス数をカウント（カウント値をインクリメント）する。

【0033】

本実施例に用いられるアドレスカウンタ110は、メモリアレイ100の1行のデータセル数（ビット数）に対応する8個のクロックパルス数を格納する8ビットのアドレスカウンタである。なお、初期値はメモリアレイ100の先頭位置と関連付けられていればどのような値でも良く、一般的には0が初期値として用いられる。

【0034】

IDコンパレータ130は、クロック信号端子SCKT、データ信号端子SDAT、リセット信号端子RSTTと接続され、データ信号端子SDATを介して入力された入力データ列に含まれる識別データとメモリアレイ100に格納されている識別データとが一致するか否かを判定する。詳述すると、IDコンパレータ130は、リセット信号RSTが入力された後に入力されるオペレーションコードの先頭3ビットのデータ、すなわち識別データを、ライト／リードコントローラ140から取得する。IDコンパレータ130は、図2に示す入力データ列に含まれる先頭3ビットの識別データを格納する3ビットレジスタ（図示しない）、ライト／リードコントローラ140を介してメモリアレイ100の指定のアドレスから取得した最上位3ビットの識別データを格納する3ビットレジスタ（図示しない）を有しており、両レジスタの値が一致するか否かによって識別データが一致するか否かを判定する。IDコンパレータ130は、両識別データが一致する場合には、アクセス許可信号AENをライト／リードコントローラ140に送出する。IDコンパレータ130は、リセット信号RSTが入力（RST=0またはLow）されるとレジスタの値をクリアする。

【0035】

ライト／リードコントローラ140は、IDコンパレータ130、誤り検出オペレーションデコード150、クロック信号端子SCKT、データ信号端子SDAT、リセット信号端子RSTTと接続されている。ライト／リードコントローラ140は、誤り検出オペレーションデコード150からの書き込み許可信号WENの入力を待って、半導体記憶装置10の内部動作を書き込み動作に切り換え、書き込み許可信号WENの入力がない場合

10

20

30

40

50

には読み出し動作に切り換える回路である。

【0036】

具体的には、ライト／リードコントローラ140は、書き込み許可信号WENの入力の有無によってメモリアレイ100に対するデータ転送方向ならびにデータ信号端子SDATに対する（データ信号端子SDATと接続されている信号線の）データ転送方向を切り換え制御する。ライト／リードコントローラ140は、データ信号端子SDATからの入力信号線に対して、データ信号端子SDATから入力された書き込みデータのうち、オペレーションコード以降の8ビットの書き込みデータを一時的に格納する8ビットレジスタ（図示しない）およびメモリアレイ100から読み出したデータを格納するレジスタ（図示しない）を備えている。

10

【0037】

8ビットレジスタには、データ信号端子SDATから入力信号線を介して入力されるデータ列（MSB）が8ビットとなるまで保持され、8ビット分揃ったところで、保持されている8ビットのデータがメモリアレイ100に対して書き込まれる。

【0038】

ライト／リードコントローラ140は、電源ON時、リセット信号（0）が入力されることにより半導体記憶装置10がリセット状態とされるリセット時には、メモリアレイ100に対するデータ転送方向を読み出し方向に設定し、データ信号端子SDATに接続されている信号線をハイインピーダンスとすることでデータ信号端子SDATに対するデータ転送を禁止する。この状態は、誤り検出オペレーションデコーダ150から書き込み許可信号WENが入力されるまで維持される。したがって、リセット状態を解除出リセット信号（リセット信号（1））入力後にデータ信号端子SDATを介して入力されるデータ列の先頭4ビットのデータはメモリアレイ100に書き込まれることはなく、一方で、メモリアレイ100の先頭4ビットに格納されているデータは、IDコンパレータ130に送出される。この結果、メモリアレイ100の先頭4ビットは読み出し専用状態となる。

20

【0039】

ライト／リードコントローラ140は、誤り検出オペレーションデコーダ150から書き込み許可信号WEN、およびIDコンパレータ130からのアクセス許可信号AENの入力を待って、書き込み処理を開始する。一方、誤り検出オペレーションデコーダ150から書き込み許可信号WENが入力されない場合には、IDコンパレータ130からのアクセス許可信号AENの入力を待って、読み出し処理を開始する。

30

【0040】

ライト／リードコントローラ140は、書き込み処理時には、書き込み可能領域の先頭アドレスに相当する数のクロックパルス入力を受けると、バス信号線のデータ転送方向を書き込み方向に切り換える。書き込み可能領域の終端アドレスに相当する数のクロックパルス入力を受けると、ライト／リードコントローラ140は、バス信号線のデータ転送方向を読み出し方向に切り換える。書き込みに必要な書き込み電圧は、例えば、図示しないチャージポンプ回路によって生成される。

【0041】

ライト／リードコントローラ140は、読み出し処理時には、書き込み可能領域の先頭アドレスに相当する数のクロックパルス入力を受けると、バス信号線のデータ転送方向を読み出し方向に切り換える。

40

【0042】

本実施例では、書き込みデータにエラーがある場合には、メモリアレイ100に対する当該書き込みデータの書き込みが実行されない。すなわち、誤り訂正符号の技術を用いて、外部ノイズ等によってホストから入力された書き込みデータ列に誤りが発生している場合には、メモリアレイ100に対して、少なくとも当該書き込みデータ列の書き込みを実行しないことによってメモリアレイ100に格納されているデータの信頼性を向上させている。この機能は、以下に説明する誤り検出オペレーションデコーダ150によって提供される。

50

【0043】

誤り検出オペレーションデコーダ150は、リセット信号端子RSTT、ライト／リードコントローラ140、と信号線を介して接続されている。誤り検出オペレーションデコーダ150は、例えば、リセット信号RSTが入力された後の4つ目～8つ目のクロック信号に同期してデータ信号端子SDATを介して入力されるデータ列に含まれる書き込み／読み出し制御情報（3ビットのID情報に続く5ビット情報）を取り込む。ここで、誤り検出オペレーションデコーダ150は、入力されたID情報と、書き込み／読み出し制御情報（R／Wコマンド）と、5ビットの書き込み／読み出し制御情報に続く9ビット目のコマンドパリティビット（CPbit）と、を用いて誤り検出処理を実行する。誤り検出オペレーションデコーダ150は、コマンドパリティビット（CPbit）が示すパリティ値とID情報および書き込み／読み出し制御情報を用いて算出したパリティ値とが一致する場合には、有効なコマンドであると判断し、両者が一致しない場合には無効なコマンドであると判断する。書き込み／読み出し制御情報が有効なコマンドであり、かつ書き込みコマンドを示していると判断した場合には、引き続いて入力された書き込みデータ列に対して誤り検出処理を実行する。一方、書き込み／読み出し制御情報が読み出しコマンドを示していると判断した場合、または無効なコマンドであると判断した場合には誤り検出オペレーションデコーダ150は、入力されたデータ列に対して誤り検出処理を実行しない。

10

【0044】

誤り検出オペレーションデコーダ150は、入力されたデータ列が書き込みデータである場合には、図2に示すように8ビットの書き込みデータパケットと、それに続く1ビットのデータパリティビット（DPbit）とを用いて誤り検出処理を実行する。誤り検出オペレーションデコーダ150は、データパリティビット（DPbit）が示すパリティ値と書き込みデータパケットを用いて算出したパリティ値とが一致する場合には、書き込みデータパケットに誤りは発生していないと判断し、両者が一致しない場合には書き込みデータパケットに誤りが発生していると判断する。パリティビットを用いたデータの誤り検出処理は当業者にとって周知の技術であるから詳細な説明は省略する。誤り検出オペレーションデコーダ150は、書き込みデータパケットに誤りが発生していないと判断した場合には、ライト／リードコントローラ140に対して書き込み許可信号WENを出力すると共に、誤り検出結果記憶領域EBの値を「0」とする。一方、誤り検出オペレーションデコーダ150は、書き込みデータパケットに誤りが発生していると判断した場合には、書き込み許可信号WENを出力しないと共に、誤り検出結果記憶領域EBに対して「1」を書き込む。

20

30

【0045】

- ・半導体記憶装置を含むシステムの構成：

図3は本実施例に係る計算機としてのホストコンピュータと半導体記憶装置を含むシステムを模式的に示す説明図である。

【0046】

ホストコンピュータ30と各半導体記憶装置10はクロック信号線CL、データ信号線DL、リセット信号線RLを介してバス方式にて接続されている。すなわち、各半導体記憶装置10は、共通の各信号線を介してホストコンピュータ30に接続されている。ホストコンピュータ30は、内部配線によって相互に接続されているデータ生成部31、符号化回路32、および入出力部33を備えている。データ生成部31は、書き込み対象となる半導体記憶装置10を識別するための識別情報（ID）、書き込みコマンド、書き込み対象となるデータパケットを含むデータ列を生成する。本実施例においては、半導体記憶装置10はシーケンシャルアクセス型の記憶装置であると共に、半導体記憶装置10に対するデータの書き込みは1バイト（8ビット）単位で実行されるため、メモリアレイ100の各ロー（行）に対応する1または複数の8ビットの書き込みデータパケットを含むデータ列が生成される。より具体的には、書き込むべきデータに基づいて、書き込み開始ローから書き込み対象となるデータの格納位置（アドレス）を含むロー（行）に至るまでの複数の書き込みデータパケットを含むデータ列が生成される。なお、所望のデータの書き

40

50

込みを1回の書き込みにて完了させるために、メモリアレイ100における各書き換え可能データ（更新データとも呼ぶ）の格納領域を予め同一のローに割り当てても良い。

【0047】

符号化回路32は、まず識別情報およびリード／ライトコマンド（R／W）を利用してコマンドパリティビット（C Pbit）を生成し、リード／ライトコマンドの直後に挿入することで、データ列を符号化したデータを生成する。次に符号化回路32は、書き込みデータを利用して1または複数の8ビットの書き込みデータパケットを生成し、生成した各書き込みデータパケットを用いて対応する1または複数のデータパリティビット（D Pbit）を生成する。符号化回路32は、生成した各データパリティビット（D Pbit）を、生成した各8ビットの書き込みデータパケットの直後の1ビットに書き込むことで、データ列に対する符号化処理を実行する。具体的には、図2に例示するように先頭3ビットに識別情報、4～8ビット目にリード／ライトコマンド（R／W）、9ビット目にコマンドパリティビット（C Pbit）、10～17ビット目に第1の書き込みデータパケット、18ビット目にデータパリティビット（D Pbit）、19～26ビット目に第2の書き込みデータパケット、27ビット目にデータパリティビット（D Pbit）を備えるデータ列が生成される。入出力部33は、クロック信号線CL、データ信号線DL、リセット信号線RLと接続されており、半導体記憶装置10に対して、クロック信号CLK、リセット信号RSTを送信し、半導体記憶装置10との間でデータ信号SDAをやりとりする。本実施例では、ホストコンピュータ30は、クロック信号線CLを介して半導体記憶装置10に供給されるクロック信号に同期して、生成したデータ列をデータ信号線DLを介して1ビットずつ半導体記憶装置10に送信する。ホストコンピュータ30は、半導体記憶装置10に対する書き込みまたは読み出しのアクセスを開始する際には、先ず、半導体記憶装置10に対して半導体記憶装置10のリセット状態を解除するリセット信号1を送信し、その後、上述のようにクロック信号に同期してデータ転送を実行する。半導体記憶装置10に対する書き込みまたは読み出しのアクセスを終了する際には、ホストコンピュータ30は、半導体記憶装置10に対して、半導体記憶装置10をリセット状態とするためのリセット信号0を送信する。

【0048】

半導体記憶装置の動作：

図4を参照して本実施例に係る半導体記憶装置10の動作について説明する。図4は本実施例に係る半導体記憶装置に対するアクセス制御時に半導体記憶装置において実行される処理ルーチンを示すフローチャートである。なお、以下の例では、ホストコンピュータ30に対して複数の半導体記憶装置10がバス接続されている場合について説明する。

【0049】

半導体記憶装置10はホストコンピュータ30からデータを受信すると（ステップS100）、データ（データ列）に含まれるIDおよびリード／ライトコマンドビットの有効性を判定する。具体的には、誤り検出オペレーションデコーダ150によって、受信したデータ（データ列）に含まれるコマンドパリティビット（C Pbit）と、IDおよびリード／ライトコマンドビットを用いたパリティ演算の結果とが比較され、両者が一致する場合には受信したIDおよびリード／ライトコマンドに誤りはなく、両者が一致しない場合には受信したデータに誤りがあることを検出する（ステップS101）。半導体記憶装置10は、誤りが検出された場合には（ステップS101：Yes）、メモリアレイ100における誤り検出結果記憶領域EBに「1」を書き込み、本処理ルーチンを終了する。具体的には、誤り検出オペレーションデコーダ150によって、ライト／リードコントローラ140を介してメモリアレイ100に対する書き込みが実行される。

【0050】

半導体記憶装置10は、IDおよびリードライトコマンドが有効であると判定すると（ステップS101：No）、データ（データ列）に含まれるIDが自身のIDと一致するか否かを判定する（ステップS102）。本実施例では、各半導体記憶装置10はホストコンピュータ30に対して共通のクロック信号線CL、データ信号線DL、リセット信号

線 R L を介してバス接続されているので、ホストコンピュータ 30 から送信されるデータは各半導体記憶装置 10 に対して送信される。I D の判定は、具体的には、既述の通り、I D コンパレータ 130 によって受信したデータ列に含まれる識別情報とメモリアレイ 100 に格納されている識別情報とが一致するか否かが判定される。

【0051】

半導体記憶装置 10 は、両 I D が一致しないと判定すると（ステップ S 102：N o）、受信したデータ列は自身に対するデータ列ではないと判断し、今回のアクセスに対する処理ルーチンを終了する。

【0052】

半導体記憶装置 10 は、両 I D が一致すると判定すると（ステップ S 102：Y e s）、受信したデータの書き込みが要求されているか否かを判定する（ステップ S 104）。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 によって、受信したデータ列に含まれるリード／ライトコマンドビットが解析され、書き込み要求または読み出し要求のいずれであるかが判定される。また、I D コンパレータ 130 は両 I D が一致する場合には、ライト／リードコントローラ 140 に対してアクセス許可信号 A E N を送信する。なお、本実施例では、I D コンパレータ 130 は、ライト／リードコントローラ 140 に対してアクセス許可信号 A E N を送信しているが、誤り検出オペレーションデコーダ 150 に対して送信するようにしても良い。この場合には、誤り検出オペレーションデコーダ 150 は、アクセス許可信号 A E N を受信した場合に、リード／ライトコマンドビットの解釈を実行する。

【0053】

半導体記憶装置 10 は、受信したデータの書き込みが要求されていない、すなわち、読み出しが要求されていると判定した場合には（ステップ S 104：N o）、メモリアレイ 100 から所望のデータの読み出し処理を実行し（ステップ S 106）、本処理ルーチン（今回のアクセスに対する処理）を終了する。メモリアレイ 100 からの所望のデータの読み出しは、ライト／リードコントローラ 140 によって既述の通り実行される。

【0054】

半導体記憶装置 10 は受信したデータの書き込みが要求されていると判定すると（ステップ S 104：Y e s）、データ列の誤りを検出する（ステップ S 108）。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 によって、データ列に含まれるデータパリティビットと書き込みデータを用いたパリティ演算の結果とが比較され、両者が一致する場合には受信したデータに誤りはなく、両者が一致しない場合には受信したデータに誤りがあることを検出する。

【0055】

半導体記憶装置 10 は、誤りが検出されなかった場合には（ステップ S 108：N o）、受信したデータをメモリアレイ 100 に対して書き込み（ステップ S 110）、本処理ルーチンを終了する。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 からライト／リードコントローラ 140 に対して書き込み許可信号 W E N が送信され、ライト／リードコントローラ 140 は受信した 8 ビットのデータをメモリアレイ 100 の所定のアドレス（ロー）に書き込む。

【0056】

半導体記憶装置 10 は、誤りが検出された場合には（ステップ S 108：Y e s）、メモリアレイ 100 における誤り検出結果記憶領域 E B に「1」を書き込み、本処理ルーチンを終了する。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 によって、ライト／リードコントローラ 140 を介してメモリアレイ 100 に対する書き込みが実行される。

【0057】

なお、メモリアレイ 100 における書き込みデータの格納アドレスが上位アドレスである場合には、当該アドレスを含むローに至るまで上記の処理ルーチンが繰り返される。なお、ステップ S 108 において誤りが検出された場合には、続くデータの書き込みについ

10

20

30

40

50

て以下の態様を取り得る。

【0058】

(1) 誤りを検出した後は、以降の書き込み要求は受け付けない。

本実施例によれば、処理中の書き込みデータに誤りが検出された場合には、当該書き込みデータはメモリアレイ100に書き込まれない。この態様を採る場合には、当該書き込みデータのみならず、続いて送られてくる書き込みデータパケットについても書き込みが実行されない。例えば、ホストコンピュータ30と半導体記憶装置10の接点端子における接触不良によってデータの誤りが発生している場合には、以降の書き込みデータにおいても誤りが発生している可能性があり、この態様を採ることによって、メモリアレイ100に対する誤った書き込みデータの書き込みを未然に防止することができる。なお、メモリアレイ100に対する書き込みデータの書き込み禁止は、例えば、特定のコマンド、所定回数のリセット信号の入力、電源オフ、接点の解消および再構築（半導体記憶装置10の脱着）によって解消されても良い。具体的には、例えば、誤り検出結果を取得するための、誤り検出結果確認コマンドを受信することによって、誤り検出オペレーションデコーダ150がライト／リードコントローラ140を介してメモリアレイ100における誤り検出結果記憶領域EBの値を読み出すと共に、「0」が書き込まれる。あるいは、半導体記憶装置10の脱着指示並びに脱着の検出後に誤り検出結果記憶領域EBに「0」が書き込まれても良い。

【0059】

(2) 誤りを検出した後も、当該書き込みデータパケットの書き込みは実行しないが、以降の書き込み要求は受け付ける。

この態様を採る場合には、当該書き込みデータパケットの書き込みは実行されないが、続いて送られてくる書き込みデータパケットについては、書き込みデータパケットと書き込みデータパケットの直後の1ビットのデータパリティビットとを用いて誤り検出処理が実行され、誤りが検出されなければ書き込みが実行される。この対応を採ることによって、後述する、意図的に誤りを含む書き込みデータパケットを送信し、所望のアドレスに対する書き込みを迅速に実行するための処理が可能となる。

【0060】

この態様を採る場合には、例えば、残りのデータに対する書き込みが終了した時点で、書き込みが実行されなかったアドレスに対する（書き込みが実行されなかった書き込みデータパケットの）再度の書き込みが実行されても良い。すなわち、ホストコンピュータ30側に記録されている、いずれのアドレスに対するデータの書き込みが未了であるかの情報に基づいて再書き込みが実行され得る。

【0061】

(3) 誤りを検出した後に、当該書き込みデータパケットの再書き込みを実行する。

ホストコンピュータ30は、半導体記憶装置10において誤りが検出されたデータがメモリアレイ100におけるどのアドレスに対応するデータであるかを管理しており、書き込みが未了である書き込みデータパケットについて再度、符号化処理を行って半導体記憶装置10に送信しても良い。この態様によれば、発生した書き込みエラーを直ちに解消するための動作を実行することができる。

【0062】

以上説明した本実施例に係る半導体記憶装置10によれば、受信した書き込みデータに誤りが検出された場合にはメモリアレイ100に対する書き込みが実行されないで、半導体記憶装置10に格納されているデータの信頼性を向上させることができる。

【0063】

半導体記憶装置10は、誤り検出結果記憶領域EBを備えるので、全ての書き込み可能領域に対して、書き込みデータとメモリアレイ100に書き込まれている既存データとを比較するベリファイ処理を実行することなく、メモリアレイ100のデータが正しいデータであるか否か、すなわち、書き込まれるべきデータに一致するデータであるか否かを判定することができる。例えば、電源が不意に遮断された場合であっても、遮断前に誤りの

ある書き込みデータの書き込み要求があったか否かを容易に判定することができる。したがって、例えば、誤り検出結果記憶領域 E B が書き込みデータの誤りの検出を示す場合には、時間を要するベリファイ処理を実行することなく、直ちに再度、全ての書き込みデータの書き込みを実行することが可能となり、誤り検出結果記憶領域 E B が書き込みデータの誤りの検出を示さない場合には、書き込みが完了していないデータについて書き込みを再開すれば良い。

【0064】

ホストコンピュータの動作：

図5は本実施例に係る半導体記憶装置に対するアクセス制御時にホストコンピュータにおいて実行される処理ルーチンを示すフローチャートである。ホストコンピュータ30は、図示しない記憶装置に格納されている書き込まれるべきデータを用いて今回の書き込みサイクルにおいて半導体記憶装置10に送信すべき書き込みデータを生成する（ステップS200）。なお、本実施例では、メモリアレイ100のローに対応する1バイトの書き込みデータ列の送信を1回の書き込みサイクルとして説明する。具体的には、既述の通り、データ生成部31によって、書き込まれるべきデータと、書き込み対象となる半導体記憶装置10を識別するためのID、書き込みコマンド、書き込み対象となるデータを含むデータ列が生成される。

【0065】

ホストコンピュータ30は、生成した書き込みデータを符号化する（ステップS202）。具体的には、既述の通り、符号化回路32によって、リード／ライトコマンドを利用してコマンドパリティビットが生成され、書き込みデータパケットを利用してデータパリティビットが生成され、生成されたデータ列の先頭から9ビット目にコマンドパリティビット、18ビット目にデータパリティビットが書き込まれることで、データ列が符号化される。

【0066】

ホストコンピュータ30は、符号化された書き込みデータ列をデータ信号線DLに出力し、所望の半導体記憶装置を含む各半導体記憶装置10に対して送信する（ステップS203）。ホストコンピュータ30は、半導体記憶装置10から書き込みエラーの信号を受けた場合には（ステップS204：Yes）、本処理ルーチンを終了する。すなわち、続く書き込みサイクルにおいて書き込むべきデータが存在している場合であっても書き込みは実行されない。なお、半導体記憶装置10からホストコンピュータ30に対する書き込みエラー信号の送信は、誤り符号オペレーションデコーダ150によって生成され、ホストコンピュータ30に対して送信される。

【0067】

ホストコンピュータ30は、半導体記憶装置10から書き込みエラーの信号を受けない場合には（ステップS204：No）、続く書き込みサイクルにおいて書き込むべきデータが存在するか否かを判定し（ステップS205）、存在しない場合には（ステップS205：No）、本処理ルーチンを終了する。

【0068】

一方、続く書き込みサイクルにおいて書き込むべきデータが存在する場合には（ステップS205：Yes）、ステップS200に移行し、書き込みデータを生成し、ステップS204に至る各ステップが繰り返し実行される。

【0069】

以上説明したホストコンピュータ30によれば、半導体記憶装置10に対して符号化された書き込みデータを送信することができるので、半導体記憶装置10と共に用いられることによって誤りのある書き込みデータの書き込みを防止することができる。

【0070】

図6は本実施例に係る半導体記憶装置に対するアクセス制御時にホストコンピュータにおいて誤り検出結果を利用して実行される処理ルーチンを示すフローチャートである。

【0071】

以下、ホストコンピュータ30が誤り検出結果を利用する場合に実行するアクセス制御について説明する。ホストコンピュータ30と半導体記憶装置10とは、例えば、シリアル通信方式によって通信する。ホストコンピュータ30は、書き込みを所望する半導体記憶装置のID、読み出しコマンドを含むデータ列をデータ信号線DLに出力すると共に、誤り検出結果記憶領域EBのアドレスに対応するクロックパルスをクロック信号線CLに出力し、誤り検出結果記憶領域EBの値を読み出す（ステップS210）。すなわち、所望の半導体記憶装置に対する書き込み処理において、書き込みデータに誤りが検出されているか否かを判定する。なお、誤り検出結果記憶領域EBがメモリアレイ100外のレジスタに備えられている場合には、ホストコンピュータ30は、当該レジスタにアクセスし、誤り検出結果を取得する。

10

【0072】

ホストコンピュータ30は、誤り検出結果記憶領域EBの値が「1」であるか否かを判定し（ステップS211）、「1」の場合、すなわち、誤りが検出されていた場合には（ステップS211：Yes）、図示しない記憶装置に格納されている書き込み対象となる全てのデータ、すなわち、メモリアレイ100の書き換え可能領域に対応するデータを取得する（ステップS212）。ここで、書き換え可能領域に対応するデータは、書き込み可能なデータとも言うことも可能であり、例えば、液体量（残量または消費量）、ホストコンピュータ30に対する液体収容体の装着回数（半導体記憶装置10とホストコンピュータ30との接触回数）といった情報に関するデータが該当する。

【0073】

20

ホストコンピュータ30は、リード／ライトコマンド（R／W）を用いてコマンドパリティビットを生成し、半導体記憶装置10に送信する。ホストコンピュータ30は、書き込み単位、すなわち、バイト単位にて書き込みデータ（書き込みデータパケット）を生成する（ステップS213）。ホストコンピュータ30は、生成した書き込みデータパケットを用いてデータパリティビットを生成し、既述の位置に配置して書き込みデータパケットを符号化し（ステップS214）、半導体記憶装置10に送信する（ステップS215）。なお、各ステップにおける詳細な処理は図5を参照して説明済みであるから説明を省略する。

【0074】

30

ホストコンピュータ30は、次の書き込みデータパケットが存在する場合には（ステップS216：Yes）、取得した全てのデータに基づく書き込みデータパケットの書き込みが終了するまでステップS213～S215の処理を繰り返し実行する。ホストコンピュータ30は、次の書き込みデータが存在しなくなると（ステップS216：No）、本処理ルーチンを終了する。

【0075】

ホストコンピュータ30は、誤り検出結果記憶領域EBの値が「0」の場合、すなわち、誤りが検出されていない場合には（ステップS211：No）、図5を用いて説明した通常の手書き込み処理を実行し（ステップS200）、本処理ルーチンを終了する。

【0076】

40

以上説明したホストコンピュータ30によれば、半導体記憶装置10に対してデータを書き込む際に、誤り検出結果記憶領域EBを読み出すことにより、半導体記憶装置10に書き込まれているデータが書き込まれるべきデータに対応しているか否か、すなわち、書き込みに際して書き込みエラーが発生したか否かを判定することができる。したがって、例えば、電源が不意に遮断された場合であっても、書き込みデータの書き込みエラー（書き込み未完了）が発生したか否か、すなわち、遮断前に誤りのある書き込みデータの書き込み要求があったか否かを容易に判定することができる。この結果、ホストコンピュータ30は、時間を要する、既にメモリアレイ100に書き込まれたデータと、ホストコンピュータ30が保持する書き込まれるべきデータとを比較するベリファイ処理を実行することなく、書き込みエラーの発生の有無を判定することができる。また、書き込みエラーの発生を検出した場合には、書き込みデータの再書き込みを実行し、書き込みエラーの発生

50

を検出しなかった場合には、書き込みが要求される書き込みデータの書き込みを直ちに実行することができる。

【0077】

図7は本実施例に係る半導体記憶装置に対するアクセス制御時にホストコンピュータにおいて所望のアドレスに対する迅速な書き込みを実現するために実行される処理ルーチンを示すフローチャートである。

【0078】

ホストコンピュータ30は、既述の手順にて、書き込みを所望するデータを用いて書き込みデータを生成し（ステップS220）、書き込みデータ列を符号化する（ステップS221）。ホストコンピュータ30は、送信用符号化データを生成する（ステップS222）。具体的には、データ生成部31によって対応する半導体記憶装置10のIDおよび書き込みコマンド、コマンドパリティビットを含むデータ列が生成され、符号化回路32によって、書き込みデータに基づき算出したパリティ値と逆の値、すなわち、「0」ならば「1」、「1」ならば「0」がデータパリティビットとしてデータ列に格納される。

【0079】

半導体記憶装置10が、上述の書き込みサイクル毎に書き込みの可否を判断する態様（2）の場合、この送信用符号化データを送信することによって、該当アドレス（ロー）に対する書き込み処理がスキップされる。本実施例におけるメモリアレイ100はシーケンシャルアクセス型のメモリであり、上位アドレスに書き込むためには下位アドレスに対しても順次書き込みを実行しなければならない。そこで、意図的に書き込みが実行されない送信用符号化データを所望の書き込みアドレスに至るまで半導体記憶装置10に対して送信することによって、下位アドレスに対する書き込みを実行させず、所望のアドレスに対する書き込みを迅速に実行することができる。すなわち、送信用符号化データは、アドレスを送るためのデータであるということができる。

【0080】

ホストコンピュータ30は、生成した送信用符号化データを半導体記憶装置に送信する（ステップS223）。具体的には、所望の半導体記憶装置を含む各半導体記憶装置10に対して、生成した送信用符号化データを、データ信号線DLに出力すると共にクロック信号線CLに書き込み完了アドレスに対応するクロック信号を出力する。ホストコンピュータ30は、書き込み対象アドレスに到達するまで送信用符号化データを繰り返し出力する（ステップS224：No）。すなわち、メモリアレイ100における書き込み対象アドレスを含むローの1つ前のローに対応する送信用符号化データを送信し終わるまで送信用符号化データを送信し続ける。

【0081】

ホストコンピュータ30は、書き込み対象アドレスに到達すると（ステップS224：Yes）、正しく符号化処理された書き込みデータパケットを半導体記憶装置10に送信して（ステップS225）、本処理ルーチンを終了する。すなわち、送信用符号化データに代えて、書き込み対象アドレスを含むローに書き込むべき書き込みデータパケットをデータ信号線DLに出力する。

【0082】

以上説明したホストコンピュータ30によれば、半導体記憶装置10に対する書き込みデータの書き込み時間を短縮することができる。すなわち、意図的に誤った書き込みデータである送信用符号化データを送信することによって、所望のアドレス（所望のアドレスを含むロー）に至るまでのアドレスに対する書き込みをスキップすることが可能となり、シーケンシャルアクセス形式のメモリにおいても所望のアドレスに対してアクセスするまでに要する時間を短縮することができる。また、書き込みの対象とならないアドレスに対する書き込みが実行されないため、メモリアレイ100に格納されている既存データのデータ化け、損傷を回避することが可能となり、データの信頼性を向上させることができる。

【0083】

・液体収容体の構成：

図8は液体収容体の一例を示す説明図である。液体収容体20は、上述の半導体記憶装置10、および図示しない液体収容室を備えている。液体収容体20は、例えば、インクカートリッジといった印刷記録財収容体であり、半導体記憶装置10は、端子Tを介してホストコンピュータ30としての印刷装置から制御信号を受信し、印刷装置に対して読み出しデータ、誤り検出信号を送信する。なお、印刷装置に備えられる液体収容体20は単一であってもよく、複数であっても良い。

【0084】

液体収容体20に備えられる半導体記憶装置10は、例えば、液体量に関するデータを不可逆的に、すなわち、増加データのみ、または、減少データのみ格納する特性を有していても良い。この場合、誤ったデータの書き込みは、後の書き込みによって修正できない、例えば、一旦、増加したデータを減少させる書き込みはできないので、誤ったデータの書き込みを防止することが望まれる。本実施例に係る半導体記憶装置10および液体収容体20によれば、この要望に応えることができる。

【0085】

・第2の実施例：

第2の実施例に係る半導体装置および半導体装置に対するアクセス方法について図9～14を参照して説明する。図9は第2の実施例に係る半導体装置の機能的な内部構成を示すブロック図である。

【0086】

本実施例に係る半導体装置10aは、メモリアレイ100、クロックカウンタ111、アドレスセクタ112、IDコンパレータ130、ライト／リードコントローラ140、誤り検出オペレーションデコーダ150を備えている。なお、少なくともIDコンパレータ130、ライト／リードコントローラ140、誤り検出オペレーションデコーダ150をメモリ制御部と総称することがある。なお、本実施例では、半導体装置10aは回路基板CB上に実装されている。半導体装置10aのリセット信号端子RSTT、クロック信号端子SCKT、電源端子VDDT、VSS T、データ信号端子SDATは、回路基板CBの外部端子T、すなわち、外部リセット信号端子T1、外部クロック信号端子T2、外部電源端子T3、T4、外部データ信号端子T5とそれぞれ電氣的に接続されている。なお、第2の実施例に係る半導体装置10aが備える各回路について、第1の実施例に係る半導体記憶装置10と同様の構成、動作を行う回路については、同一の符号を付すことで詳細な説明は省略する。また、半導体装置10aと後述する印刷装置300との間でやりとりされるデータ列についても特に断らない限り、第1の実施例におけるデータ列と同様である。

【0087】

メモリアレイ100（記憶素子）は、データの電氣的な消去、書き込みが可能なEEPROMの特性を有する記憶領域である。メモリアレイ100には、1ビットの情報を格納するメモリセルが複数備えられている。メモリアレイ100のW0行には識別情報IDが格納され、W0行に続くW1行以降が書き込みまたは読み出し対象行となる。メモリアレイ100は、アドレスセクタ112から出力される行選択信号によって選択される、1行に8アドレス分のメモリセル（8ビット分のメモリセル）を備えている。行選択信号によって選択されるメモリセルが一括で書き込み若しくは読み出しされる単位となる。本実施例では、メモリアレイは32行からなり、32ワード×8ビット（256ビット）のデータを格納することができる。メモリアレイ100の所定行には、メモリアレイ100の領域の特性を定義する情報、（例えば、特定行は読み出し専用であり書き込みを許可しないといった特性を定義した制御情報（ロック情報）、誤り検出処理の結果、誤りが検出されたか否かを示す誤り検出結果情報を格納する制御エリアCAが備えられている。制御エリアCAにおける誤り結果情報を記憶する誤り検出結果記憶領域EBは、例えば、1bitの領域であり、ライト／リードコントローラ140を介して、誤り検出オペレーションデコーダ150によって、識別データとコマンドデータおよび書き込みデータのいずれかに

誤りが検出された場合には「1」、識別データとコマンドデータおよび書き込みデータのいずれにも誤りが検出されなかった場合には「0」が記録される。なお、誤り検出結果記憶領域EBは、誤り検出結果読み出しコマンドにより読み出され、誤り検出結果読み出しコマンドに基づくアクセスが終了した後、「0」に更新される。詳細については、図14を参照して後述する。

【0088】

メモリアレイ100における各メモリセルには、ワード線とビット（データ）線が接続されている。メモリセル100への書き込み時には、書き込み対象のワード線（行）が選択され、選択されたワード線に電圧が印加され、書き込み対象のビット線に書き込み電圧を印加することによってデータセルにデータが書き込まれる。選択されている行のメモリセルについて一括で書き込みが実行される際には、選択されている行と接続されている全てのビット線に対して書き込みデータに応じた書き込み電圧が印加される。また、メモリセル100からデータを読み出す時には、対応するワード線（行）を選択し、対応するビット線をライト／リードコントローラ140と接続し、電流の検出の有無によってメモリセルのデータ（1または0）が読み出される。

【0089】

クロックカウンタ111は、リセット信号端子RSTT、クロック信号端子SCKT、ライト／リードコントローラ140、アドレスセクタ112と接続されている。また、後述する誤り検出オペレーションデコーダから出力されるWEN信号が入力される。クロックカウンタ111は、リセット信号端子RSTTを介して入力されるリセット信号を0（またはロー）にすることによりカウント値が初期値にリセットされ、リセット信号が1とされた後（リセット状態が解除された後）にクロック信号端子SCKTを介して入力される外部クロックパルスの立ち下がり同期してクロックパルス数をカウント（カウント値をインクリメントまたはデクリメント）する。但し、クロックカウンタ111は、ホストコンピュータがコマンドパリティビットCpbitを送信するためのクロックはカウントしない。また、クロックカウンタ111にWEN信号が入力された後は、9クロックのうちの1クロックをカウントせず、カウントを続行する。すなわち、半導体装置10aが書き込みデータパケットを受信する際には、クロックカウンタ111はその先頭データ分のクロックをカウントしない。したがって、9ビットの書き込みデータパケットを受信する際に入力される9個のクロックのうち、クロックカウンタ111によってカウントされるクロック数は8個である。クロックカウンタ111は、メモリアレイ100の容量に対応するアドレスをカウントできればよい。本実施例では、メモリアレイ100は256ビットなので、8ビットのカウンタによってメモリアレイ100の0～255のアドレスをカウント可能に構成される。クロックカウンタ111の初期値は、識別情報IDが格納されている先頭行（W0行）を選択する値と関連付けられていればどのような値でも良く、一般的には0が初期値として用いられる。

【0090】

アドレスセクタ112は、リセット信号端子RSTT、クロックカウンタ111、ライト／リードコントローラ140、誤り検出オペレーションデコーダ150およびメモリアレイ100に接続されている。アドレスセクタ112は、クロックカウンタ111から入力されるカウント値、およびライト／リードコントローラ140からの制御信号に応じてメモリアレイ100に対して列選択信号、行選択信号を出力する。アドレスセクタ112は、入力されるカウント値8ビットの上位5桁で32行のうちのいずれか1行を選択し、カウント値8ビットの下位3桁で8列のうちのいずれかを選択する。また、一括読み出し、書き込みの場合には、指定された行について、メモリアレイ100に対して全ての列を選択する列選択信号を出力することができる。なお、行選択信号は、メモリアレイ100の所望の行を直接選択（指定）するための信号である。また、アドレスセクタ112は、リセット解除信号入力後（検出後）、先頭行を指定するカウント値がクロックカウンタ111から入力されている間（本実施例では8クロックの間）、各クロックに応じて読み出しすべき行が記述されたテーブルを備えている。アドレスセクタ112は、例

えば、リセット解除後のカウンタ値0に応じてW0行を選択し、W0行のデータがライト／リードコントローラ140によって読み出される。また、カウンタ値1～7はW0行を指定するカウンタ値であるが、アドレスセクタ112は、テーブルを参照し、カウンタ値2に応じて、制御エリアCAのロック情報が格納されている行、誤り検出結果が格納されている誤り検出結果記憶領域EBを含む行を選択し、これらの行のデータがライト／リードコントローラ140によって読み出される。さらに、アドレスセクタ112には、誤り検出オペレーションデコーダ150から誤り検出信号が入力される。誤り検出信号を受信したアドレスセクタ112は、誤り検出結果記憶領域EBを含む行を指定する行選択信号をメモリアレイ100に出力する。この結果、ライト／リードコントローラ140は、検出結果記憶領域EBを含む行に対して、誤り検出結果を記録することができる。この結果、クロックをカウントすることにより、書き込みまたは読み出しされるメモリセルが指定されるにもかかわらず、カウントアップ（カウントダウン）を経ることなく予め決められたアドレスのセルに迅速にアクセスし、当該セルに記憶されているデータを読み出したり、当該セルに対してデータを書き込むことができる。

10

【0091】

なお、半導体装置10aは、仮想線にて示すレジスタ115を備え、レジスタ115に誤り検出結果記憶領域EBを確保して、検出結果を格納しても良い。

【0092】

IDコンパレータ130は、クロック信号端子SCKT、データ信号端子SDAT、リセット信号端子RSTTと接続され、データ信号端子SDATを介して入力された入力データ列に含まれる識別データとメモリアレイ100に格納されている識別情報IDタとが一致するか否かを判定する。詳述すると、IDコンパレータ130は、データ信号端子SDATを介して、半導体装置10aの初期化状態を解除するリセット信号RSTが入力された後に入力されるオペレーションコードの先頭3ビットのデータを取得する。同時に、IDコンパレータ130には、ライト／リードコントローラ140によってメモリアレイ100から読み出された、メモリアレイ100の先頭行のうち識別データに相当する3ビット分のデータがライト／リードコントローラ140から入力される。IDコンパレータ130は、データ信号端子SDATを介して取得した3ビットのデータと、ライト／リードコントローラ140から取得した3ビットのデータを順次比較し、全てのビットが一致している場合には、ホストコンピュータに対してバス接続されている半導体装置10aのうち、自身がホストコンピュータによって選択された半導体装置10aであると判断し、アクセス許可信号AENをライト／リードコントローラ140に出力する。一方、データ信号端子SDATを介して取得した3ビットのデータをライト／リードコントローラ140から取得した3ビットのデータが一致しない場合には、アクセス許可信号AENを出力しない。この結果、半導体装置10aは、読み出しまたは書き込み処理を実行せず、リセット信号RST（RST=0またはLow）の入力を待ってリセット状態に戻る。

20

30

【0093】

ライト／リードコントローラ140は、メモリアレイ100、IDコンパレータ130、誤り検出オペレーションデコーダ150、クロック信号端子SCKT、データ信号端子SDAT、リセット信号端子RSTTと接続されている。ライト／リードコントローラ140は、リセット解除後に入力されるクロックに同期して、メモリセル10から識別データを読み出して、順次、IDコンパレータ130に出力する。ライト／リードコントローラ140は、IDコンパレータ130からのアクセス許可信号AENおよび誤り検出オペレーションデコーダ150からの書き込み許可信号WENの入力を待って、半導体記憶装置10の内部動作を書き込み動作に切り換え、書き込み許可信号WENの入力がない場合には読み出し動作のままとする回路である。ライト／リードコントローラ140はまた、リセット状態を解除するリセット信号入力後に、クロック信号端子SCKTを介して入力されるクロック信号の1～7番目のクロックに同期してアドレスセクタ112によって選択された制御エリアCAの所定行からメモリアレイ100の領域特性に関する情報、ロック情報を読み出して一時保存する。

40

50

【0094】

アクセスが書き込みである場合、ライト／リードコントローラ140は、アクセスが要求されている領域が書き込み可能な領域であるか否かをロック情報に基づいて判断し、書き込み可能領域である場合には、当該領域に対する書き込み処理を実行する。アクセスが要求されている領域が書き込み可能領域でない場合には、書き込み処理は実行しない。ライト／リードコントローラ140は、データ信号端子SDATからの入力信号線に対して、データ信号端子SDATから入力された書き込みデータのうち、オペレーションコード以降の8ビットの書き込みデータを一時的に格納する8ビットレジスタ（図示しない）およびメモリアレイ100から読み出したデータを格納するレジスタ（図示しない）を備えている。

10

【0095】

8ビットレジスタには、データ信号端子SDATから入力信号線を介して入力されるデータ列（MSB）が8ビットとなるまで保持され、8ビット分揃ったところで、保持されている8ビットのデータがメモリアレイ100に対して書き込まれる。

【0096】

ライト／リードコントローラ140は、半導体装置10aの電源ON時、半導体装置10aがリセット状態の時には、メモリアレイ100に対するデータ転送方向を読み出し方向に設定し、データ信号端子SDATに接続されている信号線をハイインピーダンスとすることでデータ信号端子SDATに対するデータ転送を禁止する。この状態は、誤り検出オペレーションデコーダ150によってR／W（読み出し／書き込み）コマンドが解析されるまで維持される。したがって、リセット信号入力後にデータ信号端子SDATを介して入力されるデータ列の先頭4ビットのデータはメモリアレイ100に書き込まれることはなく、一方で、メモリアレイ100の先頭4ビットに格納されているデータは、IDコンパレータ130に送出される。この結果、メモリアレイ100の先頭4ビットは読み出し専用状態となる。

20

【0097】

ライト／リードコントローラ140は、誤り検出オペレーションデコーダ150から書き込み許可信号WEN、およびIDコンパレータ130からのアクセス許可信号AENの入力を待って、書き込み処理を開始する。一方、誤り検出オペレーションデコーダ150から書き込み許可信号WENが入力されない場合には、IDコンパレータ130からのアクセス許可信号AENの入力を待って、読み出し処理を開始する。

30

【0098】

ライト／リードコントローラ140は、第1の書き込みパケットデータを受信すると、クロックカウンタ111がW0行の次の行（W1行）を指定するカウンタ値をアドレスセレクタ112に出力しているので、第1の書き込みパケットデータをメモリセル10に転送し、W1行に第1の書き込みパケットデータを書き込む。ライト／リードコントローラ140は、第1の書き込みデータパケット以降、ホストコンピュータから送信されてくる全ての書き込みデータパケットを受信し終えるまで書き込みを行う。

【0099】

ライト／リードコントローラ140は、読み出し処理時には、外部から転送されるクロックに同期してアドレスカウンタでカウントを進めると共に、そのカウントで選択されるメモリセル10のセルまたは行を読み出し、ホストコンピュータに送信する。

40

【0100】

本実施例では、書き込みデータのパケット毎にエラーがある場合には、メモリアレイ100に対する当該書き込みデータの書き込みが実行されない。すなわち、誤り訂正符号の技術を用いて、外部ノイズ等によってホストから入力された書き込みデータ列に誤りが発生している場合には、メモリアレイ100に対して、少なくとも当該書き込みデータ列の書き込みを実行しないことによってメモリアレイ100に格納されているデータの信頼性を向上させている。この機能は、以下に説明する誤り検出オペレーションデコーダ150によって提供される。

50

【0101】

誤り検出オペレーションデコーダ150は、リセット信号端子RSTT、ライト／リードコントローラ140、アドレスセクタ112と信号線を介して接続されている。誤り検出オペレーションデコーダ150は、例えば、リセット信号RSTが入力された後の4つ目～8つ目のクロック信号に同期してデータ信号端子SDATを介して入力されるデータ列に含まれる書き込み／読み出し制御情報（3ビットのID情報に続く5ビット情報）を取り込む。ここで、誤り検出オペレーションデコーダ150は、入力されたID情報と、書き込み／読み出し制御情報（R／Wコマンド）と、5ビットの書き込み／読み出し制御情報に続く9ビット目のコマンドパリティビット（CPbit）と、を用いて誤り検出処理を実行する。誤り検出オペレーションデコーダ150は、コマンドパリティビット（CPbit）が示すパリティ値とID情報および書き込み／読み出し制御情報を用いて算出したパリティ値とが一致する場合には、有効なコマンドであると判断し、両者が一致しない場合には無効なコマンドであると判断する。書き込み／読み出し制御情報が有効なコマンドであり、かつ書き込みコマンドを示していると判断した場合には、引き続いて入力された書き込みデータ列に対して誤り検出処理を実行する。一方、書き込み／読み出し制御情報が読み出しコマンドを示していると判断した場合、または無効なコマンドであると判断した場合には誤り検出オペレーションデコーダ150は、入力されたデータ列に対して誤り検出処理を実行しない。

10

【0102】

誤り検出オペレーションデコーダ150は、入力されたデータ列が書き込みデータである場合には、図2に示すように8ビットの書き込みデータパケットと、それに続く1ビットのデータパリティビット（DPbit）とを用いて誤り検出処理を各データパケットに対して実行する。誤り検出オペレーションデコーダ150は、データパリティビット（DPbit）が示すパリティ値と書き込みデータパケットを用いて算出したパリティ値とが一致する場合には、書き込みデータパケットに誤りは発生していないと判断し、両者が一致しない場合には書き込みデータパケットに誤りが発生していると判断する。誤り検出オペレーションデコーダ150は、全ての書き込みデータパケットに対して誤り検出処理を実行する。パリティビットを用いたデータの誤り検出処理は当業者にとって周知の技術であるから詳細な説明は省略する。誤り検出オペレーションデコーダ150は、書き込みデータパケットに誤りが発生していないと判断した場合には、ライト／リードコントローラ140に対して書き込み許可信号WENを出力すると共に、誤り検出結果記憶領域EBの値を「0」とする。一方、誤り検出オペレーションデコーダ150は、書き込みデータパケットに誤りが発生していると判断した場合には、書き込み許可信号WENを出力しないと共に、誤り検出結果記憶領域EBに対して「1」を書き込む。

20

30

【0103】

具体的には、誤りが検出されると、誤り検出オペレーションデコーダ150は、アドレスセクタ112に対して誤り検出信号を出力し、ライト／リードコントローラ140に対して誤り検出結果書き込み要求を出力する。誤り検出信号を受信したアドレスセクタ112は、誤り検出結果記憶領域EBを含む行を選択する行選択信号をメモリアレイ100に出力する。ライト／リードコントローラ140は、誤り検出結果記憶領域EBに誤りが発生したことを示すフラグ情報「1」が書き込まれるような列データを生成して、メモリアレイ100に転送する。これにより、誤り検出結果記憶領域EBに「1」を書き込む。すなわち、本実施例では、書き込みデータにエラーが検出された場合には、外部コマンド、例えば、印刷装置300からのコマンドに依存することなく、半導体装置10a自身によって誤り検出結果記憶領域EBに対する誤り検出結果を書き込むことができる。また、誤りが検出されたパケットデータはメモリセル10に書き込まれない。

40

【0104】

インクカートリッジと印刷装置の構成：

図10は液体収容体としてのインクカートリッジの概略構成を示す説明図である。図11は本実施例に係る印刷装置の構成および印刷装置とインクカートリッジとの接続態様を

50

示す説明図である。本実施例では、ホストコンピュータ機能を有する印刷装置を例に取って説明する。なお、印刷装置が備える構成要件のうち、印刷に関わる印刷部は、ホストコンピュータの機能を提供するために不要であることはいうまでもない。

【0105】

インクカートリッジ20aは、上述の半導体装置10a、および図示しないインク収容室を備えている。印刷装置300は、インクカートリッジ20aを搭載するための搭載部310、インクカートリッジ20aの外部端子T（T1～T5）と接続する搭載部側端子320を備えている。搭載部310は、キャリアッジ上に配置されていても良く（オンキャリアッジタイプ）、キャリアッジ外の任意の場所に配置されていても良い（オフキャリアッジタイプ）。

10

【0106】

印刷装置300は、中央演算装置（CPU）301、記憶装置302、入出力部303、印刷部304を備えている。CPU301、記憶装置302、入出力部303および印刷部304は内部バスによって双方向通信可能に接続されている。したがって、CPU301、記憶装置302および入出力部303をホストコンピュータ機能部と呼ぶことができる。記憶装置302は、書き込み用のデータを生成するデータ生成モジュール302a、データを符号化する、本実施例ではデータ列に対してパリティビットを生成しデータ列にパリティビットを付加するための符号化モジュール302bを格納すると共に、半導体装置10aから読み出したデータ、生成された書き込み用データを一時的に記憶する。記憶装置302は、例えば、誤り検出結果読み出しコマンドにより半導体装置10aにアクセスした結果、書き込みエラーが検出されないことをトリガとして、半導体装置10aに送信済みの、記憶している書き込み用データを消去してもよい。データ生成モジュール302aおよび符号化モジュール302bは、CPU301によって実行されることによって、それぞれデータ生成部および符号化部として機能する。また、データ生成部および符号化部は、それぞれ、ハードウェア、例えば、データ生成回路、符号化回路として実現されても良い。入出力部303は搭載部側端子320と接続されており、CPU301が実行する半導体装置10aへのアクセスに基づき、インクカートリッジ20aが備える半導体装置10aに対してデータを送信し、あるいは、半導体装置10aからデータを受信する。印刷部304は、少なくともキャリアッジによって主走査方向に移動される印刷ヘッド、印刷媒体（印刷用紙）を副走査方向に搬送する搬送機構を備え、印刷ヘッドを介してインクカートリッジ20aから供給されたインクを吐出して印刷媒体上に画像を形成する。

20

30

【0107】

半導体装置10aは、外部端子Tを介して印刷装置300から制御信号を受信し、印刷装置300に対して読み出しデータ、誤り検出信号を送信する。なお、図11の例では、印刷装置300に複数のインクカートリッジ20aが備えられている。複数のインクカートリッジ20aに備えられている各半導体装置10aは、それぞれ印刷装置300側の信号線を共有しており、例えば、データ信号線DL、クロック信号CL、リセット信号線RLに対してバス接続されている。なお、インクカートリッジ20aは1つだけ備えられていても良い。

【0108】

半導体装置の動作：

40

図12を参照して本実施例に係る半導体装置10aの動作について説明する。図12は本実施例に係る半導体装置に対するアクセス制御時に半導体装置において実行される処理ルーチンを示すフローチャートである。なお、以下の例では、印刷装置300に対して複数のインクカートリッジ20aが備えられ、各インクカートリッジ20aに備えられている半導体装置10aがバス接続されている場合について説明する。

【0109】

半導体装置10aは印刷装置300からデータを受信すると（ステップS300）、データ列に含まれるIDが自身の識別情報IDと一致するか否かを判定する（ステップS301）。本実施例では、各インクカートリッジ20aに備えられている半導体装置10a

50

は印刷装置 300 に対して共通のクロック信号線 CL、データ信号線 DL、リセット信号線 RL を介してバス接続されているので、ホストコンピュータ 30 から送信されるデータは各半導体装置 10a に対して送信される。ID の判定は、具体的には、既述の通り、ID コンパレータ 130 によって受信したデータ列に含まれる識別情報とメモリアレイ 100 に格納されている識別情報とが一致するか否かが判定される。半導体装置 10a は、ID が一致しないと判定した場合（ステップ S301：No）には、ステップ S308 に移行し、ID が一致すると判定した場合（ステップ S301：Yes）には、コマンドの誤り検出を実行する（ステップ S302）。具体的には、誤り検出オペレーションデコーダ 150 によって、受信したデータ（データ列）に含まれるコマンドパリティビット（CP bit）と、ID およびリード／ライトコマンドビットを用いて算出したパリティ演算の結果とが比較され、両者が一致する場合には受信した ID およびリード／ライトコマンドに誤りはなく、両者が一致しない場合には受信したデータに誤りがあることを検出する。半導体装置 10a は、誤りが検出された場合には（ステップ S302：Yes）、メモリアレイ 100 における誤り検出結果記憶領域 EB に「1」を書き込み（ステップ S312）、本処理ルーチンを終了する。具体的には、上述の通り、誤り検出オペレーションデコーダ 150 によって、ライト／リードコントローラ 140 を介してメモリアレイ 100 の制御エリア CA に対する書き込みが実行される。

【0110】

半導体装置 10a は、ID およびリード／ライトコマンドに誤りがないと判定すると（ステップ S302：No）、受信したデータの書き込みが要求されているか否かを判定する（ステップ S303）。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 によって、受信したデータ列に含まれるリード／ライトコマンドビットが解析され、書き込み要求または読み出し要求のいずれであるかが判定される。また、ID コンパレータ 130 は両 ID が一致する場合には、ライト／リードコントローラ 140 に対してアクセス許可信号 AEN を送信する。なお、本実施例では、ID コンパレータ 130 は、ライト／リードコントローラ 140 に対してアクセス許可信号 AEN を送信しているが、誤り検出オペレーションデコーダ 150 に対して送信するようにしても良い。この場合には、誤り検出オペレーションデコーダ 150 は、アクセス許可信号 AEN を受信した場合に、リード／ライトコマンドビットの解釈を実行する。

【0111】

半導体装置 10a は、データの書き込みが要求されていない、すなわち、読み出しが要求されていると判定した場合には（ステップ S303：No）、メモリアレイ 100 から所望のデータの読み出し処理を実行し（ステップ S310）、本処理ルーチン（今回のアクセスに対する処理）を終了する。メモリアレイ 100 からの所望のデータの読み出しは、ライト／リードコントローラ 140 によって既述の通り実行される。

【0112】

半導体装置 10a はデータの書き込みが要求されていると判定すると（ステップ S303：Yes）、書き込みデータパケットを受信し（ステップ S304）、データ列の誤りを検出する（ステップ S305）。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 によって、データ列に含まれるデータパリティビットと書き込みデータを用いたパリティ演算の結果とが比較され、両者が一致する場合には受信したデータに誤りはなく、両者が一致しない場合には受信したデータに誤りがあることを検出する。

【0113】

半導体装置 10a は、誤りが検出されなかった場合には（ステップ S305：No）、書き込みが要求されているアドレス（領域）がロック領域であるか否かを判定する（ステップ S306）。具体的には、上述のように、ライト／リードコントローラ 140 がメモリアレイ 100 の制御エリア CA に記述されているロック情報を取得し、書き込みが要求されている領域が書き込みを制限されている書き込み禁止領域（読み出し専用領域）であるか否かを判定する。半導体装置 10a は、書き込みが要求されているアドレスがロック領域に該当しないと判定した場合には（ステップ S306：No）、受信したデータをメ

モリアレイ 100 に対して書き込む（ステップ S 307）。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 からライト／リードコントローラ 140 に対して書き込み許可信号 WEN が送信され、ライト／リードコントローラ 140 は受信した 8 ビットのデータを、アドレスセクタ 112 によって選択されたメモリアレイ 100 のアドレス（ロー）に書き込む。

【0114】

半導体装置 10a は、データを書き込んだ後、処理すべき次のデータパケットがあるかを判定し（ステップ S 308）、次のデータパケットがない場合には（ステップ S 308：No）、半導体装置 10a をリセット状態にするリセット信号（0）の入力を待機し（ステップ S 309：No）、リセット信号（0）が入力されると（ステップ S 309：Yes）、本処理ルーチンを終了する。半導体装置 10a は、次のパケットデータがある場合に（ステップ S 308：Yes）、ステップ S 304 に移行する。半導体装置 10a は、誤りが検出された場合には（ステップ S 305：Yes）、メモリアレイ 100 における誤り検出結果記憶領域 EB に「1」を書き込み（ステップ S 312）、本処理ルーチンを終了する。具体的には、既述の通り、誤り検出オペレーションデコーダ 150 によって、ライト／リードコントローラ 140 を介してメモリアレイ 100 に対する書き込みが実行される。

【0115】

半導体装置 10a は、書き込みが要求されているアドレスがロック領域であると判定した場合には（ステップ S 306：Yes）、処理すべき次のデータパケットがあるかを判定し（ステップ S 308）、存在する場合には（ステップ S 308：Yes）、ステップ S 304 に移行する。一方、処理すべき次のデータパケットが存在しない場合には（ステップ S 308：No）、ステップ S 309 に移行する。

【0116】

なお、ステップ S 305 において誤りが検出された場合には、続くデータの書き込みについて以下の態様を取り得る。

（1）誤りを検出した後は、以降の書き込み要求は受け付けない。

（2）誤りを検出した後も、当該書き込みデータパケットの書き込みは実行しないが、以降の書き込み要求は受け付ける。

（3）誤りを検出した後に、当該書き込みデータパケットの再書き込みを実行する。なお、具体的な手順、利点については第 1 の実施例において説明済みであるから説明を省略する。

【0117】

以上説明した本実施例に係る半導体装置 10a によれば、受信した書き込みデータに誤りが検出された場合にはメモリアレイ 100 に対する書き込みが実行されないため、半導体装置 10a に格納されているデータの信頼性を向上させることができる。

【0118】

半導体装置 10a は、誤り検出結果記憶領域 EB を備えるので、全ての書き込み可能領域に対して、書き込みデータとメモリアレイ 100 に書き込まれている既存データとを比較するベリファイ処理を実行することなく、メモリアレイ 100 のデータが付すとコンピュータが書き込もうとしたデータに一致するデータであるかを判定することができる。例えば、電源が不意に遮断された場合であっても、遮断前に誤りのある書き込みデータの書き込み要求があったかを容易に判定することができる。したがって、例えば、誤り検出結果記憶領域 EB が書き込みデータの誤りの検出を示す場合には、時間を要するベリファイ処理を実行することなく、直ちに再度、全ての書き込みデータの書き込みを実行することが可能となり、誤り検出結果記憶領域 EB が書き込みデータの誤りの検出を示さない場合には、書き込みが完了していないデータについて書き込みを再開すれば良い。

【0119】

ホストコンピュータの動作：

図 13 は本実施例に係る半導体装置に対する書き込みアクセス時にホストコンピュータ

10

20

30

40

50

において実行される処理ルーチンを示すフローチャートである。なお、以下の例では印刷装置をホストコンピュータとして用いて説明する。印刷装置 300 は、記憶装置 302 に格納されている書き込まれるべきデータを用いて今回の書き込みアクセスにおいて半導体装置 10a に送信すべき書き込みデータを生成する（ステップ S400）。なお、本実施例では、行選択信号によって選択されるメモリアレイ 100 の行（ロー）に対応する 1 バイトの書き込みデータ列の送信を 1 回の書き込み単位として説明する。具体的には、データ生成モジュール 302a によって、書き込まれるべきデータと、書き込み対象となる半導体装置 10a を識別するための ID、書き込みコマンド、書き込み対象となるデータを含むデータ列が生成される。

【0120】

印刷装置 300 は、生成した書き込みデータを符号化する（ステップ S402）。具体的には、符号化モジュール 302b によって、識別情報 ID とリード／ライトコマンドを利用してコマンドパリティビットが生成され、書き込みデータパケットを利用してデータパリティビットが生成され、生成されたデータ列の先頭から 9 ビット目にコマンドパリティビット、18 ビット目にデータパリティビットが書き込まれることで、データ列が符号化される。

【0121】

印刷装置 300 は、符号化された書き込みデータ列をデータ信号線 DL に出力し、所望の半導体装置を含む全ての半導体装置 10a に対して送信する（ステップ S404）。印刷装置 300 は、所望の半導体装置のメモリセルの次の行に書き込むべきデータが存在するか否かを判定し（ステップ S406）、存在しない場合には（ステップ S406：No）、本処理ルーチンを終了する。

【0122】

一方、印刷装置 300 は、次に書き込むべきデータが存在する場合には（ステップ S406：Yes）、ステップ S300 に移行し、書き込みデータを生成し、ステップ S406 に至る各ステップが繰り返し実行される。

【0123】

以上説明した印刷装置 300 によれば、半導体装置 10a に対して符号化された書き込みデータを送信し、半導体装置 10a が符号化されたデータを用いてデータを検証するので、誤りのある書き込みデータの書き込みを防止することができる。本実施例では、印刷装置 300 は、半導体装置 10a がステップ S305 においてデータの誤りを検出した場合にも、データの書き込み時には、その誤りを確認せず、書き込み処理を中断することなく書き込みを実行する。本実施例では、印刷装置 300 は、書き込みアクセス終了後に、誤り検出確認のために誤り検出結果読み出しコマンドを半導体装置 10a に出力し、誤り検出結果領域 EB の情報を取得し、誤りの検出、すなわち、「1」が記録されていた場合には、再度、先の書き込みデータを用いた書き込み処理が実行される。

【0124】

図 14 は本実施例に係る半導体装置に対し、書き込み時にデータの誤りがあって書き込みがされていないという誤り検出のためにアクセス時に印刷装置において誤り検出結果を利用して実行される処理ルーチンを示すフローチャートである。

【0125】

以下、印刷装置 300 が誤り検出結果を利用する場合に実行するアクセス制御について説明する。本処理ルーチンは、上述の誤り検出結果読み出しコマンドを送信して実行される処理である。印刷装置 300 は、誤り検出結果読み出しコマンドを、書き込みアクセスを実行した半導体装置 10a に対して送信する。具体的には、書き込みアクセスを実行した半導体装置 10a の識別情報 ID とコマンド（誤り検出結果読み出しコマンド）をデータ信号線 DL に出力する。コマンドと識別情報 ID を受信した半導体装置 10a のうち、自身の ID と一致する半導体装置 10a は、誤り検出オペレーションデコーダ 150 を介して、受信したコマンドを判別し、誤り検出結果読み出しコマンドであると判断した場合には、ライト／リードコントローラ 140 によって読み出した誤り検出結果記憶領域 EB

10

20

30

40

50

の情報を印刷装置 300 送信する。これによって印刷装置 300 は誤り検出結果記憶領域 E B の値を取得する（ステップ S 410）。既述の通り、本実施例に係る半導体装置 10 a は、リセット後の数クロックに同期して制御エリア C A の誤り検出結果領域 E B にアクセスするので、印刷装置 300 は誤り検出結果を直ちに取得することができる。なお、誤り検出結果記憶領域 E B がメモリアレイ 100 外のレジスタ 115 に備えられている場合には、印刷装置 300 は、当該レジスタ 115 にアクセスし、誤り検出結果を取得する。識別情報 I D と自身の識別情報 I D とが一致せず、誤り検出結果読み出しコマンドを受信したと判断した半導体装置 10 a は、自身の誤り検出領域 E B に「1」（誤り検出有り）が記憶されているか否かを判断し、「1」が記憶されている場合には、「0」に更新して処理を終了する。

10

【0126】

印刷装置 300 は、誤り検出結果記憶領域 E B の値が「1」であるか否かを判定し（ステップ S 411）、「1」の場合、すなわち、誤りが検出されていた場合には（ステップ S 411：Y e s）、記憶装置 302 に格納されている書き込み対象となる全てのデータ、すなわち、先の書き込み処理に用いられたメモリアレイ 100 の書き換え可能領域に対応するデータを取得する（ステップ S 412）。なお、既述のように記憶装置 302 に先の書き込み用データが残されている場合には当該書き込み用データを用いても良く、あるいは、データ生成モジュール 302 a によって再度、先の書き込み用データを生成しても良い。ここで、書き換え可能領域に対応するデータは、書き込み可能なデータとも言うことも可能であり、例えば、インク量（残量または消費量）、印刷装置 300 に対するインクカートリッジの装着回数（半導体装置 10 a と印刷装置 300 との接触回数）といった情報に関するデータが該当する。

20

【0127】

印刷装置 300 は、図 13 を用いて説明した通常書き込みアクセス時と同様に、半導体装置 10 a にアクセスする。印刷装置 300 は識別情報 I D とリード／ライトコマンド（R／W）を用いてコマンドパリティビットを生成し、識別情報 I D とリード／ライトコマンドとパリティビットを半導体装置 10 a に送信する。印刷装置 300 は、書き込み単位、すなわち、バイト単位にて書き込みデータ（書き込みデータパケット）を生成する（ステップ S 413）。印刷装置 300 は、生成した書き込みデータパケットを用いてデータパリティビットを生成し、既述の位置に配置して書き込みデータパケットを符号化し（ステップ S 414）、半導体装置 10 a に送信する（ステップ S 415）。なお、各ステップにおける詳細な処理は図 12 を参照して説明済みであるから説明を省略する。

30

【0128】

印刷装置 300 は、次の書き込みデータが存在する場合には（ステップ S 416：Y e s）、ステップ S 413 に移行し、全ての書き込みデータパケットの送信が終了するまでステップ S 413～S 415 の処理を繰り返し実行する。印刷装置 300 は、次の書き込みデータが存在しなくなると（ステップ S 416：N o）、本処理ルーチンを終了する。

【0129】

印刷装置 300 は、誤り検出結果記憶領域 E B の値が「0」の場合、すなわち、誤りが検出されていない場合には（ステップ S 411：N o）、本処理ルーチンを終了する。

40

【0130】

以上説明した印刷装置 300 によれば、半導体装置 10 a に対してデータを書き込む際に、誤り検出結果記憶領域 E B を読み出すことにより、半導体装置 10 a に書き込まれているデータが書き込まれるべきデータに対応しているか否か、すなわち、書き込みの際に書き込みエラーが発生したか否かを判定することができる。したがって、書き込みエラーの発生を検出した場合には、書き込みデータの再書き込みを実行し、書き込みエラーの発生を検出しなかった場合には、書き込みが要求される書き込みデータの書き込みを直ちに実行することができる。

【0131】

その他の実施例：

50

(1) 上記各実施例ではパリティチェックによる符号化処理を例にとって説明したが、このほかに、例えば、CRC（巡回冗長検査）、チェックサム、ハッシュ関数を用いた符号化処理も同様に適用可能である。

【0132】

(2) 上記各実施例では、誤り検出結果記憶領域EBが備えられている場合について述べたが、誤り検出結果記憶領域EBを備えていなくても、誤りが検出された書き込みデータの書き込みを防止できることはいうまでもない。したがって、半導体記憶装置10は、誤り検出結果記憶領域EBを備えていなくても良い。

【0133】

(3) 上記実施例では、シーケンシャルアクセス型のメモリアレイ100を例にとって説明したが、ランダムアクセス型のメモリアレイを備える半導体記憶装置においても同様の効果が得られることは言うまでもない。また、書き込み単位は1バイトでなくてもよく、1ビット単位でも良い。この場合には、例えば、所望の1ビットを含む数ビットを用いて符号化処理を実行すれば良い。また、半導体記憶装置10、半導体装置10aのメモリアレイは強誘電体メモリセルからなるものであっても良い。更には、半導体記憶装置10、半導体装置10aはメモリアレイに加えて演算回路を備えた半導体装置であっても良い。

【0134】

(4) 上記各実施例では、複数の半導体記憶装置10がホストコンピュータ30に対して信号線を介してバス接続される例をとって説明したが、半導体記憶装置10とホストコンピュータ30とはスター接続されていても良く、また、ホストコンピュータ30に対して1つの半導体記憶装置10が接続されていても良い。この場合には、識別情報は不要であり、半導体記憶装置はIDコンパレータ130を備えなくて良い。

【0135】

(5) 上記実施例では、検出結果記憶領域EBとして1ビットの領域を用いたが、例えば、液体収容体の使用と共に更新されるデータの格納領域（ロー）に対応する数の複数ビットの検出結果記憶領域EBを備えても良い。この場合には、各検出結果記憶領域EBとローを対応付けておくことによって、電源遮断後においても書き込みが正しく実行されなかったローを判別することが可能となり、判別されたローに対応するデータのみを書き込むことによって再書き込み時間を短縮することができる。

【0136】

以上、実施例、変形例に基づき本発明について説明してきたが、上記した発明の実施の形態は、本発明の理解を容易にするためのものであり、本発明を限定するものではない。本発明は、その趣旨並びに特許請求の範囲を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物が含まれる。

【符号の説明】

【0137】

- 10…半導体記憶装置
- 10a…半導体装置
- 20…液体収容体
- 20a…インクカートリッジ
- 30…ホストコンピュータ
- 31…データ生成部
- 32…符号化回路
- 33…入出力部
- 100…メモリアレイ
- 110…アドレスカウンタ
- 111…クロックカウンタ
- 112…アドレスデコーダ
- 130…IDコンパレータ
- 140…ライト／リードコントローラ

10

20

30

40

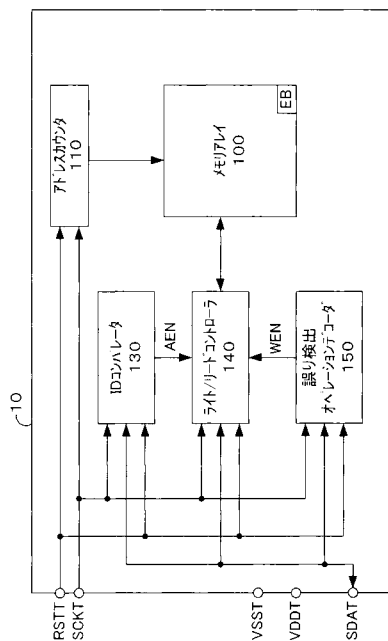
50

- 150…誤り検出オペレーションデコーダ
- 300…印刷装置
- 301…中央演算装置（CPU）
- 302…記憶装置
- 302a…データ生成モジュール
- 302b…符号化モジュール
- 303…入出力部
- 304…印刷部
- CB…回路基板
- AEN…アクセス許可信号
- WEN…許可信号
- CL…クロック信号線
- DL…データ信号線
- RL…リセット信号線
- EB…誤り検出結果記憶領域
- RST…リセット信号
- SCK…クロック信号
- SDA…データ信号
- RSTT…リセット信号端子
- SCKT…クロック信号端子
- SDAT…データ信号端子
- T、T1～T5…外部端子
- D Pbit…データパリティビット
- C Pbit…コマンドパリティビット
- R/W…リード／ライトコマンド

10

20

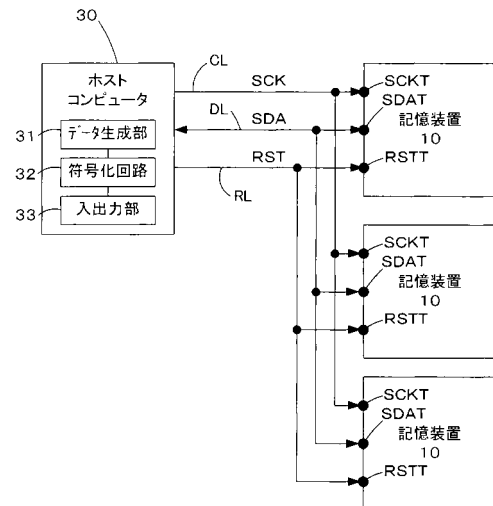
【図1】



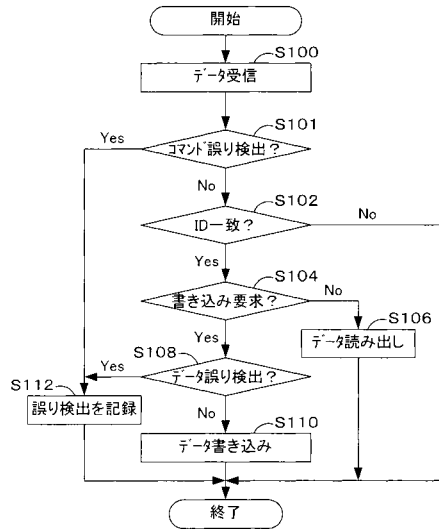
【図2】

ID	R/Wコマンド	CP bit	書き込みデータハケット	DP bit	書き込みデータハケット	DP bit	...
----	---------	-----------	-------------	-----------	-------------	-----------	-----

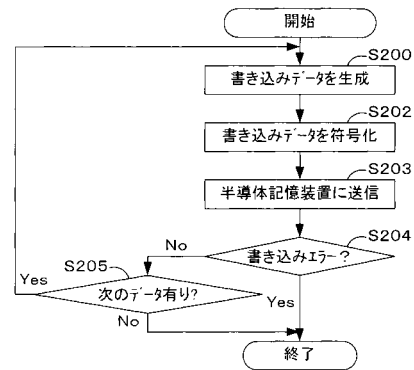
【図3】



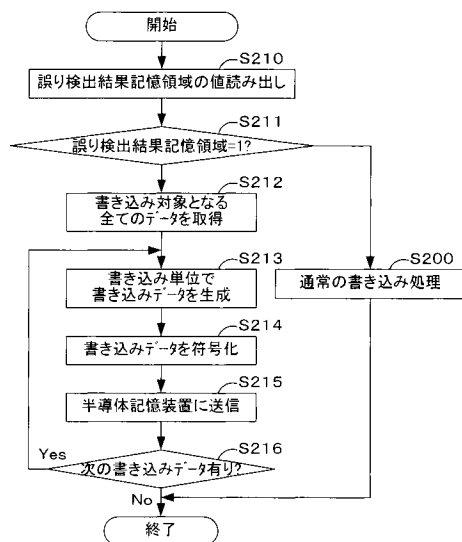
【図 4】



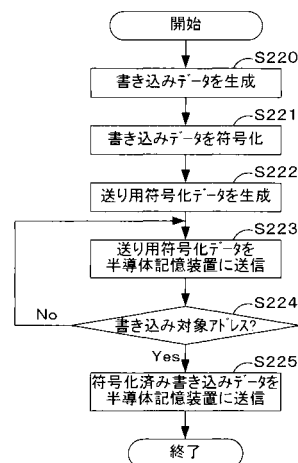
【図 5】



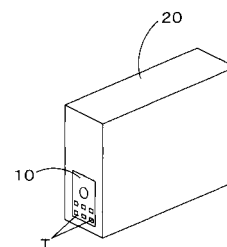
【図 6】



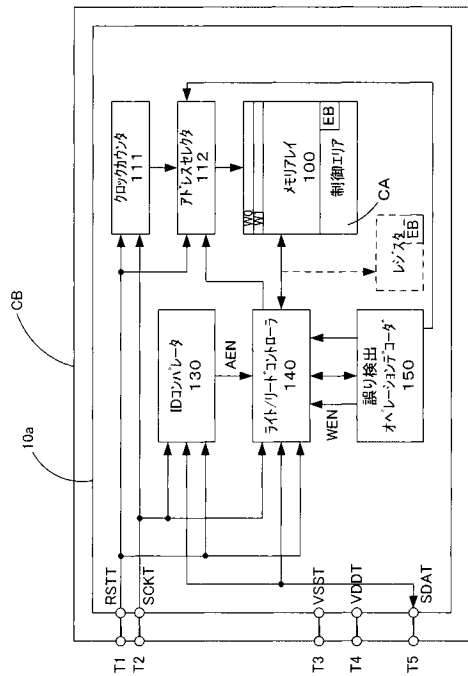
【図 7】



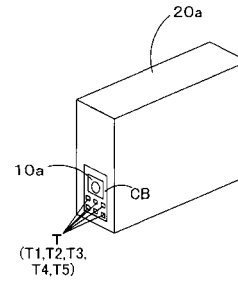
【図 8】



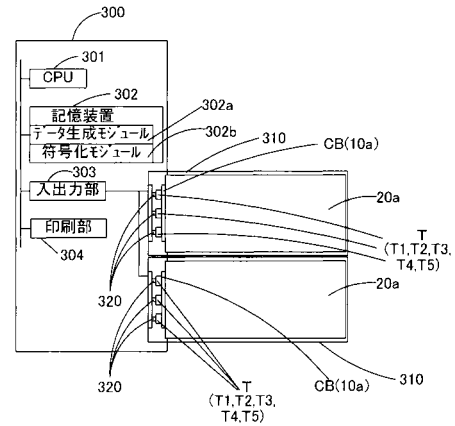
【図 9】



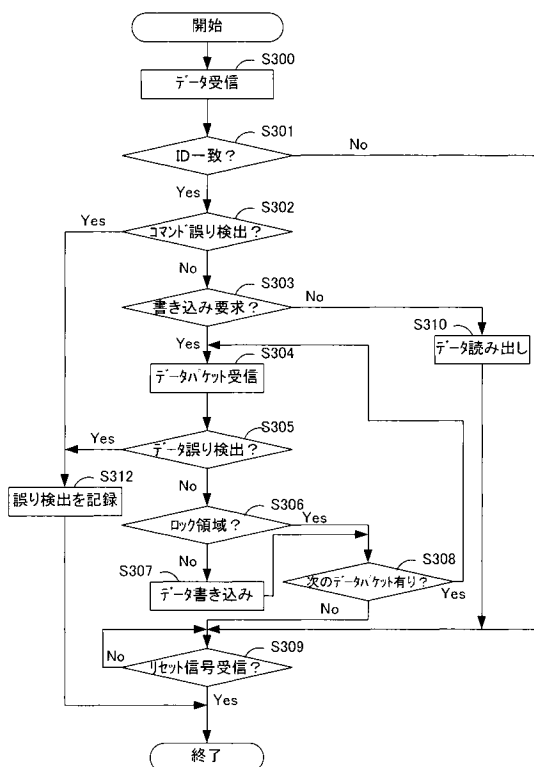
【図 10】



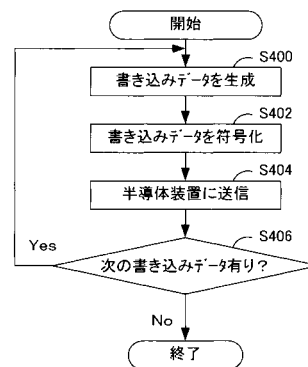
【図 11】



【図 12】



【図 13】



【図 14】

