



(12) 发明专利

(10) 授权公告号 CN 113689907 B

(45) 授权公告日 2025. 02. 25

(21) 申请号 202110820015.2

(56) 对比文件

(22) 申请日 2021.07.20

CN 104852727 A, 2015.08.19

CN 107450644 A, 2017.12.08

(65) 同一申请的已公布的文献号

申请公布号 CN 113689907 A

审查员 戴颖

(43) 申请公布日 2021.11.23

(73) 专利权人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 李博 苏泽鑫 宿晓慧 任洪宇

卜建辉 赵发展

(74) 专利代理机构 北京华沛德权律师事务所

11302

专利代理师 房德权

(51) Int. Cl.

G11C 11/412 (2006.01)

G06F 21/73 (2013.01)

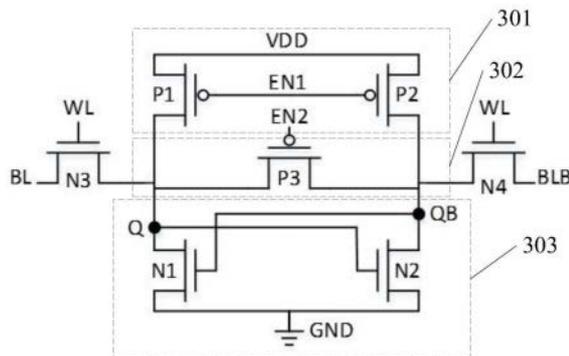
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种SRAM-PUF单元结构、存储器以及上电模式的控制方法

(57) 摘要

本发明涉及半导体技术领域,尤其涉及一种SRAM-PUF单元结构、存储器以及上电模式的控制方法,该SRAM-PUF单元结构包括:控制电路、反馈电路以及控制电路与反馈电路之间的开关电路,在控制电路的输入端输入第一控制信号,且控制开关电路导通时,反馈电路的两个输出端形成电压差;在控制电路的输入端维持该第一控制信号不变,且控制开关电路关断时,该电压差逐渐增大至预设差值,且在预设差值处稳定不变,进而不会因噪声影响而使得上电结果变化,提高了单元结构的可靠性。



1. 一种SRAM-PUF单元结构,其特征在于,包括:

控制电路、反馈电路,以及所述控制电路与所述反馈电路之间的开关电路;

在所述控制电路的输入端输入第一控制信号,且控制所述开关电路导通时,所述反馈电路的两个输出端形成电压差;

在所述控制电路的输入端维持所述第一控制信号不变,且控制所述开关电路关断时,所述电压差逐渐增大至预设差值,且在所述预设差值处稳定不变;

所述控制电路包括:第一晶体管和第二晶体管,所述第一晶体管的源极与所述第二晶体管的源极均与电源电压连接;

所述第一晶体管的栅极和第二晶体管的栅极连接,且作为第一输入端,用于输入所述第一控制信号;

所述第一控制信号的值为小于或等于电源电压的值的一半;

所述开关电路包括:第三晶体管,所述第三晶体管的源极和漏极对应连接在所述第一晶体管的漏极和所述第二晶体管的漏极之间,所述第三晶体管的栅极作为第二输入端,用于输入第二控制信号;

在所述第二控制信号为低电平时,所述开关电路导通;

在所述第二控制信号为高电平时,所述开关电路关断;

所述反馈电路包括:第四晶体管和第五晶体管,所述第四晶体管的源极连接所述开关电路的一端,且连接所述第五晶体管的栅极,作为第一上电节点,所述第四晶体管的栅极连接所述第五晶体管的源极,且连接所述开关电路的另一端,作为第二上电节点,所述第五晶体管的漏极和所述第四晶体管的漏极均接地。

2. 如权利要求1所述的SRAM-PUF单元结构,其特征在于,还包括:

第六晶体管和第七晶体管;

所述第六晶体管的源极与所述开关电路的一端连接,所述第六晶体管的漏极连接位线,所述第六晶体管的栅极连接字线;

所述第七晶体管的源极与所述开关电路的另一端连接,所述第七晶体管的漏极连接接地端位线,所述第七晶体管的栅极连接字线。

3. 一种存储器,其特征在于,包括:

如权利要求1~2中任一所述的SRAM-PUF单元结构。

4. 一种上电模式的控制方法,其特征在于,应用于如权利要求1-3中的SRAM-PUF单元结构,包括:

在控制电路的输入端输入第一控制信号,且控制开关电路导通时,所述反馈电路的两个输出端形成电压差;

在所述开关电路的输入端输入第二控制信号,在所述第二控制信号为低电平时,所述开关电路导通;在所述第二控制信号为高电平时,所述开关电路关断;

在所述控制电路的输入端维持所述第一控制信号不变,且控制所述开关电路关闭时,所述电压差逐渐增大至预设差值,且在所述预设差值处稳定不变。

一种SRAM-PUF单元结构、存储器以及上电模式的控制方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种SRAM-PUF单元结构、存储器以及上电模式的控制方法。

背景技术

[0002] SRAM是静态随机存取存储器,Static Random Access Memory,PUF是物理不可克隆函数,Physical Unclonable Function。

[0003] 基于SRAM的PUF形式,用于物联网的安全认证与密钥管理,优势是低成本低功耗,且现场产生的密钥无法被克隆。

[0004] 现有的SRAM-PUF单元结构是基于单元内部的晶体管在生产时的阈值电压差异来形成随机变化的上电初值,但是,由于该结构极易受到噪声影响,从而改变上电结果,使得同一单元结构的多次上电结果不统一,可靠性降低。

发明内容

[0005] 鉴于上述问题,提出了本发明以便提供一种克服上述问题或者至少部分地解决上述问题的SRAM-PUF单元结构、存储器以及上电模式的控制方法。

[0006] 第一方面,本发明提供了一种SRAM-PUF单元结构,包括:

[0007] 控制电路、反馈电路,以及所述控制电路与所述反馈电路之间的开关电路;

[0008] 在所述控制电路的输入端输入第一控制信号,且控制所述开关电路导通时,所述反馈电路的两个输出端形成电压差;

[0009] 在所述控制电路的输入端维持所述第一控制信号不变,且控制所述开关电路关断时,所述电压差逐渐增大至预设差值,且在所述预设差值处稳定不变。

[0010] 优选地,所述控制电路包括:第一晶体管和第二晶体管,所述第一晶体管的源极与所述第二晶体管的源极均与电源电压连接;

[0011] 所述第一晶体管的栅极和第二晶体管的栅极连接,且作为第一输入端,用于输入所述第一控制信号。

[0012] 优选地,所述第一控制信号的值为小于或等于电源电压的值的一半。

[0013] 优选地,所述开关电路包括:第三晶体管,所述第三晶体管的源极和漏极对应连接在所述第一晶体管的漏极和所述第二晶体管的漏极之间,所述第三晶体管的栅极作为第二输入端,用于输入第二控制信号。

[0014] 优选地,在所述第二控制信号为低电平时,所述开关电路导通;

[0015] 在所述第二控制信号为高电平时,所述开关电路关断。

[0016] 优选地,所述反馈电路包括:第四晶体管和第五晶体管,所述第四晶体管的源极连接所述开关电路的一端,且连接所述第五晶体管的栅极,作为第一上电节点,所述第四晶体管的栅极连接所述第五晶体管的源极,且连接所述开关电路的另一端,作为第二上电节点,所述第五晶体管的漏极和所述第四晶体管的漏极均接地。

[0017] 优选地,还包括:

[0018] 第六晶体管和第七晶体管;

[0019] 所述第六晶体管的源极与所述开关电路的一端连接,所述第六晶体管的漏极连接位线,所述第六晶体管的栅极连接字线;

[0020] 所述第七晶体管的源极与所述开关电路的另一端连接,所述第七晶体管的漏极连接接地端位线,所述第七晶体管的栅极连接字线。

[0021] 第二方面,本发明还提供了一种存储器,包括:

[0022] 第一方面中任一所述的SRAM-PUF单元结构。

[0023] 第三方面,本发明还提供了一种上电模式的控制方法,应用于第一方面中的SRAM-PUF单元结构,包括:

[0024] 在控制电路的输入端输入第一控制信号,且控制开关电路导通时,所述反馈电路的两个输出端形成电压差;

[0025] 在所述控制电路的输入端维持所述第一控制信号不变,且控制所述开关电路关闭时,所述电压差逐渐增大至预设差值,且在所述预设差值处稳定不变。

[0026] 本发明实施例中的一个或多个技术方案,至少具有如下技术效果或优点:

[0027] 本发明提供了一种SRAM-PUF单元结构,包括:控制电路、反馈电路以及控制电路与反馈电路之间的开关电路,在控制电路的输入端输入第一控制信号,且控制开关电路导通时,反馈电路的两个输出端形成电压差;在控制电路的输入端维持该第一控制信号不变,且控制开关电路关断时,该电压差逐渐增大至预设差值,且在预设差值处稳定不变,进而不会因噪声影响而使得上电结果变化,提高了单元结构的可靠性。

附图说明

[0028] 通过阅读下文优选实施方式的详细描述,各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的,而并不认为是对本发明的限制。而且在整个附图中,用相同的参考图形表示相同的部件。在附图中:

[0029] 图1示出了相关技术中SRAM-PUF单元结构的结构示意图;

[0030] 图2示出了相关技术中SRAM-PUF单元结构的上电波形示意图;

[0031] 图3示出了本发明实施例中SRAM-PUF单元结构的结构示意图;

[0032] 图4示出了本发明实施例中SRAM-PUF单元结构的上电波形示意图;

[0033] 图5示出了本发明实施例中上电模式的控制方法的步骤流程示意图。

具体实施方式

[0034] 下面将参照附图更详细地描述本公开的示例性实施例。虽然附图中显示了本公开的示例性实施例,然而应当理解,可以以各种形式实现本公开而不应被这里阐述的实施例所限制。相反,提供这些实施例是为了能够更透彻地理解本公开,并且能够将本公开的范围完整的传达给本领域的技术人员。

[0035] SRAM(静态随机存取存储器,Static Random Access Memory)是一张具有静止存取功能的内存,不需要刷新电路就能保存它内部存储的数据。当SRAM用于芯片中时,在芯片系统检测到未授权的非法访问时,芯片系统可以切断SRAM的电源以避免攻击者窃取数据。

[0036] 在相关技术中,SRAM-PUF单元结构如图1所示,包括交叉耦合的第一反相器和第二反相器;第一反相器和第二反相器交叉耦合后,形成第一存储节点Q1和第二存储节点QB1,其中,第一存储节点Q1和第二存储节点QB1用来存储一位二进制信息0或1。

[0037] 其中,该第一反相器101和第二反相器102的电路结构沿存储元的中心轴线呈轴对称结构。

[0038] 第一反相器101包括第一P型晶体管P1和第一N型晶体管N1;第一P型晶体管和源极与电源端VDD电连接,第一P型晶体管P1的漏极与第一N型晶体管N1的漏极电连接于第一存储节点Q1,第一N型晶体管N1的源极接地(与接地端GND电连接),第一P型晶体管P1的栅极和第一N型晶体管N1的栅极电连接于第二存储节点QB1。

[0039] 第二反相器102包括第二P型晶体管P2和第二N型晶体管N2,第二P型晶体管P2的源极和电源端VDD电连接,第二P型晶体管P2漏极和第二N型晶体管N2的漏极电连接于第二存储节点QB1,第二N型晶体管N2的源极接地(与接地端GND电连接),第二P型晶体管P2的栅极和第二N型晶体管N2的栅极电连接于第一存储节点Q1。

[0040] 该SRAM-PUF单元结构上电波形如图2所示,具体地,在电源电压VDD通电之后,第一存储节点Q1与第二存储节点QB1的电压均开始上升,由于晶体管阈值电压存在差异,则第一存储节点Q1与第二存储节点QB1电压上升速度不同,然后,形成逐渐增大的电压差,当电压差达到一定阈值时,该第一存储节点Q1与第二存储节点QB1的节点电压快速进入稳定电平状态且不再变化。

[0041] 但是,实际情况中,该启动模式存在一定的缺陷,主要是由于第一存储节点Q1和第二存储节点QB1上升过程中,两者电压差为达到阈值时,极易受到噪声影响,从而改变上电结果,使得同一单元的多次上电结果不统一,因此,可靠性降低。

[0042] 实施例一

[0043] 本发明的实施例提供了一种SRAM-PUF单元结构,如图3所示,包括:控制电路301、反馈电路303以及控制电路301与反馈电路303之间的开关电路302。

[0044] 在控制电路301的输入端输入第一控制信号,且控制开关电路302导通时,反馈电路303的两个输出端形成电压差;在控制电路301的输入端维持第一控制信号不变,且控制开关电路302关断时,该电压差逐渐增大至预设差值,且在预设差值处稳定不变。

[0045] 具体地,该控制电路301包括:第一晶体管P1和第二晶体管P2,第一晶体管P1的源极和第二晶体管P2的源极均与电源电压VDD连接,第一晶体管P1的栅极和第二晶体管P2的栅极连接,且作为第一输入端,用于输入第一控制信号EN1。

[0046] 该第一控制信号EN1的值为小于或等于电源电压的值的一半。即第一控制信号EN1的值为 $[0, 1/2VDD]$ 。

[0047] 该开关电路302包括:第三晶体管P3,该第三晶体管P3的源极和漏极对应连接在第一晶体管P1的漏极和第二晶体管P2的漏极之间,第三晶体管P3的栅极作为第二输入端,用于输入第二控制信号EN2。

[0048] 在第二控制信号EN2为低电平时,该开关电路导通;在该第二控制信号EN2为高电平时,该开关电路关断。

[0049] 该反馈电路包括:第四晶体管N1和第五晶体管N2,该第四晶体管N1的源极连接开关电路的一端,且连接第五晶体管的栅极,作为第一上电节点Q;第四晶体管N1的栅极连接

第五晶体管N2的源极,且连接开关电路的另一端,作为第二上电节点QB,该第五晶体管N2的漏极和第四晶体管N1的漏极均接地。

[0050] 该反馈电路具有正反馈和负反馈的作用。

[0051] 该SRAM-PUF单元结构还包括:第六晶体管N3和第七晶体管N4,其中,第六晶体管N3的源极和开关电路的一端连接,第六晶体管N3的漏极连接位线BL,该第六晶体管N3栅极连接字线WL。

[0052] 该第七晶体管N4的源极与开关电路的另一端连接,该第七晶体管N4的漏极连接接地端危险BLB,第七晶体管N4的栅极连接字线WL。

[0053] 上述的晶体管具体可以是P型晶体管,也可以是N型晶体管,在此并不作限定,图示中以第一晶体管、第二晶体管、第三晶体管为P型晶体管为例,第四晶体管、第五晶体管、第六晶体管、第七晶体管为N型晶体管为例。

[0054] 该SRAM-PUF单元结构的上电模式如下:

[0055] 在第一阶段,电源电压VDD上电,对控制电路的第一输入端输入第一控制信号,该第一控制信号为 $0 \sim 1/2VDD$ 中的任一固定电平;开关电路导通,即该第三晶体管P3的栅极为低电平。此时,第一晶体管P1和第二晶体管P2均导通,第三晶体管P3也导通,由于第一晶体管P1与第二晶体管P2之间存在阈值电压失配不同,使得第一上电节点Q与第二上电节点QB之间存在电压差,在该反馈电路的负反馈作用下,该电压差保持在某一固定电平值不变,该电路达到单稳态状态。

[0056] 具体地,在第一上电节点Q的电位上升时,会使得第五晶体管N2的栅极的电位也上升,即会将第二上电节点QB的电位下拉,而第三晶体管P3是导通状态,形成负反馈作用,阻止第二上电节点QB的电位继续下拉,由此形成单稳态状态。

[0057] 在第二阶段,电源电压维持VDD上电状态,且控制电路的第一输入端维持输入第一控制信号,即 $0 \sim 1/2VDD$ 中的任一固定电平;开关电路关断,即该第三晶体管P3的栅极为高电平,即VDD。此时,由于开关电路关断了,在反馈电路的正反馈作用下,在第一上电节点Q与第二上电节点QB之间存在的电压差也逐渐增大,直到第一上电节点Q的电压达到VDD,第二上电节点QB的电压达到0,使得该电压差保持在预设差值处不变,该电路处于双稳态状态。

[0058] 具体地,在第二阶段中,第三晶体管P3是关断状态,在第二上电节点QB的电位下拉,由于第三晶体管P3是关断状态,使得第四晶体管N1的栅极的电位下拉,则第一上电节点Q的电位会继续上升,由此形成正反馈,则第二上电节点QB的电位继续下降,该电路形成双稳态状态。

[0059] 由此完成电路启动,上电结果从该第一上电节点Q和第二上电节点QB处读取。

[0060] 本发明实施例中的一个或多个技术方案,至少具有如下技术效果或优点:

[0061] 本发明提供了一种SRAM-PUF单元结构,包括:控制电路、反馈电路以及控制电路与反馈电路之间的开关电路,在控制电路的输入端输入第一控制信号,且控制开关电路导通时,反馈电路的两个输出端形成电压差;在控制电路的输入端维持该第一控制信号不变,且控制开关电路关断时,该电压差逐渐增大至预设差值,且在预设差值处稳定不变,进而不会因噪声影响而使得上电结果变化,提高了单元结构的可靠性。

[0062] 实施例二

[0063] 基于相同的发明构思,本发明还提供了一种存储器,包括实施例一中所述的SRAM-

PUF单元结构,以实现静态存取功能。

[0064] 实施例三

[0065] 基于相同的发明构思,本发明还提供了一种上电模式的控制方法,应用于实施例一中所述的SRAM-PUF单元结构中,如图5所示,该方法包括:

[0066] S501,在控制电路的输入端输入第一控制信号,且控制开关电路导通时,反馈电路的两个输出端形成电压差;

[0067] S502,在控制电路的输入端维持第一控制信号不变,且控制开关电路关闭时,电压差逐渐增大至预设差值,且在该预设差值处稳定不变。

[0068] 本发明提供的上电模式的控制方法具有与本发明实施例提供的SRAM-PUF单元结构具体相同的技术效果,在此不作赘述。

[0069] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0070] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

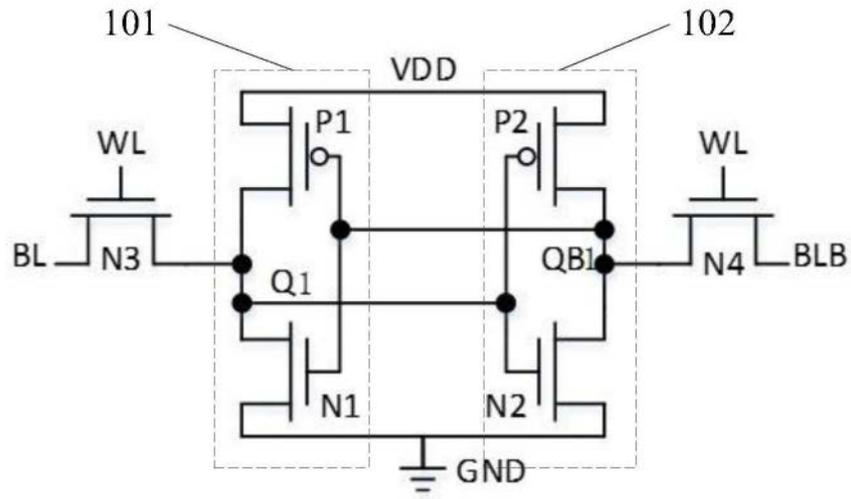


图1

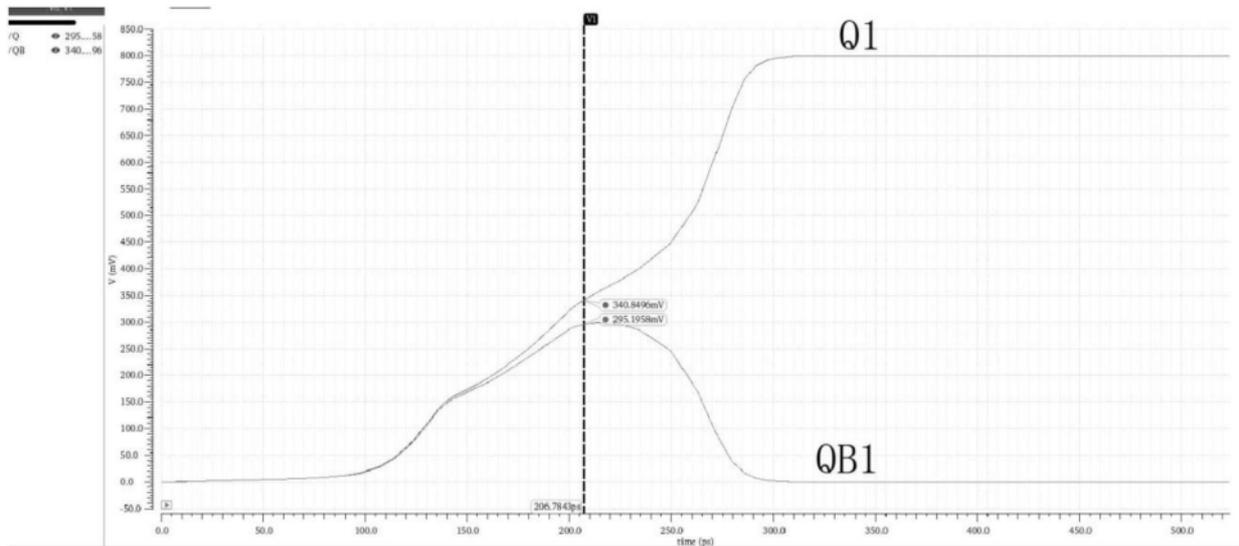


图2

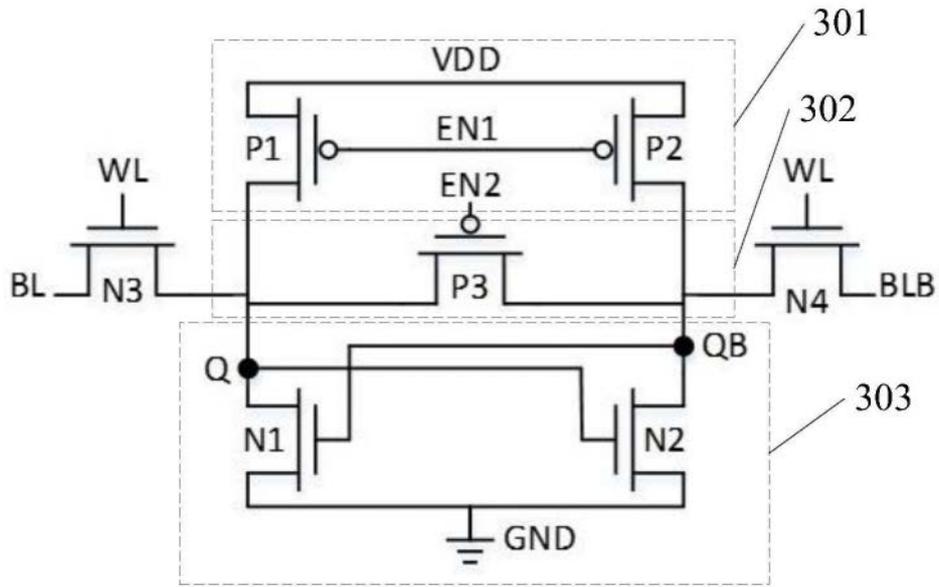


图3

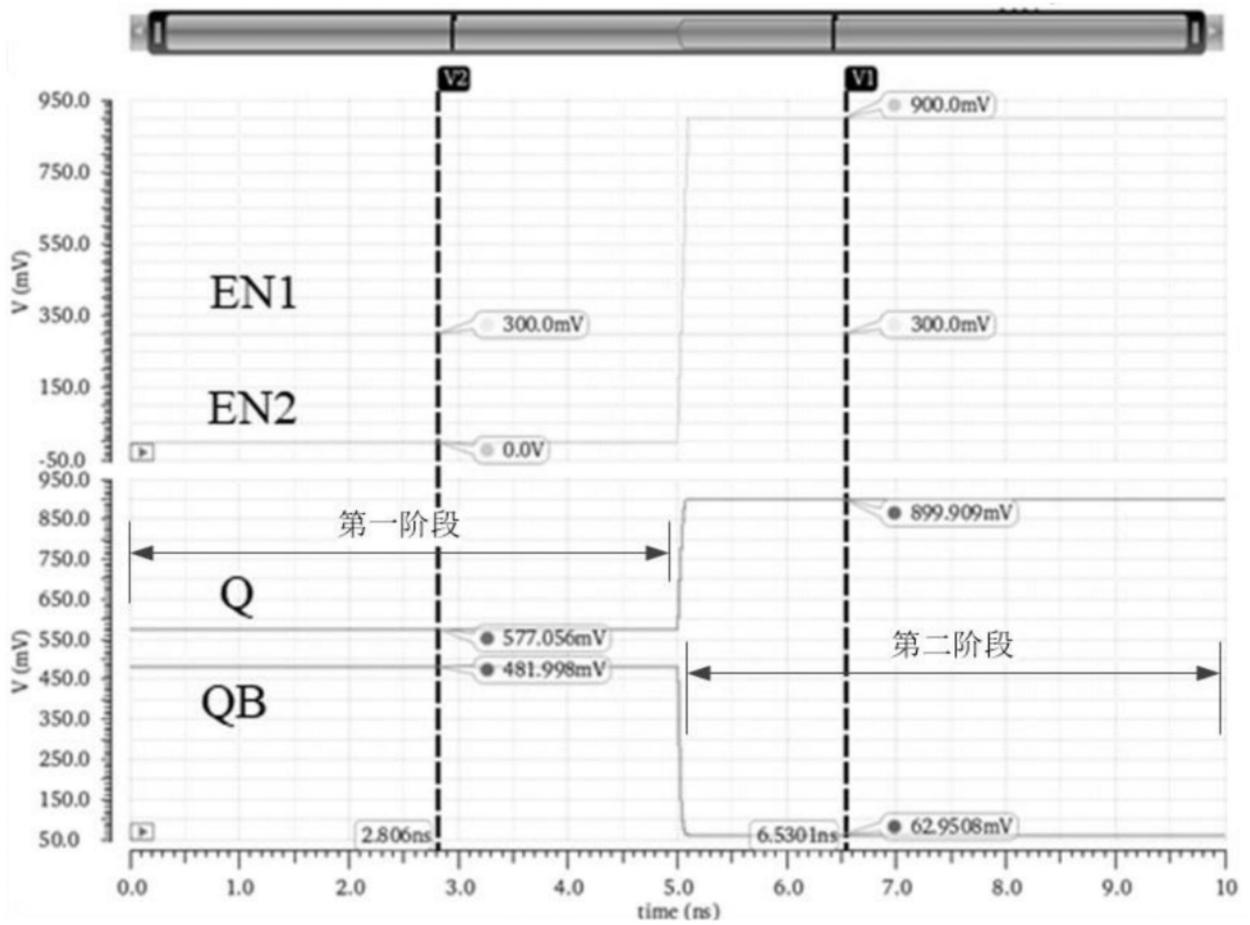


图4

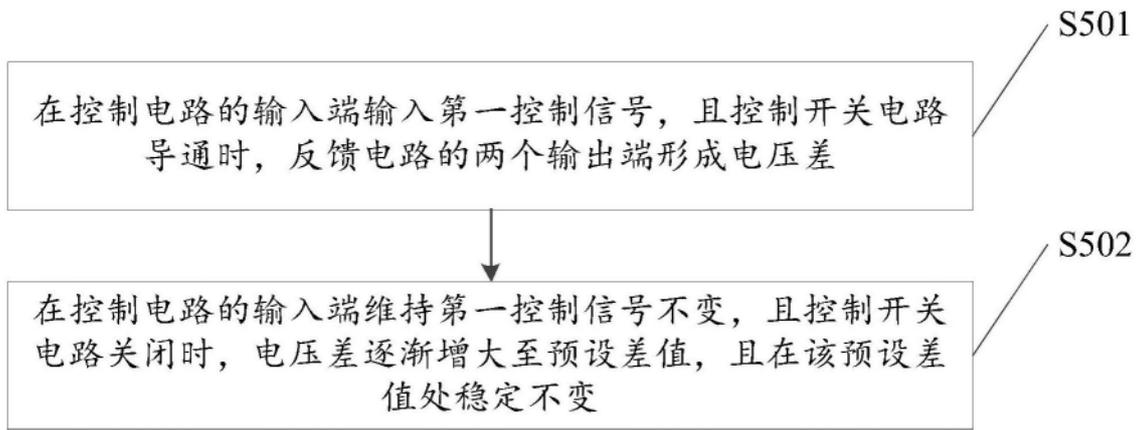


图5