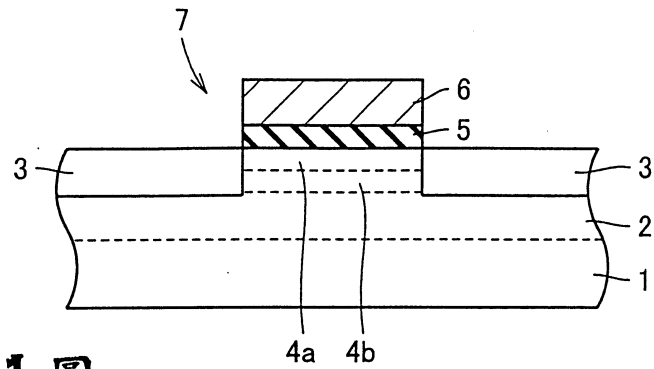
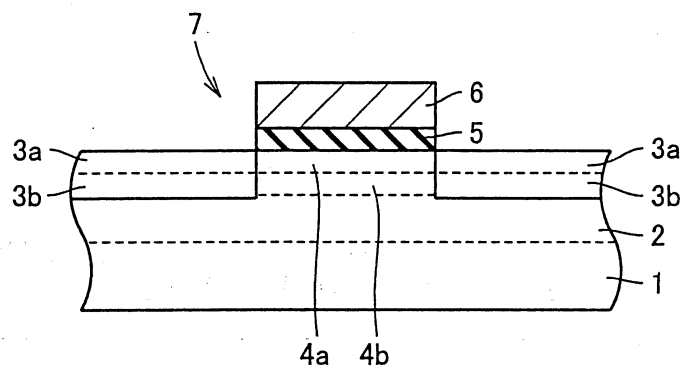
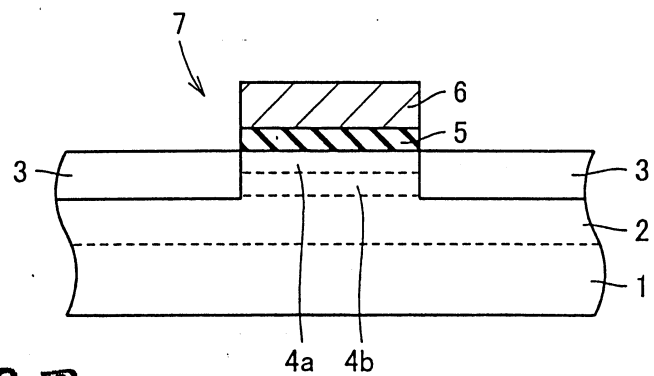




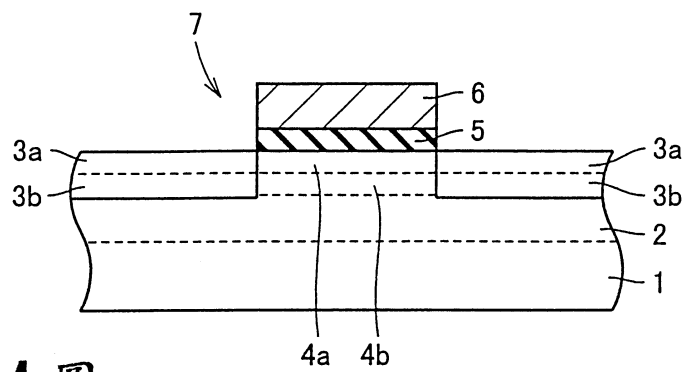
第1圖



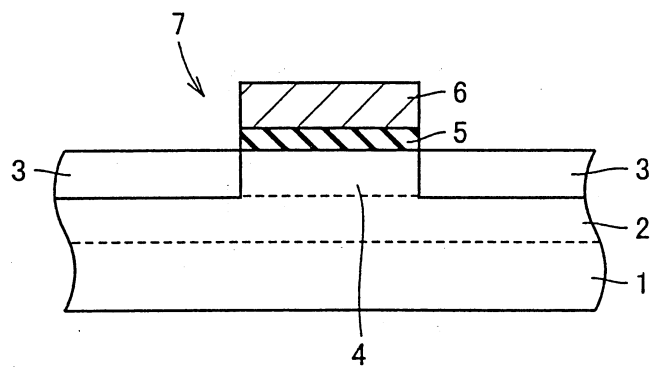
第2圖



第 3 圖



第 4 圖



第 5 圖

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：91132546

※ 申請日期：91.11.5

※IPC 分類：H01L 27/1108

## 壹、發明名稱：(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

## 貳、申請人：(共1人)

姓名或名稱：(中文/英文)

三菱電機股份有限公司/MITSUBISHI DENKI KABUSHIKI KAISHA

代表人：(中文/英文) 野間口有/NOMAKUCHI, TAMOTSU

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目2番3號

2-3, Marunouchi 2-Chome, Chiyoda-ku, Tokyo, JAPAN

國籍：(中文/英文) 日本國/JAPAN

## 參、發明人：(共1人)

姓名：(中文/英文)

相原一洋/AIHARA, KAZUHIRO

住居所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內

c/o MITSUBISHI DENKI KABUSHIKI KAISHA, 2-3, Marunouchi 2-Chome, Chiyoda-ku, Tokyo, JAPAN

國籍：(中文/英文) 日本國/JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本國 2002 年 8 月 21 日 特願 2002-240537 （主張優先權）

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

[發明所屬之技術領域]

本發明係有關一種具備半導體基板的半導體裝置。

[先前技術]

就使用具備半導體基板之半導體裝置之一例的半導體電晶體而言，眾所周知係有動態隨機存取記憶體DRAM(Dynamic Random Access Memory)的電晶體。第5圖係以往之DRAM的電晶體之剖視圖。第5圖所示之以往之DRAM的電晶體具有如下的構造。

以往的電晶體在半導體基板1上，形成有包含p型雜質之鍺化矽SiGe結晶膜基板2。此外，在SiGe結晶膜基板2上，形成有包含作為通道區域功能的p型雜質之Si結晶膜4。又，在Si結晶膜4的兩側，形成有包含作為源極/汲極區域功能的n型雜質之Si結晶膜3。再者，在Si結晶膜4上，藉著閘極絕緣膜5形成有閘極6。

藉由上述的Si結晶膜3、Si結晶膜4、閘極絕緣膜5及閘極6，而構成有n通道電晶體7。

上述之以往的電晶體中，Si結晶膜4係形成於SiGe結晶膜基板2上。所以在Si結晶膜4形成有晶格變形。故可提昇流動於Si結晶膜4中的電子遷移率(Mobility)。即，以往的電晶體係利用形成於SiGe結晶膜基板2上的Si結晶膜4，來作為構成通道區域的材料，因此，可增加汲極電流。

而且，以往之技術中記載有Si結晶膜4形成於半導體基板內，作為供電子流動的導電部之一例；同時，亦記載有將SiGe結晶膜

基板2連接於導電部的下面，使構成導電部的半導體產生晶格變形，以提昇供電子流動之該導電部的電子遷移率，以此作為電子遷移率提升部之一例。

上述以往的電晶體中，作為通道區域之Si結晶膜4的表面係為與閘極絕緣膜接觸之構造。因此，在形成閘極絕緣膜5的階段中，Si結晶膜4的表面乃露出至外側。所以，導電部之Si結晶膜4的表面係為容易形成自然氧化膜的構造。故，形成閘極絕緣膜5之後，會因閘極絕緣膜5的存在而使Si結晶膜4的表面產生氧化。結果，閘極絕緣膜5本身的介電常數降低。因此，將電壓施加至閘極時，形成於Si結晶膜4上的通道區域形成不完全的區域。結果，產生無法獲致所期望的汲極電流之問題。

此外，以往的電晶體中，作為源極/汲極區域之Si結晶膜3的表面係與源極/汲極區域供電子流動的導電構件(例如：接觸插塞)相互接觸。且在形成導電構件的階段中，Si結晶膜3的表面亦露出至外側。因此，以往的電晶體中，於作為導電部例之Si結晶膜3的表面，極容易產生自然氧化膜。所以導電構件及作為源極/汲極區域之Si結晶膜3之間的接觸電阻會增加。結果，會產生電晶體的動作速度變慢之問題。

#### [發明內容]

本發明的目的在提供一種半導體裝置，可解決因導電部表面的自然氧化而導致導電部的導電性降低所產生之問題。

此外，本發明的另一目的係提供一種半導體裝置，可解決因Si結晶膜表面的自然氧化而導致Si結晶膜的導電性降低所產生之問題。

本發明一態樣的半導體裝置係具備半導體基板。且半導體基板具有：導電部，供電子流動；遷移率提昇部，藉由連接於該導電部的下面，使構成該導電部的半導體產生晶格變形，以提昇流動於該導電部之電子遷移率；及氧化抑制部，構成半導體基板的表面，同時亦覆蓋於導電部的上面，因此，具有抑制導電區域自然氧化之功能。

根據上述構成，因為半導體基板的表面層係由難以自然氧化的氧化抑制部所構成，所以可解決因半導體基板表面層的自然氧化所產生之問題。又，因遷移率提昇部的影響，使電子移動於產生晶格變形的導電部，所以電子遷移率得以提昇。

又，本發明之其他態樣的半導體裝置，其特徵為：具備半導體基板，且該半導體基板具有：形成於第1SiGe層上之Si層；及與該Si層相連接而形成於該Si層上，且構成表面層的第2SiGe層；而在使電子於Si層中移動之狀態使用該半導體裝置。

根據上述構成，由於半導體基板的表面係由難以自然氧化的第2SiGe層所構成，所以可解決因半導體基板表面層的自然氧化所產生之問題。又，因第1SiGe層的影響，使電子移動於產生晶格變形的Si層，所以電子遷移率不會降低。此外，由於設置於Si層表

面的物質，係在Si層形成晶格變形的第1SiGe層，所以電子遷移率降低的可能性很小。

[實施方式]

以下，使用第1圖至第4圖，說明本發明實施形態之半導體裝置。

(第1實施形態)

首先，使用第1圖，說明本發明第1實施形態之半導體裝置。

如第1圖所示，本實施形態之半導體裝置係在半導體基板1上，形成有包含p型雜質之SiGe結晶膜基板2。此外，在SiGe結晶膜基板2上，形成有包含作為通道區域功能的p型雜質之Si結晶膜4b。又，在Si結晶膜4b上，形成有包含作為通道區域功能的p型雜質之SiGe結晶膜4a。在SiGe結晶膜4a及Si結晶膜4b的兩側，形成有包含作為源極/汲極區域功能的n型雜質之Si結晶膜3。再者，在SiGe結晶膜4a上，藉著閘極絕緣膜5形成有閘極6。而且，SiGe結晶膜4a係為厚度極薄的薄膜。

藉由上述的Si結晶膜3、SiGe結晶膜4a、Si結晶膜4b、閘極絕緣膜5及閘極6，而構成n通道電晶體7。

根據上述本實施形態之半導體裝置，通道區域的表面係使用難以自然氧化的SiGe結晶膜4a。因此，在通道區域的表面不會形成自然氧化膜，故得以形成閘極絕緣膜5。結果，可抑制閘極絕緣膜之介電常數的降低。故電壓施加至閘極時，得以抑制通道區域

形成不完全的區域。所以，電晶體可獲致所期望的汲極電流。

又，上述本實施形態的半導體裝置中，在通道區域上形成有具備晶格變形之Si結晶膜4b。所以，不會促使流動於通道區域之電子的遷移率降低，故得以獲致所期望之汲極電流。

再者，由於設置於Si結晶膜4b表面之結晶膜係使Si結晶膜4b產生晶格變形之SiGe結晶膜4a，所以使電子遷移率降低的可能性很小。

(第2實施形態)

繼之，使用第2圖，說明本發明第2實施形態之半導體裝置。如第2圖所示，本實施形態之半導體裝置係在半導體基板1上，形成有包含p型雜質之SiGe結晶膜基板2。此外，在SiGe結晶膜基板2上，形成有包含作為通道區域功能的p型雜質之Si結晶膜4b。又，在Si結晶膜4b上，形成有包含作為通道區域功能的p型雜質之SiGe結晶膜4a。在SiGe結晶膜4a及Si結晶膜4b的兩側，形成有包含作為源極/汲極區域功能的n型雜質之Si結晶膜3b，以及包含位於Si結晶膜3b上的n型雜質之SiGe結晶膜3a。再者，在SiGe結晶膜4a上，藉著閘極絕緣膜5形成有閘極6。而且，包含p型雜質的SiGe結晶膜4a係為厚度極薄的薄膜。

藉由上述的SiGe結晶膜3a、Si結晶膜3b、SiGe結晶膜4a、Si結晶膜4b、閘極絕緣膜5及閘極6，而構成n通道電晶體7。

根據上述本實施形態的半導體裝置，通道區域的表面係使用

難以自然氧化的SiGe結晶膜4a。因此，與第1實施形態的半導體裝置同樣地，電晶體可獲致所期望的汲極電流。

又，上述本實施形態的半導體裝置中，在通道區域上形成具有晶格變形之Si結晶膜4b。所以，不會促使流動於通道區域之電子遷移率降低，故得以獲致所期望之汲極電流。

再者，由於設置於Si結晶膜4b表面之結晶膜係為使Si結晶膜4b產生晶格變形之SiGe結晶膜4a，所以使電子遷移率降低的可能性很小。

此外，本實施形態的半導體裝置中，源極/汲極區域的表面係使用難以自然氧化的SiGe結晶膜3a。因此，在源極/汲極區域的表面不會形成自然氧化膜，故得以在源極/汲極區域的表面直接連接導電構件。結果，可抑制在源極/汲極區域，以及與源極/汲極區域相連接的導電構件間之接觸電阻的增加。因此，可抑制電晶體動作速度的變慢。

又，SiGe結晶膜3a的電阻係數(resistivity)遠低於Si結晶膜3b的電阻係數。所以，可將源極/汲極區域的電阻有效地降低。因此，可促進電晶體動作高速化。

由於設置於Si結晶膜3b表面之結晶膜係使Si結晶膜3b產生晶格變形之SiGe結晶膜3a，所以使電子遷移率降低的可能性很小。

(第3實施形態)

繼之，使用第3圖，說明本發明第3實施形態之半導體裝置。

如第3圖所示，本實施形態之半導體裝置係在半導體基板1上，形成有包含n型雜質之SiGe結晶膜基板2。此外，在SiGe結晶膜基板2上，形成有包含作為通道區域功能的n型雜質之Si結晶膜4b。又，在Si結晶膜4b上，形成有包含作為通道區域功能的n型雜質之SiGe結晶膜4a。另外，在SiGe結晶膜4a及Si結晶膜4b的兩側，形成有包含作為源極/汲極區域功能的p型雜質之Si結晶膜3。再者，在SiGe結晶膜4a上，藉著閘極絕緣膜5形成有閘極6。而且，包含n型雜質的SiGe結晶膜4a係為厚度極薄的薄膜。

藉由上述的Si結晶膜3、SiGe結晶膜4a、Si結晶膜4b、閘極絕緣膜5及閘極6，而構成有p通道電晶體7。

亦即，本實施形態的半導體裝置與第1實施形態的半導體裝置相比較時，除了n型及p型係呈相反設置之外，並無其他的差異。

根據上述本實施形態的半導體裝置係與第1實施形態同樣地，通道區域的表面係使用難以自然氧化的SiGe結晶膜4a。因此，通道區域的表面不會形成自然氧化膜，故得以形成閘極絕緣膜5。結果，可抑制閘極絕緣膜之介電常數的降低。故將電壓施加至閘極時，得以抑制通道區域形成不完全的區域。所以，電晶體可獲致所期望的汲極電流。

又，上述本實施形態的半導體裝置係與第1實施形態同樣地，在通道區域上形成有具備晶格變形之Si結晶膜4b。所以，不會促使流動於通道區域之電子的遷移率降低，故得以獲致所期望之汲

極電流。

再者，由於設置於Si結晶膜4b表面之結晶膜係在Si結晶膜4b上產生晶格變形之SiGe結晶膜4a，所以使電子遷移率降低的可能性很小。

(第4實施形態)

繼之，使用第4圖，說明本發明第4實施形態之半導體裝置。如第4圖所示，本實施形態之半導體裝置係在半導體基板1上，形成有包含n型雜質之SiGe結晶膜基板2。此外，在SiGe結晶膜基板2上，形成有包含作為通道區域功能的n型雜質之Si結晶膜4b。又，在Si結晶膜4b上，形成有包含作為通道區域功能的n型雜質之SiGe結晶膜4a。另外，在SiGe結晶膜4a及Si結晶膜4b的兩側，形成有包含作為源極/汲極區域功能的p型雜質之Si結晶膜3b，以及形成有包含位於Si結晶膜3b上的p型雜質之SiGe結晶膜3a。再者，在SiGe結晶膜4a上，藉著閘極絕緣膜5形成有閘極6。而且，包含n型雜質之SiGe結晶膜4a係厚度極薄的薄膜。

藉由上述的SiGe結晶膜3a、Si結晶膜3b、SiGe結晶膜4a、Si結晶膜4b、閘極絕緣膜5及閘極6，而構成有p通道電晶體7。

亦即，本實施形態之半導體裝置與第2實施形態之半導體裝置相比較時，除了n型及p型係呈相反設置之外，並無其他的差異。

根據上述本實施形態之半導體裝置係與第2實施形態之半導體裝置同樣地，通道區域的表面係使用難以自然氧化的SiGe結晶

膜4a。因此，與第2實施形態的半導體裝置同樣地，電晶體可獲致所期望的汲極電流。

又，上述本實施形態的半導體裝置係與第2實施形態的半導體裝置同樣地，在通道區域上形成有具備晶格變形之Si結晶膜4b。所以，不會促使流動於通道區域之電子遷移率降低，故得以獲致所期望之汲極電流。

再者，由於設置於Si結晶膜4b表面之結晶膜係為在Si結晶膜4b上產生晶格變形之SiGe結晶膜4a，所以電子遷移率降低的可能性很小。

本實施形態的半導體裝置係與第2實施形態的半導體裝置同樣地，源極/汲極區域的表面係使用難以自然氧化的SiGe結晶膜3a。因此，在源極/汲極區域的表面不會形成自然氧化膜，故得以在源極/汲極區域的表面直接連接導電構件。結果，可抑制在源極/汲極區域，以及與源極/汲極區域相連接的導電構件彼此間之接觸電阻的增加。因此，可抑制電晶體動作速度的變慢。

又，SiGe結晶膜3a的電阻係數遠低於Si結晶膜3b的電阻係數。所以，可將源極/汲極區域的電阻有效降低。因此，可促進電晶體動作的高速化。

由於設置於Si結晶膜3b表面之結晶膜係在Si結晶膜3b上產生晶格變形之SiGe結晶膜3a，所以使電子遷移率移動度降低的可能性很小。

## (第5實施形態)

本實施形態之半導體裝置的構造係與使用第1圖至第4圖所說明之第1至第4實施形態中任一項之半導體裝置的構造相同。然而，第1至第4實施形態之半導體裝置的構造中，閘極絕緣膜係為簡單的介電體膜，然而在本實施形態之半導體裝置中，則使用高介電體膜之 $\text{Al}_2\text{O}_3$ 或 $\text{HfO}_2$ 來作為絕緣膜。結果，根據本實施形態之半導體裝置，得以將因自然氧化使性能顯著降低之高介電體膜的自然氧化予以抑制。

而且，上述第1至第4實施形態之半導體裝置中，係使用Si結晶膜3b、4b來作為導電部，而該導電部係形成於本發明半導體基板內且供電子流動。又，藉由連接於本發明之導電部的下面，使構成導電部的半導體產生晶格變形，並使用SiGe結晶膜基板2作為遷移率提昇部，以提昇供電子流動之該導電部的電子遷移率。再者，使用SiGe結晶膜3a、4a作為氧化抑制部，該氧化抑制部係構成上述半導體基板的表面，同時亦覆蓋於上述導電部的上面，因此，具有抑制上述導電性區域自然氧化之功能。

根據上述的構造，由於半導體基板的表面層係藉由難以自然氧化之氧化抑制部所構成，所以可解決因半導體基板的表面層之自然氧化所產生的問題。此外，在遷移率提昇部的影響下，可使電子移動於產生晶格變形的導電部，故可提昇電子的遷移率。

又，作為氧化抑制部的SiGe結晶膜3a、4a乃具有使流動於作

為導電部之Si結晶膜3b、4b之電子遷移率提昇的功能。

根據上述的構造，導電部之電子的遷移率得以更加提昇。

再者，作為氧化抑制部之SiGe結晶膜3a、4a及作為遷移率提昇部之SiGe結晶膜基板2係由相同的組成物質所構成。

因為根據上述的構造，氧化抑制部亦具有令導電部產生晶格變形的功能，所以使電子遷移率降低的可能性很小。

雖然第1至第4實施形態之半導體裝置，係使用SiGe結晶膜作為由上下夾著Si結晶膜的膜，惟亦可使用SiGeC結晶膜來取代SiGe結晶膜，如此亦可獲致與第1至第4實施形態之半導體裝置相同的效果。

#### [圖式簡單說明]

第1圖係本發明第1實施形態之半導體裝置的剖視圖。

第2圖係本發明第2實施形態之半導體裝置的剖視圖。

第3圖係本發明第3實施形態之半導體裝置的剖視圖。

第4圖係本發明第4實施形態之半導體裝置的剖視圖。

第5圖係以往的半導體裝置之剖視圖。

|       |            |       |                |
|-------|------------|-------|----------------|
| 1     | 半導體基板      | 2     | 鍺化矽(SiGe)結晶膜基板 |
| 3     | n型雜質之Si結晶膜 | 3a、4a | SiGe結晶膜        |
| 3b、4b | Si結晶膜      | 5     | 閘極絕緣膜          |
| 6     | 閘極         | 7     | 通道電晶體          |

### 伍、中文發明摘要：

本發明提供一種半導體裝置，係可解決因Si結晶膜表面的自然氧化而導致Si結晶膜之導電性的降低所產生之問題。

在鍺化矽 SiGe 結晶膜基板上，形成有作為通道區域功能的 Si 結晶膜。又，在 Si 結晶膜上，形成有作為通道區域功能的 SiGe 結晶膜。在 SiGe 結晶膜及 Si 結晶膜的兩側，形成有包含作為源極/汲極區域功能的 Si 結晶膜。再者，在 SiGe 結晶膜上，藉著閘極絕緣膜形成有閘極。根據上述的構造，SiGe 結晶膜可抑制 Si 結晶膜的自然氧化。

### 陸、英文發明摘要：

An Si crystal film functioning as a channel region is formed on an SiGe crystal film substrate. Furthermore, an SiGe crystal film functioning as a channel region is formed on the Si crystal film. In addition, on the opposite sides of the SiGe crystal film and the Si crystal film, an Si crystal film functioning as a source/drain region is formed. Moreover, a gate electrode is formed on the SiGe crystal film with a gate insulator film interposed. In accordance with the configuration described above, SiGe crystal film prevents the native oxidation of the Si crystal film. As a result, it is possible to obtain a semiconductor device that solves a problem caused by decrease in a conductivity in the Si crystal film resulting from the native oxidation of a surface of the Si crystal film.

## 拾、申請專利範圍：

1. 一種半導體裝置，具備半導體基板，該半導體基板具有：

導電部，供電子流動；

遷移率提昇部，藉由連接於該導電部的下面，使構成該導電部的半導體產生晶格變形，以提昇流動於該導電部之電子遷移率；及

氧化抑制部，構成上述半導體基板的表面，同時亦覆蓋於上述導電部的上面，因此，具有抑制上述導電部自然氧化之功能，並且，

使用上述氧化抑制部及上述導電部作為電晶體的通道區域。

2. 如申請專利範圍第1項之半導體裝置，其中，上述氧化抑制部具有提昇流動於該導電部之電子遷移率的功能。
3. 如申請專利範圍第1項之半導體裝置，其中，上述氧化抑制部及上述遷移率提昇部係由相同的組成物質所構成。
4. 一種半導體裝置，具備半導體基板，該半導體基板具有：

形成於第1SiGe層上且電子移動於其中的Si層；及

與該Si層相連接而形成於該Si層上，且構成表面層的第2SiGe層，並且，

使用上述Si層及上述第2SiGe層作為電晶體的通道區域。

5. 如申請專利範圍第4項之半導體裝置，其中，具有形成於上述通道區域上的閘極絕緣膜，且該閘極絕緣膜係為高介電體膜。

6. 如申請專利範圍第4項之半導體裝置，其中，使用上述Si層及上述第2SiGe層作為電晶體的源極/汲極區域。

柒、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件代表符號簡單說明：

- |       |            |       |                |
|-------|------------|-------|----------------|
| 1     | 半導體基板      | 2     | 鍺化矽(SiGe)結晶膜基板 |
| 3     | n型雜質之Si結晶膜 | 3a、4a | SiGe結晶膜        |
| 3b、4b | Si結晶膜      | 5     | 閘極絕緣膜          |
| 6     | 閘極         | 7     | 通道電晶體          |

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：