

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/3205

(45) 공고일자 1994년 10월 24일
(11) 공고번호 94-010520

(21) 출원번호	특1990-0015505	(65) 공개번호	특1991-0008793
(22) 출원일자	1990년 09월 28일	(43) 공개일자	1991년 05월 31일
(30) 우선권 주장	01-255273 1989년 10월 02일	일본(JP)	
(71) 출원인	가부시키가이샤 도시바 아오이 조이치 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		
(72) 발명자	나카사키 야스시 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부 시키가이샤 도시바 종합연구소내		
(74) 대리인	이범일, 김윤배		

심사관 : 박형식 (책자공보 제3798호)

(54) 반도체장치 및 그 제조방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제 1 도는 Cu-Ti 합금 박막패턴의 질화온도와 형성된 배선의 비저항과의 관계를 나타낸 특성도.

제 2a-g 도는 본 발명의 제 1 실시예에서의 반도체장치의 제조공정을 나타낸 단면도.

제 3 도는 제 2f 도의 III-III선에 따른 단면도.

제 4 도는 본 발명의 제 2 실시예에서의 질소분위기중에서의 열처리온도와 배선의 비저항과의 관계를 나타낸 특성도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-------------------------|--------------------|
| 1 : p형 실리콘기판 | 2 : 필드산화막 |
| 3 : 게이트산화막 | 4 : 게이트전극 |
| 5, 9 : SiO ₂ | 6 : 소오스영역 |
| 7 : 드레인영역 | 8 : 티탄실리사이드층 |
| 10 : BPSG막 | 11 : 접속구멍 |
| 12 : 텅스텐플러그 | 13 : 크롬박막 |
| 14 : 구리막 | 15 : 크롬, 구리의 적층막패턴 |
| 16 : 질화크롬층 | 17 : 질화크롬 |
| 18 : 배선 | 19 : 패시베이션막 |

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 특히 구리를 주체로하는 배선을 개량한 반도체장치 및 그 제조방법에 관한 것이다.

[종래의 기술 및 그 문제점]

근래, 반도체장치의 고집적화에 따라 배선의 폭 및 두께의 축소화, 다층화가 진행되고 있다. 배선재료로서는, $2.75 \mu\Omega\text{cm}$ 의 낮은 비저항을 갖고, 또한 부동체피막으로 부식을 방지하는 알루미늄을 주 성분으로 하는 알루미늄합금이 이용되고 있다. 그러나, 알루미늄합금으로 이루어진 배선에서는 그 단면적의 축소화에 대응하여 전류밀도가 증가하기 때문에, 전기이동(electro-migration)에 의한 단선의 문제가 있었다. 또, 다층배선화에 따라 배선은 복잡한 열이력을 받기 때문에, 배선에 가해지는 열스트레스에 의한 스트레이스 다층배선화에 따라 배선은 복잡한 열이력을 받기 때문에, 배선에 가해지는 열스트레스에 의한 스트레이스이동(stress-migration)에서의 단선도 문제로 되고 있다. 이들 문제는 알루미늄의 용점이 660°C 로 낮기 때문에, 비교적 저온에서도 알루미늄원자의 확산, 특히 결정입계(結晶粒界)를 경로로 하는 원자확산이 가속되는 것에 기인한다.

이러한 점으로부터, 알루미늄과 동등이상의 낮은 비저항을 갖고, 또한 알루미늄보다 400°C 이상 용점이 높은 구리에 의한 배선이 검토되고 있다. 그러나, 구리(순동)로 이루어진 배선에서는 알루미늄-실리콘-구리(Al-Si-Cu) 합금에 비해 전기이동 단선불량을 억제할 수 있지만, 그 수명은 상기 알루미늄합금에 비해 수배 내지 수십배정도밖에 향상되지 않는 것이 보고되고 있다. 이 수명은 구리원자의 입계확산의 활성화에너지로부터 예상되는 수명과 거의 일치하고 있다.

또, 전기이동의 발생은 일반적으로 배선의 평균결정입경과 폭에도 의존하며, 이것은 구리의 배선에서도 예외가 아니다. 예컨대, 통상의 스퍼터성막법으로 형성된 두께 $1\mu\text{m}$ 정도의 구리막은 평균결정입경이 약 $1\mu\text{m}$ 인데, 이 구리막으로 전기이동에 강한, 소위 뱀부(bamboo) 구조로 되는 배선을 실현하기 위해서는 그 폭을 $0.5\mu\text{m}$ 이하로 할 필요가 있다. 그렇지만, 전기이동 내성을 향상시킬 적으로 배선폭을 $0.5\mu\text{m}$ 이하로 억제하면, 배선의 실행적인 단면적이 작아져서 저항값이 증대하기 때문에, 신호전달 지연의 원인으로 되어 고속동작이 저해된다. 한편, 좁은 배선폭을 유지하면서 배선의 단면적을 크게 하기 위해서는, 그 두께를 두껍게 하면 좋다. 그렇지만, 두꺼운 배선을 형성하고, 이들 배선을 절연막으로 피복한 경우, 인접하는 배선간의 용량이 증대하여 크로스토크(cross-talk)가 발생하기 쉬워 마찬가지로 고속동작이 저해된다.

더욱이, 구리는 산화물생성 자유에너지 저하가 작지만, 산화되기 쉽고, 게다가 구리표면에 형성되는 산화 구리막은 치밀성이 떨어진다. 이 때문에, 구리의 배선을 산화성분위기에 노출시키면, 내부까지 구리의 산화가 진행된다. 예컨대, 레지스트 박리를 위한 에싱(ashing)공정에서는 구리의 배선표면에 바늘형상의 산화구리가 형성되어 형상의 악화 및 저항의 증가를 유발한다. 또, 구리의 배선상으로의 패시베이션막이나 층간 절연막의 퇴적공정에서는, 바늘형상의 산화구리의 존재에 의해 배선과 층간 절연막 또는 패시베이션막과의 밀착성이 저하되어 박리가 일어나는 문제가 있다.

한편, K. Hoshino 등은 「VMIC Conference, p226~p232, June 12-3, 1989」에서 개량된 구리의 배선 형성방법을 발표하였다. 이 방법은, 우선 실리콘기판표면에 두께 $0.4\mu\text{m}$ 정도의 산화막을 퇴적한 후, 이 산화막상에 접착층으로서의 텅스텐층, 베리어층으로서의 TiN층을 순차퇴적한다. 계속해서, 상기 TiN층상에 구리 및 티탄으로 이루어진 타겟을 이용하여 스퍼터증착하여 Cu-Ti합금박막을 퇴적한다. 이어서, 이 박막을 패터닝한 후, 질소분위기중에서 열처리한다. 이 열처리(질화처리) 공정에 있어서, 상기 Cu-Ti합금박막패턴층의 Ti가 그 표면으로 확산함과 더불어 확산한 Ti가 질화반응하여 질화티탄층이 형성된다. 그 결과, 내질화성이 우수한 질화티탄층으로 주위표면이 피복되어 Ti를 거의 포함하지 않는 구리로 이루어진 배선이 형성된다.

그렇지만, 상술한 방법에서는 Cu-Ti합금 박막패턴의 질화온도와 형성된 배선의 비저항과의 관계를 나타낸 제 1 도로부터 알 수 있는 바와같이, Al-Si-Cu 합금의 비저항($3\mu\Omega\text{cm}$)보다 낮은 $2.5\mu\Omega\text{cm}$ 의 배선을 얻기 위해서는 800°C 의 열처리를 필요로 한다. 이것은, 상기 발표문헌에 기재되어 있는 바와같이, 800°C 보다 낮은 온도에서 질화처리를 실시하면, Cu-Ti합금 박막패턴으로부터 Ti가 확산되지 않아 표면에 질화티탄층을 형성할 수 없을 뿐만 아니라, Ti를 거의 포함하지 않는 구리의 저항에 근사한 비저항이 낮은 배선을 형성할 수 없기 때문이다. 이러한 비교적 고온의 질화처리를 필요로 하기 때문에, 실리콘기판에 미리 형성되어 있는 불순물확산층의 재확산이 일어날 샬로우(shallow)화 등의 방해로 되거나 전기적인 활성화율을 저하시키는 문제가 있었다.

[발명의 목적]

본 발명은 상기와 같은 문제를 해결하기 위해 발명된 것으로, Al-Si-Cu합금의 비저항($3\mu\Omega\text{cm}$)보다 비저항이 낮고, 평균결정입경과의 관계에서 뱀부구조를 취하지 않는 넓은 폭으로 해도 전기이동 내성이 우수하여 고속동작이 가능하며, 내산화성이 우수하고 패시베이션막이나 층간절연막의 피복시에 이들 패시베이션막이나 층간절연막으로부터의 박리를 방지한 밀착성이 양호한 배선을 갖추고 있으며, 상기 배선을 800°C 이하의 낮은 온도에서 형성할 수 있는 반도체장치 및 그 제조방법을 제공함에 그 목적이 있다.

[발명의 구성 및 작용]

본 발명에 따른 반도체장치는, 소자가 형성된 반도체기판과, 이 반도체기판상에 형성된 층간절연막, 이 층간절연막상에 형성되며 결정상태의 구리표면이 구리와 금속간화합물을 생성하지 않는 금속의 질화물로 피복됨과 더불어 상기 구리의 결정입계에 상기 금속질화물이 존재하도록 한 구조를 갖춘 배선을 구비한 것을 특징으로 한다.

상기 반도체기판으로서, 예컨대 p형 실리콘기판, n형 실리콘기판, 제 1 도전형(예컨대 p형)의 실리콘기판에 n형 및 p형의 영역을 평면적으로 형성한 것등을 들 수 있다. 또 상기 반도체기판에는 실리콘 이외의 다른 반도체, 예컨대 GaAs, InP 또는 절연성 기판상에 반도체층을 형성한 SOS(Silicon on Sapphire)웨이퍼 또는 실리콘기판상에 절연층 및 반도체층을 순차적층한 SOI(Silicon on Insulator)웨이퍼를 이용해도 좋다.

상기 층간절연막으로서, 예컨대 CVD-SiO₂의 단일막 또는 CVD-SiO₂ 막상에 인침가글래스(PSG)막, 보

론첨가글래스(BSG)막 또는 보론인첨가글래스(BPSG)막을 적층한 2층구조막을 들 수 있다. 특히, 층간 절연막을 상기 2층구조막으로 하고, 열처리에 의해 상층의 BPSG막 등을 리플로우(reflow)함으로써 층간절연막표면에 그 아래에 단차가 전사되는 것을 해소하여 표면이 평탄한 층간절연막을 형성할 수 있다.

상기 구리와 금속간화합물을 생성하지 않는 금속은, 바나듐, 니오븀, 탄탈, 크롬, 몰리브덴, 텅스텐에서는 선택되는 적어도 1종의 금속이다.

상기 배선의 두께는 0.1~0.9 μm 로 하는 것이 바람직하다. 이것은 다음과 같은 이유에 따른 것이다. 상기 배선을 구성하는 구리의 결정입자는 클수록 전기이동내성을 향상시키는 작용이 활발하기 때문에, 배선두께를 0.1 μm 미만으로 하면, 상기 결정입자의 크기가 그 두께로 규제되어 전기이동 내성을 향상시킬 수 없게 될 우려가 있다. 한편, 배선두께가 0.9 μm 를 넘으면, 인접하는 배선간에서의 용량이 증대하여 크로스토크에 의한 신호전달지연을 일으킬 우려가 있으므로 신뢰성이 저하된다.

상기 층간절연막과 상기 배선간에는, 상기 구리와 금속간 화합물을 생성하지 않는 금속의 박막을 형성하는 것을 허용한다. 이 금속박막은 층간절연막에 대한 배선의 밀착성의 향상에 유효하게 기여한다. 이러한 금속박막은 배선두께의 30%이하로 하는 것이 바람직하다. 그 이유는, 상기 금속박막이 배선의 일부로서 기능하여 저항성분으로 됨으로써, 그 두께가 배선두께의 30%를 넘으면 배선 및 금속박막의 전체저항값이 증대할 우려가 있기 때문이다.

또, 본 발명에 따른 반도체장치의 제조방법은, 반도체기판에 소자를 형성하는 공정과, 상기 반도체기판상에 층간절연막을 퇴적하는 공정, 상기 층간절연막상에 구리와 금속간화합물을 생성하지 않는 금속의 박막 및 결정상태의 구리막을 순차퇴적하여 적층막을 형성하는 공정, 상기 적층막을 패터닝하는 공정, 상기 패터닝후의 적층막을 질소를 함유한 분위기에서 열처리하여 상기 금속박막으로부터 금속을 상기 구리막을 통하여 구리막의 주위표면으로 확산시킴과 더불어 확산시킨 금속을 질화함으로써, 결정상태의 구리표면이 구리와 금속간화합물을 생성하지 않는 금속의 질화물로 피복됨과 더불어 상기 구리의 결정입계에 상기 금속질화물이 존재하도록 하는 구조를 갖춘 배선을 형성하는 공정을 구비한 것을 특징으로 한다.

상기 구리막의 평균결정입경은 0.3 μm 이상으로 하는 것이 바람직하고, 또한 상기 구리막의 두께는 최종적인 배선을 상술한 두께로 하는 관점으로부터 0.1~0.8 μm 의 범위로 하는 것이 바람직하다.

상기 금속박막의 두께는 단원자층을 형성할 수 있는 두께로부터 구리막의 두께의 30%의 두께의 범위로 하는 것이 바람직하다. 이러한 금속박막은 상기 질소를 함유한 열처리공정에서 모두 구리막을 통해 확산시켜도 좋고 일부를 남겨도 좋다.

상기 질소를 함유한 분위기는, 질소가 적어도 함유되어 있으면 좋고, 특히 질소단독의 분위기 또는 질소와 수소의 혼합가스 또는 질소와 불활성 가스의 혼합가스분위기인 것이 바람직하다.

상기 질소를 함유한 분위기에서의 열처리로서는, 예컨대 질소를 함유한 반응로 내에서의 열처리 또는 플라즈마 질화처리 등을 들 수 있다.

상기 질소를 함유한 분위기에서의 열처리는, 금속박막의 금속이 구리막을 통해 구리막의 주위표면으로 확산되고, 또 표면으로 확산된 금속을 질화반응시키는 온도조건으로 설정하는 것이 필요하다. 구체적으로, 니오븀박막을 이용한 경우는 600~800 $^{\circ}\text{C}$ 로, 크롬박막을 이용한 경우는 600~800 $^{\circ}\text{C}$ 로, 바나듐박막을 이용한 경우는 500~800 $^{\circ}\text{C}$ 로, 탄탈박막을 이용한 경우는 550~800 $^{\circ}\text{C}$ 로, 몰리브덴박막을 이용한 경우는 700~800 $^{\circ}\text{C}$ 로, 텅스텐박막을 이용한 경우는 700~800 $^{\circ}\text{C}$ 로 열처리하는 것이 바람직하다. 단, 질소를 함유한 분위기에서의 열처리로서 플라즈마 질화처리를 채용하면, 상기 조건보다 낮은 온도에서 행하는 것이 가능하게 된다.

상기 질소를 함유한 분위기에서의 열처리에 있어서, 구리막의 결정입경을 제어하는 것이 가능하다. 예컨대 승온(昇溫)속도를 높임으로써 구리막의 결정입경이 퇴적시에 비해 커진다. 또 구리막의 결정입경을 제어하는 방법으로서는 상기 질소를 함유한 분위기에서의 열처리전에 불활성 가스를 함유한 분위기중에서 열처리하는 방법이 있다. 이러한 불활성 가스를 함유한 분위기는, 아르곤, 헬륨 등의 불활성가스 또는 이 불활성가스와 수소의 혼합가스분위기이다. 상기 열처리로서는, 예컨대 램프가열에 의한 금속어닐링 등을 채용할 수 있다. 특히, 금속어닐링을 채용하면 구리막의 결정입경을 상기 승온속도를 제어하는 방법에 비해 한층 크게 할 수 있다.

상술한 본 발명에 의하면, 반도체기판이 층간절연막상에 결정상태의 구리표면에 구리와 금속간화합물을 생성하지 않는 금속의 질화물로 피복함과 더불어 상기 구리의 결정입계에 상기 금속질화물이 존재하도록 하는 구조를 갖춘 배선을 형성함으로써, 배선의 산화부식을 표면을 피복한 질화물로 방지하여 구리 본래의 낮은 비저항성을 실현할 수 있고, 또 배선상에 퇴적되는 층간절연막이나 패시베이션막의 밀착성을 향상시킬 수 있다. 또, 배선을 평균결정입경과의 관계에서 뱀부구조를 취하지 않는 넓은 폭으로 해도 구리의 결정입계에 존재하도록 한 질화막에 의해 전기이동 내성을 향상시킬 수 있다. 이 때문에, 배선의 단면적을 넓게 할 수 있고, 게다가 상술한 비저항의 저감화에 의해 신호전달 속도를 높일 수 있다. 더욱이, 층간 절연막과 배선간에 구리와 금속간화합물을 생성하지 않는 금속의 박막을 설치하면, 층간절연막에 대한 배선의 밀착성을 향상시킬 수 있다.

따라서, 단선의 발생이 억제되고, 또한 층간절연막이나 패시베이션막의 밀착성이 양호하며, 비저항이 극히 낮은 배선을 구비한 고신뢰성의 고속 동작이 가능한 반도체장치를 실현할 수 있다.

또한 본 발명의 방법은, 반도체기판상의 층간절연막상에 구리와 금속간화합물을 생성하지 않는 금속의 박막 및 결정상태의 구리막을 순차퇴적하고, 이들 적층막을 패터닝한 후에 적층막을 질소를 함유한 분위기에서 열처리한다. 이 열처리공정에 있어서, 상기 금속박막으로부터 금속이 그 상부의 구리막을 통해 구리막의 주위표면으로 확산되고, 확산된 금속이 질화되어 질화물로서 구리막을 피복함과 더불어 그 질화막이 구리막 패턴의 결정입자의 입계로 확산한다. 그 결과, 결정상태의 구리표면이 구리와 금속간화합물을 생성하지 않는 금속의 질화물로 피복됨과 더불어 상기 구리의 결정입계에 상

기 금속질화물에 존재하도록 한 구조를 갖춘 배선이 층간절연막상에 형성된다. 이러한 열처리는 800℃보다 충분히 낮은 온도범위(예컨대 450~600℃)에서 행할 수 있기 때문에, 반도체기판에 미리 형성된 불순물확산층의 재확산 등을 초래하는 일없이 상술한 전기이동이 억제되어 낮은 비저항의 배선을 갖춘 고신뢰성, 고속동작성, 더욱이 고집적화에 적합한 반도체 장치를 간단히 제조할 수 있다.

더욱이, 상기 질소를 함유한 분위기에서의 열처리에 있어서, 승온속도를 높이거나 또는 상기 열처리 전에 불활성 가스를 함유한 분위기중에서 열처리함으로써, 구리막의 결정입경을 크게할 수 있기 때문에, 전기이동 내성이 한층 향상된 배선을 층간절연막상에 형성할 수 있다.

[실시예]

이하, 본 발명의 실시예를 도면을 참조하여 상세히 설명한다.

[제 1 실시예]

이 제 1 실시예에서는, 우선 제 2a 도에 나타낸 바와 같이 p형 실리콘기판(1)을 선택산화하여, 예컨대 두께 0.5 μm 의 필드산화막(2)을 형성한다. 이어서, 열산화를 행하여 필드산화막(2)으로 분리된 섬모양의 실리콘기판(1)표면 부분에 열산화막을 형성하고, 더욱이 두께 0.2 μm 의 비소가 도포된 다결정 실리콘막을 퇴적한 후, 이들 실리콘막 및 열산화막을 패터닝하여 기판(1)측으로부터 게이트산화막(3), 게이트전극(4)을 형성한다. 이어서, CVD법에 의해 두께 약 0.25 μm 의 SiO₂ 막을 전면에 퇴적한 후, 반응성 이온에칭을 행하여 상기 게이트산화막(3) 및 게이트전극(4)의 주위 측면에 SiO₂ 막(5)을 울타리모양으로 남긴다. 그 후, 상기 필드산화막(2), 게이트 전극(4) 및 SiO₂ 막(5)을 마스크로 하여 n형 불순물(예컨대 비소)을 상기 실리콘기판(1)에 이온주입하고, 활성화처리를 실시하여 접합깊이가 예컨대 0.15 μm 인 n⁺형의 소오스영역(6), 드레인영역(7)을 형성한다.

이어서, 스퍼터증착에 의해 전면에 두께 0.08 μm 의 티탄박막을 퇴적한 후, 750℃, 30초간 열처리를 실시함으로써 제 2b 도에 나타낸 바와 같이 노출된 실리콘기판(1)의 소오스영역(6), 드레인영역(7) 및 게이트 전극(4)과 접하는 티탄박막부분을 실리사이드화하여 버퍼층으로서의 티탄실리사이드층(8)을 형성한 후, 상기 필드산화막(2) 및 SiO₂ 막(5)상의 티탄박막부분을 제거한다. 그 후, 질소분위기중에서 900℃, 20초간 어닐한다. 또한, 상기 티탄박막을 퇴적하는 대신에 니켈박막을 퇴적하고, 동일한 열처리를 실시하여 노출되는 소오스영역(6), 드레인영역(7) 및 게이트전극(4)의 표면에 니켈실리사이드층을 형성해도 좋다.

이어서, 제 2c 도에 나타낸 바와 같이 CVD법에 의해 전면에 층간절연막으로서의 막두께 0.3 μm 의 SiO₂ 막(9) 및 두께 0.7 μm 의 BPSG막(10)을 순차퇴적한 후, 열처리하여 상기 BPSG막(10)을 리플로우함으로써 표면을 평탄화한다. 이어서, 상기 소오스영역(6), 드레인영역(7)의 일부에 대응하는 상기 SiO₂ 막(9) 및 BPSG막(10)을 선택적으로 에칭제거하여 0.5 μm 의 접촉구멍(11)을 개공한 후, 이들 접촉구멍(11)내에 텅스텐을 선택적으로 퇴적하여 텅스텐플러그(tungsten plug : 12)를 접촉구멍(11)내에 매립한다.

이어서, 상기 실리콘기판(1)을 마그네트론 스퍼터장치의 챔버내에 세트하고, 챔버내를 2.0 $\times 10^{-5}$ Pa 이하의 진공으로 배기한 후, 상기 챔버내로 아르곤가스를 40cm³/min의 유량으로 도입한다. 이 때, 챔버내의 압력은 3.7 $\times 10^{-5}$ Pa로 유지한다. 이어서, 상기 실리콘기판(1)을 회전시키면서 크롬(Cr)의 타게트를 아르곤 플라즈마에 의해 스퍼터링함으로써, 제 2d 도에 나타낸 바와 같이 상기 BPSG막(10)상에 두께 0.05 μm 의 크롬박막(13)을 퇴적한다. 계속해서, 실리콘기판(1)을 회전시키면서 구리(Cu)의 타게트를 600V의 인가전압으로 발생시킨 아르곤 플라즈마 분위기중에서 타게트전류 5A의 조건으로 스퍼터링해서 상기 크롬박막(13)층상에 두께 0.4 μm 의 구리막(14)을 퇴적한다. 퇴적된 구리막(14)은 평균입경이 0.2 μm 인 결정입자를 갖는 결정상태이다. 또, 상기 크롬박막(13) 및 구리막(14)의 적층막의 면저항은 55m Ω/\square 이다. 그 후, 상기 적층막을 반응성 이온에칭법을 이용한 패터닝을 행함으로써 제 2e 도에 나타낸 바와 같이 텅스텐플러그(12)를 포함한 BPSG막(10)상에 폭 0.5 μm 의 크롬, 구리의 적층막패턴(15)을 형성한다.

이어서, 상기 적층막패턴(15)이 형성된 실리콘기판(1)을 적외선반응로내에 세트한 후, 반응로내를 1.3 $\times 10^{-4}$ Pa로 배기한다. 계속해서, 반응로내에 수소와 질소의 혼합가스(체적비율로 H₂ : N₂ = 10 : 90)를 1기압, 3000cm³/min의 조건으로 공급한다. 이어서, 반응로내를 50℃/min의 승온(昇溫)속도로 650℃까지 상승시키고, 그 온도를 30분간 유지한 후, 50℃/min의 강온(降溫)속도로 냉각한다. 이러한 질소분위기 중에서의 열처리에 의해 구리막(14)의 결정입자가 0.7 μm 까지 커지게 된다. 또, 크롬박막(13)의 크롬이 구리막(14)의 결정입자의 입계(粒界)를 통해 구리막(14)의 주위표면으로 확산하고, 확산한 크롬이 질화되어 질화크롬(Cr₂N 또는 CrN)층이 형성됨과 더불어 구리막(14)의 주위표면에 생성된 질화크롬이 그 구리막(14)의 결정입계로 확산한다. 그 결과, 제 2f 도, 제 3도에 나타낸 바와 같이 잔존하는 크롬박막(13)상에 주위표면이 두께 0.03 μm 의 질화크롬층(16)으로 피복되어 0.7 μm 로 커진 구리결정입자의 입계에 질화크롬(17)이 존재하는 구리막(14)으로 이루어진 배선(18)이 형성된다. 그 후, 제 2g 도에 나타낸 바와 같이 두께 1.8 μm 의 플라즈마 CVD-SiO₂로 이루어진 패시베이션막(19)을 퇴적하여 MOS형 반도체장치를 제조한다.

이와 같은 방법으로 제조된 반도체장치의 배선(18)은, 표면이 질화크롬층(16)으로 피복되어 있기 때문에, 패시베이션막(19)의 퇴적공정에 있어서 표면의 산화부식이 방지되어 상기 배선(18)에 대해 패시베이션막(19)이 양호하게 밀착되고 있다. 게다가, 상기 배선(18)아래에 크롬박막(13)을 잔존시킴으로써, 층간절연막으로서의 BPSG막(10)에 대하여 배선(18)이 양호하게 밀착되고 있다.

또, 제조된 반도체장치를 250℃의 온도하에서 상기 배선(18)에 1 $\times 10^7$ A/cm²의 전류를 흘리는 가속시

형을 행하여 전기이동에 의한 단선발생시간을 측정한 결과, 가속시험개시로부터 약 100시간후에 50%의 배선에 단선이 인지되어, 우수한 전기내성을 갖춘 것이 확인되었다. 또한, 통상의 순동으로 이루어진 제 1 실시예와 같은 치수의 배선에 대해 동일한 가속시험을 행한 결과, 가속시험개시로부터 약 10시간 후에 50%의 배선에 단선이 생겼다. 이와 같이 제 1 실시예에서 형성한 배선(18)이 우수한 전기이동 내성을 나타내는 것은 구리결정입자가 $0.7\mu\text{m}$ 까지 커짐과 더불어 그 결정입계에 질화크롬이 존재하고 있는 구조를 갖춘 것에 기인하는 것이다.

더욱이, 상기 잔존하는 크롬박막(13) 및 배선(18)의 전체저항을 측정한 결과, $48\text{m}\Omega/\square$ 로, 열처리전의 적층막패턴(15)의 저항($55\text{m}\Omega/\square$)에 비해 현저히 저감할 수 있음이 확인되었다. 즉, 비저항으로 환산하면, 열처리전의 $2.2\mu\Omega\text{cm}$ 로부터 $1.9\mu\Omega\text{cm}$ 로 저감시킬 수 있었다.

[제 2 실시예]

제 2 실시예에서는, 제 1 실시예에서의 열처리를 650°C 로 행하는 대신에 450°C , 550°C 및 750°C 로 행하고, 그들 온도조건하에서의 크롬박막 및 배선의 전체비저항을 측정한 결과, 제 3 도에 나타낸 결과가 얻어졌다.

제 3 도로부터, 실리콘기판(1)에 미리 형성된 소오스영역(6), 드레인영역(7)을 전기적인 활성화율을 저하시키는 온도(800°C)보다 충분히 낮은 온도로 배선의 저비 저항화를 실현할 수 있음을 알 수 있다.

[제 3 실시예]

제 3 실시예에서는, 제 1 실시예와 동일한 방법에 의해 p형 실리콘기판에 게이트산화막, 게이트전극, n^+ 형 소오스영역, 드레인영역, 티탄실리사이드층을 형성하고, 더욱이 층간절연막으로서의 SiO_2 막 및 BPSG막을 퇴적하며, 접속구멍의 개공, 접속 구멍내로의 텅스텐플러그의 매립을 행한다. 이어서, 상기 BPSG막상에 두께 $0.05\mu\text{m}$ 의 크롬막, 두께 $0.4\mu\text{m}$ 의 구리막을 스퍼터증착하고, 이들 구리막과 크롬박막으로 이루어진 적층막을 패터닝하여 크롬, 구리의 적층막패턴을 형성한다.

이어서, 상기 적층막패턴이 형성된 실리콘기판을 플라즈마처리를 겸하는 저항 가열로내에 세트한 후, 저항가열로내를 1.3×10^{-4} Pa로 배기한다. 이어서, 저항가열로내에 수소와 질소의 혼합가스(체적비율로 $\text{H}_2 : \text{N}_2 = 10 : 90$)를 330Pa , $500\text{cm}^2/\text{min}$ 의 조건으로 공급한 후, 가열로내를 $50^\circ\text{C}/\text{min}$ 의 승온속도로 550°C 까지 상승시킨다. 동시에, 가열로내의 실리콘기판의 양측에 배치한 전극에 13.56MHz , 800W 의 고주파전력을 인가하여 RF방전을 행함으로써 질소플라즈마를 발생시키고, 실리콘기판을 550°C 의 질소플라즈마분위기에 45분간 유지한다. 그 후, RF방전을 정지하고, $50^\circ\text{C}/\text{min}$ 의 강온속도로 냉각한다.

이와 같은 열처리에 의해 제 1 실시예와 마찬가지로 잔존하는 크롬박막상에 주위표면이 두께 $0.03\mu\text{m}$ 의 질화크롬층으로 피복되어 $0.7\mu\text{m}$ 로 커진 구리결정입자의 입계에 질화크롬이 존재하는 구리막으로 이루어진 배선이 형성된다. 이러한 배선(잔존하는 크롬박막을 포함함)의 저항을 측정한 결과, $48\text{m}\Omega/\square$ 로, 열처리전의 적층막패턴의 저항($55\text{m}\Omega/\square$)에 비해 현저히 저감할 수 있음이 확인되었다. 즉, 비저항으로 환산하면 열처리전의 $2.2\mu\Omega\text{cm}$ 로부터 $1.9\mu\Omega\text{cm}$ 로 저감시킬 수 있었다.

[제 4 실시예]

제 4 실시예에서는, 제 1 실시예와 동일한 방법에 의해 p형 실리콘기판에 게이트산화막, 게이트전극, n^+ 형 소오스영역, 드레인영역, 티탄실리사이드층을 형성하고, 더욱이 층간절연막으로서의 SiO_2 막 및 BPSG막을 퇴적하며, 접속구멍의 개공, 접속 구멍내로의 텅스텐플러그의 매립을 행한다. 이어서, 상기 BPSG막상에 두께 $0.5\mu\text{m}$ 의 크롬막, 두께 $0.4\mu\text{m}$ 의 구리막을 스퍼터증착하고, 이들 구리막과 크롬박막으로 이루어진 적층막을 패터닝하여 크롬, 구리의 적층막패턴을 형성한다.

이어서, 상기 적층막패턴이 형성된 실리콘기판을 플라즈마처리를 겸하는 램프 가열로에 세트한 후, 가열로를 1.3×10^{-4} Pa로 배기한다. 이어서, 가열로내에 수소와 아르곤의 혼합가스(체적비율로 $\text{H}_2 : \text{Ar} = 10 : 90$)를 1기압, $10\text{cm}^4/\text{min}$ 의 조건으로 공급하면서 램프가열에 의해 가열로내를 $100^\circ\text{C}/\text{sec}$ 의 승온속도로 700°C 까지 상승시켜 15초간 유지한 후, $100^\circ\text{C}/\text{sec}$ 의 강온속도로 550°C 까지 하강시킨다. 이 때, 구리막은 평균결정입경이 $0.2\mu\text{m}$ 로부터 $1.5\mu\text{m}$ 로 커진다.

이어서, 상기 가열로내의 가스를 배기하여 압력을 1.3×10^{-4} Pa로 한 후, 가열로내에 수소와 질소의 혼합가스(체적비율로 $\text{H}_2 : \text{N}_2 = 10 : 90$)를 1기압, $500\text{cm}^3/\text{min}$ 의 조건으로 공급하면서 실리콘기판의 양측에 배치한 전극에 13.56MHz , 800W 의 고주파전력을 인가하여 RF방전을 행함으로써 질소플라즈마를 발생시키고, 실리콘기판을 550°C 의 질소플라즈마 분위기에 45분간 유지한다. 그 후, RF방전을 정지하고, $50^\circ\text{C}/\text{min}$ 의 강온속도로 냉각한다.

이와 같은 2단계에 열처리에 의해 BPSG막에 잔존하는 크롬박막상에 주위표면이 두께 $0.03\mu\text{m}$ 의 질화크롬층으로 피복되어 커진 $1.5\mu\text{m}$ 의 결정입자의 입계에 질화크롬이 존재하는 구리막으로 이루어진 배선이 형성된다. 이러한 배선(잔존하는 크롬박막을 포함함)의 저항을 측정한 결과, $45\text{m}\Omega/\square$ 로, 열처리전의 적층막패턴의 저항($55\text{m}\Omega/\square$)에 비해 현저히 저감할 수 있음이 확인되었다. 즉, 비저항으로 환산하면, 열처리전의 $2.2\mu\Omega\text{cm}$ 로부터 $1.8\mu\Omega\text{cm}$ 로 저감시킬 수 있었다. 또, 상기 배선은 구리의 결정입자가 평균결정입경에서 $1.5\mu\text{m}$ 로 커져 있기 때문에, 전기이동 내성이 더 향상되어 높은 신뢰성을 갖추고 있다.

[제 5 실시예]

제 5 실시예에서는, 제 1 실시예와 동일한 방법에 의해 p형 실리콘기판에 게이트산화막, 게이트전극, n⁺형 소오스영역, 드레인영역, 티탄실리사이드층을 형성하고, 더욱이 층간절연막으로서의 SiO₂ 막 및 BPSG막을 퇴적하며, 접속구멍의 개공, 접속구멍내로의 텅스텐플러그의 매립을 행한다. 이어서, 이 실리콘기판을 마그네트론 스퍼터장치의 챔버내에 세트하고, 챔버내를 2.0×10⁻⁵ Pa 이하의 진공으로 배기한 후, 상기 챔버내로 아르곤가스를 40cm³/min의 유량으로 도입한다. 이 때, 챔버내의 압력을 3.7×10⁻⁵ Pa로 유지한다. 더욱이, 상기 실리콘기판을 회전시키면서 니오븀(Nb)의 타게트를 아르곤 플라즈마에 의해 스퍼터링하여 상기 BPSG막상에 두께 0.05μm의 니오븀박막을 퇴적한다. 이어서, 실리콘기판을 회전시키면서 구리(Cu)의 타게트를 제 1 실시예와 같은 조건으로 스퍼터링하여 니오븀박막상에 두께 0.4μm의 구리막을 퇴적한다. 퇴적된 구리막은 평균입경 0.2μm의 결정입자를 갖는 결정상태이다. 이 때, 니오븀, 구리의 적층막의 저항은 55mΩ/□이다. 그 후, 이들 구리막과 니오븀막으로 이루어진 적층막을 패터닝하여 폭 0.7μm의 니오븀, 구리의 적층막 패턴을 형성한다.

이어서, 상기 적층막패턴이 형성된 반도체기판을 적외선가열로내에 세트한 후, 가열로내를 1.3×10⁻⁴ Pa로 배기한다. 더욱이, 가열로내에 수소와 질소의 혼합가스(체적비율로 H₂ : N₂ = 10 : 90)를 1기압, 3000cm³/min의 조건으로 공급한다. 이어서, 가열로내를 50℃/min의 승온속도로 650℃까지 상승시키고, 그 온도를 30분간 유지한 후, 50℃/min의 강온속도로 냉각한다. 이러한 질소분위기에서의 열처리에 의해 구리막의 결정입자가 0.7μm까지 커진다. 또, 니오븀박막의 니오븀이 구리막의 입계를 통해 구리막의 주위표면으로 확산하고, 확산된 니오븀이 질화되어 질화니오븀(Nb₂N 또는 NbN)층이 생성됨과 더불어 구리막의 주위표면에서 생성된 질화니오븀이 그 구리막의 결정입자의 입계로 확산한다. 그 결과, BPSG막이 잔존하는 니오븀박막상에 주위가 두께 0.03μm의 질화니오븀층으로 피복되고, 커진 0.7μm의 구리결정입자의 입계에 질화니오븀이 존재하는 구리막으로 이루어진 배선이 형성된다. 그 후, 제 1 실시예와 마찬가지로 두께 1.8μm의 플라즈마 CVD-SiO₂ 로 이루어진 패시베이션막을 퇴적하여 MOS형 반도체장치를 제조한다.

이와 같은 방법으로 제조된 반도체장치의 배선은 표면이 질화니오븀층으로 피복되어 있기 때문에, 패시베이션막의 퇴적공정에 있어서 표면의 산화부식이 방지되어 상기 배선에 대하여 패시베이션막이 양호하게 밀착되고 있다. 게다가, 상기 배선아래에 니오븀박막을 잔존시킴으로써 층간절연막으로서의 BPSG막에 대하여 배선이 양호하게 밀착되고 있다.

또, 제조된 반도체장치의 배선에 대하여 제 1 실시예와 같은 가속시험에 의해 전기이동에 의한 단선 발생시간을 측정한 결과, 가속시험개시로부터 약 100시간후에 50%의 배선에 단선이 인지되어, 우수한 전기이동 내성을 갖춘 것이 확인되었다.

더욱이, 상기 잔존하는 니오븀박막 및 배선의 전체저항을 측정한 결과, 48mΩ/□로, 열처리전의 적층막패턴(15)의 저항(55mΩ/□)에 비해 현저히 저감할 수 있음이 확인되었다. 즉, 비저항으로 환산하면, 열처리전의 2.2μΩcm로부터 1.9μΩcm로 저감시킬 수 있었다.

또한, 상기 실시예에서는 MOS형 반도체장치의 제조에 대해 설명하였지만, 바이폴라형 반도체장치에도 마찬가지로 적용할 수 있다.

[발명의 효과]

이상에서 설명한 바와 같이 본 발명에 의하면, Al-Si-Cu합금의 비저항(3μΩcm)보다 낮은 비저항을 갖고, 또한 전기이동 내성이 향상되며, 더욱이 내산화성이 우수하고, 층간절연막이나 패시베이션막과의 밀착성이 개선된 배선을 갖춘 고속동작성, 고신뢰성의 반도체장치를 제공할 수 있다. 또 본 발명에 의하면, 상술한 배선을 형성하기 위한 질소분위기중에서의 열처리공정을 반도체기판에 미리 형성된 불순물확산층의 재확산을 일으킬 우려가 있는 800℃보다 충분히 낮은 온도로 행할 수 있으므로, 고속동작성, 고신뢰성, 더욱이 집적화에 적합한 반도체장치를 간단히 제조할 수 있는 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1

소자가 형성된 반도체기판과 ; 이 반도체기판상에 형성된 층간절연막 및 ; 이 층간절연막상에 형성되며, 결정상태의 구리표면이 구리와 금속간화합물을 생성하지 않는 금속의 질화물로 피복됨과 더불어 상기 구리의 결정입계에 상기 금속질화물이 존재하도록 한 구조를 갖춘 배선을 구비한 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서, 상기 구리와 금속간화합물을 생성하지 않는 금속은 바나듐, 니오븀, 탄탈, 크롬, 몰리브덴 및 텅스텐중에서 선택된 적어도 1종의 금속인 것을 특징으로 하는 반도체 장치.

청구항 3

제 1 항에 있어서, 상기 배선의 두께가 0.1~0.9μm인 것을 특징으로 하는 반도체 장치.

청구항 4

제 1 항에 있어서, 상기 층간절연막과 상기 배선간에 구리와 금속간화합물을 생성하지 않는 금속의 박막을 설치한 것을 특징으로 하는 반도체 장치.

청구항 5

제 4 항에 있어서, 상기 구리와 금속간화합물을 생성하지 않는 금속은 바나듐, 니오븀, 탄탈, 크롬, 몰리브덴 및 텅스텐중에서 선택된 적어도 1종의 금속인 것을 특징으로 하는 반도체 장치.

청구항 6

제 4 항에 있어서, 상기 금속의 박막은 상기 배선의 두께의 30% 이하의 두께를 갖는 것을 특징으로 하는 반도체 장치

청구항 7

반도체기판에 소자를 형성하는 공정과 ; 상기 반도체기판상에 층간절연막을 퇴적하는 공정 ; 상기 층간절연막상에 구리와 금속간화합물을 생성하지 않는 금속의 박막 및 결정상태의 구리막을 순차되 적하여 적층막을 형성하는 공정 ; 상기 적층막을 패터닝하는 공정 및 ; 상기 패터닝후의 적층막을 질소를 함유한 분위기에서 열처리하여 상기 금속박막으로부터 금속을 상기 구리막을 통하여 구리막의 주위표면으로 확산시킴과 더불어 확산시킨 금속을 질화화으로써, 결정상태의 구리표면이 구리와 금속간화합물을 생성하지 않는 금속의 질화물로 피복됨과 더불어 상기 구리의 결정입계에 상기 금속 질화물이 존재하도록 한 구조를 갖춘 배선을 형성하는 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

제 7 항에 있어서, 상기 구리와 금속간화합물을 생성하지 않는 금속은 바나듐, 니오븀, 탄탈, 크롬, 몰리브덴 및 텅스텐중에서 선택된 적어도 1종의 금속인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9

제 7 항에 있어서, 상기 열처리공정에서의 상기 금속의 박막으로부터 금속을 상기 구리막으로 확산시킨 후에 상기 구리막의 하부에 금속박막을 잔존시키는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10

제 8 항에 있어서, 상기 금속박막을 크롬에 의해 형성함과 더불어 상기 열처리를 600~800℃의 온도로 행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11

제 8 항에 있어서, 상기 금속박막을 니오븀으로 형성함과 더불어 상기 열처리를 600~800℃의 온도로 행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

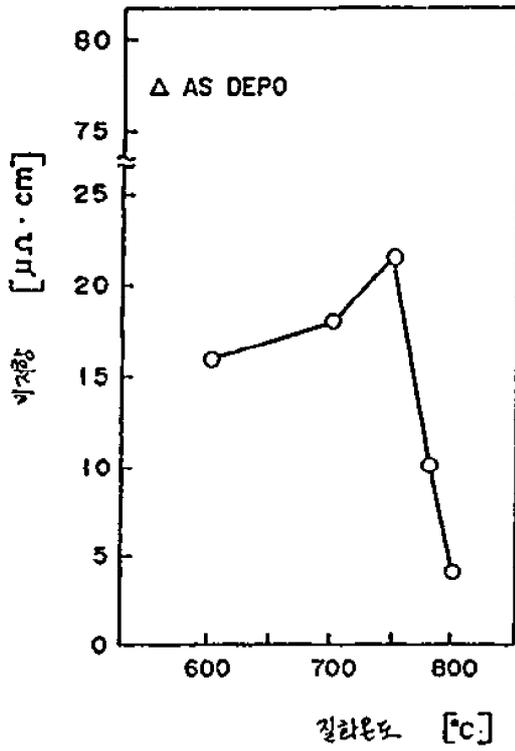
제 7 항에 있어서, 상기 질소를 함유한 분위기에서의 열처리는 플라즈마질화처리인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13

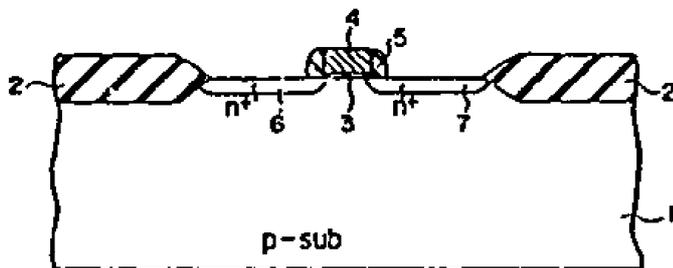
제 7 항에 있어서, 상기 질소를 함유한 분위기에서의 열처리를 행하기 전에 불활성 가스분위기중에서 열처리를 행하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

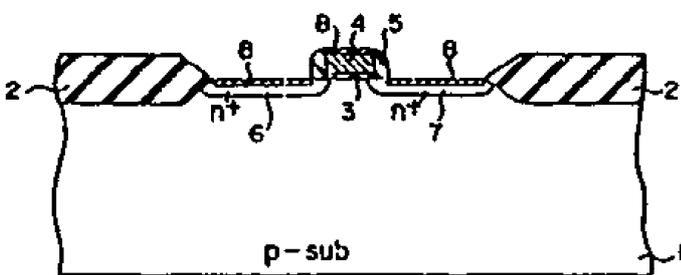
도면1



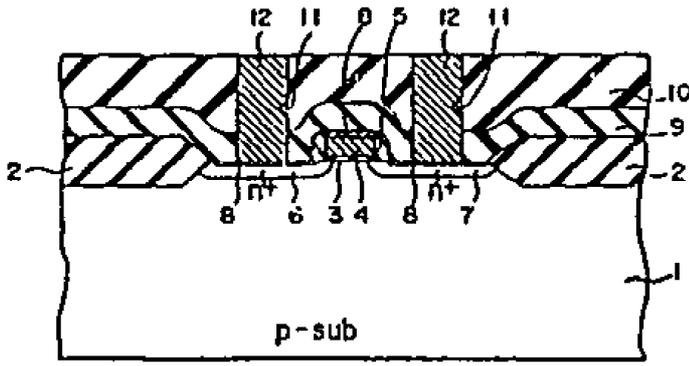
도면2-A



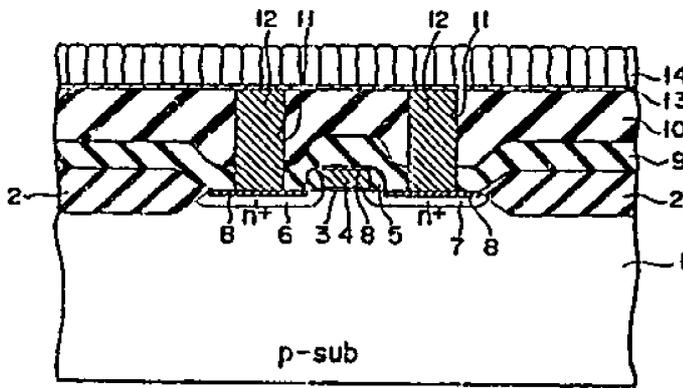
도면2-B



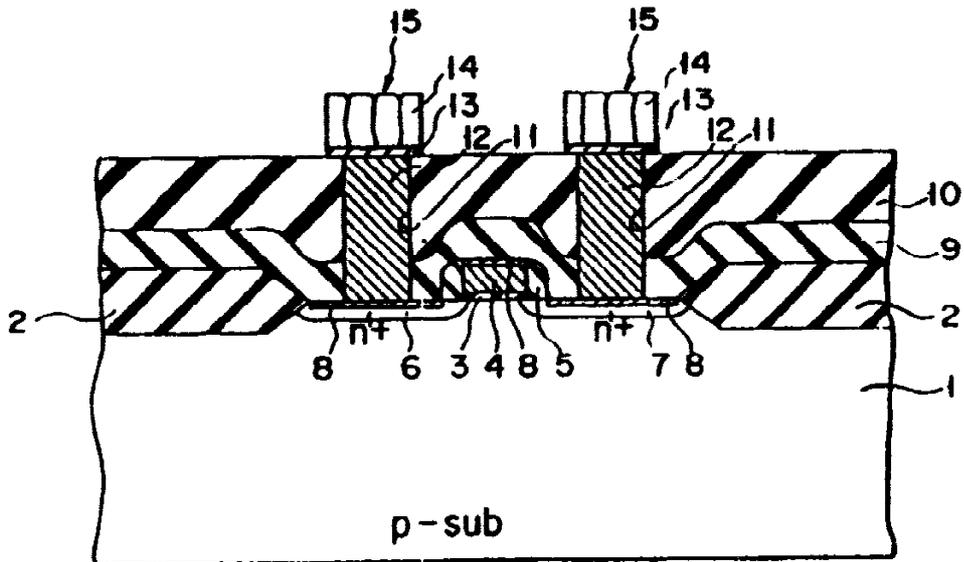
도면2-C



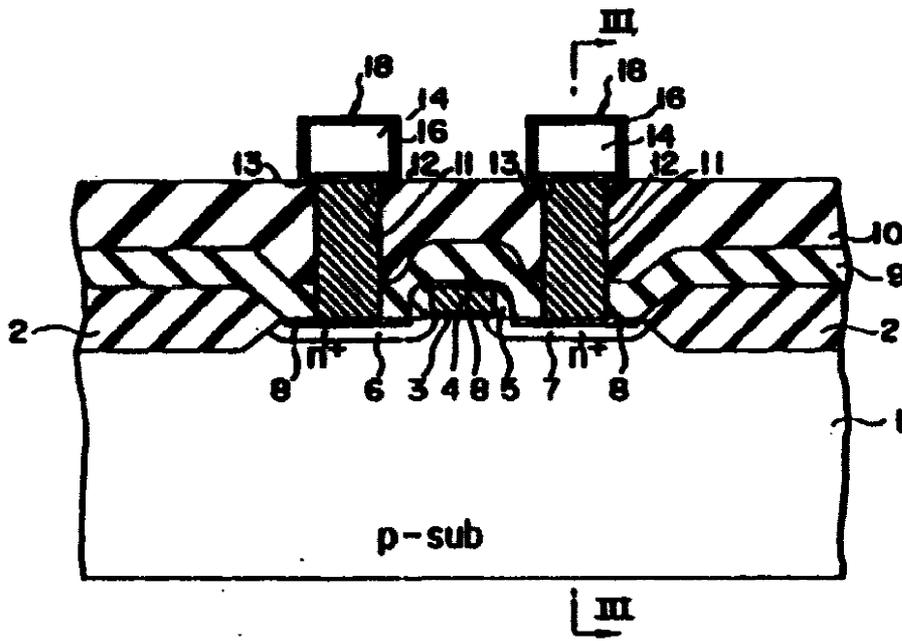
도면2-D



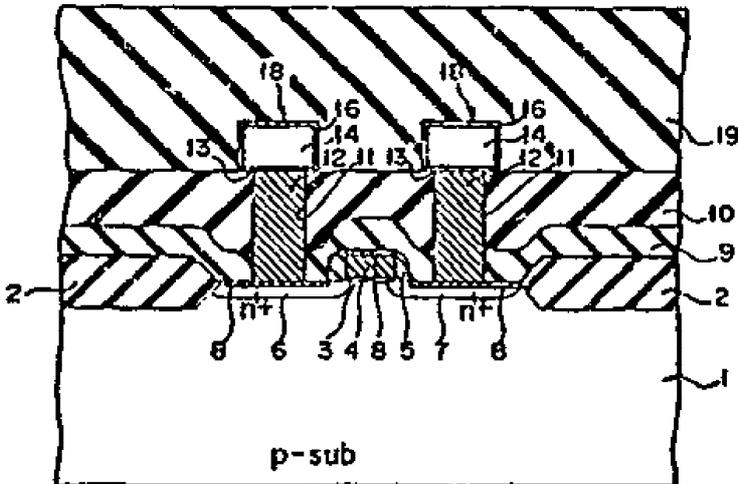
도면2-E



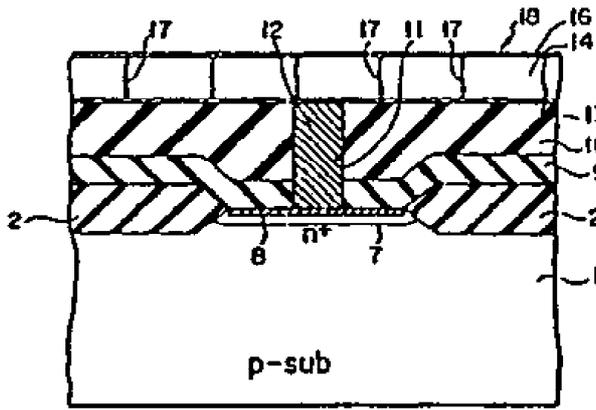
도면2-F



도면2-G



도면3



도면4

