

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 4 月 22 日(22.04.2010)

PCT

(10) 国際公開番号
WO 2010/044444 A1

- (51) 国際特許分類:
H03M 1/14 (2006.01)
- (21) 国際出願番号: PCT/JP2009/067853
- (22) 国際出願日: 2009 年 10 月 15 日(15.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-269001 2008 年 10 月 17 日(17.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北 3 丁目 5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP). 朴 鍾皓 (PARK Jong-ho) [KR/JP]; 〒4328003 静岡県浜松市

中区和地山 3-1-7 株式会社ブルックマン・ラボ内 Shizuoka (JP). 青山 聡(AOYAMA Satoshi) [JP/JP]; 〒4328003 静岡県浜松市中区和地山 3-1-7 株式会社ブルックマン・ラボ内 Shizuoka (JP). 磯部 圭吾(ISOBE Keigo) [JP/JP]; 〒4328003 静岡県浜松市中区和地山 3-1-7 株式会社ブルックマン・ラボ内 Shizuoka (JP).

(74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiaki et al.); 〒1040061 東京都中央区銀座一丁目 10 番 6 号銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).

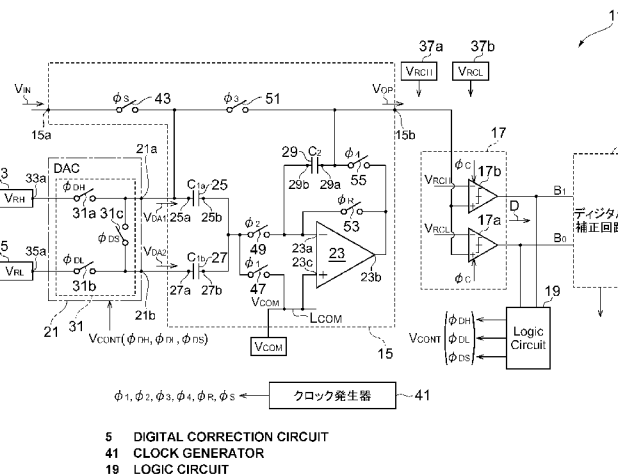
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,

[続葉有]

(54) Title: CYCLIC A/D CONVERTER, IMAGE SENSOR DEVICE, AND METHOD FOR GENERATING DIGITAL SIGNAL FROM ANALOG SIGNAL

(54) 発明の名称: 巡回型 A/D 変換器、イメージセンサデバイス、及びアナログ信号からデジタル信号を生成する方法

[図 1]





SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

D/A変換のための参照電圧の数を低減できる巡回型A/D変換器を提供する。巡回型A/D変換器1は、ゲインステージ15、A/D変換回路17、論理回路19、及びD/A変換回路21を備える。ゲインステージ15の演算動作では、演算増幅回路23及びキャパシタ25、27、29を用い演算値 V_{OP} を生成する。ゲインステージ15は、2種の電圧信号 V_{DA1} 、 V_{DA2} をスイッチ回路31でキャパシタ25、27に切り換えにより、D/A変換回路21から3種の電圧信号を受けたように動作する。つまり、D/A変換回路21は、デジタル信号(B_0 、 B_1)の値($D=2$)にตอบสนองしてキャパシタ25、27に電圧信号 V_{RH} を提供し、信号(B_0 、 B_1)の値($D=1$)にตอบสนองしてキャパシタ25、27にそれぞれ電圧信号 V_{RH} 及び V_{RL} を提供し、信号(B_0 、 B_1)の値($D=0$)にตอบสนองしてキャパシタ25、27に電圧信号 V_{RL} を提供する。

明 細 書

発明の名称：

巡回型 A/D 変換器、イメージセンサデバイス、及びアナログ信号からデジタル信号を生成する方法

技術分野

[0001] 本発明は、巡回型 A/D 変換器、イメージセンサデバイス、及びアナログ信号からデジタル信号を生成する方法に関する。

背景技術

[0002] 特許文献 1 には、A/D 変換アレイが記載されている。A/D 変換アレイの A/D 変換回路は、2つのキャパシタと反転増幅器とを含む。A/D 変換回路の D/A 変換部は、3 値 (V_{RM} 、 V_{RP} 、 GND) のいずれかを一方のキャパシタに提供する。

特許文献 2 には、巡回型 A/D 変換器が記載されている。この巡回型 A/D 変換器は、2 対のキャパシタと、差動入力及び差動出力を有する増幅器とを含む。A/D 変換器の D/A 変換部は、3 値 (V_{RM} 、 V_{RP} 、 $COMMON$) のいずれかを一対のキャパシタに提供する。

特許文献 3 には、高精度巡回型 A/D 変換器が記載されている。この A/D 変換器は、3つのキャパシタと、差動入力オペアンプとを含む。A/D 変換器の D/A 変換部は、3 値 ($+V_R$ 、 $-V_R$ 、 GND) のいずれかを3つのうちの所定のキャパシタに提供する。

特許文献 4 には、巡回型 A/D 変換器が記載されている。この A/D 変換器は、2 対のキャパシタと、差動入力及び差動出力を有する増幅器とを含む。A/D 変換器の D/A 変換部は、3 値 ($+V_{ref1}$ 、 $-V_{ref2}$ 、 $COMMON$) のいずれかを一対のキャパシタに提供する。

特許文献 5 には、N ビット A/D 変換器が記載されている。この A/D 変換器は、2 対のキャパシタと、演算増幅回路とを含む。A/D 変換器の D/A 変換回路は、3 値 ($+V_R$ 、 $-V_R$ 、 GND) のいずれかを一対のキャパシタ

に提供する。

特許文献6には、アナログディジタル変換器が記載されている。このアナログディジタル変換器は、4つのキャパシタと、演算増幅回路とを含む。A/D変換器のDA変換回路は、3値 (V_{REFP} 、 V_{REFN} 、COMMON) のいずれかを一對のキャパシタに提供する。

特許文献7には、A/D変換器が記載されている。このA/D変換器は、2つのキャパシタと、演算増幅回路とを含む。A/D変換器のDA変換回路は、3値 (V_{RM} 、 V_{RP} 、COMMON) のいずれかを一對のキャパシタに提供する。

先行技術文献

特許文献

- [0003] 特許文献1：特開2005-136540号公報
特許文献2：特開2007-104531号公報
特許文献3：特開2007-208815号公報
特許文献4：特開2008-141397号公報
特許文献5：特開2008-141399号公報
特許文献6：特開2008-141396号公報
特許文献7：特開2007-104655号公報

発明の概要

発明が解決しようとする課題

- [0004] 特許文献1～7のA/D変換器のいずれも、単一の演算増幅回路と複数のキャパシタとを含むゲインステージを用いる。ゲインステージの回路は、シングルエンド及び差動増幅のいずれかの構成を有する。差動増幅型のゲインステージは、シングルエンド型のゲインステージの2倍の数のキャパシタを必要とする。一方、シングルエンド型のゲインステージの巡回動作は上記3値 (V_{RM} 、 V_{RP} 、ゼロ) の参照電圧を必要とする。この参照電圧は、A/D変換器のDA変換回路によって提供される。

[0005] シングルエンド型のゲインステージと差動増幅型のゲインステージとにおけるキャパシタ数に上記の違いがあるので、シングルエンド型のゲインステージの回路面積は差動増幅型のゲインステージの回路面積よりも小さい。ところが、シングルエンド型のゲインステージでは、D/A変換のために、3値の参照電圧のいずれかをゲインステージ内のキャパシタの一端に提供する。これらの参照電圧が正確に生成されないとき、A/D変換に誤差が生じて、A/D変換特性の線形性を損なう。しかしながら、参照電圧を正確に生成することは容易ではない。半導体集積回路では、抵抗分圧を用いた回路を参照電圧の生成に用いるけれども、半導体集積回路における抵抗比の精度は高くない。正確な分圧により高精度の参照電圧を生成するためには、抵抗値のトリミングに用いる。このトリミングの使用は、A/D変換器の面積を増加させるだけでなく、A/D変換器のトリミング値を調整することも必要となる。

[0006] 本発明の目的は、このような事情を鑑みて為されたものであり、D/A変換のための参照電圧の数を低減できる巡回型A/D変換器を提供することを目的とし、また、この巡回型A/D変換器を含むイメージセンサデバイスを提供することを目的とし、さらに、D/A変換のための参照電圧の数を低減できる、アナログ信号からデジタル信号を生成する方法を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一側面は、巡回型A/D変換器である。この巡回型A/D変換器は、(a) デジタル値に変換されるアナログ信号を受ける入力、出力、並びに第1の入力、第2の入力及び出力を有するシングルエンド型の演算増幅回路を含むゲインステージと、(b) ゲインステージの出力からの信号又は前記アナログ信号に応じて、複数ビットを含むデジタル信号を生成するA/D変換回路と、(c) デジタル信号に応じて第1～第3の値を有する制御信号を生成する論理回路と、(d) 制御信号に応答してゲインステージに第1及び第2の電圧信号の少なくともいずれか一方を提供するD/A変換回

路とを備える。ゲインステージは、第1～第3のキャパシタを含む。演算増幅回路の第2の入力は、基準電位を受け、ゲインステージは、演算増幅回路及び第1～第3のキャパシタにより演算値を生成する演算動作と、該演算値を第1及び第2のキャパシタに格納する格納動作を行い、D/A変換回路は、第1及び第2のキャパシタにそれぞれ接続された第1及び第2の出力を有する。演算動作では、第3のキャパシタが演算増幅回路の出力と第1の入力との間に接続されると共に第1及び第2のキャパシタがD/A変換回路と第1の入力との間に接続されて、演算値が当該ゲインステージの出力に生成される。D/A変換回路は、制御信号に応答して、第1の出力に第1及び第2の電圧信号のいずれかを提供すると共に第2の出力に第1及び第2の電圧信号のいずれかを提供するためのスイッチ回路を含む。

[0008] この巡回型A/D変換器によれば、第1及び第2のキャパシタは、それぞれ、D/A変換回路の第1及び第2の出力に接続されており、またD/A変換回路のスイッチ回路は、制御信号に応答して、第1及び第2の電圧信号の少なくともいずれかを第1の出力に提供できると共に第1及び第2の電圧信号の少なくともいずれかを第2の出力に提供できる。これ故に、演算動作において、スイッチ回路を用いて第1及び第2の電圧信号を第1及び第2のキャパシタの一端に切り換えることによって、ゲインステージは、D/A変換回路から3種の電圧信号を受けたように動作する。

[0009] 本発明に係る巡回型A/D変換器では、前記スイッチ回路は、前記制御信号の前記第1の値に応答して前記第1及び第2のキャパシタの両方に前記第1の電圧信号を供給し、前記制御信号の前記第2の値に応答して前記第1及び第2のキャパシタにそれぞれ第1及び第2の電圧信号を供給し、前記制御信号の前記第3の値に応答して前記第1及び第2のキャパシタの両方に前記第2の電圧信号を供給する。

[0010] この巡回型A/D変換器によれば、第1及び第2のキャパシタにそれぞれD/A変換回路の第1及び第2の電圧信号を提供するとき、第1及び第2の電圧信号が第1及び第2のキャパシタを介して合成される。

- [0011] 本発明に係る巡回型A/D変換器では、前記スイッチ回路は、前記第1の電圧信号源と前記第1の出力との間に接続された第1のスイッチと、前記第2の電圧信号源と前記第2の出力との間に接続された第2のスイッチと、並びに前記第1の出力と前記第2の出力との間に接続された第3のスイッチとから構成される。前記D/A変換回路は、前記制御信号の前記第1の値に応答して、前記第1のスイッチ及び前記第3のスイッチをオンすることにより、それぞれ前記第1の出力、第2の出力を介して前記第1のキャパシタ及び第2のキャパシタに前記第1の電圧信号を供給する。前記D/A変換回路は、前記制御信号の前記第2の値に応答して、前記第1のスイッチをオンすることにより、前記第1の出力を介して前記第1のキャパシタに前記第1の電圧信号を供給すると共に、前記第2のスイッチをオンすることにより、前記第2の出力を介して前記第2のキャパシタに前記第2の電圧信号を供給する。前記D/A変換回路は、前記制御信号の前記第3の値に応答して、前記第2のスイッチ及び前記第3のスイッチをオンすることにより、それぞれ前記第1の出力、第2の出力を介して前記第1のキャパシタ及び第2のキャパシタに前記第2の電圧信号を供給する。
- [0012] この巡回型A/D変換器によれば、第1～第3のスイッチを用いて第1及び第2の電圧信号を切り替えて第1及び第2のキャパシタに提供するとき、第1及び第2の電圧信号から第3の電圧値が合成される。
- [0013] 本発明に係る巡回型A/D変換器では、格納動作では、第3のキャパシタが演算増幅回路の出力と第1の入力との間に接続されると共に第1及び第2のキャパシタが演算増幅回路の出力と基準電位との間に接続されることができる。この巡回型A/D変換器によれば、次の巡回A/D変換のための信号が第1及び第2のキャパシタに格納される。
- [0014] 本発明に係る巡回型A/D変換器では、ゲインステージは、さらに、初期リセット動作を行うことができる。初期リセット動作では、第1～第3のキャパシタは、演算増幅回路の第1の入力と演算増幅回路の出力との間に接続されると共に、演算増幅回路の第1の入力が演算増幅回路の出力に接続され

ることができる。この巡回型A/D変換器によれば、第1～第3のキャパシタの初期リセット動作を、演算増幅回路を用いて行うことができる。

[0015] 本発明に係る巡回型A/D変換器では、ゲインステージは、初期格納動作において、演算増幅回路の第1の入力と演算増幅回路の出力とを互いに接続すると共に、アナログ信号を第1～第3のキャパシタに受ける。この巡回型A/D変換器によれば、初期の格納動作として、アナログ信号を第1～第3のキャパシタに格納することができる。

[0016] 本発明の別の側面は、イメージセンサデバイスである。このイメージセンサデバイスは、(a) イメージセンサセルのアレイを含むセルアレイと、(b) セルアレイに接続されており複数の巡回型A/D変換器を含む変換器アレイとを備える。巡回型A/D変換器の各々はセルアレイのカラム線を介してイメージセンサセルに接続されており、巡回型A/D変換器の各々は上記に記載されたものである。このイメージセンサデバイスによれば、巡回型A/D変換器の各々は、ゲインステージに第1及び第2の電圧信号の少なくともいずれか一方を提供するD/A変換回路を用いる。これ故に、イメージセンサデバイスの面積を小さくできる。

[0017] 本発明に係るイメージセンサデバイスでは、イメージセンサセルは、リセットレベルを示す第1の信号と該リセットレベルに重畳された信号レベルを示す第2の信号とを生成可能である。ゲインステージは、演算増幅回路の出力と第1の入力と互いに接続すると共に、ゲインステージの入力と演算増幅回路の第1の入力との間に第1及び第2のキャパシタを接続して、リセットレベルの信号を第1及び第2のキャパシタに受ける。ゲインステージは、第3のキャパシタを演算増幅回路の出力と第1の入力との間に接続すると共に、ゲインステージの入力と演算増幅回路の第1の入力との間に第1及び第2のキャパシタに接続して、信号レベルの信号を第1及び第2のキャパシタに受ける。

[0018] このイメージセンサデバイスによれば、ゲインステージを用いて、リセット動作によるリセットレベルを第2の信号からキャンセルできる。

[0019] 本発明に係るイメージセンサデバイスでは、ノイズキャンセル回路を更に備えることができる。前記イメージセンサセルは、リセットレベルを示す、第1の冗長ビット例からなる第1の信号と該リセットレベルに重畳された信号レベルを示す、第2の冗長ビット例からなる第2の信号とを生成可能であり、前記ノイズキャンセル回路は、前記リセットレベルの信号の第1のA/D変換値を格納する第1の記憶回路と、前記信号レベルの信号の第2のA/D変換値を格納する第2の記憶回路と、前記第1のA/D変換値と前記第2のA/D変換値との差を生成して前記第2の信号から該リセットレベルを差し引いてリセットノイズをキャンセルする演算回路とを含む。このイメージセンサデバイスによれば、イメージセンサセルからの第1及び第2の信号のデジタル信号を利用して、リセット動作によるリセットレベルを第2の信号からキャンセルできる。

[0020] 本発明に係るイメージセンサデバイスでは、前記演算回路は、前記第1の冗長ビット列（第1の信号）及び前記第2の冗長ビット列（第2の信号）を非冗長ビット列にそれぞれ変換する第1及び第2冗長－非冗長反感回路、補数器、並びに加算器を含み、前記第1冗長－非冗長変換回路の出力値と前記第2冗長－非冗長変換回路の出力値との差分をノイズキャンセル値として出力することができる。このイメージセンサデバイスによれば、補数器及び加算器を用いて、第1冗長－非冗長変換回路の出力値と第2冗長－非冗長変換回路の出力値との差分を生成できる。

[0021] 本発明に係るイメージセンサデバイスは、第1の電圧信号を発生する第1の基準電圧回路と、第2の電圧信号を発生する第2の基準電圧回路と、第1の基準電圧回路に接続された第1の導電線と、第2の基準電圧回路に接続された第2の導電線とを更に備えることができる。各巡回型A/D変換器内のD/A変換回路は、第1及び第2の導電線に接続されている。このイメージセンサデバイスによれば、第1及び第2の電圧信号を各巡回型A/D変換器に提供するために、3本ではなく2本の導電線を用いる。

[0022] 本発明の更なる別の側面は、巡回型A/D変換を用いてアナログ信号から

ディジタル信号を生成する方法である。該方法は、（a）第1～第3のキャパシタにアナログ値を有するA信号を格納するステップと、（b）A信号のディジタル値を表しており第1～第3の値のいずれかを有する D_0 信号を生成するステップと、（c） D_0 信号を生成した後に、第3のキャパシタを演算増幅回路の出力と演算増幅回路の第1の入力との間に接続すると共に第1及び第2のキャパシタの一端を演算増幅回路の第1の入力に接続して、第1のキャパシタの他端及び第2のキャパシタの他端に D/A 信号を加えることにより、演算増幅回路の出力に演算値を生成するステップと、（d）第1及び第2のキャパシタに演算値を格納すると共に、演算値のディジタル値を表しており第1～第3の値を有する D_i 信号を生成するステップと、（e）ステップ（c）及び（d）を繰り返して、ディジタル信号を生成するステップとを備える。 D/A 信号は、 D_0 信号又は D_i 信号に応じたアナログ値の第1及び第2の電圧信号のいずれかであり、 D_0 信号が第1の値であるとき、第1の電圧信号が第1のキャパシタの他端及び第2のキャパシタの他端に加えられ、 D_0 信号が第2の値であるとき、第2の電圧信号が第1のキャパシタの他端及び第2のキャパシタの他端に加えられ、 D_0 信号が第3の値であるとき、第1及び第2の電圧信号が、それぞれ、第1及び第2のキャパシタの他端に加えられる。また、 D_i 信号が第1の値であるとき、第1の電圧信号が第1のキャパシタの他端及び第2のキャパシタの他端に加えられ、 D_i 信号が第2の値であるとき、第2の電圧信号が第1のキャパシタの他端及び第2のキャパシタの他端に加えられ、 D_i 信号が第3の値であるとき、第1及び第2の電圧信号が、それぞれ、第1及び第2のキャパシタの他端に加えられる。演算増幅回路の第2の入力は基準電位を受ける。

[0023] この方法によれば、巡回型A/D変換を行うに際して、3種の電圧信号を用いることなく2種の電圧信号を用いて、アナログ信号を受けると共に、このアナログ信号を表すディジタル信号を生成できる。

[0024] 本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より

容易に明らかになる。

発明の効果

- [0025] 本発明の一側面によれば、D/A変換のための参照電圧の数を低減できる巡回型A/D変換器が提供される。また、本発明の別の側面によれば、この巡回型A/D変換器を含むイメージセンサデバイスが提供される。さらに、本発明の更なる別の側面によれば、D/A変換のための参照電圧の数を低減できる、アナログ信号からデジタル信号を生成する方法が提供される。

図面の簡単な説明

- [0026] [図1] 図1は本実施の形態に係る巡回型A/D変換器の回路ブロックを示す図面である。
- [図2] 図2は、演算値 V_{OP} と一巡回毎のデジタル値との関係を示す図面である。
- [図3] 図3は、図1に示された巡回型A/D変換器におけるクロックタイミングを示す図面である。
- [図4] 図4は、図1に示された巡回型A/D変換器の動作を示す図面である。
- [図5] 図5は、初期リセット動作のための回路接続を示す図面である。
- [図6] 図6は、イメージセンサデバイスの回路ブロックを示す図面である。
- [図7] 図7は、イメージセンサの画素を示す図面である。
- [図8] 図8は、デジタルノイズキャンセル回路内の演算回路を示すブロック図である。
- [図9] 図9は本実施の形態に係る巡回型A/D変換器の回路ブロックを示す図面である。
- [図10] 図10は、アナログCDSのための主要なステップを示す図面である。

発明を実施するための形態

- [0027] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照

しながら、本発明に係る巡回型A/D変換器、イメージセンサデバイス、及びアナログ信号からデジタル信号を生成する方法の実施の形態を説明する。可能な場合には同一の部分には同一の符号を付する。

[0028] 図1は、本実施の形態に係る巡回型A/D変換器の回路ブロックを示す図面である。この巡回型A/D変換器11は、ゲインステージ15と、A/D変換回路17と、論理回路19と、D/A変換回路21とを備える。ゲインステージ15は、デジタル値に変換されるアナログ信号 V_{IN} を受ける入力15a、及び一巡回毎の演算値 V_{OP} を提供する出力15bを含む。また、ゲインステージ15は、シングルエンド型の演算増幅回路23、及び第1～第3のキャパシタ25、27、29を含む。演算増幅回路23は、第1の入力23a、出力23b、及び第2の入力23cを有しており、出力23bの信号の位相は、第1の入力23aに与えられた信号の位相と反転している。例えば、第1及び第2の入力23a、23cは、それぞれ、反転入力端子及び非反転入力端子であり、出力23bは、非反転出力端子である。例えば、演算増幅回路23の第2の入力23cは、基準電位線 L_{COM} に接続されており、また基準電位 V_{COM} を受ける。A/D変換回路17は、ゲインステージ23の出力23bからの信号 V_{OP} 又はアナログ信号 V_{IN} に応じてデジタル信号Dを生成する。

[0029] A/D変換回路17は、例えば2つのコンパレータ17a、17bを含むことができる。コンパレータ17a、17bは、それぞれ、入力アナログ信号をそれぞれの所定の基準信号 V_{RCH} 、 V_{RCL} と比較すると共に、図1に示されるように、比較結果信号B0、B1を提供する。A/D変換回路17における基準信号 V_{RCH} 、 V_{RCL} は、それぞれ、電圧源37a、37bによって提供される。デジタル信号Dは、一巡回毎のA/D変換値を示す。デジタル信号Dは、例えば2ビット(B_0 、 B_1)を有しており、各ビット(B_0 、 B_1)は、「1」または「0」を取りうる。巡回型A/D変換器11は、ビット(B_0 、 B_1)の組み合わせにより一巡回毎のデジタル値は第1～第3の値($D=0$ 、 $D=1$ 、 $D=2$)を有する。論理回路19は、デジタル信号D

に応じた制御信号 V_{CONT} （例えば ϕ_{DH} 、 ϕ_{DL} 、 ϕ_{DS} ）を生成する。必要な場合には、A/D変換回路17では、例えば1つのコンパレータを時分割で用いて、演算値 V_{OP} を基準信号と比較すると共に、比較結果を示す信号 B_0 、 B_1 を提供することができる。

[0030] ゲインステージ15は、演算動作及び格納操作を含むことができる。演算動作では、演算増幅回路23及び第1～第3のキャパシタ25、27、29により演算値 V_{OP} を生成する。格納動作では、演算値 V_{OP} を第1及び第2のキャパシタ25、27に格納する。

[0031] この巡回型A/D変換器11によれば、第1及び第2のキャパシタ25、27は、それぞれ、D/A変換回路の第1及び第2の出力21a、21bに接続されている。また、D/A変換回路21のスイッチ回路31は、制御信号 V_{CONT} に応答して、電圧信号 V_{DA1} 、 V_{DA2} の少なくともいずれかを第1の出力21aに提供できると共に、電圧信号 V_{DA1} 、 V_{DA2} の少なくともいずれかを第2の出力21bに提供できる。これ故に、演算動作において、スイッチ回路31を用いて電圧信号 V_{DA1} 、 V_{DA2} をキャパシタ25、27の一端に切り換えて印加することによって、ゲインステージ15は、D/A変換回路21から3種の電圧信号を受けたように動作する。具体的には、巡回型A/D変換器11では、D/A変換回路21は、デジタル信号（ B_0 、 B_1 ）の第1の値（ $D=2$ ）に応答して、キャパシタ25、27に電圧信号 V_{RH} を提供する。D/A変換回路21は、デジタル信号（ B_0 、 B_1 ）の第2の値（ $D=1$ ）に応答して、キャパシタ25、27にそれぞれ電圧信号 V_{RH} 及び V_{RL} を提供する。D/A変換回路21は、デジタル信号（ B_0 、 B_1 ）の第3の値（ $D=0$ ）に応答して、キャパシタ25、27に電圧信号 V_{RL} を提供する。

[0032] この巡回型A/D変換器によれば、キャパシタ25、27にそれぞれD/A変換回路の第1及び第2の電圧信号を提供するとき、第1及び第2の電圧信号がキャパシタ25、27を介して合成される。

[0033] 図2は、演算値 V_{OP} と一巡回毎のデジタル値との変換特性を示す図面で

ある。

デジタル信号 演算値 V_{OP} の範囲

$D=0$ のとき、 $V_{RCL} > V_{OP}$ 、

$D=1$ のとき、 $V_{RCH} \geq V_{OP} \geq V_{RCL}$ 、

$D=2$ のとき、 $V_{OP} > V_{RCH}$ 、(1)

となる。A/D変換回路17がゲインステージ15からの演算値 V_{OP} を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成している。

[0034] D/A変換回路21は、制御信号 V_{CONT} に応答してゲインステージ15に第1及び第2の電圧信号 V_{RH} 、 V_{RL} の少なくともいずれか一方を提供する。このために、D/A変換回路21は、第1及び第2の出力21a、21b、並びにスイッチ回路31を含む。スイッチ回路31は、制御信号 V_{CONT} に応答して、第1の出力21aに第1及び第2の電圧信号 V_{RH} 、 V_{RL} のいずれかを提供すると共に第2の出力21bに第1及び第2の電圧信号 V_{RH} 、 V_{RL} のいずれかを提供する。

[0035] D/A変換回路21では、電圧信号 V_{RH} 、 V_{RL} は第1及び第2の電圧源33、35によって提供される。第1の電圧源33は電圧 V_{RH} を提供する。第2の電圧源35は電圧 V_{RL} を提供する。第1の電圧源33の出力33aは、スイッチ回路31内のスイッチ31aを介して出力21aに接続されると共に、スイッチ回路31内のスイッチ31a、31cを介して出力21bに接続される。第2の電圧源35の出力35aは、スイッチ回路31内のスイッチ31b、31cを介して出力21aに接続されると共に、スイッチ回路31内のスイッチ31bを介して出力21bに接続される。D/A変換回路21の第1及び第2の出力21a、21bは、それぞれ、第1及び第2のキャパシタ25、27の一端25a、27aに接続されている。スイッチ31a～31cの開閉は、それぞれ、論理回路17からの制御信号 ϕ_{DH} 、 ϕ_{DS} 、 ϕ_{DL} によって制御されるので、デジタル信号B1、B0の値は、制御信号 ϕ_{DH} 、 ϕ_{DS} 、 ϕ_{DL} のうちのいずれがアクティブになるかを決定する。

[0036] D/A変換回路21は、論理回路17からの制御信号に応答して、例えば図2に示されるような値を提供する。

条件 $D=2$ が満たされるとき、 $V_{DA1}=V_{DA2}=V_{RH}$ を提供する。

条件 $D=1$ が満たされるとき、 $V_{DA1}=V_{RH}$ 、 $V_{DA2}=V_{RL}$ を提供する。

条件 $D=0$ が満たされるとき、

$V_{DA1}=V_{DA2}=V_{RL}$ を提供する。 (2)

[0037] ゲインステージ15は、キャパシタ25、27、29及び演算増幅回路23の接続を行うための複数のスイッチを含む。これらのスイッチが図1に示されているけれども、スイッチ43、47、49、51、53、55の配置は一例である。これらのスイッチ43、47、49、51、53、55の制御は、クロック発生器41によって行われる。

[0038] 図3は、図1に示された巡回型A/D変換器におけるクロックタイミングを示す図面である。図4は、図1に示された巡回型A/D変換器の動作を説明する。キャパシタ25、27、29は、それぞれ、キャパシタンス C_{1a} 、 C_{1b} 、 C_2 を有する。

[0039] 図4(a)のステップS101(及びS201)では初期格納動作を行う。初期格納動作モードでは、アナログ信号 V_{IN} をキャパシタ25、27、29に格納する。格納のために、キャパシタ25、27、29が互いに並列に接続される。また、当初のアナログ信号 V_{IN} をA/D変換回路17に提供する。巡回型A/D変換器11は、アナログ信号 V_{IN} をキャパシタ25、27、29に格納するための第1のスイッチ手段を含む。第1のスイッチ手段によって、当初のアナログ信号 V_{IN} がA/D変換回路17に提供される。A/D変換回路17は、デジタル信号D1(1)(D2(1))を生成する。信号D1(1)は論理回路19に提供され、論理回路19は、D/A変換回路21を制御する制御信号 V_{CONT} を生成する。

[0040] アナログ信号 V_{IN} をキャパシタ25、27、29に格納するために、スイッチ43を介してキャパシタ25の端子25aを入力15aに接続し、スイッチ31c、43を介してキャパシタ27の端子27aを入力15aに接続

し、キャパシタ 29 の端子 29 a をスイッチ 43、51 を介して入力 15 a に接続すると共に、キャパシタ 25、27 の端子 25 b、27 b にスイッチ 49、53 を介して基準電位を供給し、キャパシタ 29 の端子 29 b にスイッチ 53 を介して基準電位を供給する。第 1 のスイッチ手段において、クロック信号 ($\phi_{DS}=1$ 、 $\phi_S=1$ 、 $\phi_2=1$ 、 $\phi_R=1$) によってスイッチ 31 c、43、49、53 を導通にすると共に、クロック信号 ($\phi_1=0$ 、 $\phi_4=0$) によってスイッチ 47、55 を非導通にする。キャパシタ 29 の端子 29 a と出力 23 b とはスイッチ 55 によって分離され、出力 23 b は入力 15 a からスイッチ 55 によって分離される。ゲインステージ 15 は、演算増幅回路 23 の入力 23 a と出力 23 c とを互いに接続するとき、演算増幅回路 23 の出力 23 c には基準電位 V_{COM} が発生される。この接続において、A/D 変換回路 17 は当初のアナログ信号 V_{IN} を受けて、クロック ϕ_c に応答してデジタル信号 D (1) を生成する。なお、キャパシタ 25 の端子 25 a とキャパシタ 27 の端子 27 a とをスイッチ 31 c を介して接続しているけれども、この接続のために別途のスイッチを設けることができる。図 3 のタイミングチャートにおいて、信号 (ϕ_{DH} 、 ϕ_{DL} 、 ϕ_{DS}) は、簡単のために、D/A 変換回路 21 を制御するための波形を示している。これらの信号のうち、信号 (ϕ_{DS}) は、該制御の信号波形とは別に、キャパシタ 25 の端子 25 a とキャパシタ 27 の端子 27 a との接続のための信号波形を含む。

[0041] 図 4 (b) 及び図 4 (c) のステップ S102 (及び S202) では、演算動作が行われる。演算動作モードでは、ゲインステージ 15 は、演算増幅回路 23 及びキャパシタ 25、27、29 により演算値 V_{OP} を生成する。演算動作では、キャパシタ 29 が演算増幅回路 15 の出力 15 b と入力 15 a との間に接続されると共にキャパシタ 25、27 が D/A 変換回路 21 と入力 23 a との間に接続される。巡回型 A/D 変換器 11 は、演算動作のための第 2 のスイッチ手段を含む。制御信号 V_{CONT} の値に応じて、D/A 変換回路 21 はゲインステージ 15 に電圧信号 V_{DA1} 及び/又は V_{DA2} を提供する。電圧信号 V_{DA1} 、 V_{DA2} の印加に応答して、演算値 V_{OP} がゲインステージ 15

の出力 15 b に生成される。

演算値 V_{OP} は以下の式で表される。

$$V_{OP} = (1 + C_1 / C_2) \times V_{IN} - V_R \quad (3)$$

$$C_1 = C_{1a} + C_{1b} \quad (4)$$

である。また、値 V_R は D/A 変換回路 21 からの電圧信号 V_{DA1} 、 V_{DA2} によって規定されており、以下のように表される。

条件 $D = 2$ が満たされるとき、 $V_R = (C_{1a} + C_{1b}) \times V_{RH} / C_2$ である。

条件 $D = 1$ が満たされるとき、 $V_R = (C_{1a} \times V_{RH} + C_{1b} \times V_{RL}) / C_2$ である。

条件 $D = 0$ が満たされるとき、

$$V_R = (C_{1a} + C_{1b}) \times V_{RL} / C_2 \text{ である。} \quad (5)$$

[0042] 関係 $C_{1a} = C_{1b} = C_2 / 2$ が満たされるとき、式 (3) 及び関係 (5) は以下のように書き換えられる。

$$V_{OP} = 2 \times V_{IN} - V_R \quad (6)$$

また、関係 (3) も以下のように書き換えられる。

条件 $D = 2$ が満たされるとき、 $V_R = V_{RH}$ である。

条件 $D = 1$ が満たされるとき、 $V_R = (V_{RH} + V_{RL}) / 2$ である。

条件 $D = 0$ が満たされるとき、

$$V_R = V_{RL} \text{ である。} \quad (7)$$

すなわち、D/A 変換回路 21 は、3 値の A/D 変換値に対して V_{RH} 、 V_{RL} 又はその中点の電圧 $(V_{RH} + V_{RL}) / 2$ の 3 値を生成する。3 値の生成が 2 つの参照電源のみを用いて可能にされるので、参照電圧源の数及び参照電圧の提供する配線の領域を節約できる。

[0043] この動作において、参照電圧 V_{RH} 、 V_{RL} の絶対値のずれは、A/D 変換特性の線形性には影響がなく、中点電圧の生成の精度のみが線形性に影響する。キャパシタの容量比精度が、この中点電圧を規定する。容量の比精度は、抵抗の比精度に比べてはるかに高く、高精度な A/D 変換器 11 を提供できる。

- [0044] 演算値 V_{OP} の生成のために、スイッチ49を介してキャパシタ25、27の端子25b、27bを入力23aに接続し、キャパシタ29の端子29aをスイッチ55を介して出力23bに接続する。第2のスイッチ手段において、クロック信号($\phi_2=1$ 、 $\phi_4=1$)によってスイッチ49、55を導通にすると共に、クロック信号($\phi_s=0$ 、 $\phi_1=0$ 、 $\phi_3=0$ 、 $\phi_R=0$)によってスイッチ43、47、51、53を非導通にする。キャパシタ25、27の端子25b、27bは、スイッチ47によって基準電位線 L_{COM} から分離され、キャパシタ25、27の端子25a、27aは、スイッチ51によって出力23bから分離される。入力23aと出力23bはスイッチ53によって分離される。
- [0045] 図4(d)のステップS103(及びS203)では、格納動作が行われる。格納動作モードでは、演算増幅回路23の出力23b上の演算値 V_{OP} を第1及び第2のキャパシタ25、27に格納する。格納のために、キャパシタ25、27が互いに並列に接続される。巡回型A/D変換器11は、演算値 V_{OP} の格納のための第3のスイッチ手段を含む。また、第3のスイッチ手段によって、演算値 V_{OP} がアナログ信号としてA/D変換回路17に提供される。
- [0046] 演算値 V_{OP} をキャパシタ25、27に格納するために、スイッチ51、55を介してキャパシタ25の端子25aを出力23bに接続し、スイッチ31c、51、55を介してキャパシタ27の端子27aを出力23bに接続すると共に、スイッチ47を介してキャパシタ25、27の端子25b、27bに基準電位を供給する。第3のスイッチ手段において、クロック信号($\phi_{DS}=1$ 、 $\phi_1=1$ 、 $\phi_3=1$ 、 $\phi_4=1$)によってスイッチ31c、47、51、55を導通にすると共に、クロック信号($\phi_s=0$ 、 $\phi_2=0$ 、 $\phi_R=0$)によってスイッチ43、49、53を非導通にする。キャパシタ25、27の端子25a、27aはスイッチ43によって入力15aから分離され、キャパシタ25、27の端子25b、27bはスイッチ49によって入力23aから分離される。ゲインステージ15の演算動作モードにおいて、演算増

幅回路 23 の入力 23 a は基準電位 V_{COM} になる。また、第 3 のスイッチ手段（本実施例では、スイッチ 55）によって、演算値 V_{OP} が A/D 変換回路 17 に提供される。

[0047] 図 4 (e) のステップ S104 (S204) では、ステップ S102 (S202) 及び S103 (S203) を繰り返して、デジタル信号 D1 (2) ~ D1 (N)、D2 (2) ~ D2 (N) を生成する。この繰り返しは、所定のビット数の A/D 変換結果が得られるまで行われる。例えば、N 回巡回すれば、ほぼ N+1 ビットに相当する分解能が得られる。

[0048] 必要な場合には、図 5 のステップ S105 (及び S205) では、初期リセット動作を行う。初期リセット動作のために、キャパシタ 25、27、29 の両端を接続する。また、後の動作のために、キャパシタ 25、27、29 の両端には、基準電位 V_{COM} が与えられる。ゲインステージ 15 は、キャパシタ 25、27、29 を演算増幅回路 23 の入力 23 a と出力 23 b との間に接続すると共に、演算増幅回路 23 の入力 23 a を出力 23 b に接続する。初期リセット動作のための第 4 のスイッチ手段を含む、第 4 のスイッチ手段において、クロック信号 ($\phi_{DS}=1$ 、 $\phi_2=1$ 、 $\phi_3=1$ 、 $\phi_R=1$ 、 $\phi_4=1$) によってスイッチ 31c、49、51、53、55 を導通にすると共に、クロック信号 ($\phi_S=0$ 、 $\phi_1=0$) によってスイッチ 43、47 を非導通にする。演算増幅回路 23 の出力 23 c には基準電位 V_{COM} が発生される。

[0049] 3 値の A/D 変換では、参照電圧 V_{RCH} 、 V_{RCL} は例えば式 (8)、(9) で与えられる。

$$V_{RCH} = (3 \times V_{RH} + 5 \times V_{RL}) / 8 \quad (8)$$

$$V_{RCL} = (5 \times V_{RH} + 3 \times V_{RL}) / 8 \quad (9)$$

式 (1)、(2)、(8)、(9) で表される 1 巡回あたりの変換特性は、図 2 に示される。

[0050] 図 6 は、イメージセンサデバイスの回路ブロックを示す図面である。図 6 を参照すると、イメージセンサ 1 では、イメージセンサセル 2 a のアレイを

含むセルアレイ 2 の行に垂直シフトレジスタ 3 が接続されており、セルアレイ 2 の列には A/D 変換器アレイ 4 が接続されている。A/D 変換器アレイ 4 は、アレイ状に配列された複数の A/D 変換器を含む。各 A/D 変換器として A/D 変換器 11 を使用できる。A/D 変換器 11 の各々はカラム線 8 を介してイメージセンサセル 2a に接続されている。カラム線 8 にはバイアス回路 9 が接続されており、バイアス回路 9 は、各カラム線 8 に設けられた電流源トランジスタ 9a と、電流源 I_{bias} とを含む。このイメージセンサデバイス 1 において、図 3 のタイミングチャートに従って、リセットレベルの信号 S1 の A/D 変換値 ($D1(1) \sim D1(N)$) 及び信号レベルの信号 S2 の A/D 変換値 ($D2(1) \sim D2(N)$) を生成する。

[0051] このイメージセンサデバイス 1 では、巡回型 A/D 変換器 11 の各々は、ゲインステージ 15 に D/A 変換回路 21 を用いる。これ故に、イメージセンサデバイス 1 の面積を小さくできる。必要な場合には、A/D 変換器アレイ 4 の出力は、冗長表現—非冗長表現変換回路 7 により画素 2a からの信号に対応した M ビットのデジタルコードを変換される。

[0052] イメージセンサデバイス 1 は、電圧信号 V_{RH} を発生する基準電圧回路 33 と、電圧信号 V_{RL} を発生する基準電圧回路 35 と、基準電圧回路 33 に接続された第 1 の導電線 10a と、基準電圧回路 35 に接続された導電線 10b とを更に含む。導電線 10a、10b は、カラム線 8 の延びる方向に交差する方向に延在する。各巡回型 A/D 変換器 11 内の D/A 変換回路 21 は、導電線 10a、10b に接続されている。このイメージセンサデバイスによれば、参照電圧信号 V_{RH} 、 V_{RL} を巡回型 A/D 変換器 11 に提供するために、3 本ではなく 2 本の導電線 10a、10b を用いる。

[0053] 図 7 は、イメージセンサの画素を示す図面である。画素 2a は、例えば CMOS イメージセンサセルの構造を有する。フォトダイオード DF が、イメージに関連する一画素分の光 L を受ける。選択トランジスタ M_S のゲートは、行方向に伸びるロウ選択線 S に接続される。リセットトランジスタ M_R のゲートはリセット線 R に接続される。転送トランジスタ M_T のゲートは、行方向に

伸びる転送選択線に接続される。フォトダイオードDFの一端は転送トランジスタ M_T を介して浮遊拡散層FDに接続される。浮遊拡散層FDは、リセットトランジスタ M_R を介してリセット電位線Resetに接続されると共に、トランジスタ M_A のゲートに接続される。トランジスタ M_A の一電流端子（例えばドレイン）は、選択トランジスタ M_S を介してカラム線8に接続される。トランジスタ M_A は、浮遊拡散層FDの電荷量に応じて電位を選択トランジスタ M_S を介してカラム線に提供する。

[0054] この構造の画素において、ノイズキャンセル動作は、以下のように行われる。まず、リセット制御信号Rをリセットトランジスタ M_R に提供し、浮遊拡散層FDをリセットする。増幅トランジスタ M_A を介して、このリセットレベルを読み出す。次いで、電荷転送制御信号TXを転送トランジスタ M_T に供給し、フォトダイオードDFから光誘起信号電荷を浮遊拡散層に転送する。この後、トランジスタ M_A を介して、この信号レベルを読み出す。このように、画素2aは、リセットレベルを示す信号S1と該リセットレベルに重畳された信号レベルを示す信号S2とを生成可能である。

[0055] このリセットレベルと信号レベルの差は、ディジタルノイズキャンセル回路5によって求められる。これによって、画素2aのトランジスタの特性ばらつきによる固定パターンノイズと、浮遊拡散層をリセットしたときに発生するリセットノイズといったノイズがキャンセルされる。A/D変換器アレイ4にはノイズキャンセル回路5が接続されており、A/D変換器アレイ4の出力はノイズキャンセル回路5に提供される。画素2aからの信号に対応するA/D変換値がノイズキャンセル回路5に格納される。ノイズキャンセル回路5は、水平シフトレジスタ6からの信号に応答して、イメージセンサ1の出力にディジタル信号 D_{OUT} へ提供する。ディジタルノイズキャンセルは、リセットレベルを示す信号S1を示すビット列と該リセットレベルに重畳された信号レベルを示す信号S2を示すビット列と差分を求めることによって行われる。

[0056] ノイズキャンセル回路5は、第1の記憶回路61と、第2の記憶回路63

と、演算回路 65 とを含む。第 1 の記憶回路 61 は、図 3 のタイミングチャートに従って生成された A/D 変換値 ($D_1(1) \sim D_1(N)$) を格納する。第 2 の記憶回路 63 は、図 3 のタイミングチャートに従って生成された A/D 変換値 ($D_2(1) \sim D_2(N)$) を格納する。演算回路 65 は、2 つの記憶回路 61、63 に記憶されたビット列間の差分を求めることによって、デジタルノイズキャンセルされた出力 V_{OUT} を生成する。

[0057] 差分の生成に先立って、冗長コード (1 桁あたり $D=0, 1, 2$ の 3 値を取る) のビット列を非冗長コードのビット列に変換する。N 桁の冗長コードの A/D 変換出力値の列 ($D(1), D(2), \dots, D(N-1), D(N)$) と表すとき、 $D(1)$ が最上位ビットであり、 $D(N)$ が最下位ビットであり、各出力値 $D(i-1) = (B_0(i-1), B_1(i-1))$ と表される。A/D 変換出力値の列から各桁毎のビット列を生成する。B0 ビット列は ($B_0(1), B_0(2), \dots, B_0(N)$) と表され、B1 ビット列は ($B_1(0), B_1(2), \dots, B_1(N)$) と表される。

[0058] 冗長コードから非冗長コードへの変換は、以下のように行われる。3 値の冗長コード D に対して

D、B1、B0

0、 0、 0

1、 0、 1

2、 1、 1

という対応により、A/D 変換回路 17 の出力 B1、B0 の値が規定される
とき、非冗長コードは、N 桁の B0 ビット列を N 桁の B1 ビット列と加算して得られる $N+1$ 桁の 2 進数によって表される。上記の加算は加算器で行われる。リセットレベル及び信号レベルの各々の A/D 変換値を非冗長コードに変換し後に、これらの非冗長コードの一方を補数表現に変換して、加算器により減算を行う。これにより、ノイズキャンセルが行われる。

[0059] 図 8 は、デジタルノイズキャンセル回路内の演算回路を示すブロック図である。A/D 変換器アレイ 4 からのリセットレベルの冗長ビット列は、記

憶回路 7 3 に格納される。記憶回路 7 3 は、B 0 ビット列の記憶回路 7 3 a と、B 1 ビット列の記憶回路 7 3 b とを含む。記憶回路 7 3 は、冗長—非冗長変換回路 7 7 に接続される。冗長—非冗長変換回路 7 7 の加算器 7 7 a は、N ビット冗長表現のデジタル値を N + 1 ビット非冗長表現のデジタル値 $D_{N+1}(R)$ に変換する。また、A/D 変換器アレイ 4 からの信号レベルの冗長ビット列は、記憶回路 7 5 に格納される。記憶回路 7 5 は、B 0 ビット列の記憶回路 7 5 a と、B 1 ビット列の記憶回路 7 5 b とを含む。記憶回路 7 5 は、冗長—非冗長変換回路 7 9 に接続される。冗長—非冗長変換回路 7 9 の加算器 7 9 a は、N ビット冗長表現のデジタル値を N + 1 ビット非冗長表現のデジタル値 $D_{N+1}(S)$ に変換する。冗長—非冗長変換回路 7 9 は補数器 8 1 に接続されており、補数器 8 1 は、非冗長補数表現のデジタル値 (N + 1 ビット非冗長補数表現のデジタル値) $D_{N+1}(S)$ を生成する。加算器 8 3 は、デジタル値 $D_{N+1}(R)$ とデジタル値 $D_{N+1}(S)$ とを加算して、ノイズキャンセルされたデジタル値 V_{OUT} を生成する。

[0060] このイメージセンサデバイス 1 によれば、イメージセンサセル 2 a からの信号 S 1、S 2 のデジタル信号を利用して、リセット動作によるリセットレベルのノイズを、リセットノイズを示す電荷及び受光量を示す電荷から生成された信号からキャンセルできる。

[0061] 一例のディジタルノイズキャンセル回路では、冗長—非冗長変換回路 7 7 及び 7 9 が、それぞれ、図 6 に示された記憶回路 6 1 及び 6 3 に含まれることができる。また、冗長—非冗長変換回路 7 7 及び 7 9 が、それぞれ、N + 1 ビット非冗長表現のデジタル値を格納する記憶回路 7 7 b 及び 7 9 b を含むことができる。記憶回路 6 3 が補数器 8 1 を含むことができる。演算回路 6 5 は、加算器 8 3 を含むことができる。この構成によれば、カラム毎に設けられた回路において、非冗長表現のデジタル値が生成され、演算回路 6 5 は、全てのカラムに対して共用される。

[0062] 別の一例のディジタルノイズキャンセル回路では、冗長—非冗長変換回路 7 7 及び 7 9 並びに補数器 8 1 が、図 6 に示された演算回路 6 5 に含まれるこ

とができる。演算回路 65 は、信号 S1 及び S2 にそれぞれを示す 2 つの N ビット冗長表現のデジタル値を受けて、これらに冗長－非冗長変換を行うと共に差分値を生成する。この構成によれば、冗長－非冗長変換回路及び差分器が、全てのカラムに対して共有される。

[0063] また、上記のリセットレベルと信号レベルの差は、A/D 変換の際にキャンセルできる。これにより、画素 2a のトランジスタの特性ばらつきによる固定パターンノイズと、浮遊拡散層をリセットしたときに発生するリセットノイズといったノイズがキャンセルされる。

[0064] 図 9 は、本実施の形態に係る巡回型 A/D 変換器の回路ブロックを示す図面である。この巡回型 A/D 変換器 11a は、ゲインステージ 15 と、A/D 変換回路 17 と、論理回路 19 と、D/A 変換回路 21 とを備える。ゲインステージ 15 は、デジタル値に変換されるアナログ信号 V_{IN} を受ける入力 15a、及び一巡回毎の演算値 V_{OP} を提供する出力 15b を含む。また、ゲインステージ 15 は、シングルエンド型の演算増幅回路 23 及び第 1～第 3 のキャパシタ 25、27、29 を含む。

[0065] 図 10 は、アナログ相関二重サンプリング (CDS) のための主要なステップを示す図面である。図 10 (a) 及び図 10 (b) のステップでは、初期格納動作を行う。初期格納動作モードの前半では、リセットレベルを示す信号 S1 をキャパシタ 25、27 に格納する。図 10 (a) のステップでは、巡回型 A/D 変換器 11a は、信号 S1 をキャパシタ 25、27 に格納するための第 5 のスイッチ手段を含む。

[0066] 信号 S1 をキャパシタ 25、27 に格納するために、キャパシタ 25、27 の端子 25a、27a を入力 15a に接続すると共に、キャパシタ 25、27 の端子 25b、27b に基準電位を供給する。第 5 のスイッチ手段において、クロック信号 ($\phi_s=1$ 、 $\phi_2=1$ 、 $\phi_s=1$) によってスイッチ 42、49、52 を導通にすると共に、クロック信号 ($\phi_1=0$ 、 $\phi_{1d}=0$) によってスイッチ 47、50 を非導通にする。ゲインステージ 15 は、演算増幅回路 23 の入力 23a と出力 23c とを互いに接続するとき、演算増幅回路 2

3の出力23cには基準電位 V_{COM} が発生される。この接続によって、キャパシタ25、27は、リセットレベルを示す信号S1を受ける。格納のために、キャパシタ25、27が互いに並列に接続される。

[0067] 初期格納動作モードの後半では、信号レベルを示す信号S2をキャパシタ25、27に受ける。図10(b)のステップでは、巡回型A/D変換器11aは、信号S2をキャパシタ25、27に格納すると共に、信号S1と信号S2との差分を生成する。差分値は、引き続き巡回動作のために、キャパシタ25、27、29に格納される。

[0068] 巡回型A/D変換器11aは、信号S1と信号S2との差分を生成するための第6のスイッチ手段を含む。格納及び差分生成のために、並列に接続されたキャパシタ25、27が入力15aと、演算増幅回路23の入力23aとの間に接続されると共に、キャパシタ29が演算増幅回路23の入力23aと出力23bとの間に接続される。

[0069] 第6のスイッチ手段において、クロック信号($\phi_s=1$ 、 $\phi_2=1$)によってスイッチ42、49を導通にすると共に、クロック信号($\phi_1=0$ 、 $\phi_{1d}=0$ 、 $\phi_s=0$)によってスイッチ47、50、52を非導通にする。ゲインステージ15は、演算増幅回路23の入力23aと出力23cとを互いに接続するとき、演算増幅回路23の出力23cには演算値 V_{OP} が発生される。この接続によって、演算増幅回路23の出力23cは

$$V_{OP} = (C_{1a} + C_{1b}) / C_2 \times (V_R - V_S)$$

で表される。

[0070] このA/D変換器11aによれば、ゲインステージ15を用いて、リセット動作によるリセットレベルを打ち消した信号をA/D変換する。このA/D変換は、図4(b)～図4(d)に示されるステップによって行われる。

[0071] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲お

よびその精神の範囲から来る全ての修正および変更に権利を請求する。

符号の説明

- [0072] 1…イメージセンサ、2…セルアレイ、2 a…イメージセンサセル、3…垂直シフトレジスタ、4…A/D変換器アレイ、5…ノイズキャンセル回路、8…カラム線、9…バイアス回路、10 a、10 b…導電線、11…巡回型A/D変換器、15…ゲインステージ、15 a…ゲインステージの入力、15 b…ゲインステージの出力、17…A/D変換回路、17 a、17 b…コンパレータ、19…論理回路、21…D/A変換回路、23…演算増幅回路、23 a、23 c…演算増幅回路の入力、23 b…演算増幅回路の出力、25、27、29…キャパシタ、 V_{IN} …アナログ信号、 L_{COM} …基準電位線、 V_{COM} …基準電位、 V_{OP} …演算値（信号）、D…デジタル信号、 V_{RCH} 、 V_{RCL} …基準信号、 B_0 、 B_1 …ビット

請求の範囲

[請求項1]

巡回型 A/D 変換器であって、

ディジタル値に変換されるアナログ信号を受ける入力、出力、並びに第 1 の入力、第 2 の入力及び出力を有するシングルエンド型の演算増幅回路を含むゲインステージと、

前記ゲインステージの前記出力からの信号又は前記アナログ信号に応じて、複数ビットを含むディジタル信号を生成する A/D 変換回路と、

前記ディジタル信号に応じて、第 1 ～ 第 3 の値を有する制御信号を生成する論理回路と、

前記制御信号に応答して前記ゲインステージに第 1 及び第 2 の電圧信号の少なくともいずれか一方を提供する D/A 変換回路とを備え、

前記ゲインステージは、第 1 ～ 第 3 のキャパシタを含み、

前記演算増幅回路の前記第 2 の入力は、基準電位を受け、

前記ゲインステージは、前記演算増幅回路及び前記第 1 ～ 第 3 のキャパシタにより演算値を生成する演算動作と、該演算値を前記第 1 及び第 2 のキャパシタに格納する格納動作を行い、

前記 D/A 変換回路は、前記第 1 及び第 2 のキャパシタにそれぞれ接続された第 1 及び第 2 の出力を有しており、

前記演算動作では、前記第 3 のキャパシタが前記演算増幅回路の前記出力と前記第 1 の入力との間に接続されると共に前記第 1 及び第 2 のキャパシタが前記 D/A 変換回路と前記第 1 の入力との間に接続されて、前記演算値が当該ゲインステージの前記出力に生成され、

前記 D/A 変換回路は、前記制御信号に応答して、前記第 1 の出力に前記第 1 及び第 2 の電圧信号のいずれかを提供すると共に前記第 2 の出力に前記第 1 及び第 2 の電圧信号のいずれかを提供するためのスイッチ回路を含む、ことを特徴とする巡回型 A/D 変換器。

[請求項2] 前記スイッチ回路は、前記制御信号の前記第1の値に応答して、前記第1及び第2のキャパシタの両方に前記第1の電圧信号を供給し、前記制御信号の前記第2の値に応答して、前記第1及び第2のキャパシタにそれぞれ第1及び第2の電圧信号を供給し、前記制御信号の前記第3の値に応答して、前記第1及び第2のキャパシタの両方に前記第2の電圧信号を供給する、ことを特徴とする請求項1に記載された巡回型A/D変換器。

[請求項3] 前記スイッチ回路は、前記第1の電圧信号源と前記第1の出力との間に接続された第1のスイッチと、前記第2の電圧信号源と前記第2の出力との間に接続された第2のスイッチと、並びに前記第1の出力と前記第2の出力との間に接続された第3のスイッチとから構成され、

前記D/A変換回路は、前記制御信号の前記第1の値に応答して、前記第1のスイッチ及び前記第3のスイッチをオンすることにより、それぞれ前記第1の出力、第2の出力を介して前記第1のキャパシタ及び第2のキャパシタに前記第1の電圧信号を供給し、

前記D/A変換回路は、前記制御信号の前記第2の値に応答して、前記第1のスイッチをオンすることにより、前記第1の出力を介して前記第1のキャパシタに前記第1の電圧信号を供給すると共に、前記第2のスイッチをオンすることにより、前記第2の出力を介して前記第2のキャパシタに前記第2の電圧信号を供給し、

前記D/A変換回路は、前記制御信号の前記第3の値に応答して、前記第2のスイッチ及び前記第3のスイッチをオンすることにより、それぞれ前記第1の出力、第2の出力を介して前記第1のキャパシタ及び第2のキャパシタに前記第2の電圧信号を供給する、ことを特徴とする請求項1又は請求項2に記載された巡回型A/D変換器。

[請求項4] 前記格納動作では、前記第3のキャパシタが前記演算増幅回路の前記出力と前記第1の入力との間に接続されると共に前記第1及び第2

のキャパシタが前記演算増幅回路の前記出力と前記基準電位との間に接続される、ことを特徴とする請求項 1～請求項 3 のいずれか一項に記載された巡回型 A/D 変換器。

[請求項5] 前記ゲインステージは、さらに、初期リセット動作を行うことができ、

前記初期リセット動作では、前記第 1～第 3 のキャパシタは、前記演算増幅回路の前記第 1 の入力と前記演算増幅回路の前記出力との間に接続されると共に、前記演算増幅回路の前記第 1 の入力が前記演算増幅回路の前記出力に接続される、ことを特徴とする請求項 1～請求項 4 のいずれか一項に記載された巡回型 A/D 変換器。

[請求項6] 前記ゲインステージは、初期格納動作では、前記演算増幅回路の前記第 1 の入力と前記演算増幅回路の前記出力とを互いに接続すると共に、前記アナログ信号を前記第 1～第 3 のキャパシタに受ける、ことを特徴とする請求項 1～請求項 5 のいずれか一項に記載された巡回型 A/D 変換器。

[請求項7] イメージセンサデバイスであって、
イメージセンサセルのアレイを含むセルアレイと、
前記セルアレイに接続されており複数の巡回型 A/D 変換器を含む変換器アレイと
を備え、

前記巡回型 A/D 変換器の各々は、前記セルアレイのカラム線を介して前記イメージセンサセルに接続されており、

前記巡回型 A/D 変換器の各々は請求項 1～請求項 6 のいずれか一項に記載されたものである、ことを特徴とするイメージセンサデバイス。

[請求項8] 前記イメージセンサセルは、リセットレベルを示す第 1 の信号と該リセットレベルに重畳された信号レベルを示す第 2 の信号とを生成可能であり、

前記ゲインステージは、前記演算増幅回路の前記出力と前記第 1 の入力とを互いに接続すると共に、前記ゲインステージの前記入力と前記演算増幅回路の前記第 1 の入力との間に前記第 1 及び第 2 のキャパシタを接続して、前記リセットレベルの信号を前記第 1 及び第 2 のキャパシタに受けており、

前記ゲインステージは、前記第 3 のキャパシタを前記演算増幅回路の前記出力と前記第 1 の入力との間に接続すると共に、前記ゲインステージの前記入力と前記演算増幅回路の前記第 1 の入力との間に接続して、前記信号レベルの信号を前記第 1 及び第 2 のキャパシタに受けている、ことを特徴とする請求項 7 に記載されたイメージセンサデバイス。

[請求項 9]

ノイズキャンセル回路を更に備え、

前記イメージセンサセルは、リセットレベルを示す、第 1 の冗長ビット例からなる第 1 の信号と該リセットレベルに重畳された信号レベルを示す、第 2 の冗長ビット例からなる第 2 の信号とを生成可能であり、

前記ノイズキャンセル回路は、前記リセットレベルの信号の第 1 の A/D 変換値を格納する第 1 の記憶回路と、前記信号レベルの信号の第 2 の A/D 変換値を格納する第 2 の記憶回路と、前記第 1 の A/D 変換値と前記第 2 の A/D 変換値との差を生成して前記第 2 の信号から該リセットレベルを差し引いてリセットノイズをキャンセルする演算回路とを含む、ことを特徴とする請求項 7 に記載されたイメージセンサデバイス。

[請求項 10]

前記演算回路は、前記第 1 及び第 2 の冗長ビット列を第 1 及び第 2 の非冗長ビット列にそれぞれ変換する第 1 及び第 2 冗長一非冗長反感回路、補数器、並びに加算器を含み、

前記演算回路は、前記第 1 冗長一非冗長変換回路の出力値と前記第 2 冗長一非冗長変換回路の出力値との差分をノイズキャンセル値とし

て出力する、ことを特徴とする請求項 9 に記載されたイメージセンサデバイス。

[請求項11]

前記第 1 の電圧信号を発生する第 1 の基準電圧回路と、
前記第 2 の電圧信号を発生する第 2 の基準電圧回路と、
前記第 1 の基準電圧回路に接続された第 1 の導電線と、
前記第 2 の基準電圧回路に接続された第 2 の導電線と
を更に備え、

各巡回型 A/D 変換器内の前記 D/A 変換回路は、前記第 1 及び第 2 の導電線に接続されている、ことを特徴とする請求項 7～請求項 10 のいずれか一項に記載されたイメージセンサデバイス。

[請求項12]

巡回型 A/D 変換を用いてアナログ信号からデジタル信号を生成する方法であって、

(a) 第 1～第 3 のキャパシタにアナログ値を有する A 信号を格納するステップと、

(b) 前記 A 信号のデジタル値を表しており第 1～第 3 の値のいずれかを有する D₀ 信号を生成するステップと、

(c) 前記 D₀ 信号を生成した後に、前記第 3 のキャパシタを演算増幅回路の出力と演算増幅回路の第 1 の入力との間に接続すると共に前記第 1 及び第 2 のキャパシタの一端を前記演算増幅回路の前記第 1 の入力に接続して、前記第 1 のキャパシタの他端及び前記第 2 のキャパシタの他端に D/A 信号を加えることによって、前記演算増幅回路の前記出力に演算値を生成するステップと、

(d) 前記第 1 及び第 2 のキャパシタに前記演算値を格納すると共に、前記演算値のデジタル値を表しており第 1～第 3 の値を有する D_i 信号を生成するステップと、

(e) ステップ (c) 及び (d) を繰り返して、前記デジタル信号を生成するステップと

を備え、

前記 D/A 信号は、前記 D_0 信号又は前記 D_1 信号に応じたアナログ値の第 1 及び第 2 の電圧信号の少なくともいずれかであり、

前記 D_0 信号が前記第 1 の値であるとき、前記第 1 の電圧信号が前記第 1 のキャパシタの他端及び前記第 2 のキャパシタの他端に加えられ、

前記 D_0 信号が前記第 2 の値であるとき、前記第 2 の電圧信号が前記第 1 のキャパシタの他端及び前記第 2 のキャパシタの他端に加えられ、

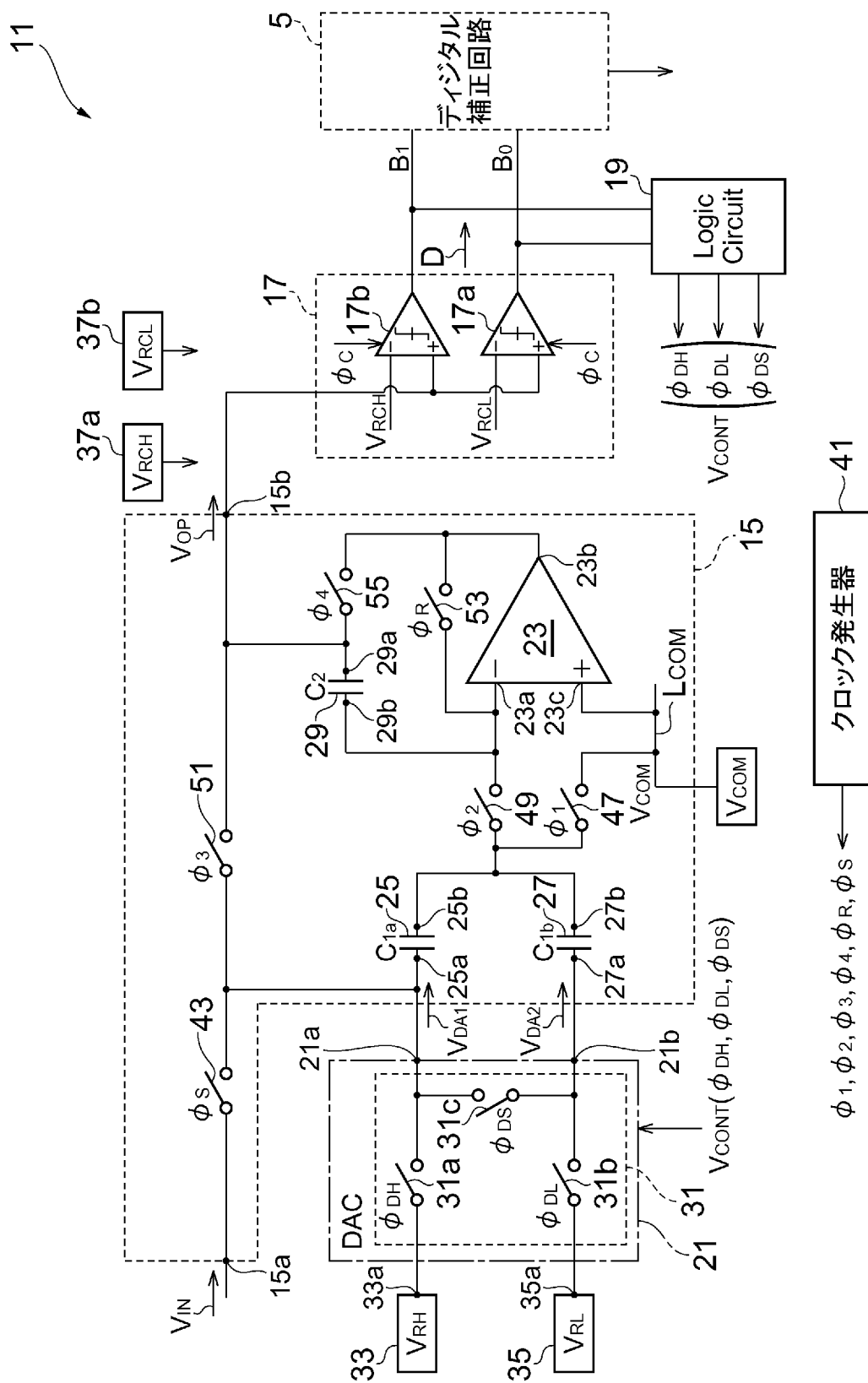
前記 D_0 信号が前記第 3 の値であるとき、前記第 1 及び第 2 の電圧信号が、それぞれ、前記第 1 及び第 2 のキャパシタの他端に加えられる、

前記 D_1 信号が前記第 1 の値であるとき、前記第 1 の電圧信号が前記第 1 のキャパシタの他端及び前記第 2 のキャパシタの他端に加えられ、

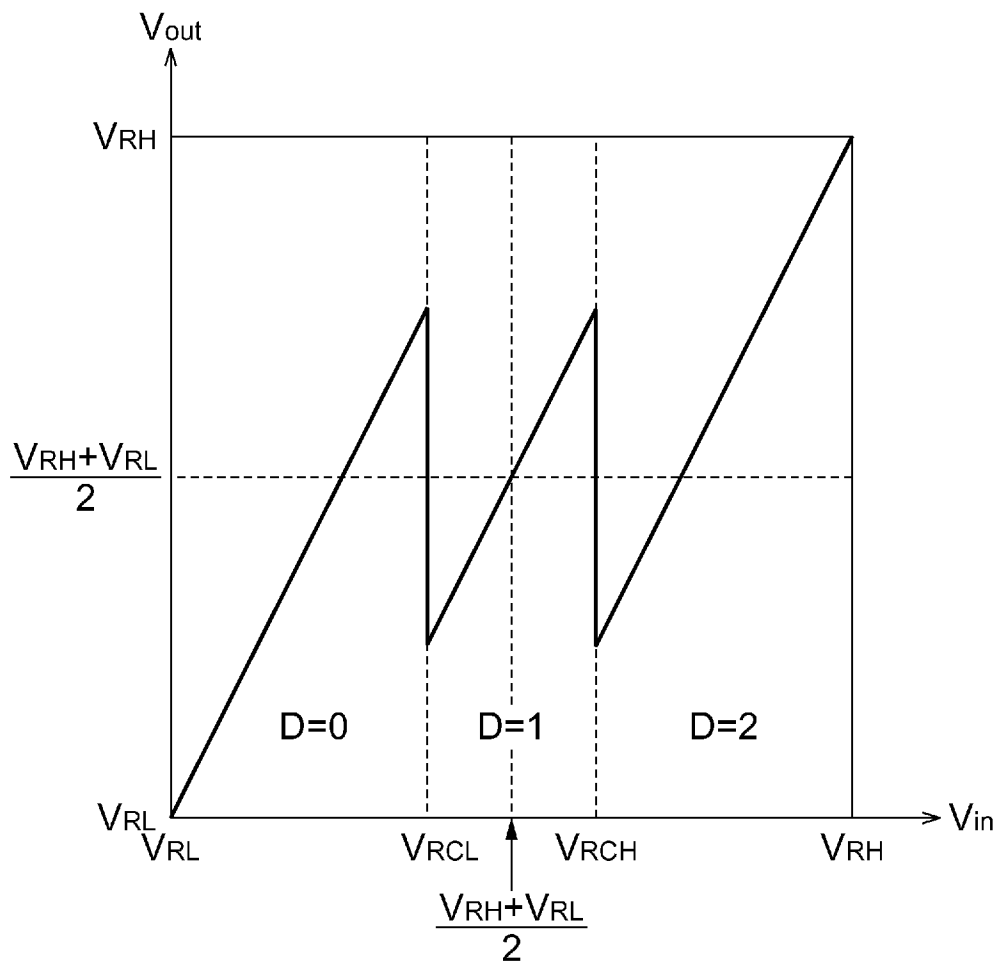
前記 D_1 信号が前記第 2 の値であるとき、前記第 2 の電圧信号が前記第 1 のキャパシタの他端及び前記第 2 のキャパシタの他端に加えられ、

前記 D_1 信号が前記第 3 の値であるとき、前記第 1 及び第 2 の電圧信号が、それぞれ、前記第 1 及び第 2 のキャパシタの他端に加えられる、ことを特徴とする方法。

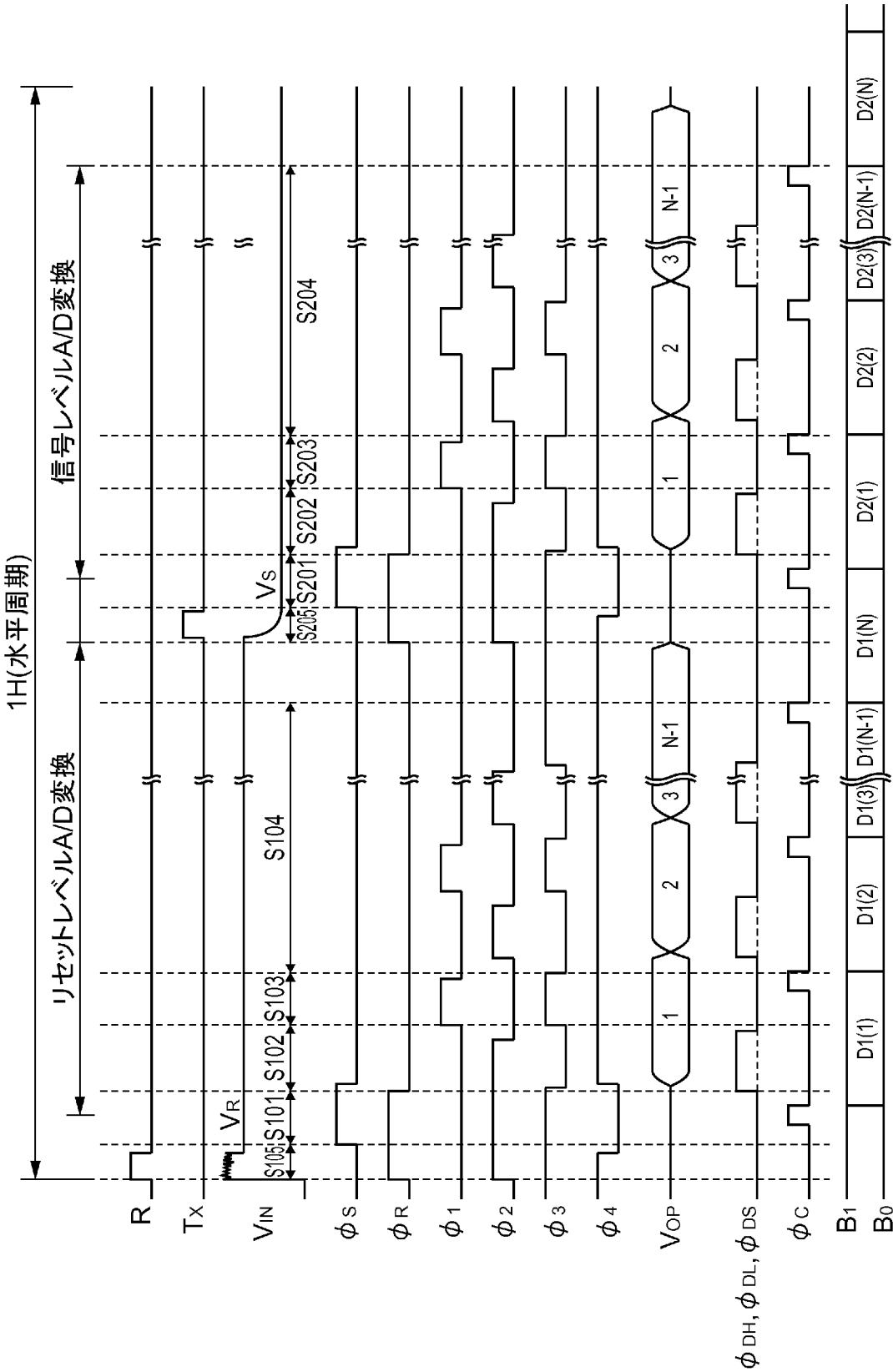
[図1]



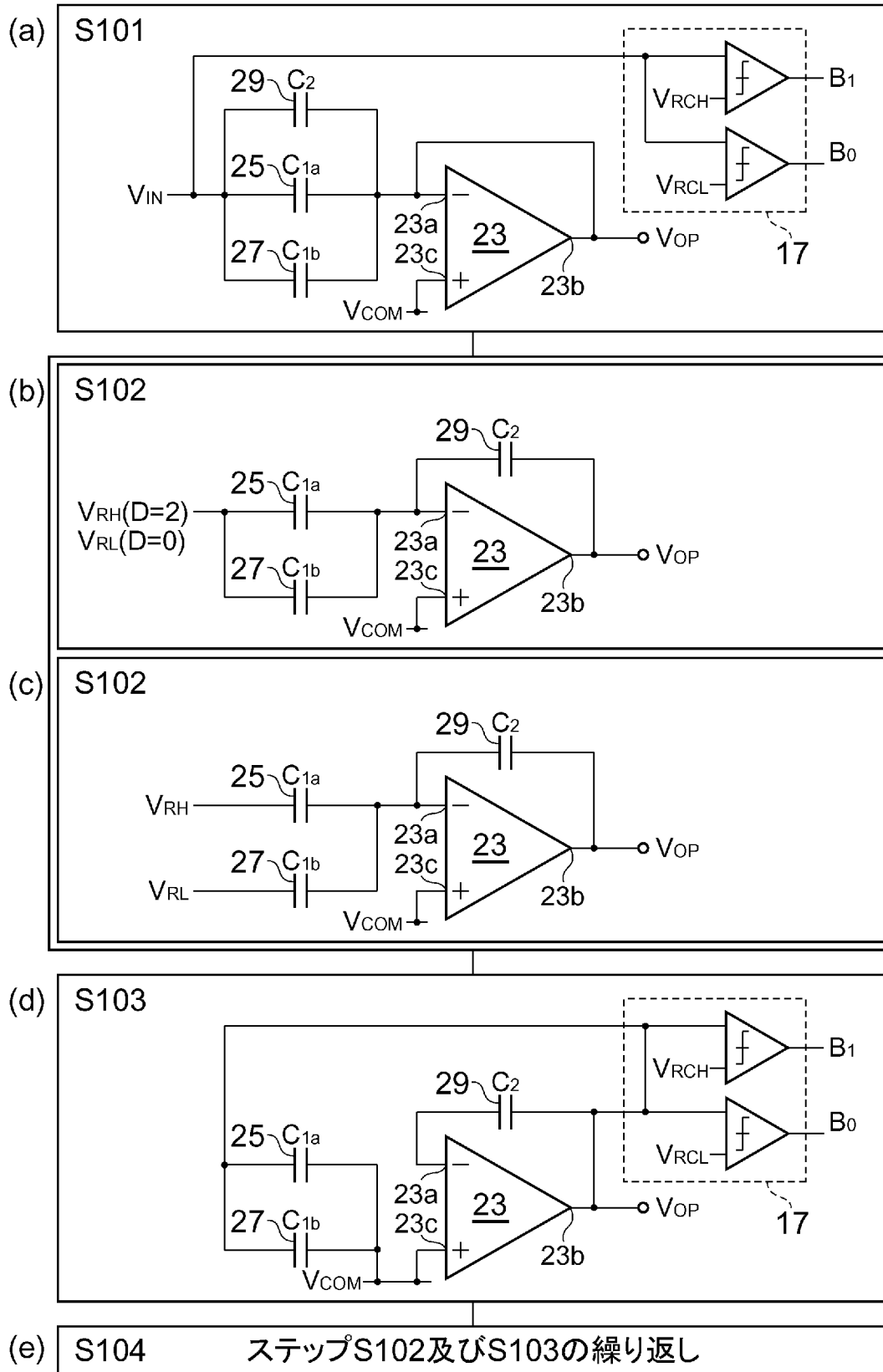
[図2]



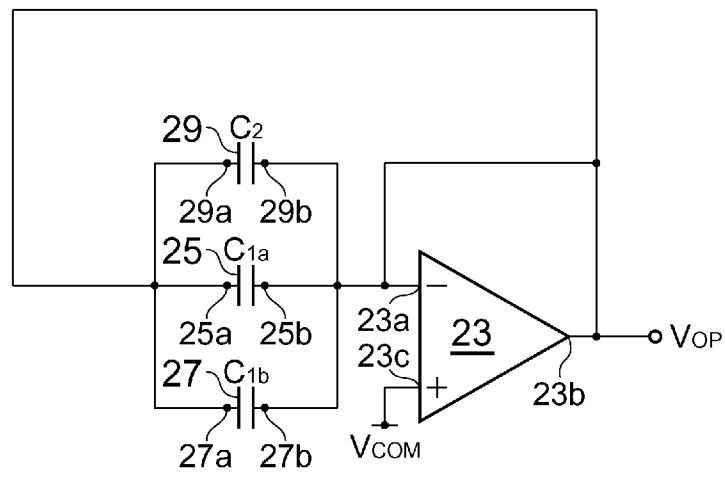
[図3]



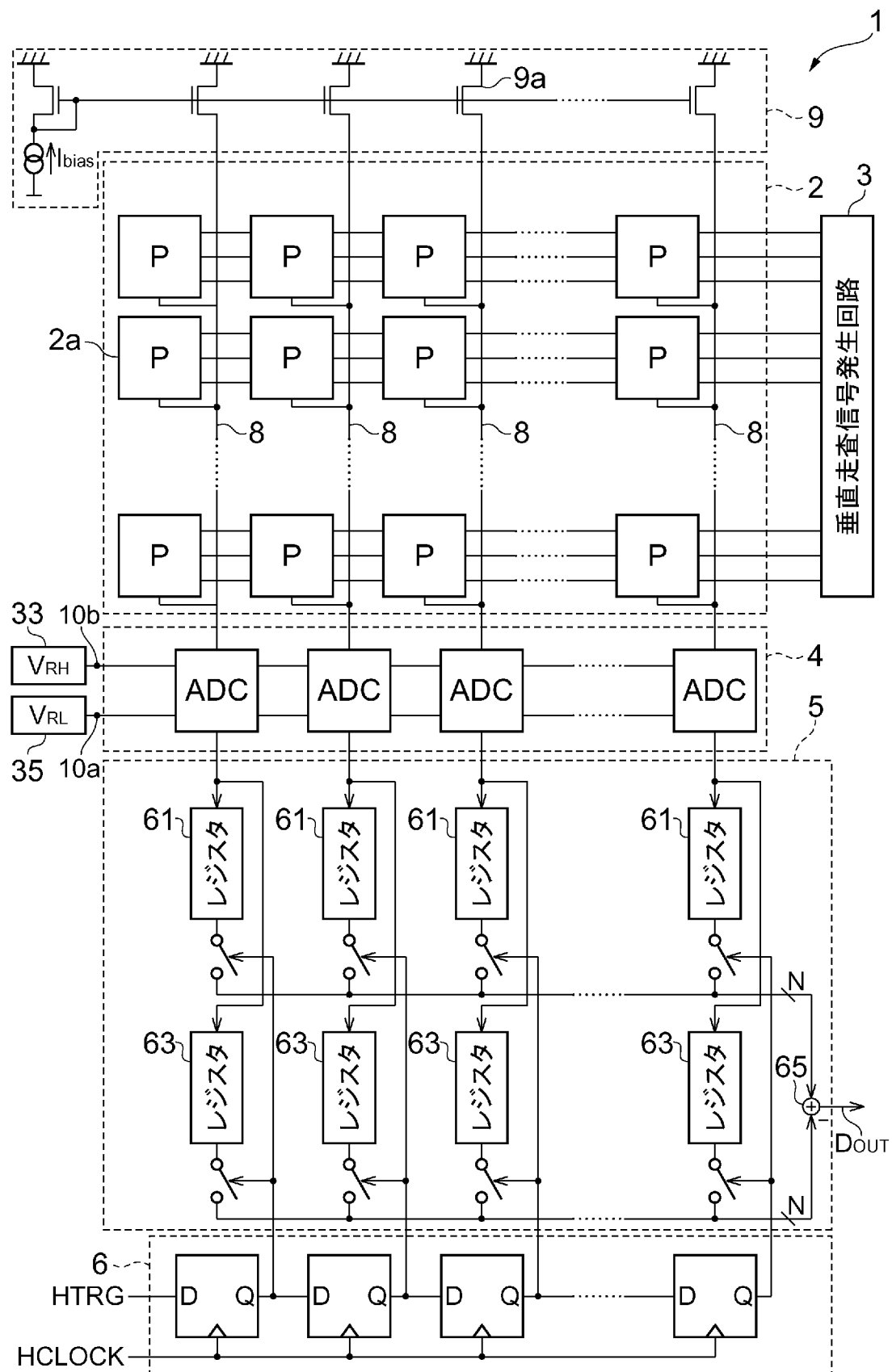
[図4]



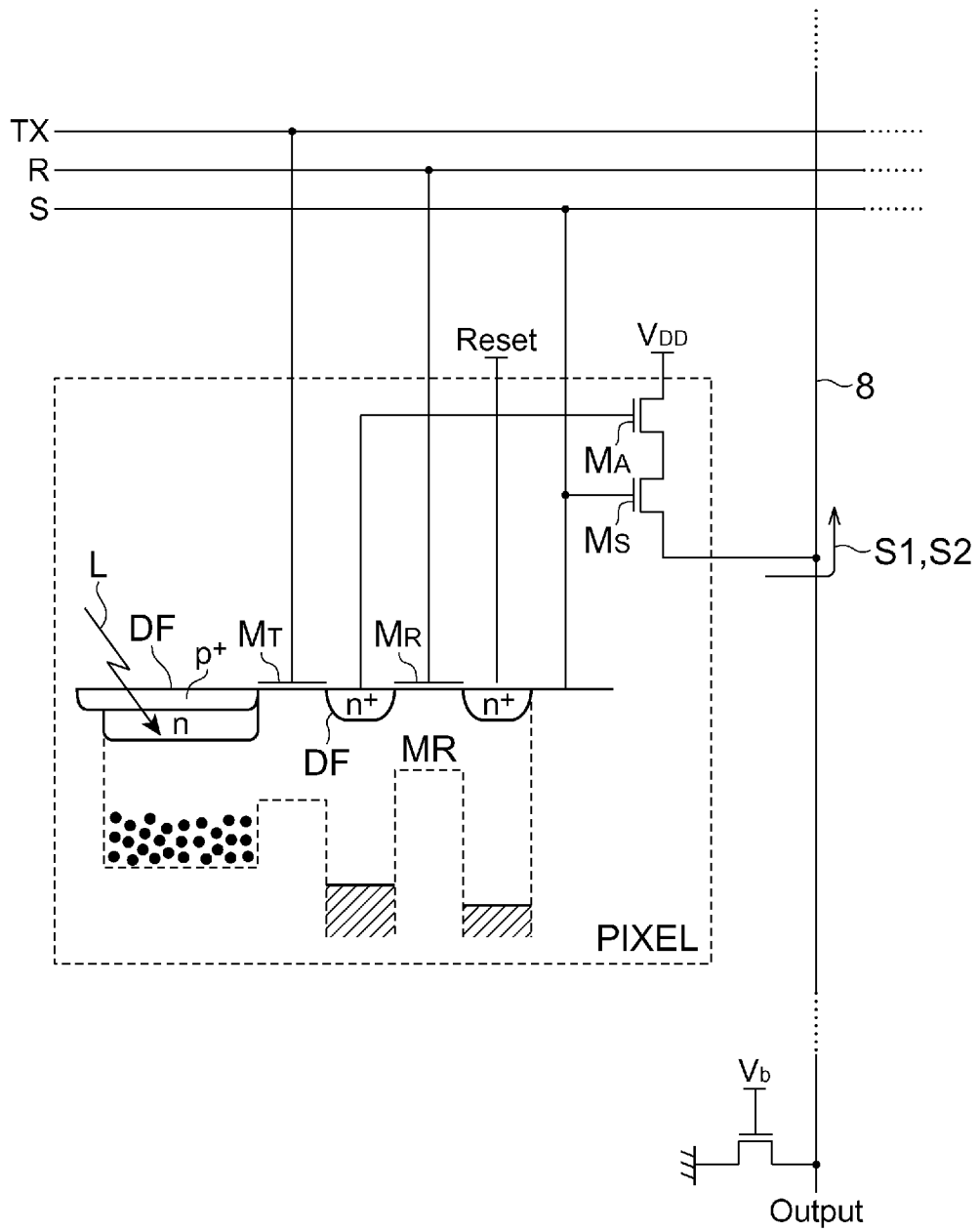
[図5]



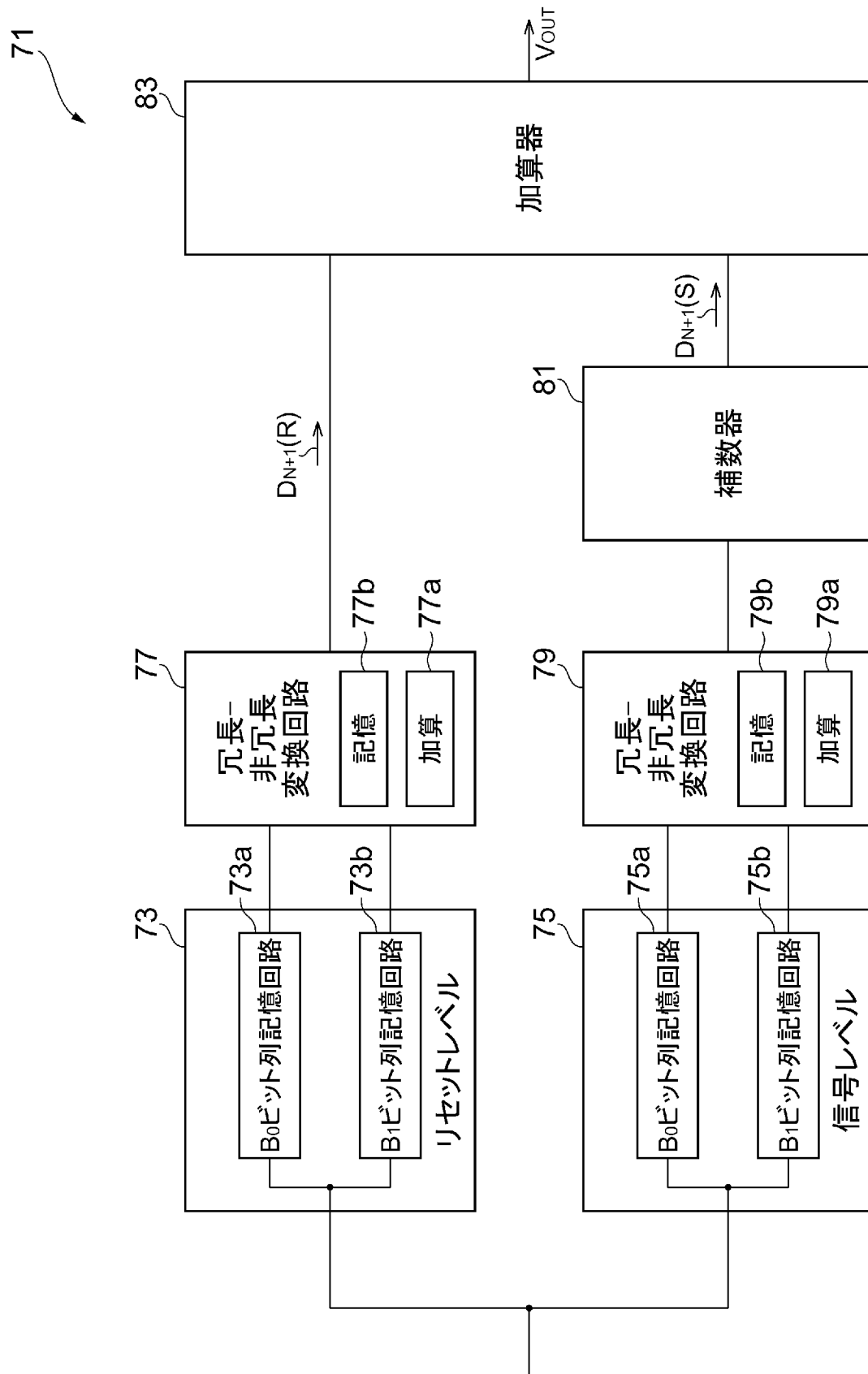
[図6]



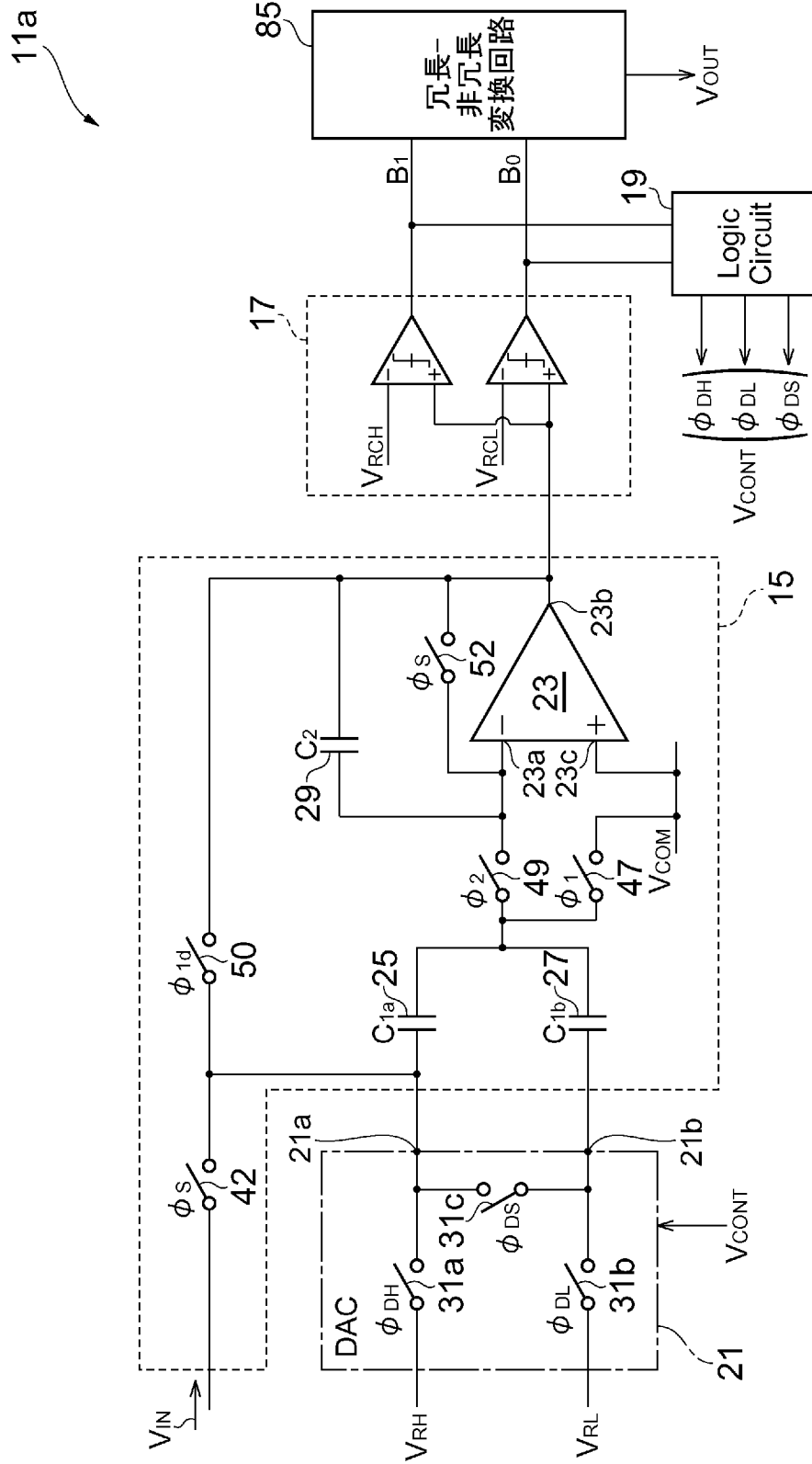
[図7]



[図8]

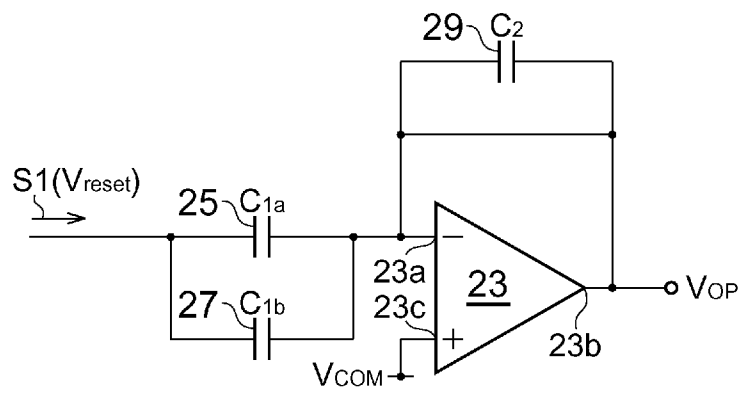


[図9]

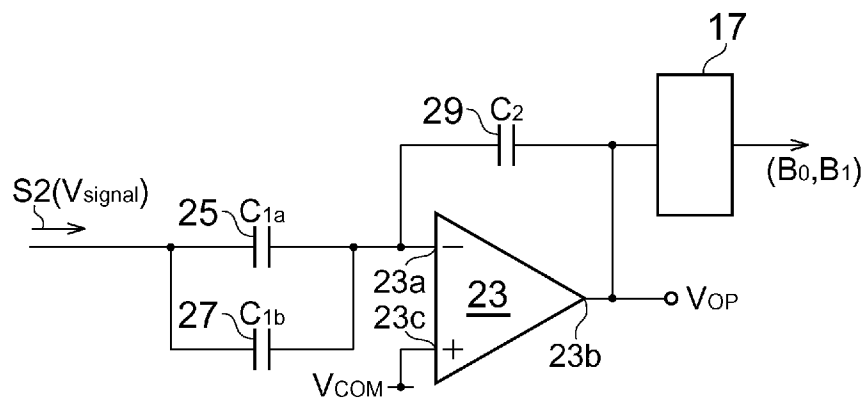


[図10]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/067853

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-56023 A (Fujitsu Ltd.), 11 March 1987 (11.03.1987), page 3, upper right, line 6 to lower left, line 19; page 5, lower right, line 13 to page 6, lower left, line 17; fig. 1 to 3 & US 4748440 A & EP 0214831 A2	1-12
Y	JP 2008-141399 A (National University Corporation Shizuoka University), 19 June 2008 (19.06.2008), entire text; all drawings (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18 November, 2009 (18.11.09)

Date of mailing of the international search report
01 December, 2009 (01.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 62-56023 A（富士通株式会社）1987.03.11, 第3頁右上第6行－ 同頁左下第19行, 第5頁右下第13行－第6頁左下第17行, 第1－3図 & US 4748440 A & EP 0214831 A2	1－12
Y	JP 2008-141399 A（国立大学法人静岡大学）2008.06.19, 全文, 全図 （ファミリーなし）	1－12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 1 1 . 2 0 0 9

国際調査報告の発送日

0 1 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 03-3581-1101 内線 3596