

 (19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0106977 (43) 공개일자 2014년09월04일
(51) 국제특허분류(Int. Cl.) <i>H01L 29/786</i> (2006.01) <i>H01L 21/336</i> (2006.01) (21) 출원번호 10-2013-0021386 (22) 출원일자 2013년02월27일 심사청구일자 없음	(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동) 인하대학교 산학협력단 인천광역시 남구 인하로 100, 인하대학교 (용현동) (72) 발명자 손경석 서울 성동구 돌레11길 1, 101동 405호 (성수동2가, 강변현대아파트) 류명관 경기 용인시 수지구 신봉2로 26, 124동 1002호 (신봉동, LG신봉자이1차아파트) 정재경 서울 강서구 화곡로13길 107, 108동 702호 (화곡동, 화곡푸르지오) (74) 대리인 리엔목특허법인

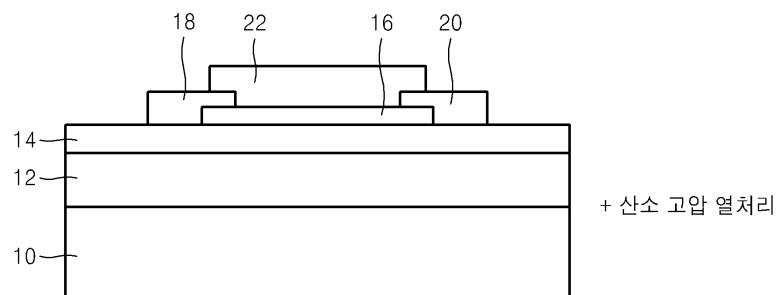
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **고성능 금속 산화물 반도체 박막 트랜지스터 및 그 제조방법**

(57) 요약

고성능 박막 트랜지스터 및 그 제조방법에 관해 개시되어 있다. 본 발명의 일 실시예에 의한 박막 트랜지스터는 기판 상에 형성된 게이트 전극과, 상기 게이트 전극 상에 구비된 게이트 절연막과, 상기 게이트 절연막 상에 구비된 채널층과, 상기 채널층의 일단을 덮는 제1 전극과, 상기 채널층의 타단을 덮는 제2 전극과, 상기 제1 및 제2 전극 사이의 상기 채널층을 덮는 보호층을 포함한다. 상기 채널층으로 인듐-리치(In-rich) 금속 산화물층을 구비한다. 상기 보호층은 단일층 또는 다층일 수 있고, 적어도 알루미늄 산화물을 포함할 수 있다. 상기 보호층이 형성되기 전이나 후에 상기 채널층은 산소 고압 열처리될 수 있다.

대표도 - 도9



특허청구의 범위

청구항 1

기관

상기 기관 상에 형성된 게이트 전극

상기 게이트 전극 상에 구비된 게이트 절연막

상기 게이트 절연막 상에 구비된 채널층

상기 채널층의 일단을 덮는 제1 전극

상기 채널층의 타단을 덮는 제2 전극 및

상기 제1 및 제2 전극 사이의 상기 채널층을 덮는 보호층을 포함하고,

상기 채널층은 인듐-리치(In-rich) 금속 산화물층인 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 보호층은 단일층 또는 다층인 박막 트랜지스터.

청구항 3

제 1 항에 있어서,

상기 보호층은 적어도 알루미늄 산화물을 포함하는 박막 트랜지스터.

청구항 4

제 2 항에 있어서,

상기 보호층이 다층일 때, 상기 보호층은 알루미늄 산화물/실리콘 산화물의 적층 구성을 갖는 박막 트랜지스터.

청구항 5

제 2 항에 있어서,

상기 보호층이 다층일 때, 상기 보호층은 알루미늄 산화물/실리콘 질화물의 적층 구성을 갖는 박막 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 채널층의 인듐 함량은 40% 이상인 박막 트랜지스터.

청구항 7

제 1 항에 있어서,

상기 인듐-리치 금속 산화물층은 IZO층, ITO층, IGO층, IGZO층 및 IZTO층 중 어느 하나인 박막 트랜지스터.

청구항 8

기관

상기 기관 상에 형성된 채널층

상기 채널층 상에 이격되게 형성된 소스 및 드레인 전극

상기 소스 및 드레인 전극 사이의 상기 채널층 상에 형성된 게이트 절연막

상기 게이트 절연막 상에 형성된 게이트 전극을 포함하고,

상기 채널층은 인듐-리치(In-rich) 금속 산화물층인 박막 트랜지스터.

청구항 9

제 8 항에 있어서,

상기 게이트 절연막은 상기 채널층의 보호막으로써, 단일층 또는 다층인 박막 트랜지스터.

청구항 10

제 8 항에 있어서,

상기 게이트 절연막은 적어도 알루미늄 산화물을 포함하는 박막 트랜지스터.

청구항 11

제 9 항에 있어서,

상기 게이트 절연막이 다층일 때, 상기 게이트 절연막은 알루미늄 산화물/실리콘 산화물의 적층 구성을 갖는 박막 트랜지스터.

청구항 12

제 9 항에 있어서,

상기 게이트 절연막이 다층일 때, 상기 게이트 절연막은 알루미늄 산화물/실리콘 산화물의 적층 구성을 갖는 박막 트랜지스터.

청구항 13

제 8 항에 있어서,

상기 채널층의 인듐 함량은 40% 이상인 박막 트랜지스터.

청구항 14

제 8 항에 있어서,

상기 인듐-리치 금속 산화물층은 IZO층, ITO층, IGO층, IGZO층 및 IZTO층 중 어느 하나인 박막 트랜지스터.

청구항 15

제 8 항에 있어서,

상기 소스 및 드레인 전극은 상기 게이트 절연막 상으로 확장된 박막 트랜지스터.

청구항 16

제 8 항에 있어서,

상기 게이트 절연막 상에 상기 게이트 전극을 덮는 층간 절연층이 더 구비되어 있고, 상기 소스 및 드레인 전극은 상기 층간 절연층 상으로 확장된 박막 트랜지스터.

청구항 17

기판 상에 게이트 전극을 형성하는 단계

상기 게이트 전극의 일면을 덮는 게이트 절연막을 형성하는 단계

상기 게이트 절연막을 사이에 두고 상기 게이트 전극과 마주하는 채널층을 형성하는 단계

상기 채널층의 양쪽에 각각 접촉되는 소스 및 드레인 전극을 형성하는 단계를 포함하고,

상기 채널층은 인듐-리치 금속 산화물로 형성하는 박막 트랜지스터의 제조방법.

청구항 18

제 17 항에 있어서,

상기 게이트 전극은 상기 게이트 절연막 아래에 형성하고,

상기 소스 및 드레인 전극 사이의 상기 채널층 상에 보호층을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조방법.

청구항 19

제 17 항에 있어서,

상기 게이트 전극은 상기 게이트 절연막 상에 형성되는 박막 트랜지스터의 제조방법.

청구항 20

제 17 항에 있어서,

상기 채널층의 인듐 함량은 40% 이상인 박막 트랜지스터의 제조방법.

청구항 21

제 17 항에 있어서,

상기 인듐-리치 금속 산화물층은 IZO층, ITO층, IGO층, IGZO층 및 IZTO층 중 어느 하나인 박막 트랜지스터의 제조방법.

청구항 22

제 19 항에 있어서,

상기 게이트 절연막 상에 상기 게이트 전극을 덮는 층간 절연층을 형성하는 단계

상기 층간 절연층 및 상기 게이트 절연막을 관통하고, 상기 채널층을 노출시키는 비어홀을 형성하는 단계 및

상기 층간 절연층 상에 상기 비어홀을 채우는 상기 소스 및 드레인 전극을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조방법.

청구항 23

제 19 항에 있어서,

상기 채널층의 양쪽에 각각 접촉되는 소스 및 드레인 전극을 형성하는 단계는,

상기 채널층 상에 상기 게이트 절연막을 형성하는 단계

상기 게이트 절연막에 상기 채널층이 노출되는 비어홀을 형성하는 단계 및

상기 게이트 절연막 상에 상기 비어홀을 채우는 상기 소스 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 24

제 18 항에 있어서,

상기 보호층은 적어도 알루미늄 산화막을 포함하고, 단일층 또는 다층으로 형성하는 박막 트랜지스터의 제조방법.

청구항 25

제 19 항에 있어서,

상기 게이트 절연막은 상기 채널층의 보호막으로써, 적어도 알루미늄 산화막을 포함하고, 단일층 또는 다층으로 형성하는 박막 트랜지스터의 제조방법.

청구항 26

제 23 항에 있어서,

상기 소스 및 드레인 전극 사이의 상기 게이트 절연막 상에 상기 게이트 전극을 형성하는 박막 트랜지스터의 제조방법.

청구항 27

제 24 항 또는 제 25 항에 있어서,

상기 다층은 알루미늄 산화물/실리콘 산화물의 적층 구성을 갖는 박막 트랜지스터의 제조방법.

청구항 28

제 24 항 또는 제 25 항에 있어서,

상기 다층은 알루미늄 산화물/실리콘 질화물의 적층 구성을 갖는 박막 트랜지스터의 제조방법.

청구항 29

제 18 항에 있어서,

상기 보호층을 형성하기 전 또는 후에 상기 채널층을 산소 고압 열처리하는 단계를 더 포함하는 박막 트랜지스터의 제조방법.

청구항 30

제 19 항에 있어서,

상기 게이트 절연막을 형성하기 전 또는 후에 상기 채널층을 산소 고압 열처리하는 단계를 더 포함하는 박막 트랜지스터의 제조방법.

명세서

기술분야

[0001] 본 발명의 일 실시예는 반도체 소자 및 제조방법에 관한 것으로서, 보다 자세하게는 고성능 금속 산화물 반도체 박막 트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 평판 디스플레이의 하나인 액정 디스플레이(Liquid Crystal Display, LCD)에는 비정질 실리콘 박막 트랜지스터(Thin Film Transistor, TFT)가 구동소자로 사용된다. 그러나 이러한 TFT는 낮은 이동도($\sim 0.5\text{cm}^2/\text{Vs}$)를 갖기 때문에, 높은 이동도가 필요한 차세대 디스플레이에 적용되기는 어렵다.

[0003] 이에 따라 다결정(polycrystalline) 실리콘 TFT에 대한 연구와 개발이 이루어지고 있으나, 기관의 대형화의 어려움과 고가의 제작비 문제 등으로 인하여 의미 있는 결과를 얻지 못하고 있다.

[0004] 최근 차세대TFT-LCD 혹은AMOLED의 구동소자로 금속 산화물 반도체를 이용한 TFT에 대한 연구 및 개발이 이루어지고 있다.

[0005] 금속 산화물 반도체를 이용한 TFT 기술은 대면적화와 고이동도를 확보할 수 있고, 제작비도 낮출 수 있는 이점을 갖고 있다.

[0006] 그러나 기존의 금속 산화물 반도체 TFT의 경우, 실리콘 TFT에 비해 높은 이동도를 갖지만, IGZO를 금속 산화물 반도체로 이용하는 TFT를 기준으로 이동도는 $10\text{cm}^2/\text{Vs}$ 수준이기 때문에, 보다 높은 이동도(예컨대, $30\text{cm}^2/\text{Vs}$ 이상)를 요하는 차세대 디스플레이에 적용하기는 어렵다. 또한, 이동도가 높아지면서 전기 및 광학적 신뢰성의 저하될 수 있는데, 이에 대한 대책도 필요하다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 실시예는 고이동도를 확보하면서 전기 및 광학적 특성도 향상시킬 수 있는 고성능 박막 트랜지스터를 제공한다.
- [0008] 본 발명의 일 실시예는 이러한 박막 트랜지스터의 제조방법을 제공한다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예는 기판 상에 형성된 게이트 전극과, 상기 게이트 전극 상에 구비된 게이트 절연막과, 상기 게이트 절연막 상에 구비된 채널층과, 상기 채널층의 일단을 덮는 제1 전극과, 상기 채널층의 타단을 덮는 제2 전극과, 상기 제1 및 제2 전극 사이의 상기 채널층을 덮는 보호층을 포함하고, 상기 채널층으로 인듐-리치(In-rich) 금속 산화물층을 구비하는 박막 트랜지스터를 제공한다.
- [0010] 이러한 박막 트랜지스터에서,
- [0011] 상기 보호층은 단일층 또는 다층일 수 있다.
- [0012] 상기 보호층은 적어도 알루미늄 산화물을 포함할 수 있다.
- [0013] 상기 보호층이 다층일 때, 상기 보호층은 알루미늄 산화물/실리콘 산화물의 적층 구성을 가질 수 있다. 또는 상기 보호층이 다층일 때, 상기 보호층은 알루미늄 산화물/실리콘 질화물의 적층 구성을 가질 수 있다.
- [0014] 상기 채널층의 인듐 함량은 40% 이상일 수 있다.
- [0015] 상기 인듐-리치 금속 산화물층은 IZO층, ITO층, IGO층, IGZO층 및 IZTO층 중 어느 하나일 수 있다.
- [0016] 본 발명의 다른 실시예는 기판 상에 형성된 채널층과, 상기 채널층 상에 이격되게 형성된 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 사이의 상기 채널층 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 게이트 전극을 포함하고, 상기 채널층으로 인듐-리치(In-rich) 금속 산화물층을 구비하는 박막 트랜지스터를 제공한다.
- [0017] 이러한 박막 트랜지스터에서,
- [0018] 상기 게이트 절연막은 상기 채널층의 보호막으로써, 단일층 또는 다층일 수인 박있다.
- [0019] 상기 게이트 절연막은 적어도 알루미늄 산화물을 포함할 수 있다.
- [0020] 상기 게이트 절연막이 다층일 때, 상기 게이트 절연막은 알루미늄 산화물/실리콘 산화물의 적층 구성을 가질 수 있다. 또한, 상기 게이트 절연막이 다층일 때, 상기 게이트 절연막은 알루미늄 산화물/실리콘 질화물의 적층 구성을 가질 수 있다.
- [0021] 상기 소스 및 드레인 전극은 상기 게이트 절연막 상으로 확장될 수 있다.
- [0022] 상기 게이트 절연막 상에 상기 게이트 전극을 덮는 층간 절연층이 더 구비되어 있고, 상기 소스 및 드레인 전극은 상기 층간 절연층 상으로 확장될 수 있다.
- [0023] 본 발명의 일 실시예에 의한 박막 트랜지스터의 제조방법은,
- [0024] 기판 상에 게이트 전극을 형성하는 과정과, 상기 게이트 전극의 일면을 덮는 게이트 절연막을 형성하는 과정과, 상기 게이트 절연막을 사이에 두고 상기 게이트 전극과 마주하는 채널층을 형성하는 과정과, 상기 채널층의 양쪽에 각각 접촉되는 소스 및 드레인 전극을 형성하는 과정을 포함하고, 상기 채널층은 인듐-리치 금속 산화물로 형성한다.
- [0025] 이러한 제조 방법은 상기 게이트 전극은 상기 게이트 절연막 아래에 형성하고, 상기 소스 및 드레인 전극 사이의 상기 채널층 상에 보호층을 형성하는 과정을 더 포함할 수 있다.
- [0026] 상기 제조 방법에서,
- [0027] 상기 게이트 전극은 상기 게이트 절연막 상에 형성될 수 있다.
- [0028] 상기 채널층의 인듐 함량은 40% 이상일 수 있다.
- [0029] 상기 인듐-리치 금속 산화물층은 IZO층, ITO층, IGO층, IGZO층 및 IZTO층 중 어느 하나로 형성할 수 있다.

- [0030] 상기 제조 방법은,
- [0031] 상기 게이트 절연막 상에 상기 게이트 전극을 덮는 층간 절연층을 형성하는 과정과, 상기 층간 절연층 및 상기 게이트 절연막을 관통하고, 상기 채널층을 노출시키는 비어홀을 형성하는 과정 및 상기 층간 절연층 상에 상기 비어홀을 채우는 상기 소스 및 드레인 전극을 형성하는 과정을 더 포함할 수 있다.
- [0032] 상기 채널층의 양쪽에 각각 접촉되는 소스 및 드레인 전극을 형성하는 과정은,
- [0033] 상기 채널층 상에 상기 게이트 절연막을 형성하는 과정과, 상기 게이트 절연막에 상기 채널층이 노출되는 비어홀을 형성하는 과정 및 상기 게이트 절연막 상에 상기 비어홀을 채우는 상기 소스 및 드레인 전극을 형성하는 과정을 포함할 수 있다.
- [0034] 상기 보호층은 적어도 알루미늄 산화막을 포함하고, 단일층 또는 다층으로 형성할 수 있다.
- [0035] 상기 게이트 절연막은 상기 채널층의 보호막으로써, 적어도 알루미늄 산화막을 포함하고, 단일층 또는 다층으로 형성할 수 있다.
- [0036] 상기 소스 및 드레인 전극 사이의 상기 게이트 절연막 상에 상기 게이트 전극을 형성할 수 있다.
- [0037] 상기 다층은 알루미늄 산화물/실리콘 산화물의 적층 구성을 가질 수 있다. 또는 상기 다층은 알루미늄 산화물/실리콘 질화물의 적층 구성을 가질 수 있다.
- [0038] 상기 보호층을 형성하기 전 또는 후에 상기 채널층을 산소 고압 열처리하는 과정을 더 포함할 수 있다. 또는 탑 게이트 구조에서 상기 게이트 절연막을 형성하기 전 또는 후에 상기 채널층을 산소 고압 열처리하는 과정을 더 포함할 수 있다.

발명의 효과

- [0039] 본 발명의 일 실시예에 의한 고성능 금속 산화물 반도체 TFT는 인듐 리치(In-rich) 금속 산화물 반도체를 채널로 사용하고, Al₂O₃를 포함하는 채널 보호막을 구비한다. 이러한 보호막은 수소 및 수분과 같은 원치 않는 가스 성분이 상기 채널에 유입되는 것과 산소 고압 열처리 공정에서 유입된 산소가 후속 열처리 공정에서 외부로 확산되는 것을 방지할 수 있다. 이러한 채널 보호막을 형성한 다음, 상기 금속 산화물 반도체 채널을 산소 고압 열처리한다. 이에 따라 30cm²/Vs 이상의 고이동도를 확보하면서 TFT의 전기 및 광학적 신뢰성도 높일 수 있다.

도면의 간단한 설명

- [0040] 도 1 내지 도 3은 본 발명의 일 실시예에 의한 고성능 금속 산화물 반도체 TFT에 관한 것으로써, 바텀 게이트 구조를 나타낸 단면도들이다.
- 도 4 내지 도 6은 본 발명의 다른 실시예에 의한 고성능 금속 산화물 반도체 TFT에 관한 것으로써, 탑 게이트 구조를 나타낸 단면도들이다.
- 도 7 내지 도 9은 본 발명의 일 실시예에 의한 바텀 게이트 구조를 갖는 고성능 산화물 반도체 TFT의 제조 방법을 단계별로 나타낸 단면도들이다.
- 도 10 내지 도 12는 본 발명의 일 실시예에 의한 탑 게이트 구조를 갖는 고성능 산화물 반도체 TFT의 제조방법을 단계별로 나타낸 단면도들이다.
- 도 13 내지 도 17은 본 발명의 다른 실시예에 의한 탑 게이트 구조를 갖는 고성능 산화물 반도체 TFT의 제조방법을 단계별로 나타낸 단면도들이다.
- 도 18 내지 도 21은 본 발명의 또 다른 실시예에 의한 탑 게이트 구조를 갖는 고성능 산화물 반도체 TFT의 제조방법을 단계별로 나타낸 단면도들이다.
- 도 22는 본 발명의 일 실시예에 의한 고성능 박막 트랜지스터에서 채널 보호층으로 Al₂O₃ 보호막이 구비되기 전과 후의 전류-전압 특성의 변화를 나타낸 그래프이다.
- 도 23은 본 발명의 일 실시예에 의한 박막 트랜지스터에서 채널 보호층으로 Al₂O₃ 보호막이 형성된 후, 그 결과물을 산소 고압 열처리(O₂ HPA)하였을 때의 전류-전압 특성의 변화를 나타낸 그래프이다.
- 도 24는 본 발명의 일 실시예에 의한 박막 트랜지스터의 산소 고압 열처리 여부에 따른 네거티브 바이어스 스트

레스(negative bias stress, NBS) 불안정성을 평가하기 위해 실시한 실험 결과를 나타낸 그래프이다.

도 25는 본 발명의 일 실시예에 의한 박막 트랜지스터의 산소 고압 열처리 여부에 따른 네거티브 바이어스 일루미네이션 스트레스(negative bias illumination stress, NIBS) 신뢰성을 평가하기 위해 실시한 실험 결과를 나타낸 그래프이다.

도 26은 본 발명의 일 실시예에 의한 박막 트랜지스터의 채널층에 대한 엑스선 광전자 분광(X-ray Photoelectron Spectroscopy, XPS)분석 실험 결과를 나타낸 표이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 이하, 본 발명의 일 실시예에 의한 고성능 금속 산화물 반도체 TFT 및 그 제조방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- [0042] 먼저, 본 발명의 일 실시예에 의한 고성능 금속 산화물 반도체 TFT를 설명한다.
- [0043] 도 1은 본 발명의 일 실시예에 의한 고성능 금속 산화물 반도체 TFT에 관한 것으로서, 바텀 게이트 구조를 보여준다.
- [0044] 도 1을 참조하면, 기판(10) 상에 게이트층(12)이 존재한다. 게이트층(12)은 게이트 전극으로 사용된다. 게이트층(12)은, 예를 들면 도전성 불순물이 도핑된 실리콘층일 수 있다. 게이트층(12) 상에 게이트 절연막(14)이 구비되어 있다. 게이트 절연막(14)은, 예를 들면 실리콘 산화막이나 질화막일 수 있다. 게이트 절연막(14) 상에 채널층(16)이 존재한다. 채널층(16)은 특정 성분의 함량을 높인 금속 산화물 반도체층일 수 있다. 예를 들면, 채널층(16)은 인듐-리치(In-rich) 금속 산화물 반도체층일 수 있다. 상기 인듐-리치 금속 산화물 반도체층에서 인듐의 양은 40% 이상일 수 있다. 상기 인듐-리치 금속 산화물 반도체층은, 예를 들면 IZO, In-rich ITO, IGO, IGZO 및 IZTO 중 어느 하나를 포함할 수 있다. 채널층(16)의 한쪽은 제1 전극(18)에 접촉되고, 다른쪽은 제2 전극(20)에 접촉된다. 제1 및 제2 전극(18, 20)은 이격되어 있고, 어느 하나는 소스 전극이고, 나머지는 드레인 전극일 수 있다. 제1 및 제2 전극(18, 20)은 투명한 전극일 수 있는데, 예를 들면 ITO 전극일 수 있다. 제1 및 제2 전극(18, 20)은 채널층(16)의 일부를 덮을 수 있다. 제1 및 제2 전극(18, 20) 사이로 노출된 채널층(16)은 채널 보호층(22)으로 덮여 있다. 채널 보호층(22)은 적어도 알루미늄 산화막을 포함하는 물질층으로써 산소 고압 열처리된 것일 수 있다. 상기 알루미늄 산화막은, 예를 들면 Al_2O_3 막일 수 있다. 채널 보호층(22)은 단일층이다. 채널 보호층(22)은 복수층일 수도 있는데, 예를 들면 제1 영역(A1)을 확대하여 우측에 도시한 바와 같이, 채널 보호층(22)은 순차적으로 적층된 제1 및 제2 보호층(22a, 22b)을 포함할 수 있다. 제1 보호층(22a)은, 예를 들면 알루미늄 산화막일 수 있다. 제2 보호층(22b)은 산화막 또는 질화막일 수 있는데, 예를 들면 실리콘 산화막 또는 실리콘 질화막일 수 있다. 채널 보호층(22)은 제1 및 제2 전극(18, 20) 상으로 확장되어 오버랩될 수 있다. 그러나 채널 보호층(22)은 제1 및 제2 전극(18, 20)과 겹치지 않고, 제1 및 제2 전극(18, 20)과 같은 높이로 구비될 수도 있다.
- [0045] 도 2는 도 1의 입체도이다. 도 2에는 편의 상 기판(10)을 도시하지 않았다.
- [0046] 도 2를 참조하면, 게이트층(12), 게이트 절연막(14), 채널층(16), 제1 및 제2 전극(18, 20), 채널 보호층(22)의 적층 형태와 각 층(막) 사이의 적층관계를 보다 명확히 알 수 있다.
- [0047] 도 3은 본 발명의 다른 실시예에 의한 바텀 게이트 구조의 고성능 박막 트랜지스터의 단면도이다. 도 1에서 설명한 부재와 동일한 부재에 대해서는 동일한 참조번호를 사용한다.
- [0048] 도 3을 참조하면, 기판(10)의 일부 영역 상에 게이트층(12)이 존재한다. 기판(10) 상에 게이트층(12)을 덮는 게이트 절연막(14)이 형성되어 있다. 게이트 절연막(14)에서 게이트층(12)의 상부면을 덮는 부분 상에 채널층(16)이 존재한다. 채널층(16)의 양측의 일부는 각각 제1 및 제2 전극(18, 20)으로 덮여 있다. 제1 및 제2 전극(18, 20)은 채널층(16)과 직접 접촉된다. 제1 및 제2 전극(18, 20)은 게이트 절연막(14) 상에 형성되어 있다. 제1 및 제2 전극(18, 20) 사이의 채널층(16) 상에 채널 보호층(22)이 형성되어 있다. 채널 보호층(22)의 일부는 제1 및 제2 전극(18, 20) 상으로 확장되어 있다.
- [0049] 도 4는 본 발명의 일 실시예에 의한 탑 게이트 구조의 고성능 박막 트랜지스터의 단면도이다. 앞서 설명한 박막 트랜지스터의 부재와 동일한 부재에 대해서는 동일한 참조번호를 사용한다.
- [0050] 도 4의 (a)를 참조하면, 기판(40) 상에 채널층(42)이 존재한다. 기판(40)은 실리콘 기판일 수 있다. 채널층(4

2)은 도 1의 채널층(16)과 동일한 것일 수 있다. 채널층(42) 상에 이격된 제3 및 제4 전극(44, 46)이 존재한다. 제3 및 제4 전극(44, 46)은 도 1의 제1 및 제2 전극(18, 20)과 동일한 것일 수 있다. 채널층(42) 상에 제3 및 제4 전극(44, 46)을 덮는 게이트 절연막(48)이 존재한다. 게이트 절연막(48)은 도 1의 채널 보호층(16)과 동일한 구성의 물질로 형성된 것일 수 있다. 게이트 절연막(48)은 채널층(42)을 보호하는 역할도 한다. 게이트 절연막(48)은 (b)에 도시한 바와 같이 제3 및 제4 전극(44, 46) 사이의 채널층(42) 상에만 구비될 수 있다. 게이트 절연막(48) 상에 게이트 전극(50)이 구비되어 있다. 게이트 전극(50)은 도 1의 게이트층(12)과 동일한 것일 수 있다. 게이트 전극(50)은 제3 및 제4 전극(44, 46) 사이에 존재한다.

[0051] 도 5는 본 발명의 다른 실시예에 의한, 탑 게이트를 갖는 고성능 박막 트랜지스터로써, 코-플래너(co-planar) 구조의 박막 트랜지스터를 보여준다.

[0052] 도 5를 참조하면, 기판(40) 상에 채널층(42)이 존재한다. 채널층(42)은 상술한 인듐-리치 채널층일 수 있다. 채널층(42) 상에 절연층(52)이 형성되어 있다. 절연층(52)은 게이트 절연막의 역할을 할 수 있다. 절연층(52)은 채널층(42)을 보호하는 역할을 할 수도 있다. 절연층(52)은 도 1의 채널 보호층(16)과 동일한 구성의 물질로 형성된 것일 수 있다. 절연층(52)에 이격된 제1 및 제2 비어홀(52h1, 52h2)이 형성되어 있다. 제1 및 제2 비어홀(52h1, 52h2)을 통해 채널층(42)의 일부가 노출된다. 절연층(52) 상에 제5 및 제6 전극(54, 56)과 게이트 전극(58)이 구비되어 있다. 제5 및 제6 전극(54, 56)과 게이트 전극(58)은 같은 높이로 구비되어 있다. 제5 및 제6 전극(54, 56)은 각각 도 4의 제3 및 제4 전극(44, 46)과 동일한 것일 수 있다. 제5 전극(54)은 제1 비어홀(52h1)을 채우고 채널층(42)에 접촉된다. 제6 전극(56)은 제2 비어홀(52h2)을 채우고 채널층(42)에 접촉된다. 게이트 전극(58)은 제5 및 제6 전극(54, 56) 사이에 위치한다.

[0053] 도 6은 본 발명의 또 다른 실시예에 의한, 탑 게이트 구조의 고성능 박막 트랜지스터를 보여준다. 앞에서 설명한 박막 트랜지스터의 부재와 동일한 부재에 대해서는 동일한 참조번호를 사용한다.

[0054] 도 6을 참조하면, 기판(40) 상에 채널층(42)이 존재하고, 채널층(42) 상에 절연층(52)이 존재한다. 절연층(52)의 일부 영역 상에 게이트 전극(60)이 구비되어 있다. 절연층(52) 상에 게이트 전극(60)을 덮는 층간 절연층(62)이 형성되어 있다. 절연층(52)과 층간 절연층(62)을 포함하는 절연층 스택(S1)에 제3 및 제4 비어홀(72h1, 72h2)이 형성되어 있다. 제3 및 제4 비어홀(72h1, 72h2)을 통해 채널층(42)이 노출된다. 게이트 전극(60)은 제3 및 제4 비어홀(72h1, 72h2) 사이에 위치한다. 층간 절연층(62) 상에 이격된 제7 및 제8 전극(64, 66)이 형성되어 있다. 제7 및 제8 전극(64, 66)은 도 5의 제5 및 제6 전극(54, 56)과 동일한 것일 수 있다. 제7 전극(64)은 제3 비어홀(72h1)을 채우고, 채널층(42)과 접촉된다. 제8 전극(66)은 제4 비어홀(72h2)을 채우고 채널층(42)과 접촉된다.

[0055] 다음에는 도 7 내지 도 21을 참조하여 본 발명의 여러 실시예들에 의한 고성능 박막 트랜지스터의 제조방법을 설명한다. 도 1 내지 도 6의 설명에서 언급한 부재에 대해서는 동일한 참조번호를 사용하고, 그에 대한 설명은 생략한다.

[0056] 도 7 내지 도 9는 도 1에 도시한 박막 트랜지스터의 제조방법(이하, 제1 제조방법)을 단계별로 보여준다.

[0057] 도 7을 참조하면, 기판(10) 상에 게이트층(12)을 형성한다. 게이트층(12) 상에 게이트 절연막(14)을 형성한다. 게이트층(12)과 게이트 절연막(14)은 CVD 방식이나 스퍼터링 방식 등과 같은 통상의 물질막 증착장치를 이용하여 형성할 수 있다. 상기 언급한 방식 외에 알려진 다른 방식의 증착장치를 이용하여 형성할 수도 있다. 게이트 절연막(14)의 일부 영역 상에 채널층(16)을 형성한다. 이러한 채널층(16)은 게이트 절연막(14) 상에 채널층(16)으로 사용될 물질층을 형성한 다음, 상기 물질층을 패터닝하여 형성할 수 있다. 채널층(16)은 상술한 바와 같이 인듐-리치 금속 산화물 반도체층으로 형성될 수 있다. 인듐-리치는 채널층(16)이 형성되는 증착장치에 인듐 성분 혹은 인듐을 포함하는 전구체를 통상의 금속 산화물 반도체를 형성할 때 공급되는 양(이하, 정상치)보다 많이 공급하여 이를 수 있다. 인듐-리치 채널층(16)을 형성하기 위해 상기 정상치보다 40% 이상 더 많은 인듐 성분 혹은 인듐을 포함하는 전구체를 공급할 수 있다.

[0058] 한편, 인듐-리치 채널층(16)은 반대의 경우로 형성할 수도 있다. 예컨대, 채널층(16)을 형성하기 위해 금속 산화물 반도체층을 구성하는 성분들을 공급하는 과정에서, 인듐을 제외한 나머지 성분의 함량을 정상치보다 낮게 공급하여 상대적으로 인듐-리치한 결과를 갖는 채널층(16)이 형성될 수도 있다.

[0059] 채널층(16)으로 인듐-리치 IZO층이 형성되고, 스퍼터링(sputtering) 방식이 적용된 경우, 증착 공정조건은 다음과 같을 수 있다.

- [0060] <공정조건>
- [0061] 파워:100W
- [0062] 시간:10분
- [0063] $\text{Ar}/\text{O}_2 = 14/6$ ($\text{Po}_2 = 30\%$)
- [0064] 압력(working pressure):2mTorr
- [0065] 어닐(annealing) 조건: 300℃, 1시간, ambient
- [0066] 다음, 도 8을 참조하면, 게이트 절연막(14) 상에 제1 및 제2 전극(18, 20)을 형성한다. 제1 및 제2 전극(18, 20)은 이격되게 형성한다. 제1 전극(18)은 채널층(16)의 한쪽과 접촉되고, 제2 전극(20)은 채널층(16)의 다른쪽과 접촉되도록 형성될 수 있다. 제1 및 제2 전극(18, 20)은 게이트 절연막(14) 상에 채널층(16)을 덮는 물질층을 형성한 다음, 해당 물질층을 제1 및 제2 전극(18, 20)의 형태로 패터닝하여 형성할 수 있다. 제1 및 제2 전극(18, 20)은 투명한 물질로 형성할 수 있는데, 예를 들면 ITO로 형성할 수 있다.
- [0067] 다음, 도 9를 참조하면, 제1 및 제2 전극(18, 20) 사이의 채널층(16)을 덮는 채널 보호층(22)을 형성한다. 채널 보호층(22)은 원자층 증착(Atomic Layer Deposition) 방식으로 형성할 수 있다. 채널 보호층(22)은 단일층으로 형성될 수도 있고, 복수의 층으로 형성될 수도 있다. 채널 보호층(22)이 복수의 층으로 형성되는 경우, 채널층(16) 상에 알루미늄 산화막이 형성된 다음, 상기 알루미늄 산화막 상에 다른 산화막이나 질화막이 형성될 수 있다. 이때, 알루미늄 산화막은 ALD로 형성될 수 있고, 상기 다른 산화막이나 질화막은 ALD외의 다른 증착방식으로 형성될 수도 있다. 채널 보호층(22)으로 Al_2O_3 층이 형성되고, ALD방식이 적용된 경우, 공정조건은 다음과 같을 수 있다.
- [0068] <공정조건>
- [0069] 소스(source):TMA, feeding 1sec
- [0070] 산화제(Oxidant): O_3 , (9~10 wt%) feeding 2sec
- [0071] 공정온도:215℃
- [0072] 싸이클(Cycle):120 (~30분)
- [0073] 두께(Thickness):~15nm
- [0074] 한편, 게이트층(12)을 형성할 때, 게이트층(12)을 기판(10)의 일부 영역 상에 형성되도록 패터닝하고, 게이트층(12)의 패터닝된 결과물을 덮도록 게이트 절연막(14)을 형성할 경우, 도 3에 도시한 바와 같은 바텀 게이트 구조의 박막 트랜지스터가 형성될 수 있다.
- [0075] 다음, 채널 보호층(22)이 형성된 결과물을 열처리하여 채널층(16)을 열처리한다. 이때, 상기 열처리하는 산소 고압 열처리일 수 있다. 곧, 고압의 산소 분위기하에서 수행되는 열처리일 수 있다. 압력은 0.5atm ~ 20atm일 수 있다. 또한, 열처리 온도는 100℃~500℃ 정도일 수 있다.
- [0076] 도 10 내지 도 12는 도 4에 도시한 박막 트랜지스터의 제조방법을 단계별로 보여준다.
- [0077] 도 10을 참조하면, 기판(40) 상에 채널층(42)을 형성한다. 채널층(42)은 상기 제1 제조방법에서 설명한 방법 또는 이와 다른 방법으로 형성할 수 있다. 채널층(42) 상에 이격된 제3 및 제4 전극(44, 46)을 형성한다. 제3 및 제4 전극(44, 46)은 전극으로 사용되는 물질층을 채널층(42) 상에 형성한 다음, 상기 물질층을 제3 및 제4 전극(44, 46)과 동일한 형태가 되도록 패터닝하여 형성할 수 있다.
- [0078] 다음, 도 11의 (a)를 참조하면, 제3 및 제4 전극(44, 46) 사이의 채널층(42)을 덮는 게이트 절연막(48)을 형성한다. 게이트 절연막(48)은 제3 및 제4 전극(44, 46) 상으로 형성할 수 있다. 게이트 절연막(48)은 채널 보호층의 역할을 한다. 게이트 절연막(48)은 도 11의 (b)에 도시한 바와 같이 제3 및 제4 전극(44, 46) 사이의 채널층(42) 상에 형성되고, 제3 및 제4 전극(44, 46) 아래로 게이트 절연막(48)의 양단이 확장되도록 형성할 수도 있다. 이러한 결과는 채널층(42) 상에 게이트 절연막(48)을 먼저 형성한 다음, 게이트 절연막(48)의 일부를 제거하여 제3 및 제4 전극(44, 46)이 형성될 자리를 확보고, 확보된 자리에 게이트 절연막(48)의 일부와 오버랩되도록 제3 및 제4 전극(44, 46)을 형성하여 얻을 수 있다. 이렇게 제3 및 제4 전극(44, 46)을 형성한 다음, 그 결

과물을 도 9에서 설명한 바와 같은 열처리 방식으로 열처리할 수 있다. 이러한 열처리는 제3 및 제4 전극(44, 46)이 형성되기 전에 실시할 수도 있는데, 예컨대 채널층(42) 상에 게이트 절연막(48)을 형성한 다음, 게이트 절연막(48)의 일부를 제거하기 전에 실시할 수도 있다.

- [0079] 다음, 도 12를 참조하면, 제3 및 제4 전극(44, 46) 사이의 게이트 절연막(48) 상에 게이트 전극(50)을 형성한다. 게이트 전극(50)은 게이트 절연막(48) 상에 게이트 전극(50)으로 사용될 도전성 물질층을 형성한 다음, 상기 도전성 물질층을 통상의 사진 및 식각 공정으로 패터닝하여 형성할 수 있다. 상기 도전성 물질층은 도핑된 실리콘층, 금속층, 금속 실리사이드층, 합금층 등일 수도 있다.
- [0080] 도 13 내지 도 17은 도 5에 도시한 박막 트랜지스터의 제조방법을 단계별로 보여준다.
- [0081] 도 13을 참조하면, 기판(40) 상에 채널층(42)과 절연층(52)을 순차적으로 형성한다. 절연층(52)은 게이트 절연막의 역할과 채널 보호층의 역할을 할 수 있다. 절연층(52)을 형성한 다음, 그 결과물을 도 9에서 설명한 바와 같은 방식으로 열처리할 수 있다.
- [0082] 다음, 도 14를 참조하면, 절연층(52)에 제1 및 제2 비어홀(52h1, 52h2)을 형성한다. 제1 및 제2 비어홀(52h1, 52h2)은 절연층(52) 상에 절연층(52)의 일부가 노출되는 감광막 패턴을 형성한 다음, 절연층(52)의 노출된 부분을 식각하여 형성될 수 있다. 이후, 상기 감광막 패턴은 제거된다.
- [0083] 다음, 도 15를 참조하면, 절연층(52) 상에 제1 비어홀(52h1)을 채우는 제5 전극(54)과 제2 비어홀(52h2)을 채우는 제6 전극(56)을 형성한다. 제5 및 제6 전극(54, 56)은 제1 및 제2 비어홀(52h1, 52h2)을 채우는 전극 물질층을 절연층(52) 상에 형성한 다음, 통상의 사진 및 식각 공정으로 상기 전극 물질층을 패터닝하여 형성될 수 있다.
- [0084] 다음, 도 16을 참조하면, 절연층(52) 상에 제5 및 제6 전극(54, 56)을 덮고, 절연층(52)의 일부를 노출시키는 마스크(M1)를 형성한다. 절연층(52)의 노출된 영역은 게이트 전극이 형성될 영역이다. 마스크(M1)를 형성한 다음, 절연층(52)의 노출된 영역을 덮는 게이트층(78)을 형성한다. 게이트층(78)은 마스크(M1) 상에도 형성될 수 있다. 이후, 마스크(M1)와 그 위에 형성된 게이트층(78)이 제거된다. 이 결과, 게이트층(78)은 도 17에 도시한 바와 같이 제5 및 제6 전극(54, 56) 사이의 절연층(52) 상에만 남게 된다. 절연층(52) 상에 남은 게이트층(78)은 게이트 전극(도 5의 58)으로 사용된다. 제5 및 제6 전극(54, 56)과 그 사이에 형성된 게이트층(78)은 동일한 물질층, 곧 절연층(52) 상에 형성된다.
- [0085] 도 18 내지 도 21은 도 6에 도시한 박막 트랜지스터의 제조방법을 단계별로 보여준다.
- [0086] 도 18을 참조하면, 기판(40) 상에 채널층(42) 및 절연층(52)을 순차적으로 적층한다. 이어서 절연층(52) 상에 게이트 전극(60)을 형성한다.
- [0087] 다음, 도 19에 도시한 바와 같이, 절연층(52) 상에 게이트 전극(60)을 덮는 층간 절연층(62)을 형성한다. 층간 절연층(62)의 상부면을 평탄화한다.
- [0088] 다음, 도 20을 참조하면, 절연층(52)과 층간 절연층(62)으로 이루어진 절연층 스택(S1)에 채널층(42)이 노출되는 제3 및 제4 비어홀(72h1, 72h2)을 형성한다. 제3 및 제4 비어홀(72h1, 72h2) 사이에 게이트 전극(60)이 위치한다.
- [0089] 도 21을 참조하면, 층간 절연층(62) 상에 제3 비어홀(72h1)을 채우는 제7 전극(64)과 제4 비어홀(72h2)을 채우는 제8 전극(66)을 형성한다. 제7 및 제8 전극(64, 66)은 이격되어 있다.
- [0090] 다음에는 본 발명의 일 실시예에 의한 박막 트랜지스터의 전기적 특성에 대한 실험결과를 설명한다.
- [0091] 도 22는 채널 보호층으로 Al_2O_3 보호막이 구비되기 전과 후의 전류-전압 특성의 변화를 보여준다. 도 22에서, 제1 그래프(G1)는 소스-드레인 전압(V_{DS})이 0.1V일 때, 측정된 결과를 나타낸다. 제2 그래프(G2)는 소스-드레인 전압(V_{DS})이 0.5V일 때, 측정된 결과를 나타낸다.
- [0092] 도 22를 참조하면, 채널 보호층이 형성된 후, 문턱전압이 음의 방향으로 4V정도 이동된 것을 볼 수 있다. 이러한 결과는 채널 보호층 형성 전에 채널층에 흡착된 산소가 탈착되어 나타낸 현상으로 추정되며, 산소 플라즈마 처리와 같은 원자층 증착공정의 제어를 통해 문턱전압 변화량을 최소화 할 수 있다.
- [0093] 한편, 채널 보호층 형성 전과 후에 측정된 박막 트랜지스터의 이동도, 게이트 스윙 및 Ion/off 특성은 변화가

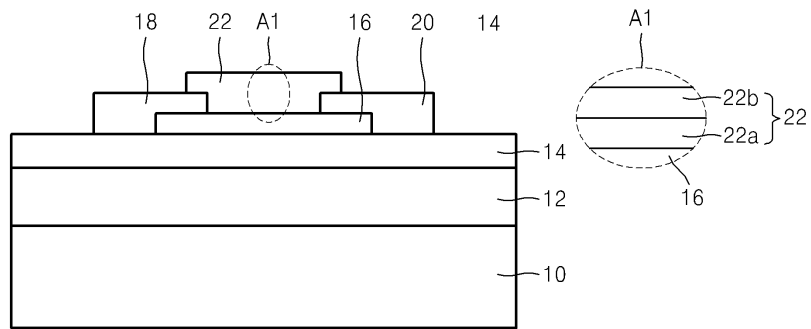
없었다.

- [0094] 도 23은 본 발명의 일 실시예에 의한 박막 트랜지스터에서 채널 보호층으로 Al_2O_3 보호막이 형성된 후, 그 결과물을 산소 고압 열처리(O_2 HPA)하였을 때의 전류-전압 특성의 변화를 보여준다.
- [0095] 도 23에서, 제1 그래프(G21)는 소스-드레인 전압(V_{DS})이 0.1V일 때, 측정된 결과를 나타낸다. 제2 그래프(G22)는 소스-드레인 전압(V_{DS})이 0.5V일 때, 측정된 결과를 나타낸다.
- [0096] 도 23을 참조하면, 채널 보호층이 형성된 후, 문턱전압이 음의 방향으로 이동되었으나, 산소 고압 열처리 후, 문턱전압은 다시 양의 방향으로, 곧 우측으로 이동되어 채널 보호층을 형성하기 전과 같은 상태가 되었다. 이러한 결과는 산소 고압 열처리 공정을 통하여 채널층에 강제적으로 산소가 공급되어 채널층의 산소 빈자리(vacancy) 결합의 농도가 감소된 것에 기인한 것과 관련이 있는 것으로 보여진다.
- [0097] 도 24는 본 발명의 일 실시예에 의한 박막 트랜지스터의 산소 고압 열처리 여부에 따른 네거티브 바이어스 스트레스(NBS) 불안정성을 평가하기 위해 실시한 실험 결과를 보여준다.
- [0098] 실험은 Al_2O_3 의 채널 보호층이 형성된 제1 내지 제3 박막 트랜지스터를 대상으로 실시하였다. 상기 제1 박막 트랜지스터는 0.2atm, 200℃에서 1시간 동안 열처리하였다. 상기 제2 박막 트랜지스터는 3atm, 200℃에서 1시간 동안 열처리(산소 고압 열처리)하였다. 상기 제3 박막 트랜지스터는 9atm, 200℃에서 1시간 동안 열처리(산소 고압 열처리)하였다. 상기 제1 내지 제3 박막 트랜지스터에 대한 스트레스 조건은 $V_{\text{GS}} = -20\text{V}$, $V_{\text{DS}} = 5.1\text{V}$ 로 설정하고, 이러한 스트레스 조건하에서 1시간 동안 전류-전압 특성을 측정하였다. 이러한 측정은 0s, 100s, 300s, 600s, 1200s, 2100s, 3600s에서 측정하였다.
- [0099] 도 24에서 좌측 도면은 상기 제1 박막 트랜지스터에 대한 실험 결과를, 가운데 도면은 상기 제2 박막 트랜지스터에 대한 실험 결과를, 우측 도면은 상기 제3 박막 트랜지스터에 대한 실험 결과를 각각 보여준다.
- [0100] 도 24의 각 도면에서 가로축은 게이트-소스 전압(V_{GS})을, 세로축은 드레인-소스 전류(I_{DS})를 각각 나타낸다.
- [0101] 도 24의 각 도면을 비교하면, 0.2atm에서 열처리한 경우(좌측도면), 문턱전압의 변화는 음의 방향으로 1.2V이동하였으나, 3atm에서 열처리한 경우(가운데 도면), 문턱전압의 변화는 0.4V로 감소하였다. 그리고 9atm에서 열처리한 경우(우측도면), 문턱전압의 변화는 거의 없는 것을 확인할 수 있다.
- [0102] 도 24의 결과는 Al_2O_3 채널 보호층이 형성된 결과물을 산소 고압 열처리함으로써, NBS 불안정성은 낮아지는 것을 보여준다. 그러므로 Al_2O_3 채널 보호층이 형성된 박막 트랜지스터를 산소 고압 열처리함으로써 박막 트랜지스터의 전기적 신뢰성은 향상될 수 있다.
- [0103] 도 25는 본 발명의 일 실시예에 의한 박막 트랜지스터의 산소 고압 열처리 여부에 따른 네거티브 바이어스 일루미네이션 스트레스(NIBS) 신뢰성을 평가하기 위해 실시한 실험 결과를 보여준다. 실험은 Al_2O_3 의 채널 보호층을 구비하지 않은 제4 내지 제6 박막 트랜지스터를 대상으로 실시하였다. 본 실험에서는 채널층에 일루미네이션 스트레스를 가하기 위해 채널 보호층을 형성하지 않았다.
- [0104] 상기 제4 박막 트랜지스터는 0.2atm, 200℃에서 1시간 동안 열처리하였다. 상기 제5 박막 트랜지스터는 3atm, 200℃에서 1시간 동안 열처리(산소 고압 열처리)하였다. 상기 제6 박막 트랜지스터는 9atm, 200℃에서 1시간 동안 열처리(산소 고압 열처리)하였다. 상기 제4 내지 제6 박막 트랜지스터에 대한 스트레스 조건은 전압 스트레스 조건과 일루미네이션 스트레스 조건을 포함한다. 상기 전압 스트레스 조건은 $V_{\text{GS}} = -20\text{V}$, $V_{\text{DS}} = 5.1\text{V}$ 이다. 상기 일루미네이션 스트레스 조건은 녹색광($0.06\text{mW}/\text{cm}^2$)을 조사하는 것이다. 이때, 녹색광의 광원으로는 광 방출 다이오드(Light Emitting Diode, LED)를 사용하였다. 이러한 스트레스 조건하에서 1시간 동안 전류-전압 특성을 측정하였다. 이러한 측정은 0s, 100s, 300s, 600s, 1200s, 2100s, 3600s에서 측정하였다.
- [0105] 도 25에서 좌측 도면은 상기 제1 박막 트랜지스터에 대한 실험 결과를, 가운데 도면은 상기 제2 박막 트랜지스터에 대한 실험 결과를, 우측 도면은 상기 제3 박막 트랜지스터에 대한 실험 결과를 각각 보여준다.
- [0106] 도 25의 각 도면에서 가로축은 게이트-소스 전압(V_{GS})을, 세로축은 드레인-소스 전류(I_{DS})를 각각 나타낸다.
- [0107] 도 25의 각 도면을 비교하면, 0.2atm에서 열처리한 경우(좌측도면), 문턱전압의 변화는 음의 방향으로 3.7V이동하였으나, 3atm에서 열처리한 경우(가운데 도면), 문턱전압의 변화는 음의 방향으로 2.2V 이동하였다. 그리고

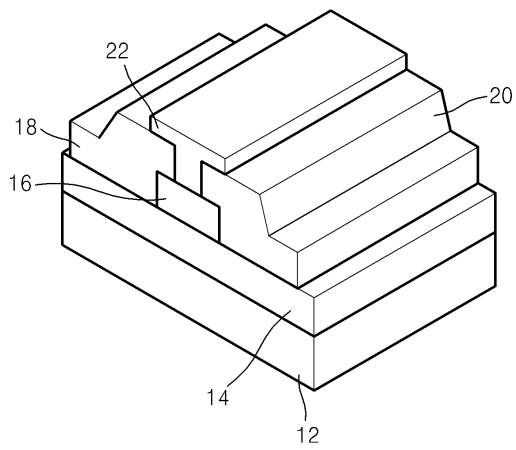
[0116]	10, 40:기판	12, 78:게이트층
	14, 48:게이트 절연막	16, 42:채널층
	18, 20, 44, 46, 54, 56, 64, 66:제1 내지 제8 전극	
	22:채널 보호층	50, 58, 60:게이트 전극
	52:절연층	62:층간 절연층
	52h1, 52h2, 72h1, 72h2:제1 내지 제4 비어홀	
	M1:마스크	S1:절연층 스택

도면

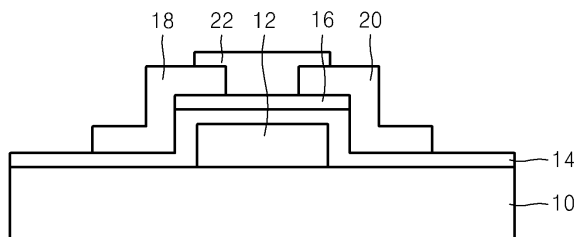
도면1



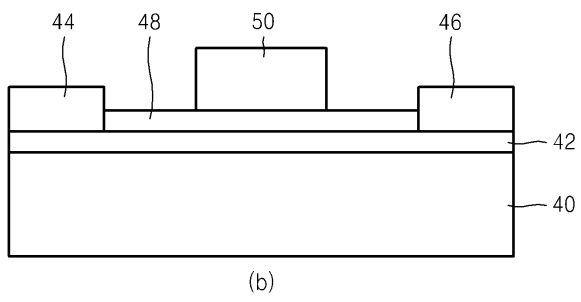
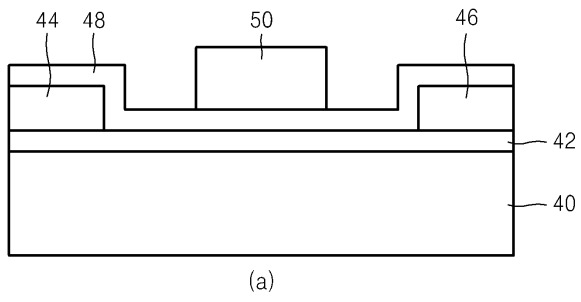
도면2



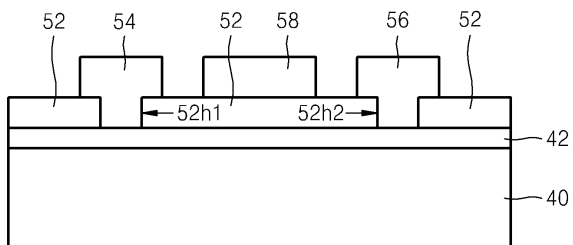
도면3



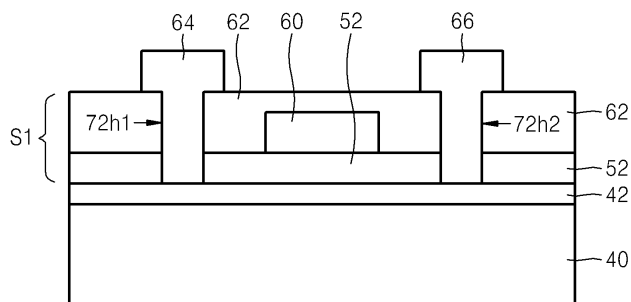
도면4



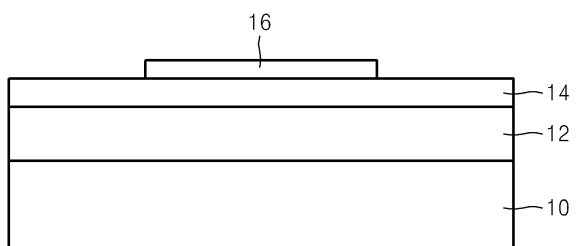
도면5



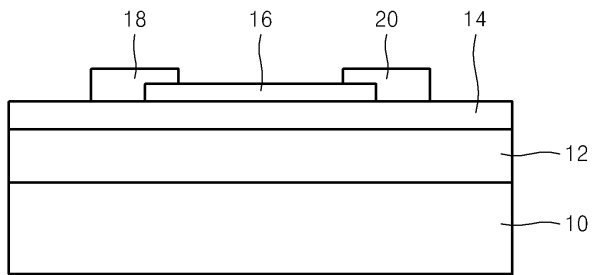
도면6



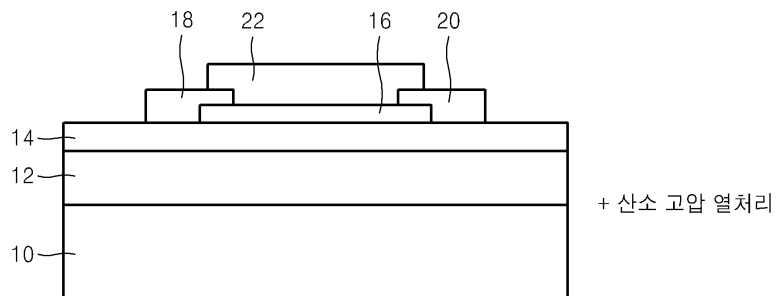
도면7



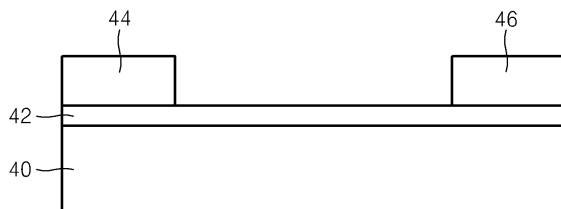
도면8



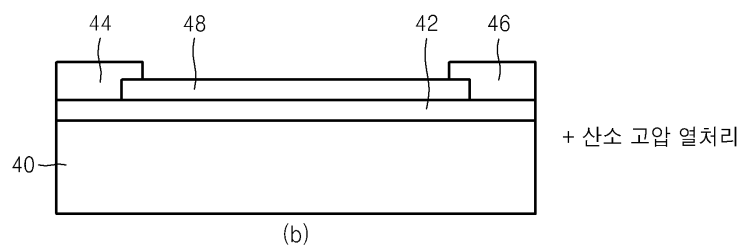
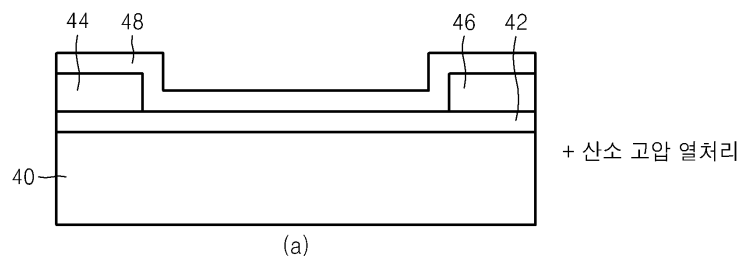
도면9



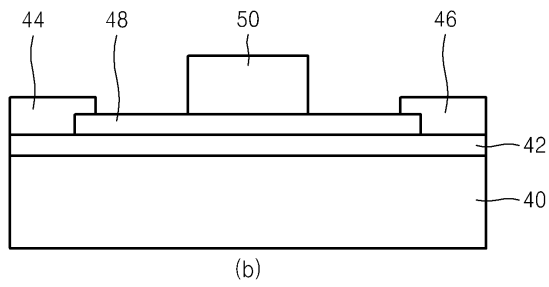
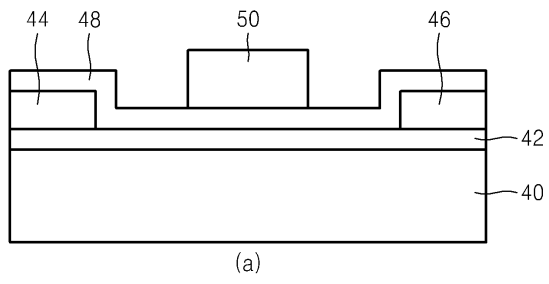
도면10



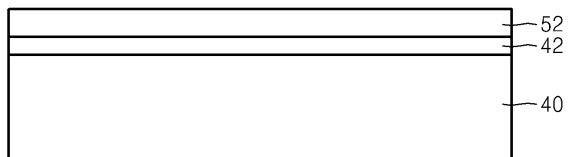
도면11



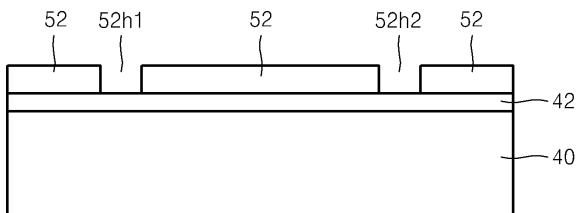
도면12



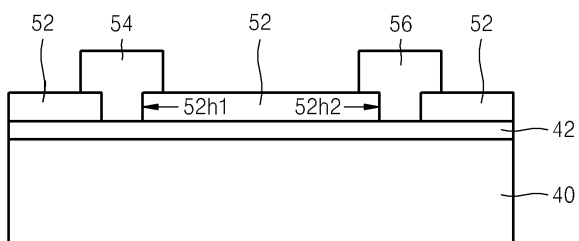
도면13



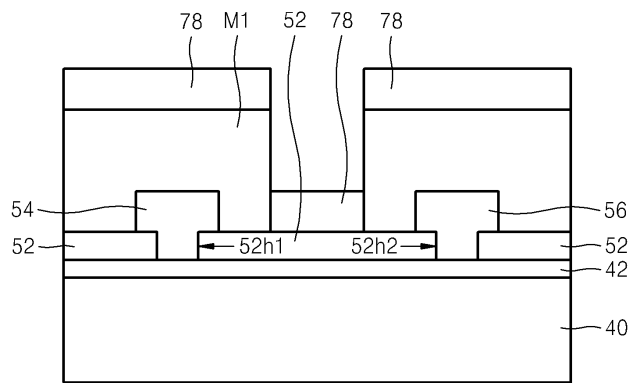
도면14



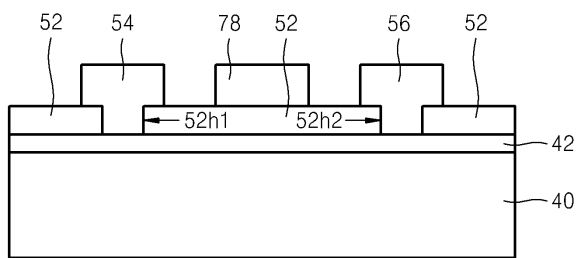
도면15



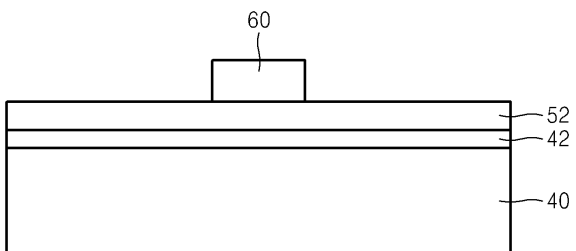
도면16



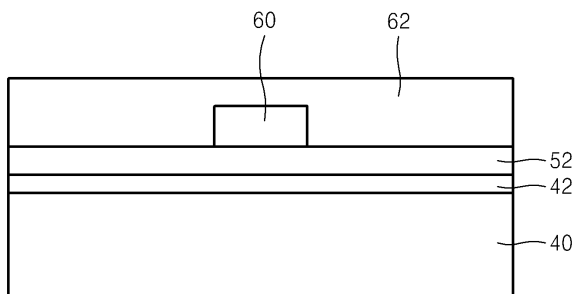
도면17



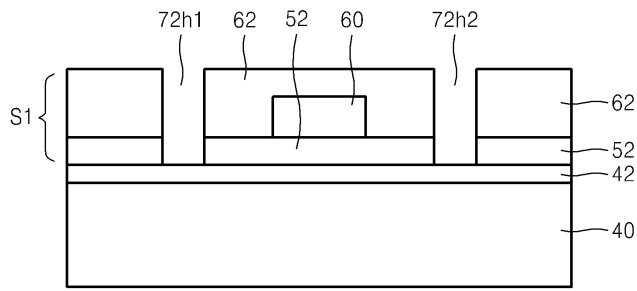
도면18



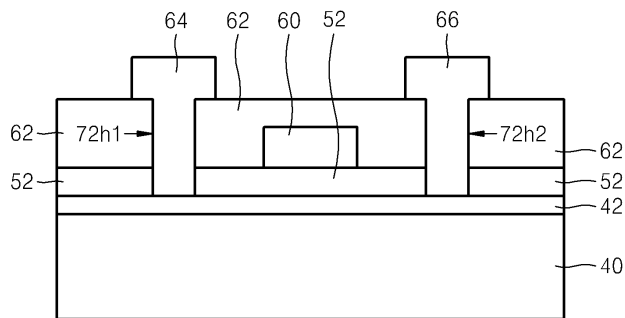
도면19



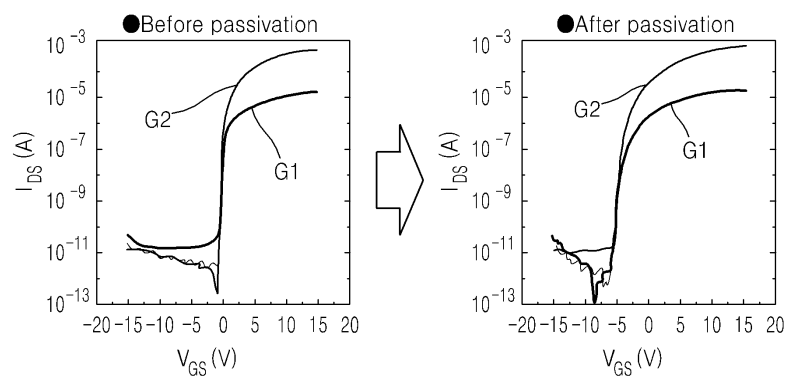
도면20



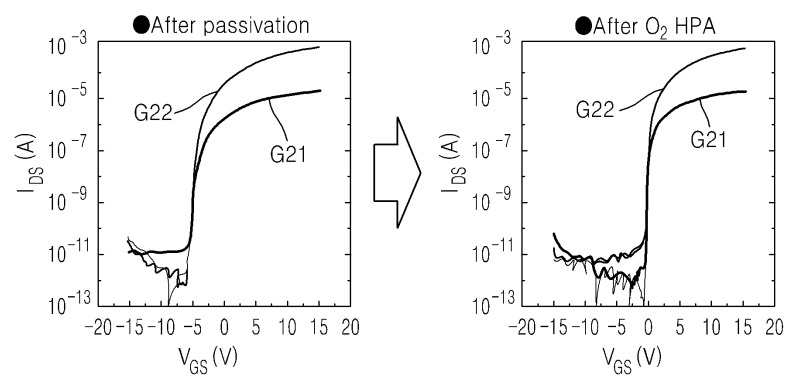
도면21



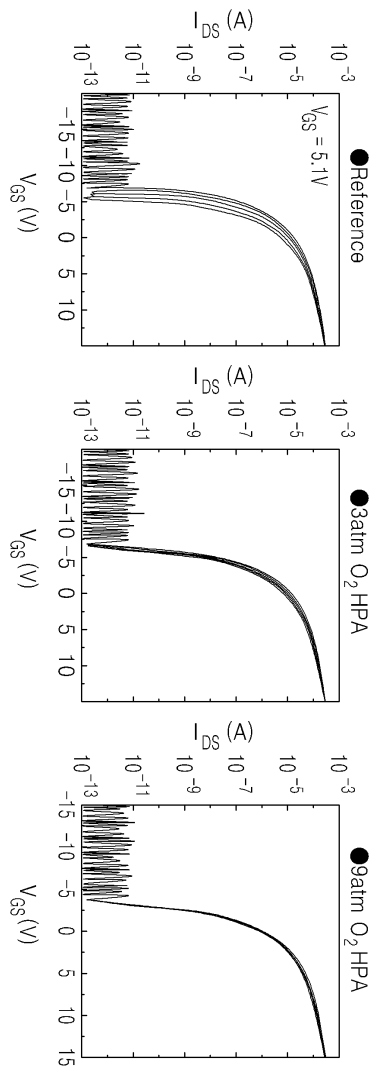
도면22



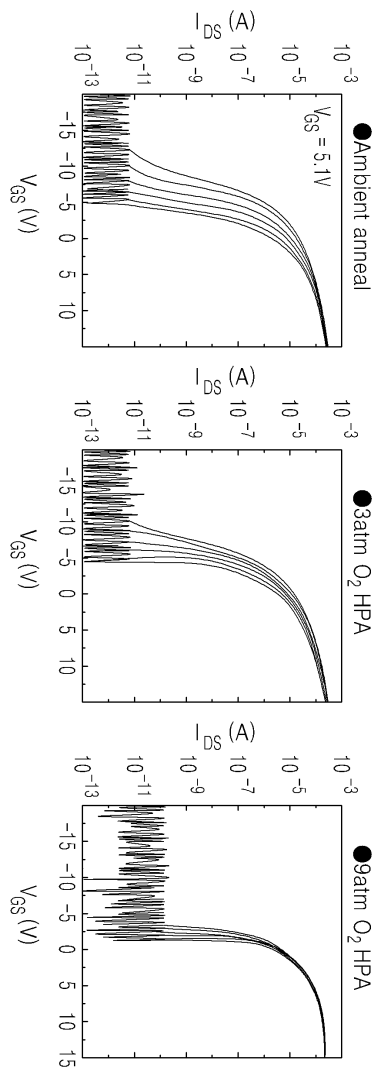
도면23



도면24



도면25



도면26

O ₂ pressure	O1s peak [eV]		
	Lattice Oxygen	Oxygen deficient	Hydroxyl
	(529.1 ± 0.02)	(530.5 ± 0.05)	(531.2 ± 0.05)
Reference	0.68	0.21	0.09
O ₂ 3atm	0.70	0.19	0.10
O ₂ 9atm	0.70	0.17	0.10