



## (12)发明专利

(10)授权公告号 CN 105009074 B

(45)授权公告日 2018.12.07

(21)申请号 201480011469.3

(22)申请日 2014.03.10

(65)同一申请的已公布的文献号

申请公布号 CN 105009074 A

(43)申请公布日 2015.10.28

(30)优先权数据

13/829,315 2013.03.14 US

(85)PCT国际申请进入国家阶段日

2015.08.31

(86)PCT国际申请的申请数据

PCT/US2014/022457 2014.03.10

(87)PCT国际申请的公布数据

W02014/159195 EN 2014.10.02

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 梅林达·J·布朗

詹姆斯·诺里斯·迪芬德尔费尔

迈克尔·斯科特·麦基尔文

布莱恩·迈克尔·斯坦普尔

达朗·尤金·施特雷特

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 宋献涛

(51)Int.Cl.

G06F 9/30(2006.01)

(56)对比文件

US 2011/0145512 A1, 2011.06.16, 说明书第[0040]-[0043]段.

US 7100021 B1, 2006.08.29, 说明书第6栏第28行至第7栏第44行, 第10栏第42-48行, 附图3.

US 2004/0068597 A1, 2004.04.08, 全文.

审查员 白桦

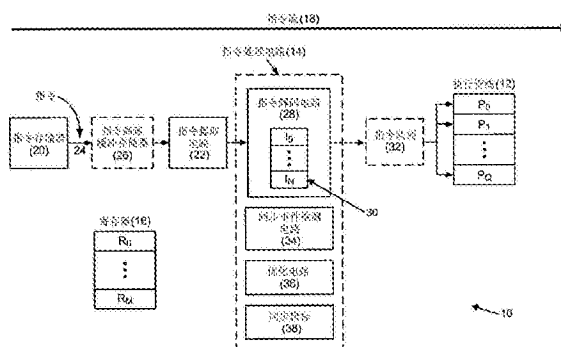
权利要求书3页 说明书9页 附图8页

### (54)发明名称

消除指令处理电路中的冗余同步屏障和相关处理器系统、方法以及计算机可读媒体

### (57)摘要

本文揭示的实施例包含从指令处理电路中的执行管线消除冗余同步屏障。还揭示相关的处理器系统、方法和计算机可读媒体。通过跟踪同步事件的发生,不必要的软件同步操作可以被识别并消除,从而改善中央处理单元CPU的性能。在一个实施例中,提供一种用于消除指令流中的冗余同步屏障的方法。所述方法包括确定下一个指令是否包括类型对应于第一同步事件的同步屏障。所述方法还包括响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障而从所述指令流中消除所述下一个指令。以此方式,可以通过避免不必要的同步操作而增加在每一CPU时钟循环期间执行的指令的平均数目。



1. 一种用于消除指令流中的冗余同步屏障的方法,其包括:

检测第一指令,所述第一指令指示关于计算机架构需要后续同步屏障且所述计算机架构允许由计算机硬件自动地执行同步操作的操作;

响应于所述第一指令,由所述计算机硬件自动地执行所述同步操作;

检测由所述计算机硬件响应于所述第一指令自动执行所述同步操作而导致的第一同步事件;

检测指令流中的下一个指令;

确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障;以及响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障,从所述指令流消除所述下一个指令。

2. 根据权利要求1所述的方法,其中检测所述第一同步事件包括检测指令同步事件;

并且

其中确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障包括检测所述下一个指令是否是指令同步屏障。

3. 根据权利要求1所述的方法,其中检测所述第一同步事件包括检测数据同步事件;

并且

其中确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障包括检测所述下一个指令是否是数据同步屏障。

4. 根据权利要求1所述的方法,其中检测所述第一同步事件包括设定同步旗标。

5. 根据权利要求4所述的方法,其进一步包括响应于确定所述下一个指令不包括类型对应于所述第一同步事件的同步屏障而清除所述同步旗标。

6. 根据权利要求4所述的方法,其中确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障包括确定是否设定所述同步旗标。

7. 根据权利要求1所述的方法,其中从所述指令流消除所述下一个指令包括用指示无操作的指令代替所述指令流中的所述下一个指令。

8. 根据权利要求1所述的方法,其中从所述指令流消除所述下一个指令包括从所述指令流移除所述下一个指令。

9. 一种指令处理电路,其包括:

优化电路,其经配置以检测第一指令,所述第一指令指示关于计算机架构需要后续同步屏障且所述计算机架构允许由计算机硬件自动地执行同步操作的操作;

所述计算机硬件,其经配置以响应于所述第一指令而自动地执行所述同步操作;

以及

同步事件检测电路,其经配置以检测由所述计算机硬件响应于所述第一指令自动执行所述同步操作而导致的第一同步事件;

所述优化电路进一步经配置以:

检测指令流中的下一个指令;

确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障;以及

响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障,从所述指令流消除所述下一个指令。

10. 根据权利要求9所述的指令处理电路,其中所述同步事件检测电路进一步经配置以响应于检测到所述第一同步事件而设定同步旗标。

11. 根据权利要求9所述的指令处理电路,其中所述优化电路经配置以通过用指示无操作的指令代替所述指令流中的所述下一个指令而从所述指令流消除所述下一个指令。

12. 根据权利要求9所述的指令处理电路,其中所述优化电路经配置以通过从所述指令流移除所述下一个指令来从所述指令流消除所述下一个指令。

13. 根据权利要求10所述的指令处理电路,其中所述优化电路进一步经配置以响应于确定所述下一个指令不包括类型对应于所述第一同步事件的同步屏障而清除所述同步旗标。

14. 根据权利要求10所述的指令处理电路,其中所述优化电路经配置以通过经配置以确定是否设定所述同步旗标来确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障。

15. 根据权利要求9所述的指令处理电路,其中所述下一个指令是从由以下各者组成的群组中选择的指令:ISB(指令同步屏障)指令、DSB(数据同步屏障)指令以及DMB(数据存储器屏障)指令。

16. 根据权利要求9所述的指令处理电路,其集成到集成电路裸片中。

17. 根据权利要求9所述的指令处理电路,其集成到装置中,所述装置选自由以下各者组成的群组:机顶盒、娱乐单元、导航装置、通信装置、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、个人数字助理PDA、监视器、电视、调谐器、无线电、音乐播放器和视频播放器。

18. 一种用于消除指令流中的冗余同步屏障的设备,其包括:

用于检测第一指令的装置,所述第一指令指示关于计算机架构需要后续同步屏障且所述计算机架构允许由计算机硬件自动地执行同步操作的操作;

用于响应于所述第一指令自动地执行所述同步操作的装置;

用于检测由所述计算机硬件响应于所述第一指令自动执行所述同步操作而导致的所述第一同步事件的装置;

用于检测指令流中的下一个指令的装置;

用于确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障的装置;  
以及

用于响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障而从所述指令流中消除所述下一个指令的装置。

19. 一种非暂时性计算机可读媒体,其具有存储于其上的计算机可执行指令以致使处理器实施方法,所述方法包括:

检测第一指令,所述第一指令指示关于计算机架构需要后续同步屏障且所述计算机架构允许由计算机硬件自动地执行同步操作的操作;

响应于所述第一指令,由所述计算机硬件自动地执行所述同步操作;

检测由所述计算机硬件响应于所述第一指令自动执行所述同步操作而导致的所述第一同步事件;

检测指令流中的下一个指令;

确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障;以及  
响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障,从所述指令流消除所述下一个指令。

20.根据权利要求19所述的非暂时性计算机可读媒体,其具有存储于其上的所述计算机可执行指令以致使所述处理器实施所述方法,其中从所述指令流消除所述下一个指令包括用指示无操作的指令代替所述指令流中的所述下一个指令。

21.根据权利要求19所述的非暂时性计算机可读媒体,其具有存储于其上的所述计算机可执行指令以致使所述处理器实施所述方法,其中从所述指令流消除所述下一个指令包括从所述指令流移除所述下一个指令。

22.根据权利要求19所述的非暂时性计算机可读媒体,其具有存储于其上的计算机可执行指令以致使所述处理器实施所述方法,其中确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障包括确定设定同步旗标。

## 消除指令处理电路中的冗余同步屏障和相关处理器系统、方法以及计算机可读媒体

[0001] 优先权申请

[0002] 本申请要求提交于2013年3月14日且标题为“消除指令处理电路中的冗余同步屏障和相关处理器系统、方法以及计算机可读媒体 (ELIMINATING REDUNDANT SYNCHRONIZATION BARRIERS IN INSTRUCTION PROCESSING CIRCUITS, AND RELATED PROCESSOR SYSTEMS, METHODS, AND COMPUTER-READABLE MEDIA)”的美国专利申请序列号 13/829,315 的优先权,所述专利申请的全部内容通过引用并入本文。

### 技术领域

[0003] 本发明的技术涉及基于中央处理单元 (CPU) 的系统中的管线化计算机指令的处理。

### 背景技术

[0004] 现代计算机架构中“指令管线”的出现已得到改善的中央处理单元 (CPU) 资源的利用率和更快的计算机应用程序的执行时间。指令管线是一种处理技术,凭藉该处理技术,通过将每个指令的处理分离为一系列步骤来增加由CPU处理的计算机指令的吞吐率。所述指令在由多级组成的“执行管线”中执行,其中每级完成用于一系列指令中每个指令的步骤中的一个步骤。结果,在每个CPU时钟循环中,可以并行评估用于多个指令的步骤。CPU可以采用多条执行管线以进一步提高性能。

[0005] 实施指令管线化的一些计算机架构可以允许处理器优化,诸如程序指令的推理性数据读取和乱序执行。在提供CPU性能的进一步改善时,如果例如执行的程序取决于以指定顺序访问的数据或以指定顺序执行的指令,则这些优化可导致意料不到和/或不合需要的程序行为。另外,执行指令可能影响在允许执行后续指令之前必须成功完成的CPU状态的变化。例如,CPU状态的变化可以包括影响后续指令如何访问资源的变化,诸如处理器模式的变化或页表的更改。

[0006] 为确保程序的正确执行,可以在软件中使用“同步屏障”以确保在允许继续执行代码之前完成先前的操作(即,数据访问或指令执行)。同步屏障可以通过指令明确地提供,诸如ARM架构的ISB(指令同步屏障)指令,或可被实施为另一指令或操作的一部分。计算机的体系架构可以提供的是,需要同步屏障的具体操作可以具有由计算机的硬件自动处理的同步,而其它操作需要软件以明确地包括同步屏障。不过需要指出的是,对于其中存在软件同步屏障的情况,如果在执行软件同步屏障之前立即发生另一同步操作,则可以证明该软件同步屏障是冗余的。

### 发明内容

[0007] 本发明的实施例包括从指令处理电路中的执行管线消除冗余同步屏障,以及相关的处理器系统、方法和计算机可读媒体。对于一些操作,计算机的体系架构可需要采用软件

同步屏障,即使在执行软件同步屏障之前也可立即发生同步操作。通过跟踪同步事件的发生,不必要的软件同步屏障可以被识别并消除,从而改善中央处理单元(CPU)的性能。

[0008] 在这方面,在一个实施例中,提供用于消除指令流中的冗余同步屏障的方法。所述方法包括检测第一同步事件。所述方法还包括检测指令流中的下一个指令。所述方法另外包括确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障。所述方法还包括响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障,而从所述指令流消除所述下一个指令。以此方式,可以通过避免不必要的同步操作而增加在每一CPU时钟循环期间执行的指令的平均数目。

[0009] 在另一个实施例中,提供了指令处理电路。所述指令处理电路包括同步事件检测电路和优化电路。所述同步事件检测电路经配置以检测第一同步事件。所述优化电路经配置以检测指令流中的下一个指令,并且确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障。所述优化电路进一步经配置以响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障,而从所述指令流消除所述下一个指令。

[0010] 在另一个实施例中,提供了指令处理电路。所述指令处理电路包括用于检测第一同步事件的装置。所述指令处理电路进一步包括用于检测指令流中的下一个指令的装置。所述指令处理电路另外包括用于确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障的装置。所述指令处理电路还包括用于响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障,而从所述指令流消除所述下一个指令的装置。

[0011] 在另一个实施例中,提供非暂时性计算机可读媒体,其具有存储于其上的计算机可读指令以致使处理器实施一种方法。由所述计算机可执行指令实施的所述方法包括检测第一同步事件。由所述计算机可执行指令实施的所述方法还包括检测指令流中的下一个指令。由所述计算机可执行指令实施的所述方法另外包括确定所述下一个指令是否包括类型对应于所述第一同步事件的同步屏障。由所述计算机可执行指令实施的所述方法还包括响应于确定所述下一个指令包括类型对应于所述第一同步事件的同步屏障,而从所述指令流消除所述下一个指令。

## 附图说明

[0012] 图1是在基于处理器的系统中提供的示范性组件的框图,所述示范性组件包括示范性经配置以检测并消除指令流中的冗余同步屏障的示范性指令处理电路;

[0013] 图2是示出基于检测并消除冗余同步屏障的示范性经优化指令的示意图;

[0014] 图3是示出用于检测并消除冗余同步屏障的指令处理电路的示范性过程的流程图;

[0015] 图4是示出用于消除冗余同步屏障的指令处理电路的更详细示范性过程的流程图;

[0016] 图5是示出优化包含触发同步事件和冗余同步屏障的指令的示范性指令流的示意图;

[0017] 图6是示出可以从消除冗余同步屏障得到的示范性经优化指令流的示意图;

[0018] 图7是示出优化包含冗余同步屏障的示范性指令流的示意图;以及

[0019] 图8是可以包括指令处理电路的示范性的基于处理器的系统的框图,所述指令处

理电路包括经配置以检测并消除冗余同步屏障的图1的指令处理电路。

### 具体实施方式

[0020] 现参考附图描述本发明的几个示范性实施例。本文使用的词“示范性的”意指“用作实例、实例或例证”。本文中被描述为“示范性的”的任何实施例不必须被理解为比其它实施例优选或有利。还应当理解,虽然术语“第一”、“第二”等可以在本文用于描述各种元件,但是这些术语仅用于将一个元件与另一个元件区分开,并且因此而区分的各元件不应被这些术语限制。例如,在没有偏离本发明的教义的情况下,第一指令可被称为第二指令,并且类似地,第二指令可被称为第一指令。

[0021] 本发明的实施例包括从执行指令处理电路中的执行管线消除冗余同步屏障,以及相关的处理器系统、方法和计算机可读媒体。对于一些操作,计算机的体系架构可需要采用软件同步屏障,即使在执行软件同步屏障之前也可立即发生同步操作。通过跟踪同步事件的发生,不必要的软件同步屏障可以被识别并消除,从而改善中央处理单元(CPU)的性能。

[0022] 在这方面,在一个实施例中,提供用于消除指令流中的冗余同步屏障的方法。该方法包括检测第一同步事件。该方法进一步包括检测指令流中的下一个指令。该方法另外包括确定下一个指令是否包括类型对应于第一同步事件的同步屏障。该方法还包括响应于确定下一个指令包括类型对应于第一同步事件的同步屏障,而从指令流消除下一个指令。以此方式,可以通过避免不必要的同步操作而增加在每一CPU时钟循环期间执行的指令的平均数目。

[0023] 在这方面,图1是用于检索和处理将被放置在一或多个执行管线12(0)-12(Q)中的计算机指令的示范性的基于处理器的系统10的框图。所述基于处理器的系统10提供经配置以检测并消除冗余同步屏障的指令处理电路14。如本文所使用的,“指令”可指由指示计算机处理器以完成特定的一或多个任务的指令集架构所定义的位的组合。例如,指令可以指示用于从寄存器16(0)-16(M)读取数据和/或向寄存器16(0)-16(M)写入数据的操作,这些操作提供可由基于处理器的系统10访问的本地存储。示范性指令集架构包括但不限于ARM、Thumb和A64架构。

[0024] 继续参考图1,各指令在基于处理器的系统10中在由指令流18表示的连续流中被处理。当基于处理器的系统10在运行并执行各指令时,指令流18可被连续地处理。在该所示实例中,指令流18开始于指令存储器20,该指令存储器20提供用于计算机可执行程序各指令的永久存储。指令提取电路22从指令存储器20和/或任选地从指令高速缓冲存储器26读取由箭头24表示的指令(在下文中称为“指令24”)。指令提取电路22可以递增程序计数器(未示出),该程序计数器可以被存储在寄存器16(0)-16(M)中的一个寄存器中。一旦指令24由指令提取电路22提取,指令24进行到指令解码电路28,该指令解码电路28将所述指令转换为处理器专用微指令。在这个实施例中,指令解码电路28同时存储用于解码的一组多个指令30(0)-30(N)。

[0025] 在指令30(0)-30(N)已被提取并解码后,这些指令被任选地发布到作为用于存储指令30(0)-30(N)的缓冲区的指令队列32。随后,指令30(0)-30(N)被发布到执行管线12(0)-12(Q)中的一个管线以供执行。在一些实施例中,执行管线12(0)-12(Q)可以限制可由在执行管线12(0)-12(Q)内执行的各指令完成的操作的类型。例如,管线P0可以不允许对寄

寄存器16 (0) -16 (M) 的读取访问;因此,指示读取寄存器R<sub>0</sub>的操作的指令只可以被发布到执行管线P<sub>1</sub>到执行管线P<sub>q</sub>中的一个执行管线。

[0026] 指令处理电路14可以是任何类型的装置或电路,并且可以用处理器、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或其它可编程逻辑器件、分立门或晶体管逻辑、分立硬件组件或经设计以执行本文所述功能的上述器件的组合来实施或执行。在一些实施例中,指令处理电路14被并入指令解码电路28中。

[0027] 继续参考图1,在这个实例中的指令处理电路14经配置以检测并消除指令流18中的冗余同步屏障。指令处理电路14可以采用经配置以检测同步事件的同步事件检测电路34。指令处理电路14还可以采用经配置以检测下一个指令的优化电路36,所述下一个指令指示类型对应于同步事件的冗余同步屏障。优化电路36可进一步经配置以从指令流18消除下一个指令。在一些实施例中,指令处理电路14可以利用同步旗标38以指示同步事件的发生并确定是否已检测到冗余同步屏障。

[0028] 为提供图1中检测并消除基于处理器的系统10中的冗余同步屏障的解释,提供图2。图2示出图1的指令处理电路14检测同步事件并随后检测冗余同步屏障。在这个实例中,检测到的指令流40表示在指令流18中提取并被指令处理电路14检测到的一系列指令。在检测到的指令流40中,首先是INST\_REQ\_SYNC指令42。INST\_REQ\_SYNC指令42可以是指示关于计算机架构需要软件以明确地包括后续同步屏障的操作,以及关于计算机硬件也被允许以执行同步操作的操作的任何指令。在这个实例中,计算机硬件响应于INST\_REQ\_SYNC指令42而执行同步操作,从而导致同步事件44被指令处理电路14检测到。在一些实施例中,同步事件44可以是数据同步操作,而一些实施例可以提供的是,同步事件44是指令同步操作。

[0029] 如上所述,计算机架构需要INST\_REQ\_SYNC指令42后面跟随软件同步屏障。因此,指令处理电路14接下来在检测到的指令流40中检测到SYNC\_BARRIER\_INST指令46。SYNC\_BARRIER\_INST指令46是致使同步事件48发生的同步屏障指令。由SYNC\_BARRIER\_INST指令46触发的同步事件48与同步事件44是相同类型。如本文所使用的,同步事件的“类型”是指同步事件例如数据同步操作或指令同步操作的一般分类。如果同步事件确保用于读操作和写操作两者的屏障操作,则可以认为该同步事件是“全”同步事件,并且应用于内部和外部可高速缓冲存储的存储器系统以及可共享和非可共享的存储器两者。或者,可以将同步事件的范围进一步限制于其只确保比全同步事件狭窄的情况下的屏障操作。应当理解,如果同步事件属于相同的一般分类并且与在前的同步事件范围相同或在更窄范围,则可以认为所述同步事件与在前的同步事件类型相同。在这个实例中应注意,因为在同步事件44之后和同步事件48之前没有其它的指令执行,因此同步事件48和触发该同步事件48的SYNC\_BARRIER\_INST指令46是冗余的并且可以被指令处理电路14消除。所得经优化指令流50说明上述过程的一个示范性结果。所得经优化指令流50包括对应于INSTR\_REQ\_SYNC指令42的INSTR\_REQ\_SYNC指令52。和INST\_REQ\_SYNC指令42一样,INST\_REQ\_SYNC指令52是指示后面跟随软件同步屏障的操作并且也允许计算机硬件执行同步操作的指令。因此,在这个实例中,计算机硬件响应于INST\_REQ\_SYNC指令52而执行同步操作,产生同步事件54。在一些实施例中,同步事件54可以是数据同步操作,而一些实施例可以提供的是,同步事件54为指令同步操作。如图2所示,在所得经优化指令流50中,SYNC\_BARRIER\_INST指令46已经用NOP (无操作) 指令56代替。因此,没有冗余同步事件紧跟在同步事件54后,从而产生改善的CPU



性能和指令吞吐率。

[0030] 图3被提供以说明用于检测并消除冗余同步屏障的示范性过程,并且另外参考图1和2。在图3中,示范性过程开始于指令处理电路14检测第一同步事件,诸如图2的同步事件44(方框58)。在一些实施例中,第一同步事件44可以是数据同步操作,而一些实施例可以提供的是,第一同步事件是指令同步操作。第一同步事件可以通过执行指令产生,或者可通过不相关的操作诸如中断或异常返回引起。

[0031] 随后指令处理电路14检测指令流中的下一个指令(方框60)。指令处理电路14确定下一个指令是否包括类型对应于第一同步事件的同步屏障(方框62)。例如,指令处理电路14确定第一同步事件和下一个指令是否均被认为是数据同步操作,或两者是否均是指令同步操作。如果下一个指令不包括类型对应于第一同步事件的同步屏障,则在图3的方框64处继续处理指令流。如果下一个指令包括对应于第一同步事件的同步屏障,则指令处理电路14从指令流中消除下一个指令(方框66)。在一些实施例中,消除下一个指令可以包括用NOP指令代替下一个指令,而一些实施例可以提供的是,消除下一个指令包括从指令流移除下一个指令。随后在块64处继续处理指令流18。

[0032] 图4是示出用于消除冗余同步屏障的指令处理电路,诸如图1的指令处理电路14的更详细的示范性过程的流程图。在图4中示出的示范性过程开始于指令处理电路确定是否已检测到同步事件(方框68)。在一些实施例中,同步事件可以是数据同步操作,而一些实施例可以提供的是,同步事件是指令同步操作。如上所述,同步事件可以通过执行指令产生,或者可通过不相关的操作诸如中断或异常返回产生。因此,检测同步事件可以通过检测同步事件的效果诸如管线冲洗和/或通过比较检测到的指令和已知以触发同步事件的指令列表来进行。

[0033] 如果在方框68处检测到同步事件,则设定对应于同步事件(例如,数据同步或指令同步)的类型的同步旗标(方框70)。同步旗标指示是否在即将执行下一个指令之前发生同步事件。一些实施例可以提供的是,同步旗标指示数据同步事件的发生,而在一些实施例中,同步旗标对应于指令同步事件的发生。处理随后在图4的方框72处恢复。如果在方框68处未检测到同步事件,则处理返回到方框72。

[0034] 随后指令处理电路检测指令流诸如指令流18中的下一个指令(方框72)。指令处理电路确定同步事件例如图2的同步事件44是否由检测到的指令引起(方框74)。在一些实施例中,同步事件可以是数据同步操作,而一些实施例可以提供的是,同步事件是指令同步操作。

[0035] 如果指令处理电路在图4的方框74处确定检测到的指令未引起同步事件,则指令处理电路清除对应于同步事件(例如,数据同步或指令同步)的类型的同步旗标(如果该同步旗标已在先前设定(例如,在块70中))(方框75),并且继续处理检测到的指令(方框76)。随后指令处理电路返回到方框68。如果指令处理电路在方框74处确定同步事件是由检测到的指令引起,则指令处理电路接下来评估检测到的指令是否是冗余同步屏障。为此,指令处理电路检查对应于同步事件(例如,数据同步或指令同步)的类型的同步旗标是否被设定(方框78)。如果未设定同步旗标,那么在检测到的指令之前不立即发生合适类型和范围的同步事件,因此检测到的指令不是冗余同步屏障。因此,同步旗标经设定以指示同步事件是由检测到的指令引起(方框80),并且在方框76继续处理检测到的指令。之后,指令处理电路

返回到方框68。

[0036] 如果指令处理电路在图4的判定方框78处确定对应于同步事件的同步旗标被设定,则检测到的指令已被识别为冗余同步屏障。因此,指令处理电路从指令流消除检测到的指令(方框82)。在一些实施例中,指令处理电路可以通过用NOP指令诸如图2的NOP指令56代替检测到的指令来消除指令流中的检测到的指令,而一些实施例可以提供的是,检测到的指令被完全从指令流移除。应当理解,在一些实施例中,导致相同类型的同步事件的两个以上连续指令的发生是不太可能的。因此,在此类实施例中,在从指令流消除检测到的指令时,指令处理电路可以清除对应于同步事件的同步旗标(方框83)。在其中触发相同类型的同步事件的两个以上连续指令的发生是可能的实施例中,可以省略方框83的操作。

[0037] 应当理解,用于检测所述检测到的指令和同步事件的操作可以由例如图1的指令处理电路14的同步事件检测电路34完成。还应当理解,用于检测并消除冗余同步屏障的操作可以由例如图1的指令处理电路14的优化电路36完成。

[0038] 为说明包含触发同步事件和冗余同步屏障的指令的示范性指令流的优化,提供图5。在这个实例中,检测到的指令流84表示在指令流18中提取并被指令处理电路14检测到的一系列指令。在检测到的指令流84中,首先是ARM架构MCR(“从ARM寄存器移到协处理器”)指令86。MCR指令86是指示将值写入到转换表基址寄存器0(TTBR0)的操作的指令,在采用ARM架构的计算机中,转换表基址寄存器0(TTBR0)存储转换表的物理地址。因为跟随在MCR指令86后面的后续指令依赖TTBR0以将虚拟地址精确地映射到物理存储器地址,因此在后续指令执行前必须成功地完成MCR指令86的执行。因此,ARM架构需要MCR指令86后面跟随软件指令同步操作。但在一些实施例中,也可以允许计算机硬件在执行MCR指令86后执行指令同步操作。因此,在这个实例中,计算机硬件响应于MCR指令86的执行而自动启动同步操作,从而产生同步事件88。

[0039] 如上所述,ARM架构需要MCR指令86后面跟随软件指令同步操作。因此,接下来在检测到的指令流84中检测到ARM架构ISB(“指令同步屏障”)指令90。ISB指令90是致使同步事件92发生的同步屏障指令。由ISB指令90触发的同步事件92是与同步事件88类型相同的同步事件(即,具有相同或更窄范围的指令同步操作)。需要指出的是,因为在同步事件88之后和同步事件92之前没有其它的指令执行,因此同步事件92和触发该同步事件92的ISB指令90是冗余的并且可以被指令处理电路14消除。

[0040] 所得经优化指令流94说明一个示范性结果。所得经优化指令流94包括对应于MCR指令86的MCR指令96。响应于执行MCR指令96,计算机硬件完成指令同步操作,从而产生同步事件98。但在这个实例中,在所得经优化指令流94中,ISB指令90已被NOP指令100代替。因此,没有冗余同步事件紧跟在同步事件98后,从而产生改善的CPU性能和指令吞吐率。

[0041] 如上面相对于图4所述,可通过图1的指令处理电路14从指令流18消除冗余同步屏障。通过用指示无操作的NOP指令代替冗余同步屏障或通过从指令流18完全移除冗余同步屏障,指令处理电路14可以消除冗余同步屏障。因此,指令处理电路14可以将给定的检测到的指令流处理为不同的所得指令流。在这方面,图6示出包括冗余同步屏障的示范性的检测到的指令流102,以及对应的可以通过指令处理电路14生成的所得经优化指令流实例104(1)和104(2)。在这个实例中,检测到的指令流102包括两个ARM架构指令:指示将值写入到TTBR0的操作的MCR指令,后面跟随触发指令同步事件的ISB同步屏障指令。

[0042] 所得经优化指令流实例104说明示范性的指令序列,检测到的指令流102中的指令可通过图1的指令处理电路14处理成例示性的指令序列示范性。在一些实施例中,检测到的指令流102中的ISB指令可以用指示无操作(即,NOP)的指令代替。因此,示范性指令流104(1)包括后面跟随NOP指令的MCR指令。相反,本文所述的一些实施例提供的是,检测到的指令流102中的ISB指令将被从指令流18完全移除。因此,指令流104(2)只包括MCR指令。

[0043] 如上所述,在软件同步屏障之前的同步事件可产生于与指令执行无关的操作,诸如中断或异常返回。在这方面,图7示出包含冗余同步屏障的示范性指令流的优化。在这个实例中,检测到的指令流106表示在指令流18中提取并被图1的指令处理电路14检测到的一系列指令。当检测到的指令流106中的指令被处理时,响应于诸如中断或异常返回的操作,发生同步事件108。紧跟在同步事件108后面,在检测到的指令流106中检测到ARM架构ISB指令110。ISB指令110是致使同步事件112发生的同步屏障指令。由ISB指令110触发的同步事件112是与同步事件108类型相同的同步事件(即,具有相同或更窄范围的指令同步操作)。应注意,因为在同步事件108之后和同步事件112之前没有其它的指令执行,因此同步事件112和触发该同步事件112的ISB指令110是多余的并且可以被指令处理电路14消除。

[0044] 所得经优化指令流114说明一个示范性结果。当所得经优化指令流114被处理时,响应于诸如中断或异常返回的操作,而发生同步事件116。但在这个实例中,在所得经优化指令流114中,ISB指令110已经被NOP指令118代替。因此,没有冗余同步事件紧跟在同步事件116后,从而产生改善的CPU性能和指令吞吐率。

[0045] 根据本文揭示的实施例从指令处理电路中的执行管线消除冗余同步屏障以及相关的处理器系统、方法和计算机可读媒体可以在任何基于处理器的装置中提供或被集成到任何基于处理器的装置中。各实例包括但不限于机顶盒、娱乐单元、导航装置、通信装置、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、桌上型计算机、个人数字助理(PDA)、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光盘(DVD)播放器和便携式数字视频播放器。

[0046] 在这方面,图8示出基于处理器的系统120的实例,其可以采用图1的指令处理电路14。在这个实例中,基于处理器的系统120包括一或多个CPU 122,每个CPU包括一或多个处理器124。一或多个处理器124可以包括指令处理电路(IPC) 14。CPU 122可以具有耦合到处理器124以用于快速访问临时存储的数据的高速缓冲存储器126。CPU 122耦合到系统总线128并且可以与包含在基于处理器的系统120中的主装置和从装置相互耦合。众所周知,通过在系统总线128上交换地址、控制和数据信息,CPU 122与这些其它装置通信。例如,CPU 122可以向作为从装置实例的存储器控制器130传输总线交易请求。虽然未在图8中示出,但可以提供多个系统总线128。

[0047] 其它主装置和从装置可以连接到系统总线128。如图8所示,这些装置可以包括存储器系统132,作为实例,该存储器系统132包括耦合到多个DDR器件144(0)-144(N)的存储器控制器130,一或多个输入装置134、一或多个输出装置136、一或多个网络接口装置138和一或多个显示器控制器140。输入装置134可以包括任何类型的输入装置,其包括但不限于输入键、开关、声音处理器等。输出装置136可以包括任何类型的输出装置,其包括但不限于音频、视频、其它可视指示器等。网络接口装置138可以是经配置以允许向或从网络142交换

数据的任何装置。网络142可以是任何类型的网络,其包括但不限于有线或无线网络、私人或公共网络、局域网 (LAN)、广域网 (WLAN) 和互联网。网络接口装置138可以经配置以支持所需的任何类型的通信协议。存储器系统132可以包括一或多个存储器单元144 (0-N)。

[0048] CPU 122还可经配置以通过系统总线128访问显示器控制器140以控制被发送到一或多个显示器146的信息。显示器控制器140向显示器146发送信息以便经由一或多个视频处理器148显示,所述视频处理器148将要显示的信息处理为适用于显示器146的格式。显示器146可以包括任何类型的显示器,其包括但不限于阴极射线管 (CRT)、液晶显示器 (LCD)、等离子显示器等。

[0049] 本领域的技术人员应当进一步理解,结合本文揭示的实施例描述的各种说明性逻辑块、模块、电路和算法步骤可被实施为电子硬件、存储在存储器或另一种计算机可读媒体并且可由处理器或其它处理装置执行的指令或两者的组合。例如,本文所述的判优电路、主装置和从装置可以用在任何电路、硬件组件、集成电路 (IC) 或IC裸片中。本文揭示的存储器可以是任何类型和大小的存储器,并且可经配置以存储所需的任何类型信息。为清楚地说明这种可互换性,各种说明性组件、块、模块、电路和步骤已大体就其功能在上面进行了描述。此类功能如何实施取决于施加在整个系统上的特定应用、设计选择和/或设计约束。所属领域的技术人员可针对每一特定应用以不同方式实施所描述的功能,但所述实施决策不应被解释为导致偏离本发明的范围。

[0050] 结合本文揭示的实施例描述的各种说明性逻辑块、模块和电路可以用处理器、DSP、专用集成电路 (ASIC)、FPGA或其它可编程逻辑器件、分立门或晶体管逻辑、分立硬件组件或经设计以执行本文描述功能的所述器件的任何组合来实现。处理器可以是微处理器,但是在替代方案中,处理器可以是任何常规的处理器、控制器、微控制器或状态机。处理器还可以实施为计算装置的组合,例如DSP与微处理器的组合、多个微处理器的组合、一或多个微处理器与DSP核心的一或多个联合,或任何其它此配置。

[0051] 本文揭示的实施例可以在硬件和存储在硬件中的指令中具体实施,并且可以驻留在例如随机存取存储器 (RAM)、闪存、只读存储器 (ROM)、电可编程ROM (EPROM)、电可擦除可编程ROM (EEPROM)、寄存器、硬盘、可移动盘、CD-ROM或本领域已知的任何其它形式的计算机可读媒体。示范性存储媒体耦合到处理器,使得该处理器可以从存储媒体读取信息并向该存储媒体写入信息。在替代方案中,存储媒体可与处理器成一体式。处理器和存储媒体可以驻留在ASIC中。ASIC可以驻留在远程站中。在替代方案中,处理器和存储媒体可以作为分立的组件驻留在远程站、基站或服务器中。

[0052] 还需要注意,在本文的任一示范性实施例中描述的操作步骤是为了提供实例和论述而描述。示范性所描述的操作可以不同于所说明序列的大量不同序列执行。另外,单个操作步骤中所描述的操作实际上可以许多不同的步骤执行。另外,示范性实施例中所论述的一或多个操作步骤可进行组合。应当理解,在流程图中示出的操作步骤可以进行许多不同的更改,这对于本领域中的技术人员来说是显而易见的。本领域中的技术人员还应当理解,信息和信号可使用各种不同技术和方法中的任一种来表示。举例来说,可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在以上描述中始终参考的数据、指令、命令、信息、信号、位、符号及裸片。

[0053] 本发明的先前描述经提供以使所属领域的技术人员能够制造或使用本发明。所属

领域的技术人员将容易了解对本发明的各种修改,且本文中界定的一般原理可应用于其它变化而不背离本发明的精神或范围。因此,不希望本发明限于本文中描述的实例和设计,而是赋予其与本文中揭示的原理和新颖特征相一致的最广范围。

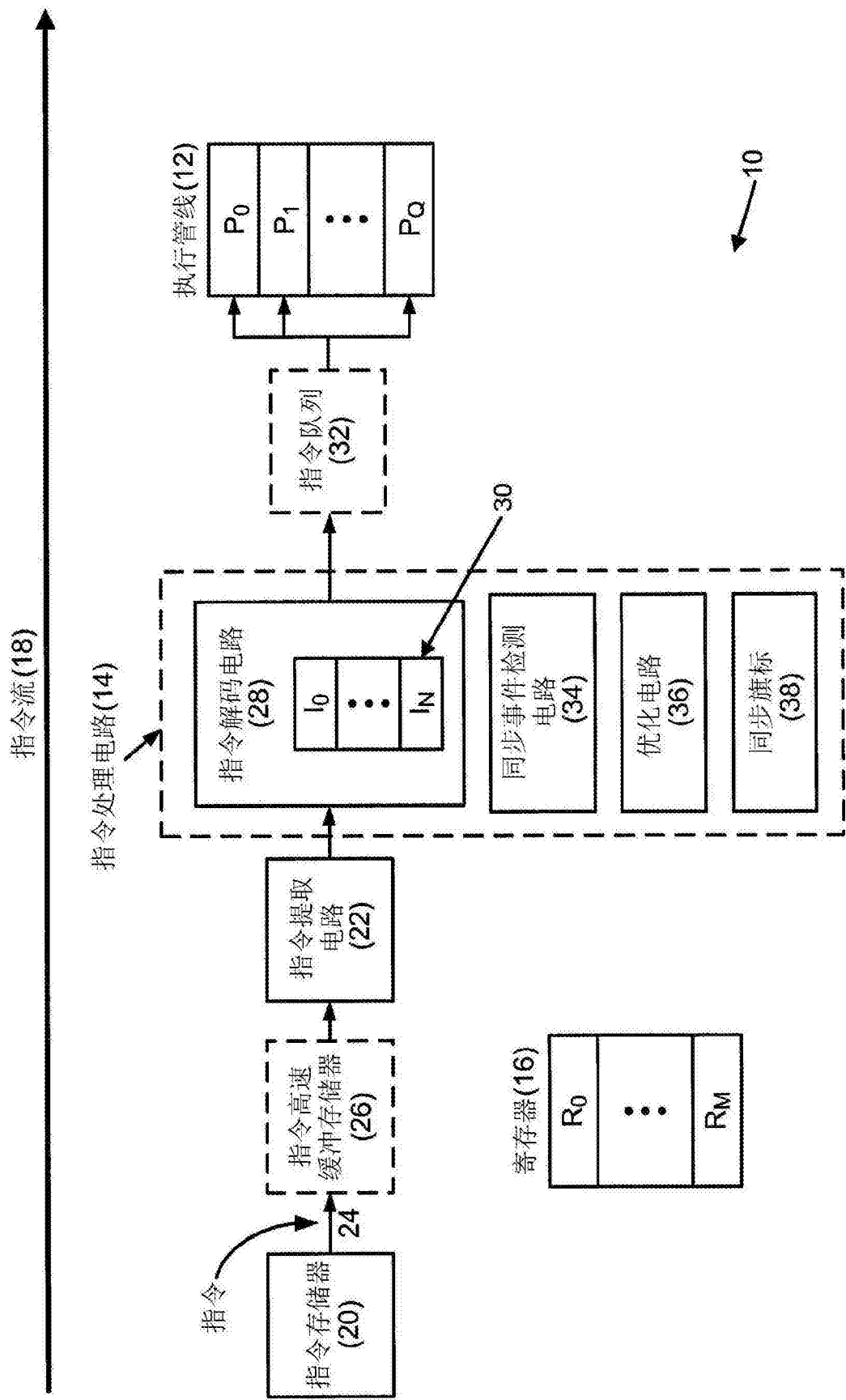


图1

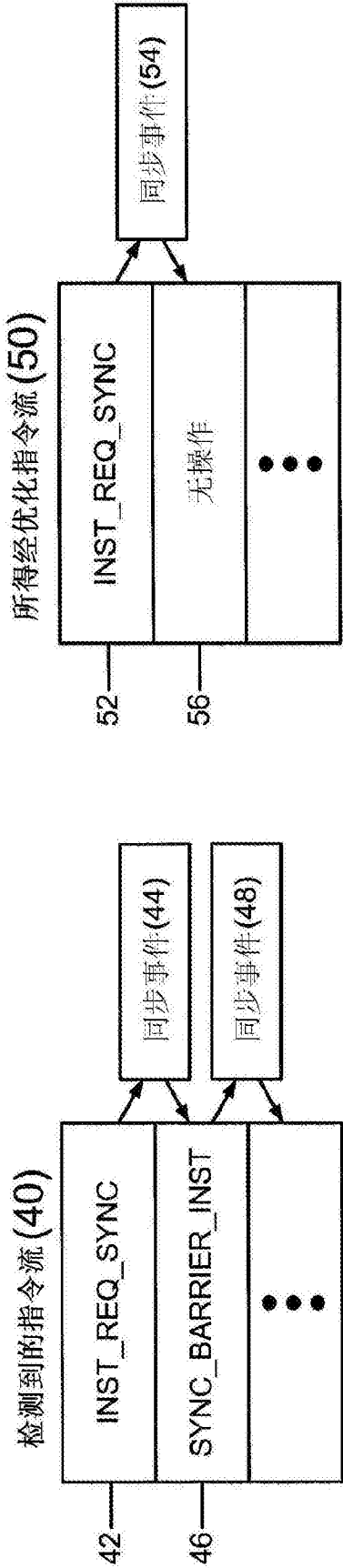


图2

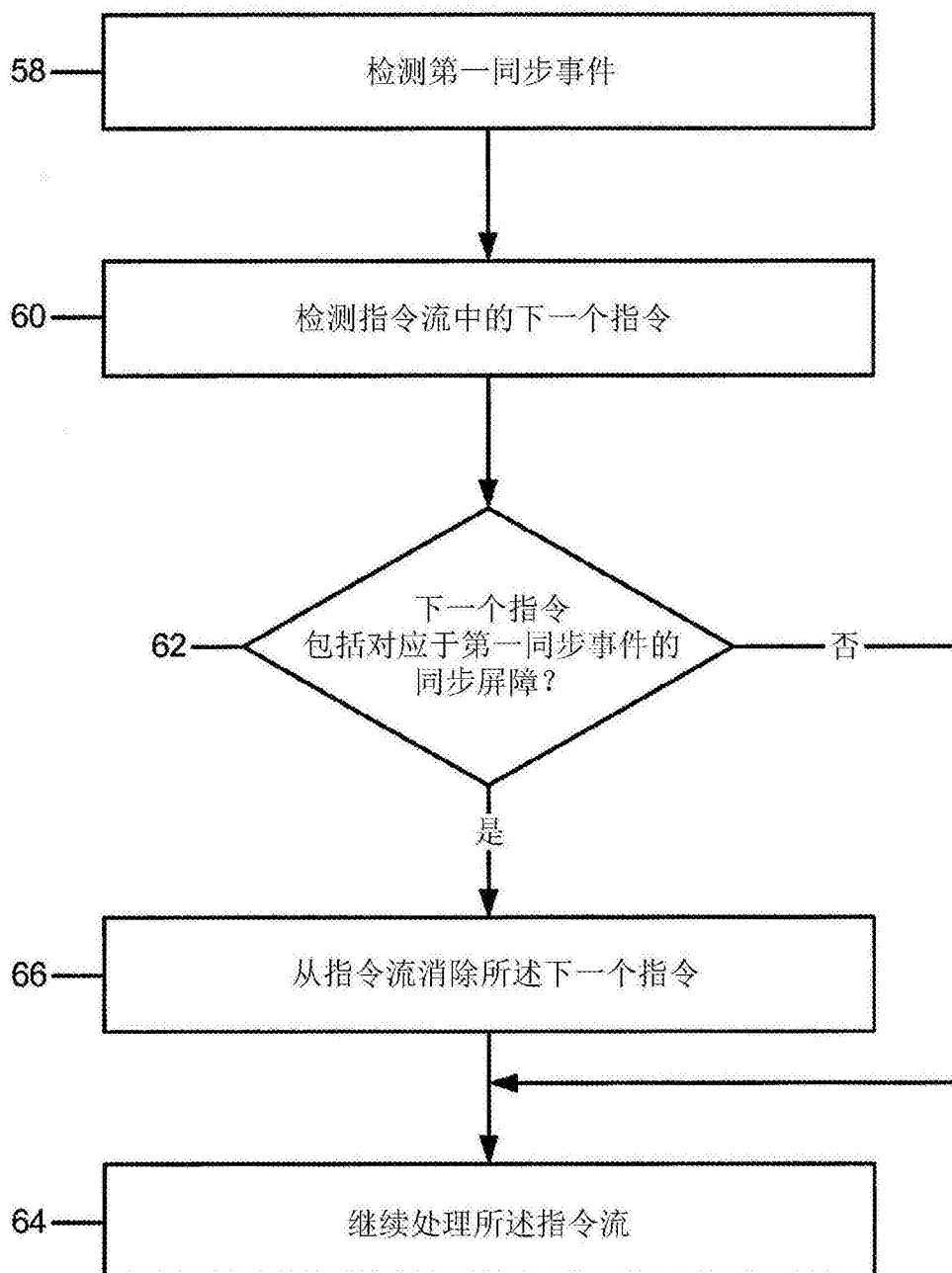


图3



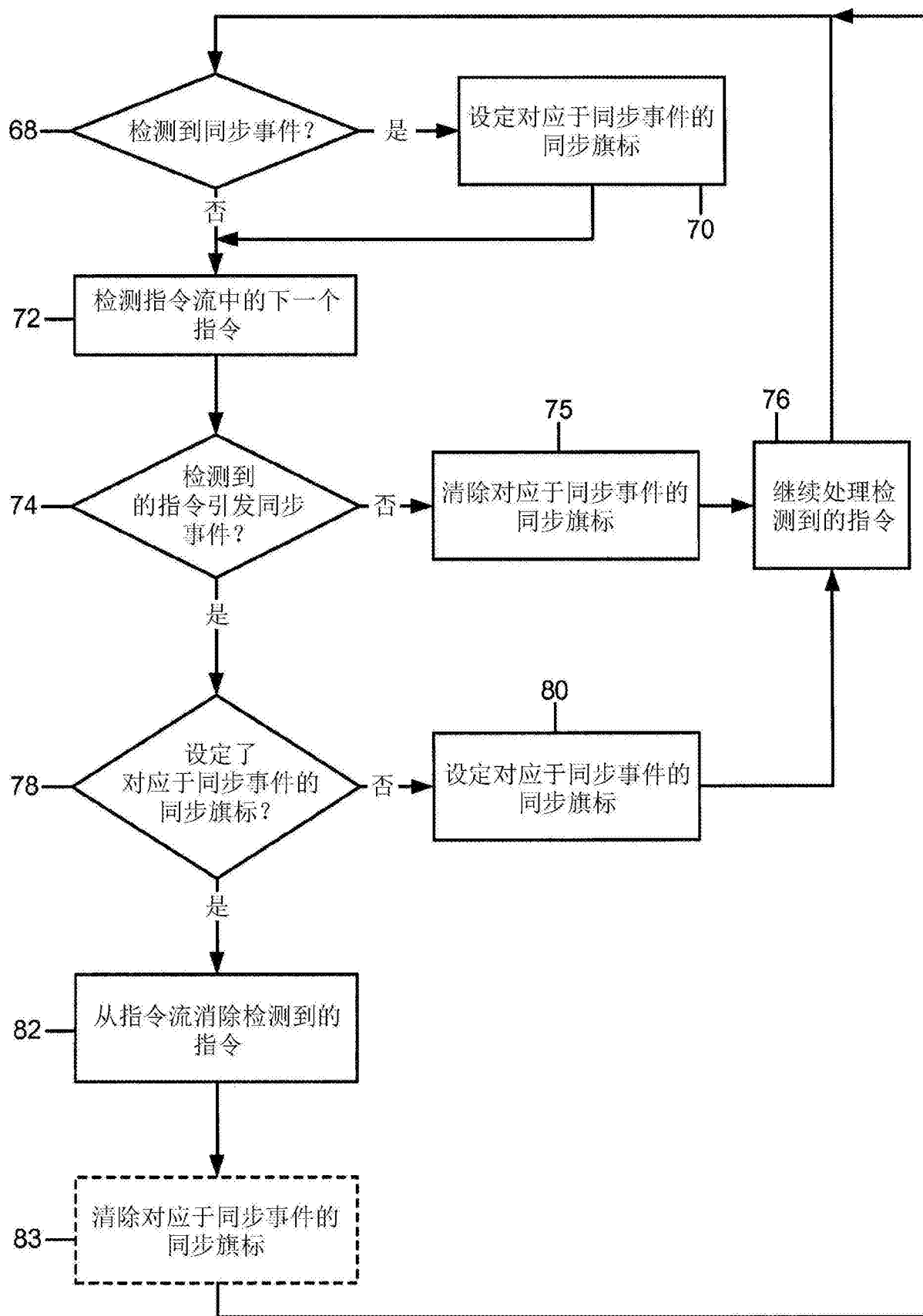


图4

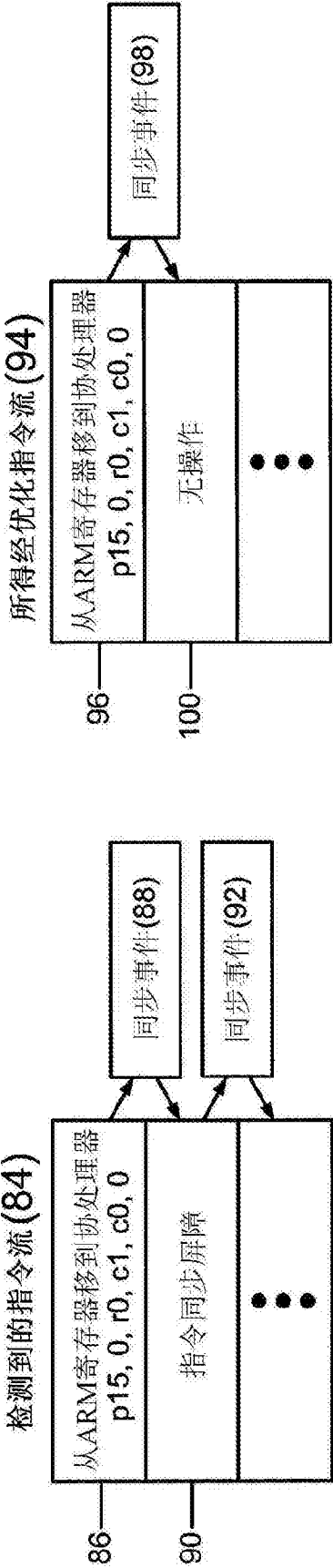


图5

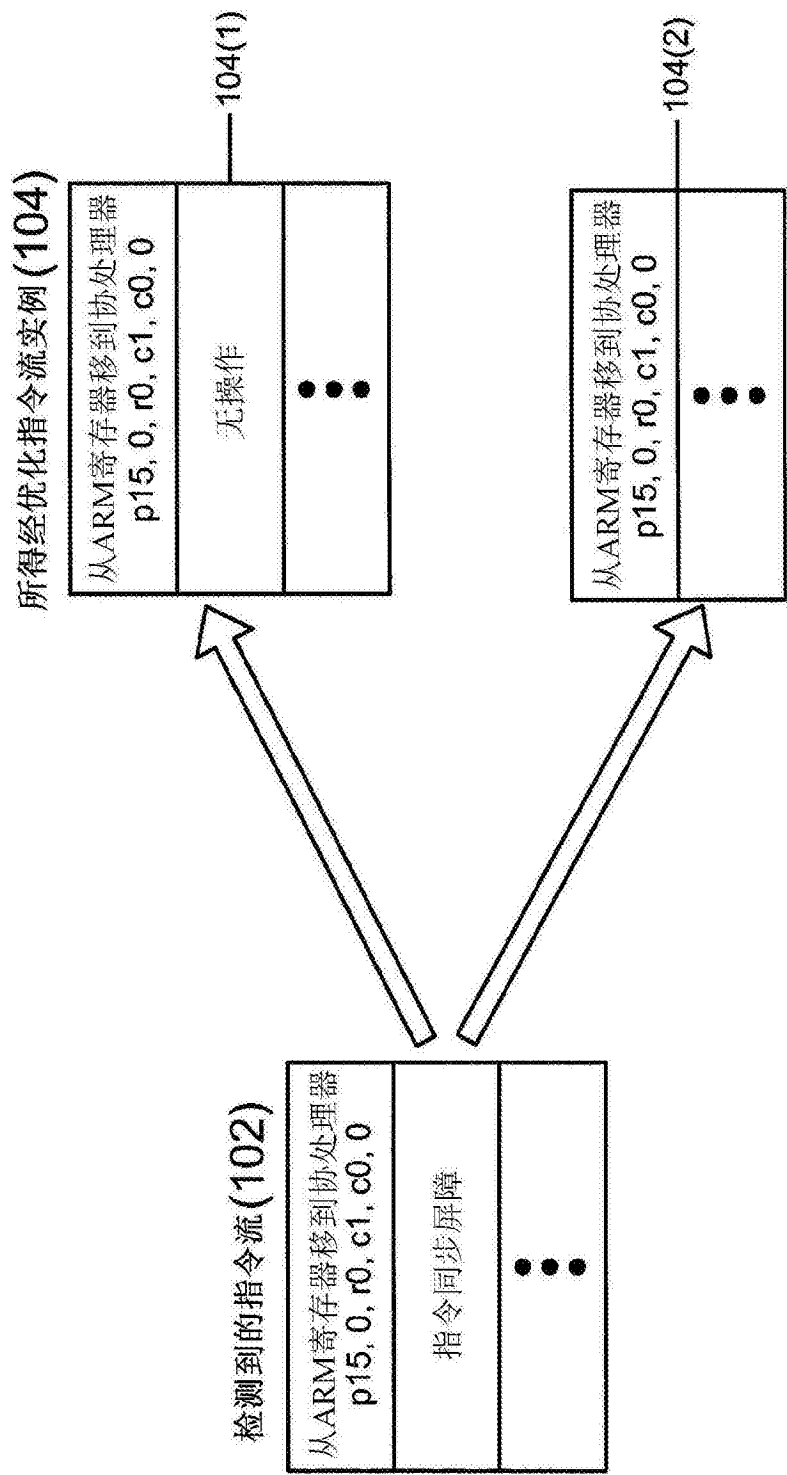


图6

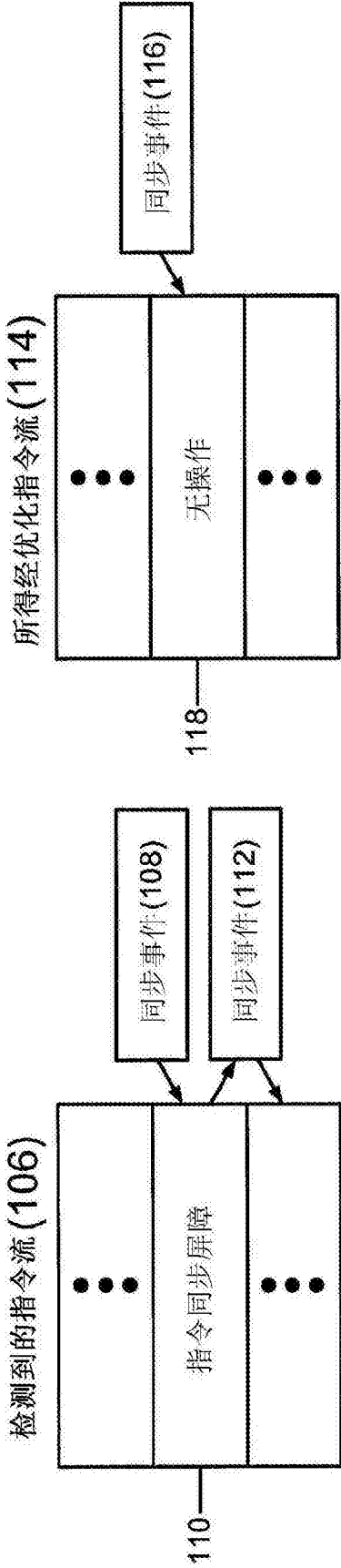


图7

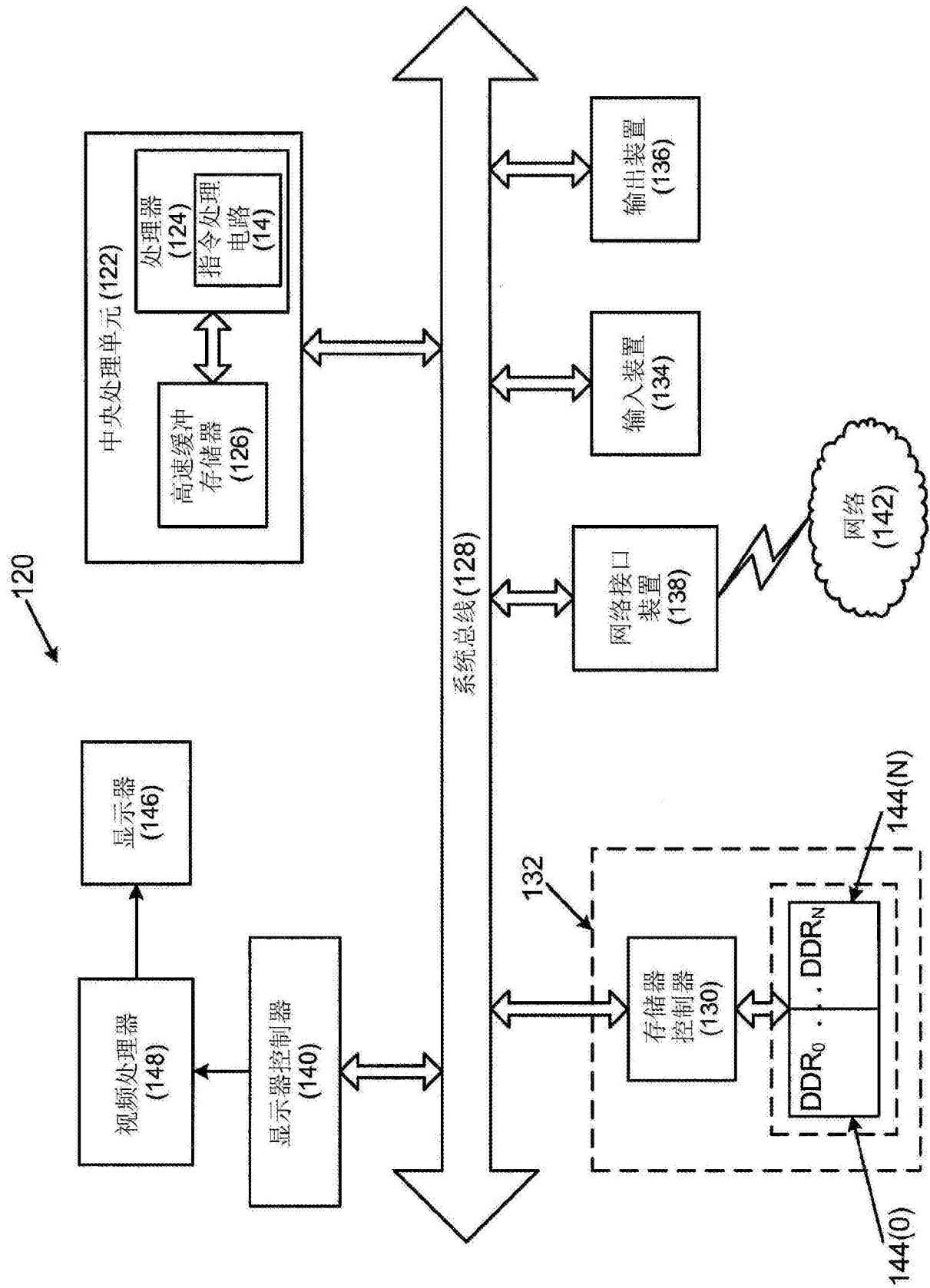


图8