

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成30年10月11日 (2018.10.11)

【公開番号】特開2018-50129(P2018-50129A)

【公開日】平成30年3月29日 (2018.3.29)

【年通号数】公開・登録公報2018-012

【出願番号】特願2016-183338(P2016-183338)

【国際特許分類】

H 0 3 F 1/14 (2006.01)

H 0 4 B 1/18 (2006.01)

H 0 3 F 3/189 (2006.01)

H 0 3 F 1/22 (2006.01)

H 0 3 K 17/693 (2006.01)

H 0 4 B 1/3827 (2015.01)

【F I】

H 0 3 F 1/14

H 0 4 B 1/18 J

H 0 3 F 3/189

H 0 3 F 1/22

H 0 3 K 17/693 A

H 0 4 B 1/3827 1 1 0

【手続補正書】

【提出日】平成30年8月29日 (2018.8.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

受信信号を増幅して第 1 出力部へ出力する第 1 増幅部と、

複数の入力部と前記第 1 増幅部との間に設けられ、前記複数の入力部のいずれかを前記第 1 増幅部へ接続する第 1 スイッチ部と、

前記複数の入力部と前記第 1 出力部との間に設けられ、前記複数の入力部のいずれかを前記第 1 出力部へ接続する第 2 スイッチ部と、

前記第 1 スイッチ部と前記第 1 増幅部との間または前記入力部と前記第 1 スイッチ部との間に設けられたインピーダンス整合部と、

前記第 1 および第 2 スイッチ部を制御する制御部とを備えた受信回路。

【請求項 2】

前記第 1 スイッチ部は、直列に接続された複数の F E T を含む第 1 スルー素子群と、直列に接続された複数の F E T を含む第 2 スルー素子群とを備え、

前記第 1 スルー素子群は、前記複数の入力部のうち第 1 入力部と前記第 1 増幅部との間に設けられており、

前記第 2 スルー素子群は、前記複数の入力部のうち第 2 入力部と前記第 1 増幅部との間に設けられており、

前記第 2 スイッチ部は、直列に接続された複数の F E T を含む第 3 スルー素子群と、直列に接続された複数の F E T を含む第 4 スルー素子群とを備え、

前記第 3 スルー素子群は、前記第 1 入力部と前記第 1 出力部との間に設けられており、

前記第 4 スルー素子群は、前記第 2 入力部と前記第 1 出力部との間に設けられている、請求項 1 に記載の受信回路。

【請求項 3】

前記第 1 スイッチ部に接続される前記入力部の個数を n_1 ($n_1 \geq 2$) とし、とし、前記第 1 および第 2 スルー素子群に含まれる FET のゲート幅を W_{g1} とし、前記第 3 および第 4 スルー素子群に含まれる FET のゲート幅を W_{g2} とし、前記第 1 および第 2 スルー素子群のそれぞれに含まれる FET 数を p_1 とし、前記第 3 および第 4 スルー素子群のそれぞれに含まれる FET 数を p_2 とした場合、

$$(W_{g2} / p_2) / (W_{g1} / p_1) \leq (n_1 - 1)$$

を満たす、請求項 2 に記載の受信回路。

【請求項 4】

前記第 1 および第 2 スルー素子群のそれぞれに含まれる FET 数を p_1 とし、前記第 3 および第 4 スルー素子群のそれぞれに含まれる FET 数を p_2 とした場合、

$$p_2 \geq p_1$$

を満たす、請求項 2 または請求項 3 に記載の受信回路。

【請求項 5】

前記受信信号を増幅して前記第 1 出力部から出力する第 1 モードにおいて、前記第 1 スイッチ部は前記複数の入力部のいずれかを前記第 1 増幅部へ接続し、前記第 2 スイッチ部は前記複数の入力部と前記第 1 出力部との間を遮断し、

前記受信信号を増幅せずに前記第 1 出力部から出力する第 2 モードにおいて、前記第 2 スイッチ部は前記複数の入力部のいずれかを前記第 1 出力部へ接続し、前記第 1 スイッチ部は前記複数の入力部と前記第 1 増幅部との間を遮断する、請求項 1 から請求項 4 のいずれか一項に記載の受信回路。

【請求項 6】

前記増幅部と前記第 1 出力部との間に設けられた第 3 スイッチ部をさらに備え、

前記第 3 スイッチ部は、前記第 1 モードにおいて前記第 1 増幅部と前記第 1 出力部とを接続し、前記第 2 モードにおいて前記第 1 増幅部と前記第 1 出力部とを遮断する、請求項 5 に記載の受信回路。

【請求項 7】

前記第 1 スイッチ部は、前記第 1 スルー素子群の一端のノードまたは前記第 1 スルー素子群の前記複数の FET 間のいずれかの第 1 ノードと基準電圧源との間に直列に接続された複数の FET を含む第 1 シャント素子群と、前記第 2 スルー素子群の一端のノードまたは前記第 2 スルー素子群の前記複数の FET 間のいずれかの第 2 ノードと前記基準電圧源との間に直列に接続された複数の FET を含む第 2 シャント素子群とをさらに備え、

前記第 2 スイッチ部は、前記第 3 スルー素子群の一端のノードまたは前記第 3 スルー素子群の前記複数の FET 間のいずれかの第 3 ノードと前記基準電圧源との間に直列に接続された複数の FET を含む第 3 シャント素子群と、前記第 4 スルー素子群の一端のノードまたは前記第 4 スルー素子群の前記複数の FET 間のいずれかの第 4 ノードと前記基準電圧源との間に直列に接続された複数の FET を含む第 4 シャント素子群とをさらに備えている、請求項 2 から請求項 6 のいずれか一項に記載の受信回路。

【請求項 8】

前記第 1 増幅部、前記第 1 スイッチ部および前記第 2 スイッチ部は、同一 S O I 基板上に設けられている、請求項 1 から請求項 7 のいずれか一項に記載の受信回路。

【請求項 9】

請求項 1 から請求項 8 のいずれかに一項記載された受信回路を備えた無線通信モジュール。