

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年10月11日(2018.10.11)

【公開番号】特開2018-50129(P2018-50129A)

【公開日】平成30年3月29日(2018.3.29)

【年通号数】公開・登録公報2018-012

【出願番号】特願2016-183338(P2016-183338)

【国際特許分類】

| | | |
|--------|--------|-----------|
| H 03 F | 1/14 | (2006.01) |
| H 04 B | 1/18 | (2006.01) |
| H 03 F | 3/189 | (2006.01) |
| H 03 F | 1/22 | (2006.01) |
| H 03 K | 17/693 | (2006.01) |
| H 04 B | 1/3827 | (2015.01) |

【F I】

| | | |
|--------|--------|-------|
| H 03 F | 1/14 | |
| H 04 B | 1/18 | J |
| H 03 F | 3/189 | |
| H 03 F | 1/22 | |
| H 03 K | 17/693 | A |
| H 04 B | 1/3827 | 1 1 0 |

【手続補正書】

【提出日】平成30年8月29日(2018.8.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

受信信号を増幅して第1出力部へ出力する第1増幅部と、

複数の入力部と前記第1増幅部との間に設けられ、前記複数の入力部のいずれかを前記第1増幅部へ接続する第1スイッチ部と、

前記複数の入力部と前記第1出力部との間に設けられ、前記複数の入力部のいずれかを前記第1出力部へ接続する第2スイッチ部と、

前記第1スイッチ部と前記第1増幅部との間または前記入力部と前記第1スイッチ部との間に設けられたインピーダンス整合部と、

前記第1および第2スイッチ部を制御する制御部とを備えた受信回路。

【請求項2】

前記第1スイッチ部は、直列に接続された複数のFETを含む第1スルーアクティブ素子群と、直列に接続された複数のFETを含む第2スルーアクティブ素子群とを備え、

前記第1スルーアクティブ素子群は、前記複数の入力部のうち第1入力部と前記第1増幅部との間に設けられており、

前記第2スルーアクティブ素子群は、前記複数の入力部のうち第2入力部と前記第1増幅部との間に設けられており、

前記第2スイッチ部は、直列に接続された複数のFETを含む第3スルーアクティブ素子群と、直列に接続された複数のFETを含む第4スルーアクティブ素子群とを備え、

前記第3スルーアクティブ素子群は、前記第1入力部と前記第1出力部との間に設けられており、

前記第4スルーアクセス群は、前記第2入力部と前記第1出力部との間に設けられている、請求項1に記載の受信回路。

【請求項3】

前記第1スイッチ部に接続される前記入力部の個数をn₁(n₁-2)とし、とし、前記第1および第2スルーアクセス群に含まれるFETのゲート幅をWg₁とし、前記第3および第4スルーアクセス群に含まれるFETのゲート幅をWg₂とし、前記第1および第2スルーアクセス群のそれぞれに含まれるFET数をp₁とし、前記第3および第4スルーアクセス群のそれぞれに含まれるFET数をp₂とした場合、

$$(Wg_2 / p_2) / (Wg_1 / p_1) \quad (n_1 - 1)$$

を満たす、請求項2に記載の受信回路。

【請求項4】

前記第1および第2スルーアクセス群のそれぞれに含まれるFET数をp₁とし、前記第3および第4スルーアクセス群のそれぞれに含まれるFET数をp₂とした場合、

$$p_2 \quad p_1$$

を満たす、請求項2または請求項3に記載の受信回路。

【請求項5】

前記受信信号を増幅して前記第1出力部から出力する第1モードにおいて、前記第1スイッチ部は前記複数の入力部のいずれかを前記第1増幅部へ接続し、前記第2スイッチ部は前記複数の入力部と前記第1出力部との間を遮断し、

前記受信信号を増幅せずに前記第1出力部から出力する第2モードにおいて、前記第2スイッチ部は前記複数の入力部のいずれかを前記第1出力部へ接続し、前記第1スイッチ部は前記複数の入力部と前記第1増幅部との間を遮断する、請求項1から請求項4のいずれか一項に記載の受信回路。

【請求項6】

前記増幅部と前記第1出力部との間に設けられた第3スイッチ部をさらに備え、

前記第3スイッチ部は、前記第1モードにおいて前記第1増幅部と前記第1出力部とを接続し、前記第2モードにおいて前記第1増幅部と前記第1出力部とを遮断する、請求項5に記載の受信回路。

【請求項7】

前記第1スイッチ部は、前記第1スルーアクセス群の一端のノードまたは前記第1スルーアクセス群の前記複数のFET間のいずれかの第1ノードと基準電圧源との間に直列に接続された複数のFETを含む第1シャントアクセス群と、前記第2スルーアクセス群の一端のノードまたは前記第2スルーアクセス群の前記複数のFET間のいずれかの第2ノードと前記基準電圧源との間に直列に接続された複数のFETを含む第2シャントアクセス群とをさらに備え、

前記第2スイッチ部は、前記第3スルーアクセス群の一端のノードまたは前記第3スルーアクセス群の前記複数のFET間のいずれかの第3ノードと前記基準電圧源との間に直列に接続された複数のFETを含む第3シャントアクセス群と、前記第4スルーアクセス群の一端のノードまたは前記第4スルーアクセス群の前記複数のFET間のいずれかの第4ノードと前記基準電圧源との間に直列に接続された複数のFETを含む第4シャントアクセス群とをさらに備えている、請求項2から請求項6のいずれか一項に記載の受信回路。

【請求項8】

前記第1増幅部、前記第1スイッチ部および前記第2スイッチ部は、同一SOI基板上に設けられている、請求項1から請求項7のいずれか一項に記載の受信回路。

【請求項9】

請求項1から請求項8のいずれかに一項記載された受信回路を備えた無線通信モジュール。