

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 9 月 3 日(03.09.2015)



(10) 国際公開番号

WO 2015/129717 A1

- (51) 国際特許分類:
H03K 17/12 (2006.01) H03K 17/10 (2006.01)
H02M 1/08 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2015/055324
- (22) 国際出願日: 2015 年 2 月 25 日(25.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-038129 2014 年 2 月 28 日(28.02.2014) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP). 株式会社京都ニュートロニクス
(KYOTO NEUTRONICS, CO., LTD.) [JP/JP]; 〒
6008443 京都府京都市下京区新町通綾小路下
船鉾町 3 7 9 番地トランスベックビル Kyoto
(JP).
- (72) 発明者: 大嶽 浩隆(OTAKE, Hirotaka); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地 ロ
ーム株式会社内 Kyoto (JP). 柳 達也(YANAGI, Tat-
suya); 〒6158585 京都府京都市右京区西院溝崎町
2 1 番地 ローム株式会社内 Kyoto (JP). 古久保
雄二(KOKUBO, Yuji); 〒6008443 京都府京都市下

京区新町通綾小路下船鉾町 3 7 9 番地トラン
スベックビル 株式会社京都ニュートロニクス
内 Kyoto (JP). 平井 敦彦(HIRAI, Atsuhiko); 〒
6008443 京都府京都市下京区新町通綾小路下
船鉾町 3 7 9 番地トランスベックビル 株式会
社京都ニュートロニクス内 Kyoto (JP).

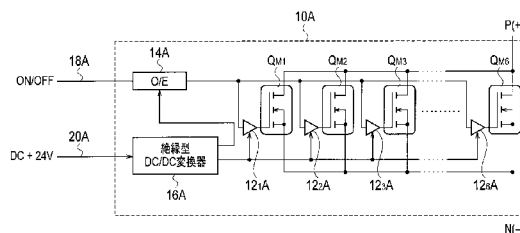
- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et
al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号
虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: FET PARALLEL CIRCUIT CELL AND ARTIFICIAL HIGH-VOLTAGE FET MODULE

(54) 発明の名称: FET 並列回路セルおよび疑似高電圧 FET モジュール

[図1]



16A Insulated DC/DC converter

(57) Abstract: FET parallel circuit cells (10₁-10₈) are provided with a plurality of SiC-MISFETs coupled in parallel, a plurality of gate drive circuits coupled to each of the gates of the plurality of SiC-MISFETs, an OE converter for feeding gate drive signals to the gate drive circuits, and an insulated DC/DC converter for feeding electrical power to the gate drive circuits and the OE converter, and an artificial high-voltage FET module (1) is provided with switching circuits (4) that couple in series the plurality of FET parallel circuit cells (10₁-10₈), EO converters (22₁-22₈) coupled to the plurality of FET parallel circuit cells via optic fiber cables (18₁-18₈), and pulse delay circuits (24₁-24₈) that are coupled to the EO converters and are able to carry out on-off control of the plurality of FET parallel circuit cells at substantially the same time. The present invention provides SiC-MISFET parallel circuit cells and an artificial high-voltage FET module that is able to switch high currents at MHz-level frequencies.

(57) 要約:

[続葉有]

WO 2015/129717 A1



ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, 添付公開書類:

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

FET 並列回路セル (10₁ ~ 10₈) は、並列接続された複数の SiC-MISFET と、複数の SiC-MISFET のゲートにそれぞれ接続された複数のゲートドライブ回路と、ゲートドライブ回路にゲート駆動信号を供給する OE 変換器と、ゲートドライブ回路と OE 変換器に電源を供給する絶縁型 DC/DC 変換器とを備え、疑似高電圧 FET モジュール (1) は、複数の FET 並列回路セル (10₁ ~ 10₈) を直列接続したスイッチング回路 (4) と、複数の FET 並列回路セルに光ファイバーケーブル (18₁ ~ 18₈) を介して接続される EO 変換器 (22₁ ~ 22₈) と、EO 変換器に接続され、複数の FET 並列回路セルを実質的に同時にオン/オフ制御可能なパルスディレー回路 (24₁ ~ 24₈) とを備える。SiC-MISFET 並列回路セルおよび大電流を MHz 級の周波数でスイッチング可能な疑似高電圧 FET モジュールを提供する。

明 細 書

発明の名称：

F E T 並列回路セルおよび疑似高電圧 F E T モジュール

技術分野

[0001] 本発明は、F E T 並列回路セルおよび疑似高電圧 F E T モジュールに関し、特に、高電圧パルススイッチング電源に適用可能な F E T 並列回路セルおよび疑似高電圧 F E T モジュールに関する。

背景技術

[0002] 現在多くの研究機関において、シリコンカーバイド（S i C : Silicon Carbide）デバイスの研究開発が行われている。S i C パワーデバイスの特徴として、従来の S i パワーデバイスよりも優れた低オン抵抗、高速スイッチングおよび高温動作などを挙げることができる（例えば、特許文献 1 および特許文献 2、3 参照。）。

[0003] S i C は、絶縁破壊電界が S i と比較して非常に大きい。したがって、耐圧を持たせるためのドリフト層膜厚を相対的に薄く形成し、また、キャリア濃度を相対的に濃く形成しても破壊しない。

[0004] そのため、従来のシリコン金属絶縁物半導体電界効果トランジスタ（S i -M I S F E T : Metal Insulator Semiconductor Field Effect Transistor）と比較して、S i C -M I S F E T では、非常に小さいオン抵抗を実現できる。

[0005] 一方、高繰り返し運転を行う高電圧パルス発生電源には半導体スイッチ素子が使われるが、耐圧を確保しつつ、大電流を流すためには、直列、並列接続させた回路を構成して使用する（例えば、非特許文献 1 参照。）。

先行技術文献

特許文献

[0006] 特許文献 1：特開 2 0 0 5 - 1 8 3 4 6 3 号公報

特許文献 2：特開 2 0 0 7 - 3 0 5 9 6 2 号公報

特許文献3：特開平 10-308510号公報

非特許文献

- [0007] 非特許文献1：八井 浄、江 偉華著、“電気学会大学講座 パルス電磁エネルギー工学”、第3章、3.6 高繰返し高電圧パルスパワー発生装置、pp.52-57、2002年3月15日（電気学会）

発明の概要

発明が解決しようとする課題

- [0008] 従来の600V以上のSi-MISFETをスイッチ素子として使用するパルス電源は高速応答、繰返し周波数の高周波化に適しているが、オン抵抗が高く大電流が流せない。一方、絶縁ゲートバイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）は立ち上がり時間は速いためパルス電源に用いることができるが、立ち下がり時間が遅いため繰返し周波数は高くできない。
- [0009] したがって、オン抵抗が小さく耐圧の高いMISFETの導入ができれば高周波・大電流スイッチができるようになり、加速器、半導体リソグラフィ用EUV（Extreme Ultraviolet）光源などの高出力化が可能になったり、直列・並列接続させる素子数を低減できると考えられる。
- [0010] しかし、オン抵抗の低いSiC-MISFETを導入しようとした場合、1素子当たり数10Aから数100A以上の大電流が瞬間的に流れるようになるため、特に直列接続されたスイッチ素子群間のタイミングを合わせることが課題となる。
- [0011] Si-MISFETではオン抵抗が高いため回路パターンの調整以上の特段のタイミング合わせは行っていないが、このような従来の制御方法では、タイミングがずれた場合に直列接続されたスイッチ素子群の中で分圧のバランスが崩れることで局所的に高電圧が印加され、スイッチ素子が破壊する危険があった。
- [0012] 本発明の目的は、SiC-MISFET並列回路セルおよびこのFET並列回路セルを複数段直列化した、大電流をMHz級の周波数でスイッチング

可能な疑似高電圧 F E T モジュールを提供することにある。

課題を解決するための手段

- [0013] 上記目的を達成するための本発明の一態様によれば、並列接続された複数の S i C - M I S F E T と、複数の前記 S i C - M I S F E T のゲートにそれぞれ接続された複数のゲートドライブ回路と、複数の前記ゲートドライブ回路にゲート駆動信号を供給する O E 変換器と、複数の前記ゲートドライブ回路と前記 O E 変換器に電源を供給する絶縁型 D C / D C 変換器とを備える F E T 並列回路セルが提供される。
- [0014] 本発明の他の態様によれば、上記の F E T 並列回路セルを複数段直列接続したスイッチング回路と、前記スイッチング回路を構成する複数の F E T 並列回路セルにそれぞれ接続され、複数の F E T 並列回路セルを実質的に同時にオン／オフ制御可能なパルスディレー回路とを備える疑似高電圧 F E T モジュールが提供される。
- [0015] 本発明の他の態様によれば、並列接続された複数の S i C - M I S F E T A C 負荷回路と、複数の前記 S i C - M I S F E T A C 負荷回路のゲートにそれぞれ接続された複数のゲートドライブ回路と、複数の前記ゲートドライブ回路にゲート駆動信号を供給する O E 変換器と、複数の前記ゲートドライブ回路と前記 O E 変換器に電源を供給する絶縁型 D C / D C 変換器とを備える M I S 型リレー回路セルが提供される。
- [0016] 本発明の他の態様によれば、上記の M I S 型リレー回路セルを複数段直列接続したスイッチング回路と、前記スイッチング回路を構成する複数の前記 M I S 型リレー回路セルにそれぞれ接続され、複数の前記 M I S 型リレー回路セルを実質的に同時にオン／オフ制御可能なパルスディレー回路とを備える疑似高電圧 F E T モジュールが提供される。

発明の効果

- [0017] 本発明によれば、S i C - M I S F E T 並列回路セルおよびこの F E T 並列回路セルを複数段直列化した、大電流を M H z 級の周波数でスイッチング可能な疑似高電圧 F E T モジュールを提供することができる。

図面の簡単な説明

- [0018] [図1]基本技術に係るF E T並列回路セルの模式的回路構成図。
- [図2]基本技術に係る疑似高電圧F E Tモジュールの模式的回路ブロック構成図。
- [図3]第1の実施の形態に係るF E T並列回路セルの模式的回路構成図。
- [図4]第1の実施の形態に係る疑似高電圧F E Tモジュールの模式的回路ブロック構成図。
- [図5]第2の実施の形態に係るF E T並列回路セルの模式的回路構成図。
- [図6]トランス絶縁型D C / D C変換器を適用した第3の実施の形態に係るF E T並列回路セルの模式的ブロック構成図。
- [図7]ワイヤレス給電型D C / D C変換器を適用した第3の実施の形態に係るF E T並列回路セルの模式的ブロック構成図。
- [図8]ワイヤレス給電型D C / D C変換器を適用した第3の実施の形態の変形例に係るF E T並列回路セルの模式的ブロック構成図。
- [図9]第4の実施の形態に係るM I S型リレー回路セルの模式的回路構成図。
- [図10] (a) 第4の実施の形態に係るM I S型リレー回路セルのF E T A C負荷回路の回路構成例、(b) 別の回路構成例。
- [図11]第4の実施の形態に係る疑似高電圧F E Tモジュールの模式的回路ブロック構成図。
- [図12]実施の形態に係る疑似高電圧F E Tモジュールに適用可能な半導体デバイスの例であって、S i C D I M I S F E Tの模式的断面構造図。
- [図13]実施の形態に係る疑似高電圧F E Tモジュールに適用可能な半導体デバイスの例であって、S i C T M I S F E Tの模式的断面構造図。

発明を実施するための形態

- [0019] 次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚

みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0020] また、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0021] [基本技術]

基本技術に係るFET並列回路セル10Aは、図1に示すように、並列接続された複数のSi-MISFET Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} と、複数のSi-MISFET Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} のゲートにそれぞれ接続された複数のゲートドライブ回路12₁A、12₂A、12₃A、 $\dots$ 、12₆Aと、複数のゲートドライブ回路12₁A、12₂A、12₃A、 $\dots$ 、12₆Aにゲート駆動信号を供給するOE変換器14Aと、複数のゲートドライブ回路12₁A、12₂A、12₃A、 $\dots$ 、12₆AとOE変換器14Aに電源を供給する絶縁型DC/DC変換器16Aとを備える。OE変換器14Aには、光ファイバーケーブル18Aを介してON/OFF信号が供給され、一方、絶縁型DC/DC変換器16Aには、ゲートドライブ電圧供給線20Aを介して、例えば、+24VのDC電圧が供給される。Si-MISFET Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} のドレインは、正側電力端子P(+)に共通接続され、Si-MISFET Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} のソースは、負側電力端子N(-)に共通接続されている。

[0022] また、基本技術に係る疑似高電圧FETモジュール1Aは、図2に示すように、上記のFET並列回路セル10Aを複数段直列接続したスイッチング回路4Aと、スイッチング回路4Aを構成する複数のFET並列回路セル10₁A、10₂A、10₃A、 $\dots$ 、10₈Aにそれぞれ光ファイバーケーブル18₁A、18₂A、18₃A、 $\dots$ 、18₈Aを介して接続されたEO変換器22₁A、

22_2A 、 22_3A 、 $\dots$ 、 22_8A とを備える。光ファイバーケーブル 18_1A 、 18_2A 、 18_3A 、 $\dots$ 、 18_8A は、光ファイバーケーブル束 $180A$ としてバンドル化可能である。

[0023] 複数段直列接続したスイッチング回路 $4A$ は、FET並列回路セル 10_1A のドレイン側においてグローバルドレイン端子 $D(+)$ に接続され、FET並列回路セル 10_8A のソース側においてグローバルソース端子 $S(-)$ に接続される。また、EO変換器 22_1A 、 22_2A 、 22_3A 、 $\dots$ 、 22_8A の電気的入力側は、バッファ回路 $21A$ を介して、グローバルゲート端子 G に接続される。

[0024] 基本技術に係る疑似高電圧FETモジュール $1A$ においては、図1・図2に示すように、Si-MISFET Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} の多直列回路が構成されている。すなわち、

6並列のSi-MISFET Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} を備えるFET並列回路セル 10_1A 、 10_2A 、 10_3A 、 $\dots$ 、 10_8A を8直列に接続して、疑似高電圧FETモジュール $1A$ を実現する。

[0025] ここで、基本技術に係る疑似高電圧FETモジュール $1A$ において、Si-MISFET Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} として、定格スイッチング電圧 $700V$ 、定格スイッチング電流 $100A$ のSi-MISFETを適用した場合、定格スイッチング電圧 $5.6kV$ 、定格スイッチング電流 $600A$ のスイッチング性能を実現可能である。

[0026] [第1の実施の形態]

(FET並列回路セル)

第1の実施の形態に係るFET並列回路セル 10 は、図3に示すように、並列接続された複数のSiC-MISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、 $\dots$ 、 Q_{S6} と、複数のSiC-MISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、 $\dots$ 、 Q_{S6} のゲートにそれぞれ接続された複数のゲートドライブ回路 12_1 、 12_2 、 12_3 、 $\dots$ 、 12_6 と、複数のゲートドライブ回路 12_1 、 12_2 、 12_3 、 $\dots$ 、 12_6 にゲート駆動信号を供給するOE変換器 14 と、複数のゲートドライブ回路 12_1 、 12_2 、 12_3 、 $\dots$ 、

12₆とOE変換器14に電源を供給する絶縁型DC/DC変換器16とを備える。OE変換器14には、光ファイバーケーブル18を介してON/OFF信号が供給され、一方、絶縁型DC/DC変換器16には、ゲートドライブ電圧供給線20を介して、例えば、+24VのDC電圧が供給される。SiC-MISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、…、 Q_{S6} のドレインは、正側電力端子P(+)に共通接続され、SiC-MISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、…、 Q_{S6} のソースは、負側電力端子N(-)に共通接続されている。

[0027] OE変換器14は、光電変換素子であり、例えば、フォトカプラ、ファイバーカプラなどを適用可能である。

[0028] ここで、適用可能なSiC-MISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、…、 Q_{S6} の性能としては、例えば、一般の仕様書上での定格ドレイン・ソース間電圧1200V、定格ドレインパルス電流80Aである。また、ドレイン・ソース間オン抵抗 $R_{DS(on)}$ は、例えば、ゲート・ソース間電圧 $V_{GS}=18V$ 、ドレイン電流 $I_D=10A$ において、約80m Ω である。

[0029] SiC-MISFETは定格ドレイン・ソース間電圧に対するアバランシェ降伏のマージンが大きい。例えば、1200VのSiC-MISFETでは、パルス状の電圧については、1700V程度までアバランシェ降伏が起きることなく動作する。

[0030] 同様に、例えば、3300VのSiC-MISFETでは、パルス状の電圧については、4000V程度までアバランシェ降伏が起きることなく動作する。

[0031] SiC-MISFETにおいて、アバランシェ降伏電圧が高く設定されている理由は以下の通りである。SiCを酸化したSiO₂で形成されるゲート絶縁膜(132：図12・図13参照)を形成する過程で、炭素(C)原子の一部がSiC/SiO₂界面に残留して界面準位密度を低下させる。このため、ゲート絶縁膜(SiO₂)の厚膜化が難しい。一方、継続・断続的に例えば1200V耐圧デバイスに対して1700Vが掛かることはゲート絶縁膜の信頼性上避けなければならないが、異常動作時に瞬間的に掛かることに

してはゲート絶縁膜の耐量を得られる。したがって、ゲート絶縁膜に継続・断続的に掛かる電界強度を抑制することを目的としてドリフト層（126・126N：図12・図13参照）の膜厚・キャリア濃度を設計したため、SiC-MISFETは定格ドレイン・ソース間電圧に対するマージンが大きく設定されている。

[0032] （疑似高電圧FETモジュール）

第1の実施の形態に係る疑似高電圧FETモジュール1は、図4に示すように、上記のFET並列回路セル10を複数段直列接続したスイッチング回路4と、スイッチング回路4を構成する複数のFET並列回路セル10₁、10₂、10₃、…、10₈にそれぞれ光ファイバーケーブル18₁、18₂、18₃、…、18₈を介して接続される複数のEO変換器22₁、22₂、22₃、…、22₈と、複数のEO変換器22₁、22₂、22₃、…、22₈にそれぞれ接続され、スイッチング回路4を構成する複数のFET並列回路セル10₁、10₂、10₃、…、10₈を実質的に同時にオン／オフ制御可能な複数のパルスディレー回路24₁、24₂、24₃、…、24₈とを備える。光ファイバーケーブル18₁、18₂、18₃、…、18₈は、光ファイバーケーブル束180としてバンドル化可能である。パルスディレー回路24₁、24₂、24₃、…、24₈は、例えば、FPGA（Field Programmable Gate Array）回路などで構成可能である。

[0033] 複数のFET並列回路セル10₁、10₂、10₃、…、10₈を複数段直列接続したスイッチング回路4は、FET並列回路セル10₁のドレイン側においてグローバルドレイン端子D（+）に接続され、FET並列回路セル10₈のソース側においてグローバルソース端子S（-）に接続される。また、パルスディレー回路24₁、24₂、24₃、…、24₈の入力側は、バッファ回路21を介して、グローバルゲート端子Gに接続される。

[0034] ここで、より一般化して、m行n列に配置するm×n個のSiC-MISFETの立ち上がり特性を測定して、立ち上がり時間が最も速いSiC-MISFETからm番目に速いSiC-MISFETまでを抽出し、最も速い

S i C - M I S F E T から m 番目に速い S i C - M I S F E T までをそれぞれ異なる m 個の F E T 並列回路セルに配置することが望ましい。スイッチング回路 4 を構成する複数の F E T 並列回路セル $1 O_1$ 、 $1 O_2$ 、 $1 O_3$ 、 $\dots$ 、 $1 O_m$ の立ち上がり時間を実質的に略均一化するためである。

[0035] 第 1 の実施の形態においては、図 3・図 4 に示すように、S i C - M I S F E T Q_{S1} 、 Q_{S2} 、 Q_{S3} 、 $\dots$ 、 Q_{S6} による複数の F E T 並列回路セル $1 O_1$ 、 $1 O_2$ 、 $1 O_3$ 、 $\dots$ 、 $1 O_8$ を直列接続して、疑似高電圧 F E T モジュール 1 を実現している。

[0036] S i C - M I S F E T は、S i - M I S F E T に比べて規格化オン抵抗が $1/10$ 以下と小さく、各 F E T 並列回路セル $1 O_1$ 、 $1 O_2$ 、 $1 O_3$ 、 $\dots$ 、 $1 O_8$ を実質的に同時にオン／オフさせるためには特別の注意、対策を行う必要がある。もしも F E T 並列回路セル $1 O_1$ 、 $1 O_2$ 、 $1 O_3$ 、 $\dots$ 、 $1 O_8$ のスイッチングのタイミングが異なる場合には、分圧のバランスが崩れ、特定の F E T 並列回路セルに過大電圧が発生するからである。

[0037] 第 1 の実施の形態においては、図 4 に示すように、各 F E T 並列回路セル $1 O_1$ 、 $1 O_2$ 、 $1 O_3$ 、 $\dots$ 、 $1 O_8$ 毎にパルスディレー回路 $2 4_1$ 、 $2 4_2$ 、 $2 4_3$ 、 $\dots$ 、 $2 4_8$ を設置して、オンディレー時間とオフディレー時間を調整することによって、各 F E T 並列回路セル $1 O_1$ 、 $1 O_2$ 、 $1 O_3$ 、 $\dots$ 、 $1 O_8$ をプラスマイナス数 $n s$ 以内、例えば、プラスマイナス $1 n s$ 以内でオン／オフさせることができる。このため、各 F E T 並列回路セル $1 O_1$ 、 $1 O_2$ 、 $1 O_3$ 、 $\dots$ 、 $1 O_8$ を実質的に同時にオン／オフさせることができる。

[0038] ここで、第 1 の実施の形態において、S i C - M I S F E T Q_{M1} 、 Q_{M2} 、 Q_{M3} 、 $\dots$ 、 Q_{M6} として、定格ドレイン・ソース間電圧 $1200 V$ 、定格ドレインパルス電流 $80 A$ の S i C - M I S F E T を適用した場合、定格スイッチング電圧 $9.6 k V$ 、定格スイッチング電流 $480 A$ の疑似高電圧 F E T モジュール 1 を実現可能である。さらに S i C は S i と比較して $200^{\circ}C$ 以上でもオフ状態が保持できるため、従来と同じ放熱システムのまま繰り返し周波数を高くすることができる。

[0039] 第1の実施の形態によれば、このFET並列回路セルを複数段直列化したスイッチング回路のFET並列回路セルを実質的に同時にオン／オフ制御可能であり、FET並列回路セルの分圧バランスを良好に保持可能で、大電流をMHz級の周波数でスイッチング可能な疑似高電圧FETモジュールを提供することができる。

[0040] [第2の実施の形態]
(FET並列回路セル)

第2の実施の形態に係るFET並列回路セル10は、図5に示すように、SiCMISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、…、 Q_{S6} と並列接続され、サージ電圧を吸収するサージ吸収回路26を備える。ここで、サージ吸収回路26は、定電圧素子、アバランシェダイオード(ABD:Avalanche Breakdown Diode)などを備えていても良い。その他の構成は、第1の実施の形態に係るFET並列回路セル10と同様である。

[0041] (疑似高電圧FETモジュール)

第2の実施の形態においても、図4と同様に、SiCMISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、…、 Q_{S6} およびサージ吸収回路26を備える複数のFET並列回路セル10₁、10₂、10₃、…、10₈を直列接続して、疑似高電圧FETモジュール1を実現可能である。SiCMISFET Q_{S1} 、 Q_{S2} 、 Q_{S3} 、…、 Q_{S6} として、定格ドレイン・ソース間電圧1200V、定格ドレインパルス電流80AのSiCMISFETを適用した場合、定格スイッチング電圧9.6kV、定格スイッチング電流480Aの疑似高電圧FETモジュール1を実現可能である。

[0042] SiCMISFETは定格ドレイン・ソース間電圧に対するマージンが大きい。例えば、1200V耐圧のSiCMISFETでは、パルス状の電圧については、1700V程度までアバランシェ降伏が起きることなく動作する。

[0043] 同様に、例えば、3300VのSiCMISFETでは、パルス状の電圧については、4000V程度までアバランシェ降伏が起きることなく動作

する。

[0044] SiC-MISFETにおいて、アバランシェ降伏電圧が高く設定されている理由は前述の通りである。

[0045] 第2の実施の形態に係る疑似高電圧FETモジュールにおいても各FET並列回路セル $1O_1$ 、 $1O_2$ 、 $1O_3$ 、…、 $1O_8$ 毎にパルスディレー回路 24_1 、 24_2 、 24_3 、…、 24_8 を設置して、オンディレー時間とオフディレー時間を調整することによって、各FET並列回路セル $1O_1$ 、 $1O_2$ 、 $1O_3$ 、…、 $1O_8$ を実質的に略同時にオン／オフさせる回路構成とすることができる。また、第2の実施の形態においては、FET並列回路セル $1O_1$ 、 $1O_2$ 、 $1O_3$ 、…、 $1O_8$ に、例えば、ABD (avalanche breakdown diode)などによるサージ吸収回路26を設置することで、各並列FET回路セル $1O_1$ 、 $1O_2$ 、 $1O_3$ 、…、 $1O_8$ が突発的に完全に同時にオン／オフしなくても、プラスマイナス数10ns以内、例えば、プラスマイナス20ns以内でオン／オフさせることで、正常動作可能な疑似高電圧FETモジュール1を実現可能である。

[0046] サージ吸収回路26には、降伏電圧350V程度のABDを4個直列接続して、SiC-MISFETに1400Vを超える過大電圧が印加されることを回避可能である。

[0047] 同様に、降伏電圧370V程度のABDを10個直列接続して、SiC-MISFETに3700Vを超える過大電圧が印加されることを回避可能である。

[0048] 第2の実施の形態によれば、ABDによってアバランシェ降伏電圧以上の電圧サージを吸収可能なFET並列回路セルを提供することができる。

[0049] SiC-MISFETを使ったFET並列回路セルを構築する際、ABDを並列接続すると単位FET並列回路セル当たりが受け持てる電圧値がABDのアバランシェ降伏電圧によって規定される。このため、ABDのアバランシェ降伏電圧をSiC-MISFETの定格ドレイン・ソース間電圧以上で、かつSiC-MISFETのアバランシェ降伏電圧以下になるように設計すると良い。このように設計することで、単位FET並列回路セル当たり

が受け持てる電圧値を増加させ、擬似高電圧 F E T モジュールに必要な電圧を確保するために直列接続する F E T 並列回路セルの数を低減させることができる。結果として、擬似高電圧 F E T モジュールの小型化、低コスト化が可能になる。

[0050] また、第 2 の実施の形態によれば、この F E T 並列回路セルを複数段直列化したスイッチング回路の F E T 並列回路セルを実質的に略同時にオン／オフ制御可能であり、F E T 並列回路セルの分圧バランスを良好に保持可能で、大電流を M H z 級の周波数でスイッチング可能な擬似高電圧 F E T モジュールを提供することができる。

[0051] [第 3 の実施の形態]

(F E T 並列回路セル)

絶縁型 D C / D C 変換器 1 6 には、トランス絶縁型 D C / D C 変換器、或いはワイヤレス給電型の絶縁型 D C / D C 変換器を適用可能である。

[0052] トランス絶縁型 D C / D C 変換器 2 8 A を適用した第 3 の実施の形態に係る F E T 並列回路セル 3 4 A の模式的ブロック構成は、図 6 に示すように表される。

[0053] F E T 並列回路セル 3 4 A は、トランス絶縁型 D C / D C 変換器 2 8 A と、トランス絶縁型 D C / D C 変換器 2 8 A に接続された S i C - M I S F E T 駆動回路 3 0 A と、S i C - M I S F E T 駆動回路 3 0 A に接続された 6 並列 S i C - M I S F E T 回路 3 2 A とを備える。トランス絶縁型 D C / D C 変換器 2 8 A は、S i C - M I S F E T 駆動回路 3 0 A に対して直流電圧 V_{DD} を供給し、S i C - M I S F E T 駆動回路 3 0 A は、6 並列 S i C - M I S F E T 回路 3 2 A に対してゲート駆動信号 F D を供給する。

[0054] S i C - M I S F E T 駆動回路 3 0 A は、図 1 ・図 3 ・図 5 に示された複数のゲートドライブ回路 $1 2_1$ 、 $1 2_2$ 、 $1 2_3$ 、…、 $1 2_6$ に対応している。また、6 並列 S i C - M I S F E T 回路 3 2 A は、図 1 ・図 3 ・図 5 に示され、並列接続された S i C - M I S F E T Q_{S1} 、 Q_{S2} 、 Q_{S3} 、…、 Q_{S6} に対応している。トランス絶縁型 D C / D C 変換器では、最大で数 1 0 k V の絶縁耐圧

V_{BM} となる。

[0055] ワイヤレス給電型の絶縁型DC/DC変換器28を適用した第3の実施の形態に係るFET並列回路セル34の模式的ブロック構成は、図7に示すように表される。

[0056] 第3の実施の形態に係るFET並列回路セル34は、図7に示すように、ワイヤレス給電型の絶縁型DC/DC変換器28と、絶縁型DC/DC変換器28に接続されたSiC-MISFET駆動回路30と、SiC-MISFET駆動回路30に接続された6並列SiC-MISFET回路32とを備える。絶縁型DC/DC変換器28は、SiC-MISFET駆動回路30に対して直流電圧 V_{DD} を供給し、SiC-MISFET駆動回路30は、6並列SiC-MISFET回路32に対してゲート駆動信号FDを供給する。

[0057] SiC-MISFET駆動回路30は、図1・図3・図5に示された複数のゲートドライブ回路12₁、12₂、12₃、…、12₆に対応している。また、6並列SiC-MISFET回路32は、図1・図3・図5に示され、並列接続されたSiC-MISFETQ_{S1}、Q_{S2}、Q_{S3}、…、Q_{S6}に対応している。

[0058] ワイヤレス給電型の絶縁型DC/DC変換器28は、図7に示すように、発振回路38と、発振回路38に接続された1次側コイルL1と、1次側コイルL1からワイヤレス給電可能な2次側コイルL2と、2次側コイルL2に接続された整流回路40とを備える。

[0059] ここで、1次側コイルL1と2次側コイルL2は、沿面距離 L_s だけ離隔して配置される。絶縁破壊電界の値に応じて、1次側コイルL1と2次側コイルL2間の沿面距離 L_s が設定される。

[0060] また、発振回路38と1次側コイルL1を内蔵し、絶縁型DC/DC変換器28の絶縁耐圧 V_{BS} を制御可能な収納器36を備えていても良い。収納器36は、樹脂もしくはセラミックスで形成されていても良い。樹脂もしくはセラミックスの厚さで絶縁耐圧値を制御することができる。例えば、ポリエチ

レン樹脂を使用する場合には、絶縁破壊電界は、約 50 kV/mm である。

[0061] ワイヤレス給電型の絶縁型 DC/DC 変換器 28 において、絶縁耐圧 V_{BS} の値は、最大数 100 kV 以上である。

[0062] 収納器 36 として樹脂ボックスを使用し、絶縁破壊電界 1 MV/8 mm 、約 120 kV/mm 以上を得ることも可能である。樹脂としては、例えば、テフロン（登録商標）、ポリエチレンなどを適用可能である。

[0063] （疑似高電圧 FET モジュール）

第 3 の実施の形態においても、第 1 ～ 第 2 の実施の形態と同様に、複数の FET 並列回路セルを直列接続して、疑似高電圧 FET モジュールを実現可能である。

[0064] 第 3 の実施の形態に係る疑似高電圧 FET モジュールにおいては、ワイヤレス給電回路を用いて超高耐圧の絶縁型 DC/DC 変換器を実装することで数 100 kV 以上の定格スイッチング電圧を有する疑似高電圧 FET モジュールを実現可能である。

[0065] 第 3 の実施の形態によれば、この FET 並列回路セルを複数段直列化したスイッチング回路の FET 並列回路セルを実質的に略同時にオン／オフ制御可能であり、FET 並列回路セルの分圧バランスを良好に保持し、大電流を MHz 級の周波数でスイッチング可能な超高耐圧用の疑似高電圧 FET モジュールを提供することができる。

[0066] また、第 3 の実施の形態において、ABD が FET 並列回路セルに接続されている場合、アバランシェ降伏電圧以上の電圧サージを吸収可能な超高耐圧の FET 並列回路セルを提供することができる。

[0067] （変形例）

（FET 並列回路セル）

ワイヤレス給電型の絶縁型 DC/DC 変換器 28 を適用した第 3 の実施の形態の変形例に係る FET 並列回路セル 34 の模式的ブロック構成は、図 8 に示すように表される。

[0068] 第 3 の実施の形態の変形例に係る FET 並列回路セル 34 は、図 8 に示す

ように、ワイヤレス給電型の絶縁型DC/DC変換器28と、絶縁型DC/DC変換器28に接続されたSiC-MISFET駆動回路30と、SiC-MISFET駆動回路30に接続された6並列SiC-MISFET回路32とを備える。

[0069] SiC-MISFET駆動回路30は、図1・図3・図5に示された複数のゲートドライブ回路12₁、12₂、12₃、…、12₆に対応している。また、6並列SiC-MISFET回路32は、図1・図3・図5に示され、並列接続されたSiC-MISFET Q_{S1}、Q_{S2}、Q_{S3}、…、Q_{S6}に対応している。

[0070] 絶縁型DC/DC変換器28は、SiC-MISFET駆動回路30に対して直流電圧V_{DD}を供給し、SiC-MISFET駆動回路30は、6並列SiC-MISFET回路32に対してゲート駆動信号FDを供給する。

[0071] ワイヤレス給電型の絶縁型DC/DC変換器28は、図8に示すように、発振回路38と、発振回路38に接続された1次側コイルL1と、1次側コイルL1からワイヤレス給電可能な2次側コイルL2と、2次側コイルL2に接続された整流回路40とを備える。

[0072] さらに、第3の実施の形態の変形例に係るFET並列回路セル34は、図8に示すように、整流回路40の出力とSiC-MISFET駆動回路30の入力間に接続された蓄電回路42を備える。ここで、蓄電回路42には、リチウムイオン電池、スーパーキャパシタ、もしくは電気二重層キャパシタ(EDLC: Electric Double-Layer Capacitor)などを適用可能である。

[0073] さらに、第3の実施の形態の変形例に係るFET並列回路セル34は、図8に示すように、整流回路40の出力に第1アノードが接続され、SiC-MISFET駆動回路30の入力に第1カソードが接続された第1突合せダイオードDT1と、蓄電回路42を介して第2アノードが整流回路40の出力に接続され、SiC-MISFET駆動回路30の入力に第2カソードが接続された第2突合せダイオードDT2とを備えていても良い。

[0074] ここで、1次側コイルL1と2次側コイルL2は、沿面距離L_sだけ離隔し

て配置される。その他の構成は、第3の実施の形態に係るFET並列回路セル34と同様である。

[0075] (疑似高電圧FETモジュール)

第3の実施の形態の変形例に係るFET並列回路セル34は、蓄電回路42を設けることで、DC+24V電源喪失時においても各FET並列回路セルが同時にオフできるようになる。DC+24V電源喪失時においても回路内のSiC-MISFETが異常電圧によって破壊されることを回避可能であるため、信頼性の高い疑似高電圧FETモジュールを実現可能である。

[0076] 第3の実施の形態の変形例に係るFET並列回路セルを適用した疑似高電圧FETモジュールにおいては、ワイヤレス給電回路を用いて超高耐圧の絶縁型DC/DC変換器を実装することで絶縁耐圧 V_{BS} として最大数100kV以上の定格スイッチング電圧を有する疑似高電圧FETモジュールを実現可能である。

[0077] また、第3の実施の形態の変形例によれば、このFET並列回路セルを複数段直列化したスイッチング回路のFET並列回路セルを実質的に略同時にオン/オフ制御可能であり、FET並列回路セルの分圧バランスを良好に保持し、大電流をMHz級の周波数でスイッチング可能な超高耐圧用の疑似高電圧FETモジュールを提供することができる。

[0078] また、第3の実施の形態の変形例において、ABDがFET並列回路セルに接続されている場合、アバランシェ降伏電圧以上の電圧サージを吸収可能な超高耐圧のFET並列回路セルを提供することができる。

[0079] [第4の実施の形態]

(MIS型リレー回路セル)

第1～第3の実施の形態に係るFET並列回路セルを構成するSiC-MISFETは、AC負荷をスイッチング可能なバイポーラ型であっても良い。

[0080] 第4の実施の形態に係るMIS型リレー回路セル44は、図9に示すように、並列接続された複数のSiC-MISFET AC負荷回路 Q_{A1} 、 Q_{A2} 、

Q_{A3} 、 $\dots$ 、 Q_{A6} と、複数のSiC-MISFET AC負荷回路 Q_{A1} 、 Q_{A2} 、 Q_{A3} 、 $\dots$ 、 Q_{A6} のゲートにそれぞれ接続された複数のゲートドライブ回路 12_1 、 12_2 、 12_3 、 $\dots$ 、 12_6 と、複数のゲートドライブ回路 12_1 、 12_2 、 12_3 、 $\dots$ 、 12_6 にゲート駆動信号を供給するOE変換器14と、複数のゲートドライブ回路 12_1 、 12_2 、 12_3 、 $\dots$ 、 12_6 とOE変換器14に電源を供給する絶縁型DC/DC変換器16とを備える。

[0081] OE変換器14には、光ファイバーケーブル18を介してON/OFF信号が供給され、一方、絶縁型DC/DC変換器16には、ゲートドライブ電圧供給線20を介して、例えば、+24VのDC電圧が供給される。

[0082] SiC-MISFET AC負荷回路 Q_{A1} 、 Q_{A2} 、 Q_{A3} 、 $\dots$ 、 Q_{A6} の一方のドレインは、正側AC端子TAに共通接続され、SiC-MISFET AC負荷回路 Q_{A1} 、 Q_{A2} 、 Q_{A3} 、 $\dots$ 、 Q_{A6} の他方のドレインは、負側AC端子TBに共通接続されている。

[0083] また、第4の実施の形態に係るMIS型リレー回路セル44のSiC-MISFET AC負荷回路 Q_{A1} 、 Q_{A2} 、 Q_{A3} 、 $\dots$ 、 Q_{A6} の回路構成例は、図10(a)に示すように表され、別の回路構成例は、図10(b)に示すように表される。

[0084] 例えば、図10(a)に示すように、2個のSiC-MOSFETをソース共通で直列化接続することで、AC負荷をスイッチング可能な双方向スイッチを実現可能である。

[0085] SiC-MISFET AC負荷回路 Q_A は、図10(a)に示すように、第1のSiC-MISFET Q_{SA} と、第1のSiC-MISFET Q_{SA} と直列に接続され、第1のSiC-MISFET Q_{SA} の第1ソースと第2ソースが共通に接続され、第1のSiC-MISFET Q_{SA} の第1ゲートと第2ゲートが共通に接続された第2のSiC-MISFET Q_{SB} と、第1のSiC-MISFET Q_{SA} の主電極間に逆並列接続された第1ダイオードD1と、第2のSiC-MISFET Q_{SB} の主電極間に逆並列接続された第2ダイオードD2とを備える。SiC-MISFET AC負荷回路 Q_A は、第1のSiC-MIS

FET Q_{SA} の第1ドレインと第2のSiC-MISFET Q_{SB} の第2ドレイン間のAC電流を制御可能である。2個のSiC-MOSFET $Q_{SA} \cdot Q_{SB}$ のゲートを共通化し、2個のSiC-MOSFET $Q_{SA} \cdot Q_{SB}$ を同時にオンさせる場合、AC電流は並列ダイオード $D1 \cdot D2$ ではなく主に低オン抵抗を有するSiC-MOSFET $Q_{SA} \cdot Q_{SB}$ を導通する。すなわち、SiC-MISFET AC負荷回路 Q_A は、AC端子 $TA \cdot TB$ 間のAC電流をスイッチング制御可能である。

[0086] 第4の実施の形態に係るMIS型リレー回路セル44のSiC-MISFET AC負荷回路は、図10(b)に示すように、第1のSiC-MISFET $Q1$ と第1のSiC-MISFET $Q1$ に直列接続された第1のダイオード $D1$ からなる第1の逆阻止型スイッチ 50_1 と、第2のSiC-MISFET $Q2$ と第2のSiC-MISFET $Q2$ に直列接続された第2のダイオード $D2$ からなる第2の逆阻止型スイッチ 50_2 とを備えていても良い。この構成にすると、第1のSiC-MISFET $Q1$ と第1のダイオード $D1$ 、および第2のSiC-MISFET $Q2$ と第2のダイオード $D2$ の間の電流経路の寄生インダクタンスを低減することができ、よりサージやノイズの少ない回路を形成することができる。図10(b)に示すSiC-MISFET AC負荷回路 Q_A は、AC端子 $TA \cdot TB$ 間のAC電流をスイッチング制御可能である。

[0087] ここで、SiC-MISFET AC負荷回路 Q_{A1} 、 Q_{A2} 、 Q_{A3} 、 $\dots$ 、 Q_{A6} に適用可能なSiC-MISFET Q_{SA} 、 Q_{SB} 、 $Q1$ 、 $Q2$ の性能としては、例えば、定格ドレイン・ソース間電圧1200V、定格ドレインパルス電流80Aである。また、ドレイン・ソース間オン抵抗 $R_{DS(on)}$ は、例えば、 $V_{GS} = 18V$ 、 $I_D = 10A$ において、約80m Ω である。

[0088] 絶縁型DC/DC変換器16には、トランス絶縁型DC/DC変換器、或いはワイヤレス給電型の絶縁型DC/DC変換器を適用可能である。トランス絶縁型DC/DC変換器では、最大で数10kVの絶縁耐圧 V_{BM} となる。ワイヤレス給電型の絶縁型DC/DC変換器において、絶縁耐圧 V_{BS} の値は、最

大数 100 kV 以上である。

[0089] ワイヤレス給電型の絶縁型 DC/DC 変換器 28 は、図 7 と同様に、発振回路 38 と、発振回路 38 に接続された 1 次側コイル L_1 と、1 次側コイル L_1 からワイヤレス給電可能な 2 次側コイル L_2 と、2 次側コイル L_2 に接続された整流回路 40 とを備える。ここで、1 次側コイル L_1 と 2 次側コイル L_2 は、沿面距離 L_s だけ離隔して配置される。

[0090] また、ワイヤレス給電型の絶縁型 DC/DC 変換器 28 は、図 7 と同様に、発振回路 38 と 1 次側コイル L_1 を内蔵し、絶縁型 DC/DC 変換器 28 の絶縁耐圧 V_{BS} を制御可能な収納器 36 を備えていても良い。収納器 36 は、樹脂もしくはセラミックスで形成されていても良い。樹脂もしくはセラミックスの厚さで絶縁耐圧値を制御することができる。例えば、ポリエチレン樹脂を使用する場合には、絶縁破壊電界は、約 50 kV/mm である。

[0091] 収納器 36 として樹脂ボックスを使用し、絶縁破壊電界 1 MV/8 mm 、約 120 kV/mm 以上を得ることも可能である。樹脂としては、例えば、テフロン（登録商標）、ポリエチレンなどを適用可能である。

[0092] さらに、第 4 の実施の形態に係る MIS 型リレー回路セル 44 は、図 8 と同様に、整流回路 40 の出力と複数のゲートドライブ回路 12_1 、 12_2 、 12_3 、…、 12_6 の入力間に接続された蓄電回路 42 を備えていても良い。ここで、蓄電回路 42 には、リチウムイオン電池、スーパーキャパシタ、もしくは電気二重槽キャパシタ (EDLC) などを適用可能である。

[0093] さらに、第 4 の実施の形態に係る MIS 型リレー回路セル 44 は、図 8 と同様に、整流回路 40 の出力に第 1 アノードが接続され、SiC-MISFET 駆動回路 30 の入力に第 1 カソードが接続された第 1 突合せダイオード DT1 と、蓄電回路 42 を介して第 2 アノードが整流回路 40 の出力に接続され、SiC-MISFET 駆動回路 30 の入力に第 2 カソードが接続された第 2 突合せダイオード DT2 とを備えていても良い。

[0094] (疑似高電圧 FET モジュール：疑似高電圧 MIS 型リレーモジュール)
第 4 の実施の形態に係る疑似高電圧 FET モジュール 2 は、図 11 に示す

ように、上記のMIS型リレー回路セル44を複数段直列接続したスイッチング回路8と、スイッチング回路8を構成する複数のMIS型リレー回路セル44₁、44₂、44₃、…、44₈にそれぞれ光ファイバーケーブル18₁、18₂、18₃、…、18₈を介して接続される複数のEO変換器22₁、22₂、22₃、…、22₈と、複数のEO変換器22₁、22₂、22₃、…、22₈にそれぞれ接続され、スイッチング回路4を構成する複数のMIS型リレー回路セル44₁、44₂、44₃、…、44₈を同時にオン／オフ制御可能な複数のパルスディレー回路24₁、24₂、24₃、…、24₈とを備える。光ファイバーケーブル18₁、18₂、18₃、…、18₈は、光ファイバーケーブル束180としてバンドル化可能である。パルスディレー回路24₁、24₂、24₃、…、24₈は、例えば、FPGA回路などで構成可能である。

[0095] 複数のMIS型リレー回路セル44₁、44₂、44₃、…、44₈を複数段直列接続したスイッチング回路4は、MIS型リレー回路セル44₁の一方のドレイン側においてグローバルAC端子T1に接続され、MIS型リレー回路セル44₈の他方のドレイン側においてグローバルAC端子T2に接続される。また、パルスディレー回路24₁、24₂、24₃、…、24₈の入力側は、バッファ回路21を介して、グローバルゲート端子Gに接続される。

[0096] 第4の実施の形態においては、図9～図11に示すように、SiC-MISFET AC負荷回路Q_{A1}、Q_{A2}、Q_{A3}、…、Q_{A6}による複数のMIS型リレー回路セル44₁、44₂、44₃、…、44₈を直列接続して、疑似高電圧FETモジュール2を実現している。

[0097] 第4の実施の形態においては、図11に示すように、各MIS型リレー回路セル44₁、44₂、44₃、…、44₈毎にパルスディレー回路24₁、24₂、24₃、…、24₈を設置して、オンディレー時間とオフディレー時間を調整することによって、各MIS型リレー回路セル44₁、44₂、44₃、…、44₈をプラスマイナス数n_s以内、例えば、プラスマイナス1n_s以内でオン／オフさせることができる。このため、各MIS型リレー回路セル44₁、44₂、44₃、…、44₈を略同時にオン／オフさせることができる。

[0098] ここで、第4の実施の形態において、定格ドレイン・ソース間電圧1200V、定格ドレインパルス電流80AのSiC-MISFETを適用した場合、定格スイッチング電圧9.6kV、定格スイッチング電流480Aの疑似高電圧FETモジュール2を実現可能である。

[0099] また、第4の実施の形態の変形例によれば、このFET並列回路セルを複数段直列化したスイッチング回路のMIS型リレー回路セルを実質的に略同時にオン／オフ制御可能であり、MIS型リレー回路セルの分圧バランスを良好に保持可能な高速スイッチング性能の疑似高電圧FETモジュール（疑似高電圧MIS型リレーモジュール）を提供することができる。

[0100] また、第4の実施の形態において、ABDがFET並列回路セルに接続されている場合、アバランシェ降伏電圧以上の電圧サージを吸収可能なMIS型リレー回路セルを提供することができる。

[0101] （半導体デバイスの構成例）

—SiC DIMISFET—

第1～第4の実施の形態に係る疑似高電圧FETモジュール1・2に適用可能な半導体デバイス100の例であって、SiC DI (Double Implanted) MISFETの模式的断面構造は、図12に示すように表される。

[0102] 第1～第4の実施の形態に係る疑似高電圧FETモジュール1・2に適用可能なSiC DIMISFETは、図12に示すように、 n^+ SiC基板124と、 n^+ SiC基板124上にエピタキシャル成長された n^- ドリフト層126と、 n^- ドリフト層126の表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成された n^+ ソース領域130と、pボディ領域128間の n^- ドリフト層126の表面上に配置されたゲート絶縁層132と、ゲート絶縁層132上に配置されたゲート電極138と、 n^+ ソース領域130およびpボディ領域128に電氣的に接続されたソース電極134と、 n^+ SiC基板124の、 n^- ドリフト層126と反対側の表面に電氣的に接続されたドレイン電極136とを備える。

[0103] 図12では、半導体デバイス100は、pボディ領域128と、pボディ

領域 128 の表面に形成された n^+ ソース領域 130 が、ダブルイオン注入（DI）で形成され、ソースパッド電極 SP は、 n^+ ソース領域 130 および p ボディ領域 128 に接続されたソース電極 134 に接続される。ゲートパッド電極 GP（図示省略）は、ゲート絶縁層 132 上に配置されたゲート電極 138 に接続される。また、ソースパッド電極 SP・ソース電極 134 およびゲートパッド電極 GP（図示省略）は、図 12 に示すように、半導体デバイス 100 の表面を覆うパッシベーション用の層間絶縁膜 144 上に配置される。

[0104] —SiC TMISFET—

第 1～第 4 の実施の形態に係る疑似高電圧 FET モジュール 1・2 に適用可能な半導体デバイス 100 の例であって、SiC TMISFET の模式的断面構造は、図 13 に示すように表される。

[0105] 第 1～第 4 の実施の形態に係る疑似高電圧 FET モジュール 1・2 に適用可能な SiC TMISFET は、図 13 に示すように、 n^+ SiC 基板 124 と、 n^+ SiC 基板 124 上にエピタキシャル成長された n^- ドリフト層 126 N と、 n^- ドリフト層 126 N の表面側に形成された p ボディ領域 128 と、p ボディ領域 128 の表面に形成された n^+ ソース領域 130 と、p ボディ領域 128 を貫通し、 n^- ドリフト層 126 N まで形成されたトレンチの内にゲート絶縁層 132 および層間絶縁膜 144 U・144 B を介して形成されたトレンチゲート電極 138 TG と、ソース領域 130 および p ボディ領域 128 に接続されたソース電極 134 と、 n^+ SiC 基板 124 の、 n^- ドリフト層 126 N と反対側の表面に電氣的に接続されたドレイン電極 136 とを備える。

[0106] 図 13 では、半導体デバイス 100 は、p ボディ領域 128 を貫通し、半導体基板 126 N まで形成されたトレンチ内にゲート絶縁層 132 および層間絶縁膜 144 U・144 B を介して形成されたトレンチゲート電極 138 TG が形成され、ソースパッド電極 SP は、ソース領域 130 および p ボディ領域 128 に接続されたソース電極 134 に接続される。ゲートパッド電

極G P（図示省略）は、ゲート層132上に配置されたゲート電極138に接続される。また、ソースパッド電極S P・ソース電極134およびゲートパッド電極G P（図示省略）は、図13に示すように、半導体デバイス100の表面を覆うパッシベーション用の層間絶縁膜144U上に配置される。

[0107] SiC-MISFETはドレイン電流経路にpボディ領域128から伸張するジャンクション抵抗が存在しないため、SiC-DMISFETと比較してさらに低オン抵抗のFETを提供することが可能であり、1素子当たり100A以上のドレインパルス電流を許容することも可能になる。

[0108] また、第1～第4の実施の形態に係る疑似高電圧FETモジュール1・2に適用可能な半導体デバイス100には、SiC系MISFETの代わりに、GaN系FETなどを適用することもできる。

[0109] SiCデバイスは、高絶縁破壊電界（例えば、約3MV/cmであり、Siの約3倍）であることから、Siに比べてドリフト層の膜厚を薄くし、かつキャリア濃度を高く設定しても耐圧が確保できる。絶縁破壊電界の違いから、SiC-MISFETのピーク電界強度は、Si-MISFETのピーク電界強度よりも高く設定可能である。

[0110] SiC-MISFETにおいては、必要なn⁻ドリフト層126・126Nの膜厚が薄く、キャリア濃度と膜厚の双方のメリットによって、n⁻ドリフト層126・126Nの抵抗値を低減し、オン抵抗R_{on}を低くすることができ、チップ面積を縮小化（小チップ化）可能である。さらにユニポーラデバイスであるMISFET構造のままで、Si-IGBTに比肩し得る耐圧を実現可能であることから、高耐圧でかつ高速スイッチングできるとされ、スイッチング損失の低減が期待できる。

[0111] 以上説明したように、本発明によれば、SiC-MISFET並列回路セルおよびこのFET並列回路セルを複数段直列化した、大電流をMHz級の周波数でスイッチング可能な疑似高電圧FETモジュールを提供することができる。

[0112] [その他の実施の形態]

上記のように、第１～第４の実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

[0113] また、F E Tの高速化動作、もしくは誤動作回避を目的として、ゲートオフ時のゲート・ソース間電圧を負電圧側に引いても良い。

[0114] このように、本発明はここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

[0115] 本発明のF E T並列回路セルおよび疑似高電圧F E Tモジュールは、パワーS i C-M I S F E Tを用いた高電圧高速スイッチを有するパルスパワー発生装置、高繰り返し高電圧パルスパワー発生装置など幅広い応用分野に適用可能である。

符号の説明

[0116] １、１Ａ、２…疑似高電圧F E Tモジュール
４、８…スイッチング回路
１０、１０_１、１０_２、１０_３、…、１０_８、３４、３４Ａ…F E T並列回路セル
１２、１２_１、１２_２、１２_３、…、１２_６…ゲートドライブ回路
１４…O E変換器
１６、２８、２８Ａ…絶縁型D C／D C変換器
１８、１８_１、１８_２、１８_３、…、１８_８…光ファイバーケーブル
２０…ゲートドライブ電圧供給線
２１…バッファ回路
２２、２２_１、２２_２、２２_３、…、２２_６…E O変換器
２４_１、２４_２、２４_３、…、２４_６…パルスディレー回路
２６…サージ吸収回路
３０、３０Ａ…S i C-M I S F E T駆動回路
３２、３２Ａ…６並列S i C-M I S F E T回路

3 6 …樹脂ボックス

3 8 …発振回路

4 0 …整流回路

4 4、4 4₁、4 4₂、4 4₃、…、4 4₆…M I S型リレー回路セル

5 0₁、5 0₂…逆阻止型スイッチ

1 0 0、Q_{SA}、Q_{SB}、Q 1、Q 2…半導体デバイス (S i C-M I S F E T)

1 2 4 …n⁺S i C基板

1 2 6、1 2 6 N…n⁻ドリフト層

1 2 8 …p ボディ領域

1 3 0 …ソース領域

1 3 2 …ゲート絶縁膜

1 3 4 …ソース電極

1 3 6 …ドレイン電極

1 3 8、1 3 8 T G…ゲート電極

1 4 4、1 4 4 U、1 4 4 B…層間絶縁膜

1 8 0、1 8 0 A…光ファイバーケーブル束

Q_{S1}、Q_{S2}、Q_{S3}、…、Q_{S6}…S i C-M I S F E T

Q_{M1}、Q_{M2}、Q_{M3}、…、Q_{M6}…S i-M I S F E T

Q_{A1}、Q_{A2}、Q_{A3}、…、Q_{A6}…S i C-M I S F E T A C 負荷回路

G…グローバルゲート端子

D (+) …グローバルドレイン端子

S (-) …グローバルソース端子

D T 1、D T 2…突合せダイオード

D 1、D 2…ダイオード

P (+)…正側電力端子

N (-)…負側電力端子

T A、T B ……A C 端子

T 1、T 2 ……グローバルA C 端子

$L_1 \cdots 1$ 次側コイル

$L_2 \cdots 2$ 次側コイル

$L_s \cdots$ 沿面距離

請求の範囲

- [請求項1] 並列接続された複数のS i C－M I S F E Tと、
 複数の前記S i C－M I S F E Tのゲートにそれぞれ接続された複数のゲートドライブ回路と、
 複数の前記ゲートドライブ回路にゲート駆動信号を供給するO E変換器と、
 複数の前記ゲートドライブ回路と前記O E変換器に電源を供給する絶縁型D C／D C変換器と
 を備えることを特徴とするF E T並列回路セル。
- [請求項2] 前記S i C－M I S F E Tと並列接続され、サージ電圧を吸収するサージ吸収回路を備えることを特徴とする請求項1に記載のF E T並列回路セル。
- [請求項3] 前記絶縁型D C／D C変換器は、
 発振回路と、
 前記発振回路に接続された1次側コイルと、
 前記1次側コイルと沿面距離離隔して配置され、前記1次側コイルからワイヤレス給電可能な2次側コイルと、
 前記2次側コイルに接続された整流回路と
 を備える
 ることを特徴とする請求項1または2に記載のF E T並列回路セル。
- [請求項4] 前記整流回路の出力と前記ゲートドライブ回路の入力間に接続された蓄電回路と、
 前記整流回路の出力に第1アノードが接続され、前記ゲートドライブ回路の入力に第1カソードが接続された第1突合せダイオードと、
 前記蓄電回路を介して第2アノードが前記整流回路の出力に接続され、前記ゲートドライブ回路の入力に第2カソードが接続された第2突合せダイオードと

を備えることを特徴とする請求項3に記載のFET並列回路セル。

[請求項5] 前記蓄電回路は、リチウムイオン電池、スーパーキャパシタ、もしくは電気二重槽キャパシタのいずれかを備えることを特徴とする請求項4に記載のFET並列回路セル。

[請求項6] 前記発振回路と前記1次側コイルを内蔵し、前記絶縁型DC/DC変換器の絶縁耐圧を制御可能な収納器を備えることを特徴とする請求項3～5のいずれか1項に記載のFET並列回路セル。

[請求項7] 前記収納器は、樹脂もしくはセラミックスで形成されていることを特徴とする請求項6に記載のFET並列回路セル。

[請求項8] 請求項1～7のいずれか1項に記載のFET並列回路セルを複数段直列接続したスイッチング回路と、

前記スイッチング回路を構成する複数の前記FET並列回路セルにそれぞれに光ファイバーケーブルを介して接続される複数のEO変換器と、

複数の前記EO変換器にそれぞれ接続され、前記スイッチング回路を構成する複数の前記FET並列回路セルを実質的に同時にオン/オフ制御可能な複数のパルスディレー回路と

を備えることを特徴とする疑似高電圧FETモジュール。

[請求項9] m行n列に配置するm×n個のSiCMISFETの立ち上がり特性を測定して、立ち上がり時間が最も速いSiCMISFETからm番目に速いSiCMISFETまでを抽出し、最も速いSiCMISFETからm番目に速いSiCMISFETまでをそれぞれ異なるm個のFET並列回路セルに配置することを特徴とする請求項8に記載の疑似高電圧FETモジュール。

[請求項10] 並列接続された複数のSiCMISFET AC負荷回路と、
複数の前記SiCMISFET AC負荷回路のゲートにそれぞれ接続された複数のゲートドライブ回路と、

複数の前記ゲートドライブ回路にゲート駆動信号を供給するOE変

換器と、

複数の前記ゲートドライブ回路と前記OE変換器に電源を供給する絶縁型DC/DC変換器と

を備えることを特徴とするMIS型リレー回路セル。

[請求項11]

前記SiC-MISFET AC負荷回路は、

第1のSiC-MISFETと、

前記第1のSiC-MISFETと直列に接続され、前記第1のSiC-MISFETの第1ソースと第2ソースが接続され、前記第1のSiC-MISFETの第1ゲートと第2ゲートが共通に接続された第2のSiC-MISFETと、

前記第1のSiC-MISFETの主電極間に逆並列接続された第1ダイオードと、

前記第2のSiC-MISFETの主電極間に逆並列接続された第2ダイオードと

を備え、

前記第1のSiC-MISFETの第1ドレインと前記第2のSiC-MISFETの第2ドレイン間のAC電流を制御可能であることを特徴とする請求項10に記載のMIS型リレー回路セル。

[請求項12]

前記絶縁型DC/DC変換器は、

発振回路と、

前記発振回路に接続された1次側コイルと、

前記1次側コイルと沿面距離離隔して配置され、前記1次側コイルからワイヤレス給電可能な2次側コイルと、

前記2次側コイルに接続された整流回路と

を備える

ることを特徴とする請求項10または11に記載のMIS型リレー回路セル。

[請求項13]

前記整流回路の出力と前記ゲートドライブ回路の入力間に接続され

た蓄電回路と、

前記整流回路の出力に第1アノードが接続され、前記ゲートドライブ回路の入力に第1カソードが接続された第1突合せダイオードと、

前記蓄電回路を介して第2アノードが前記整流回路の出力に接続され、前記ゲートドライブ回路の入力に第2カソードが接続された第2突合せダイオードと

を備えることを特徴とする請求項12に記載のMIS型リレー回路セル。

[請求項14] 前記蓄電回路は、リチウムイオン電池、スーパーキャパシタ、もしくは電気二重層キャパシタのいずれかを備えることを特徴とする請求項13に記載のMIS型リレー回路セル。

[請求項15] 前記発振回路と前記1次側コイルを内蔵し、前記絶縁型DC/DC変換器の絶縁耐圧を制御可能な収納器を備えることを特徴とする請求項12～14のいずれか1項に記載のMIS型リレー回路セル。

[請求項16] 前記収納器は、樹脂もしくはセラミックスで形成されていることを特徴とする請求項15に記載のMIS型リレー回路セル。

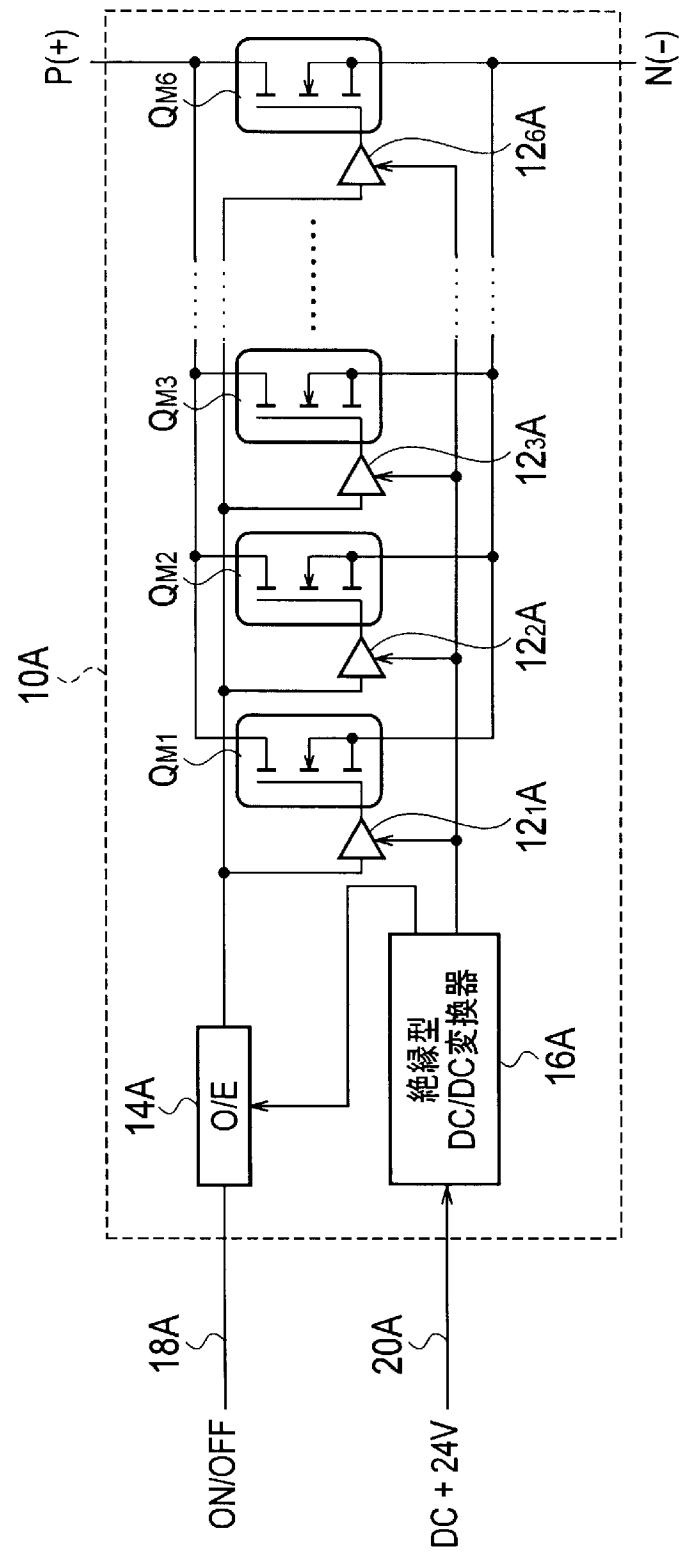
[請求項17] 請求項10～16のいずれか1項に記載のMIS型リレー回路セルを複数段直列接続したスイッチング回路と、

前記スイッチング回路を構成する複数の前記MIS型リレー回路セルにそれぞれに光ファイバーケーブルを介して接続される複数のEO変換器と、

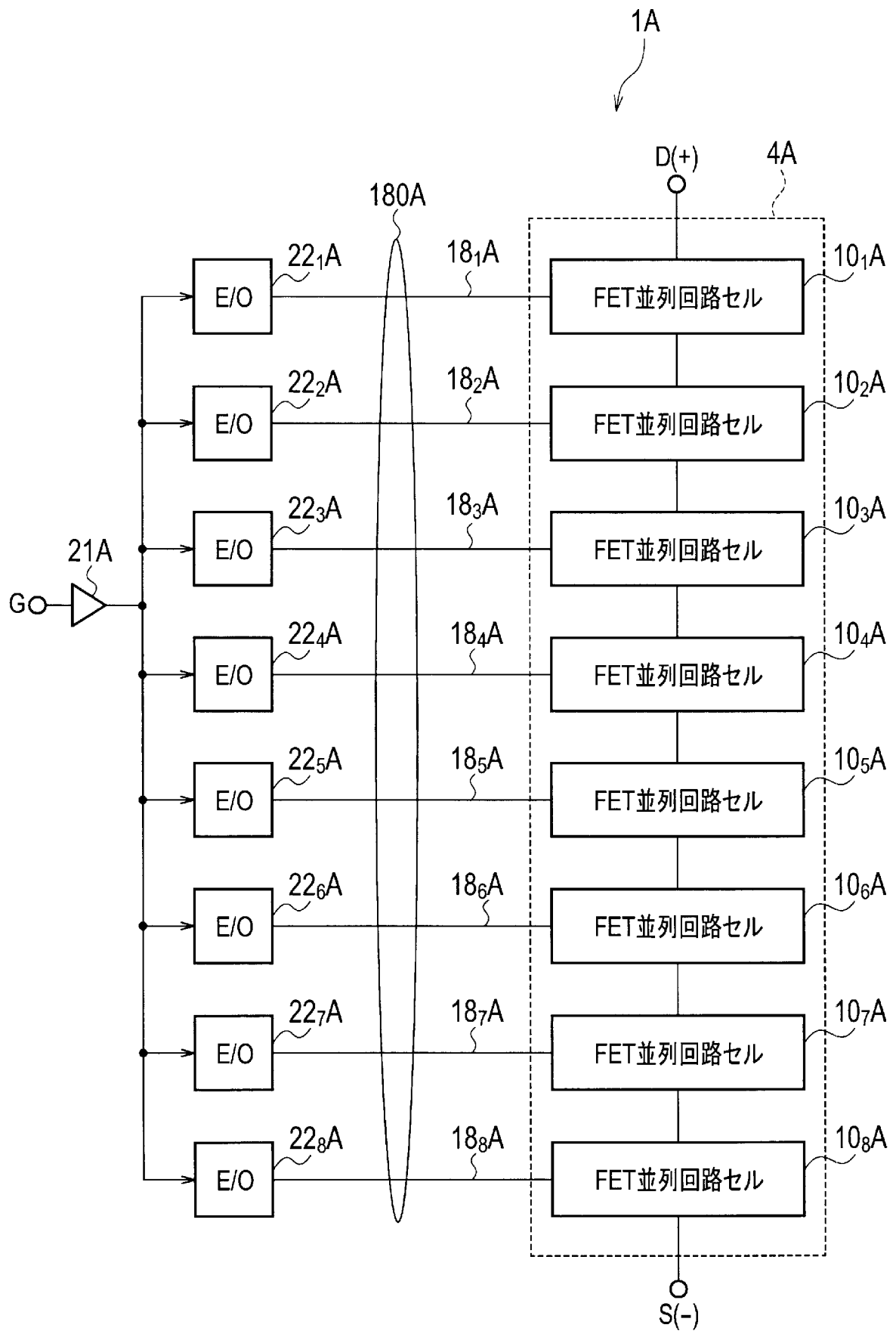
複数の前記EO変換器にそれぞれ接続され、前記スイッチング回路を構成する複数の前記MIS型リレー回路セルを実質的に同時にオン／オフ制御可能な複数のパルスディレー回路と

を備えることを特徴とする疑似高電圧FETモジュール。

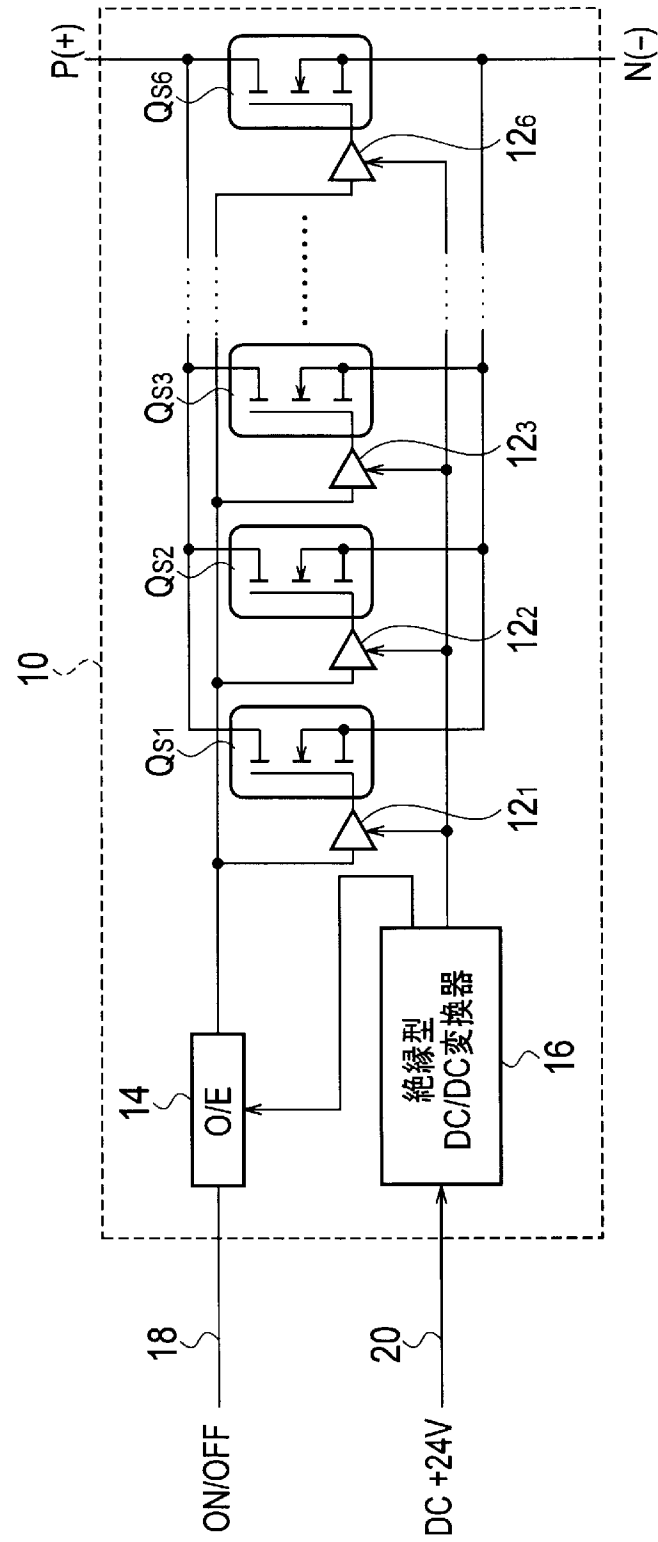
[図1]



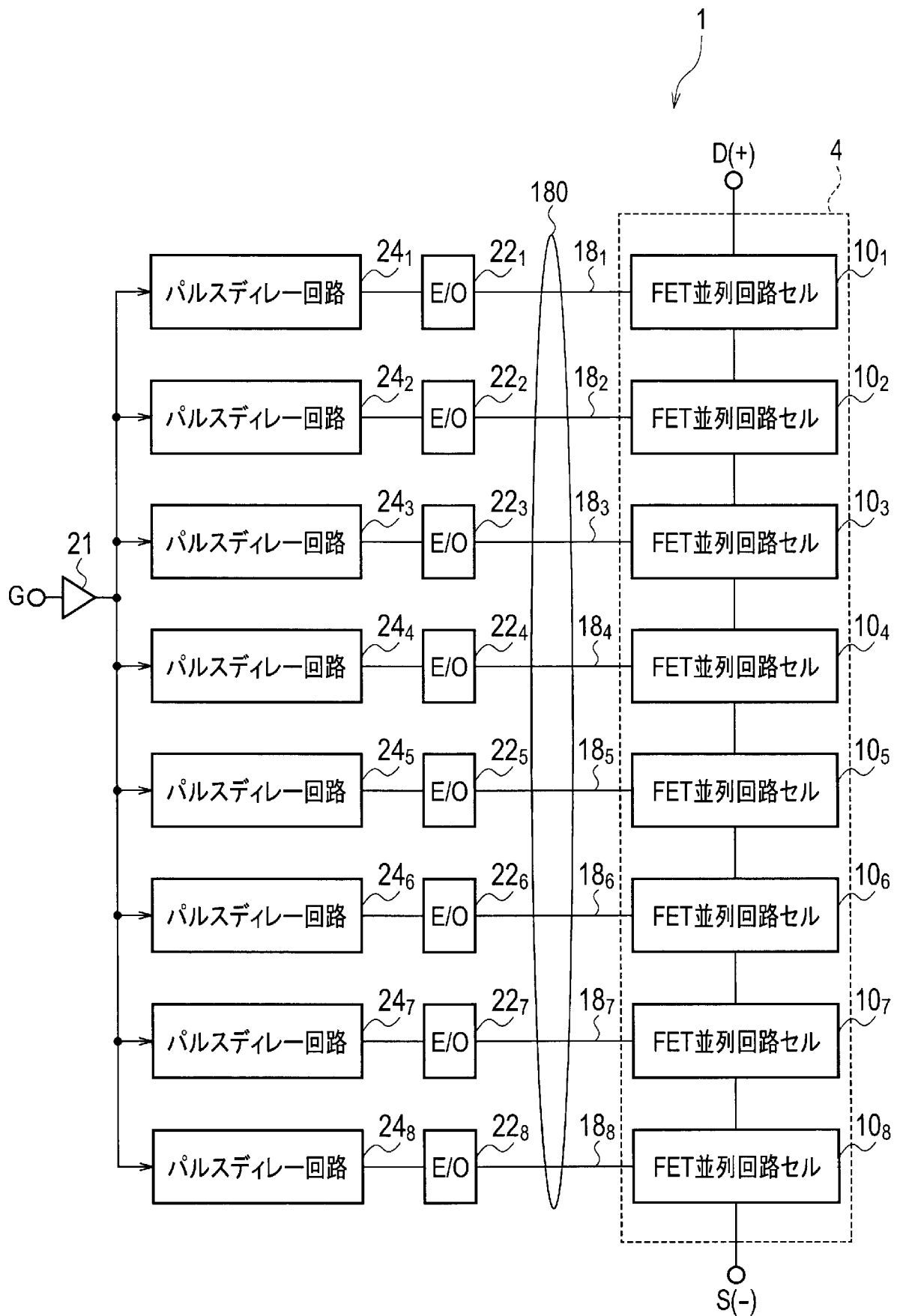
[図2]



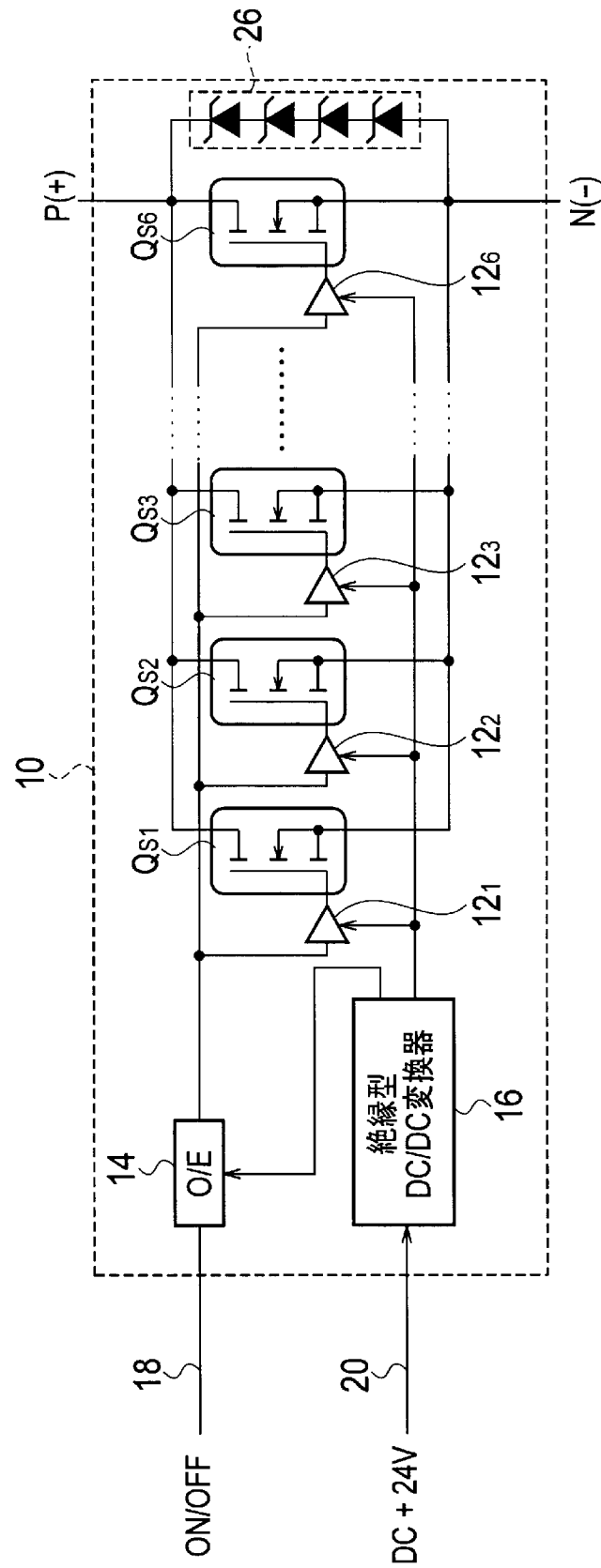
[図3]



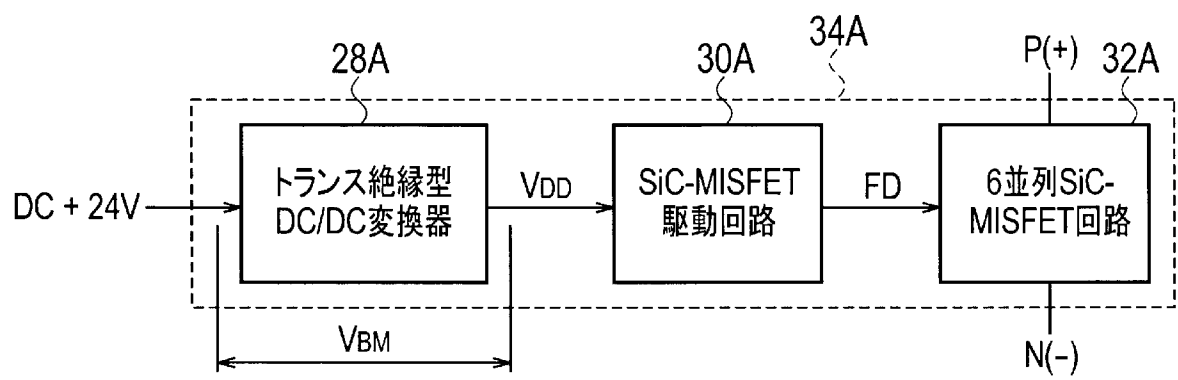
[図4]



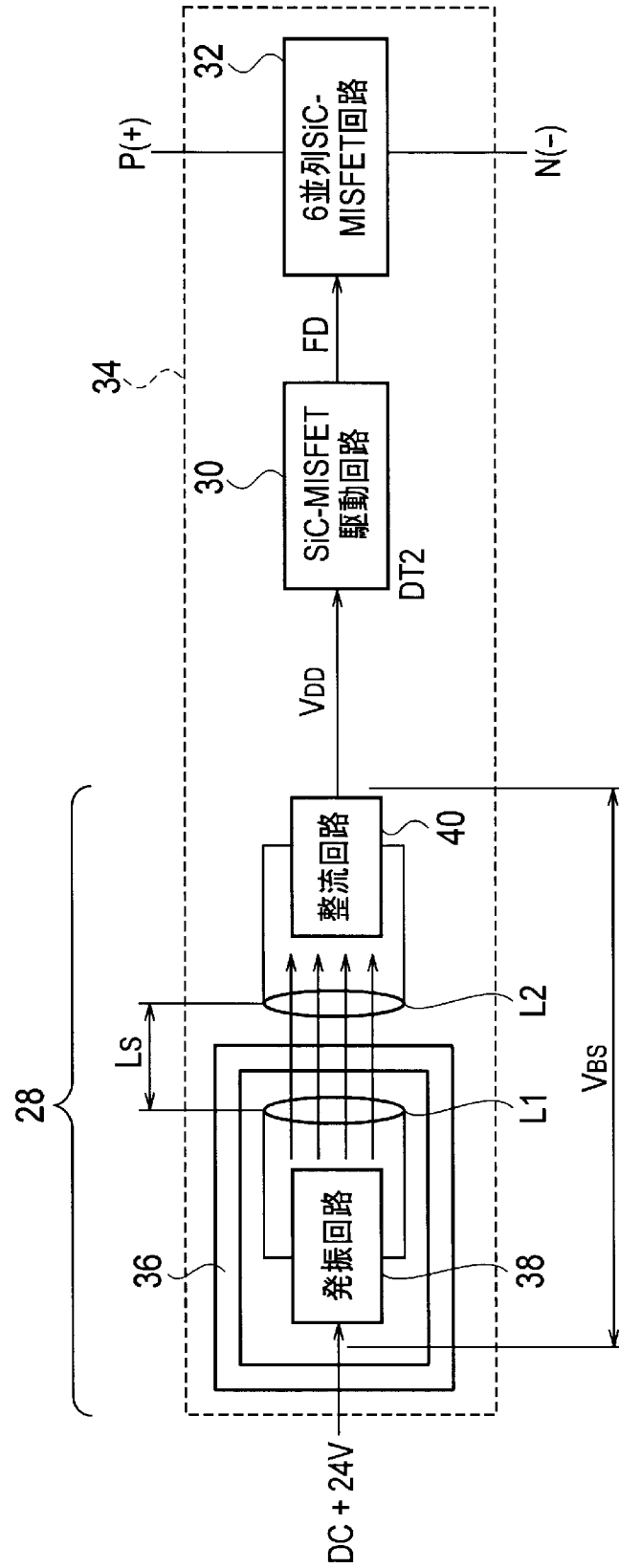
[図5]



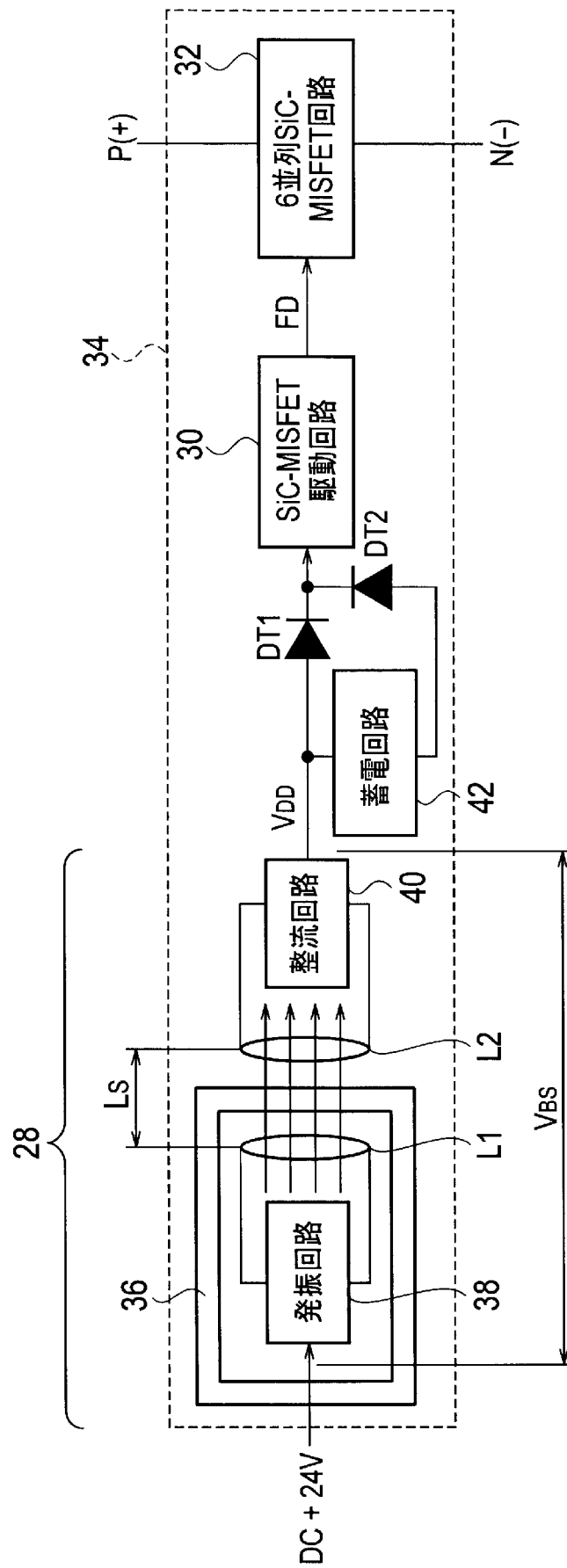
[図6]



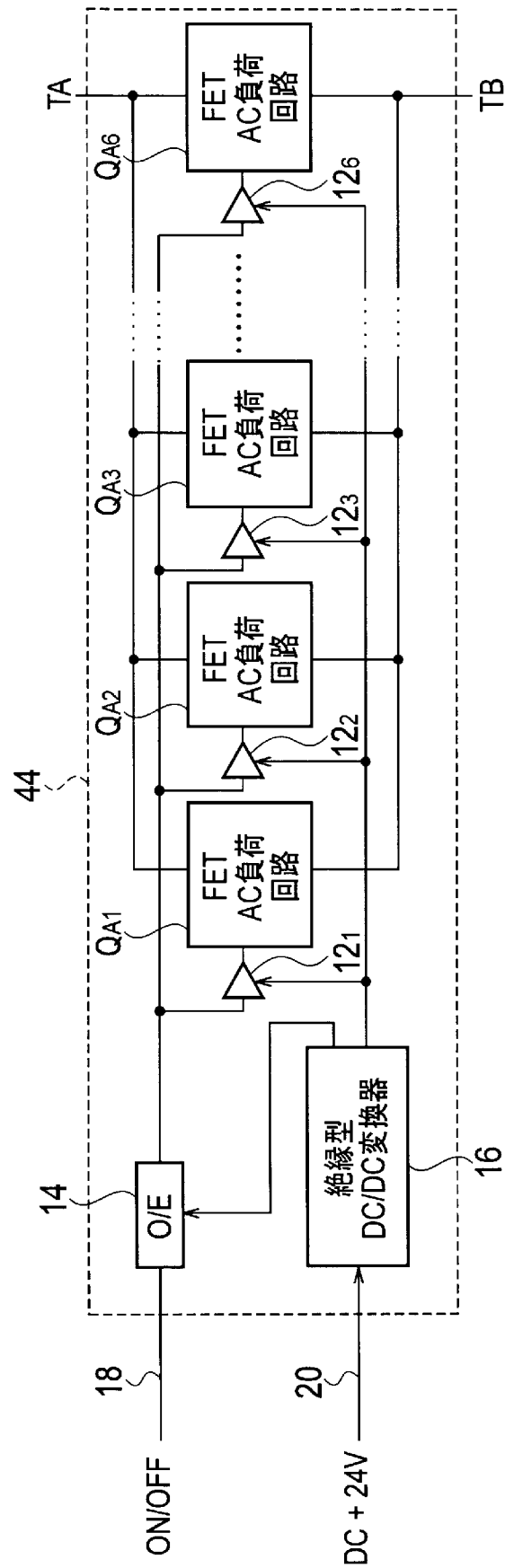
[図7]



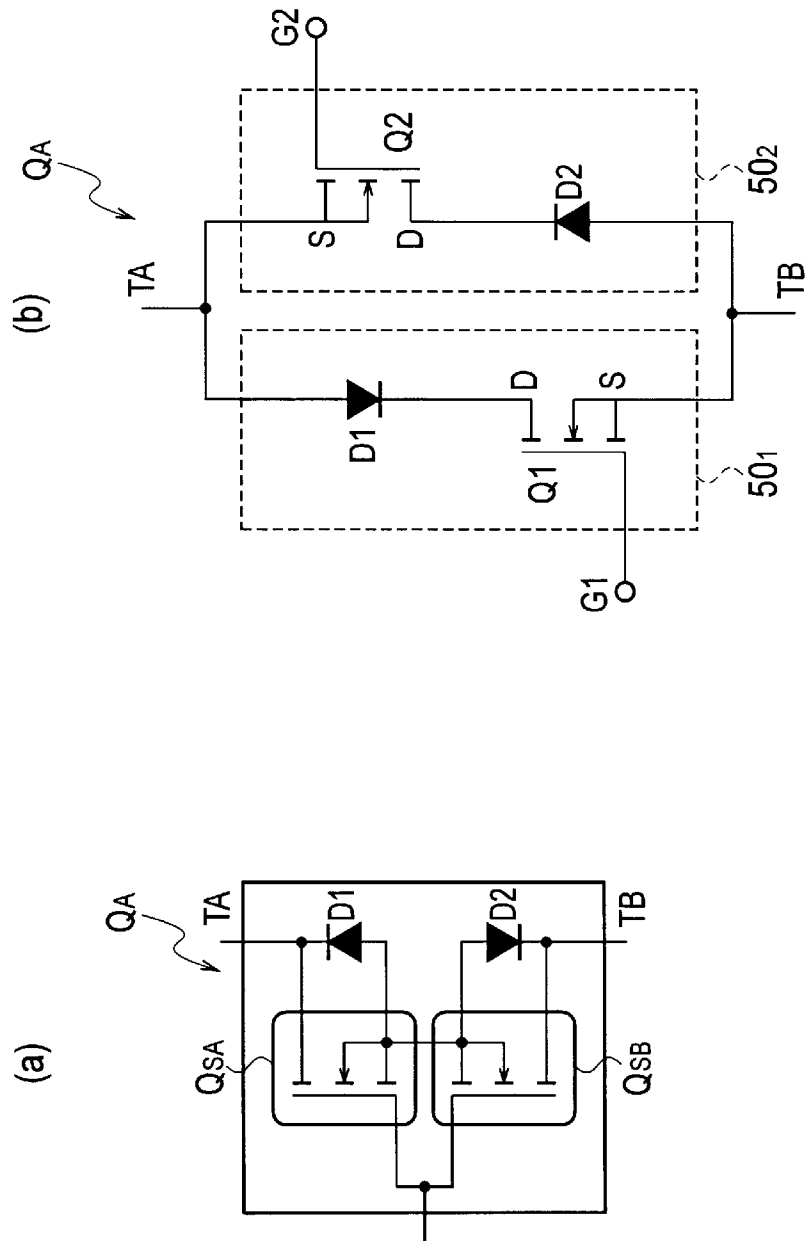
[図8]



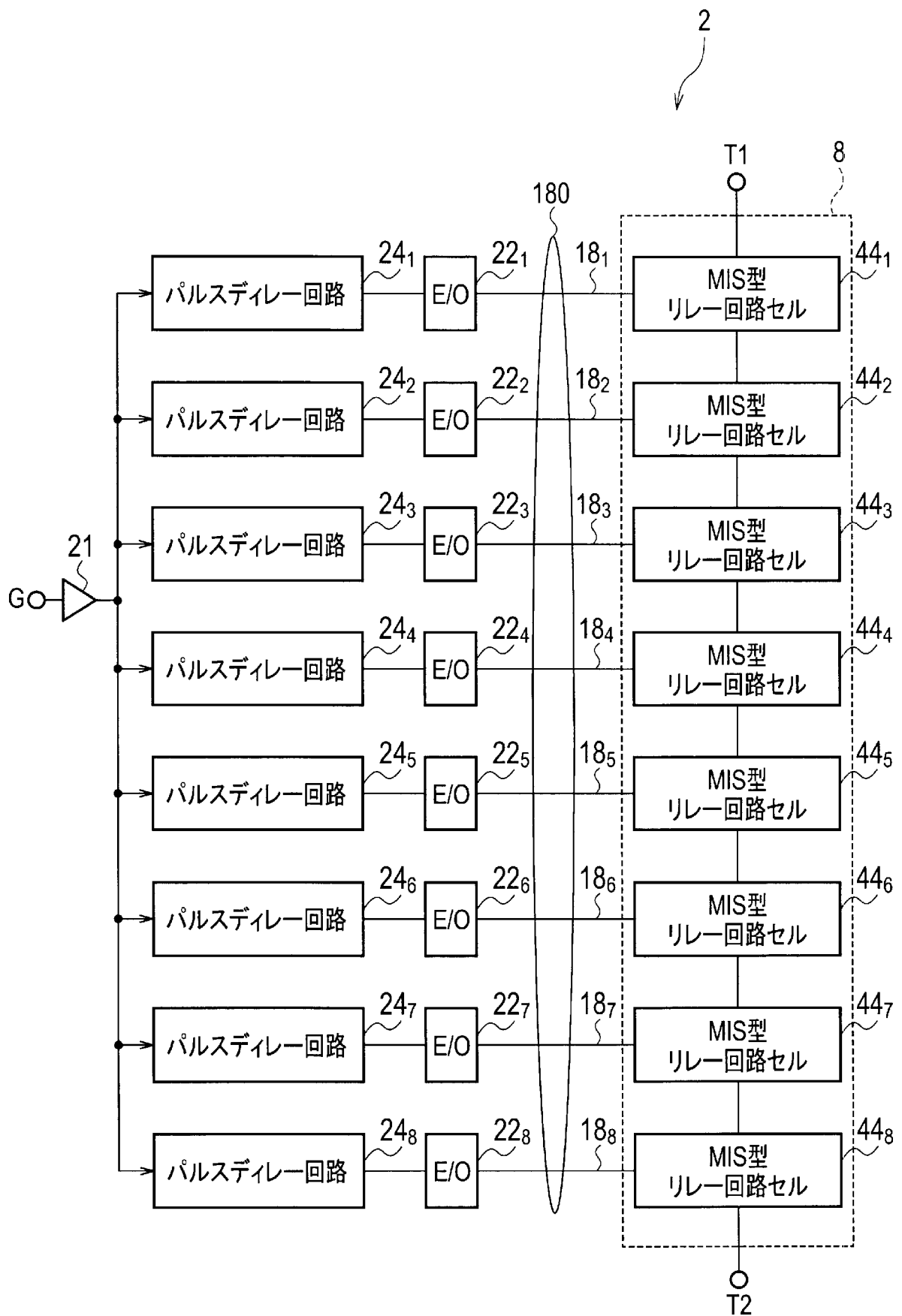
【図9】



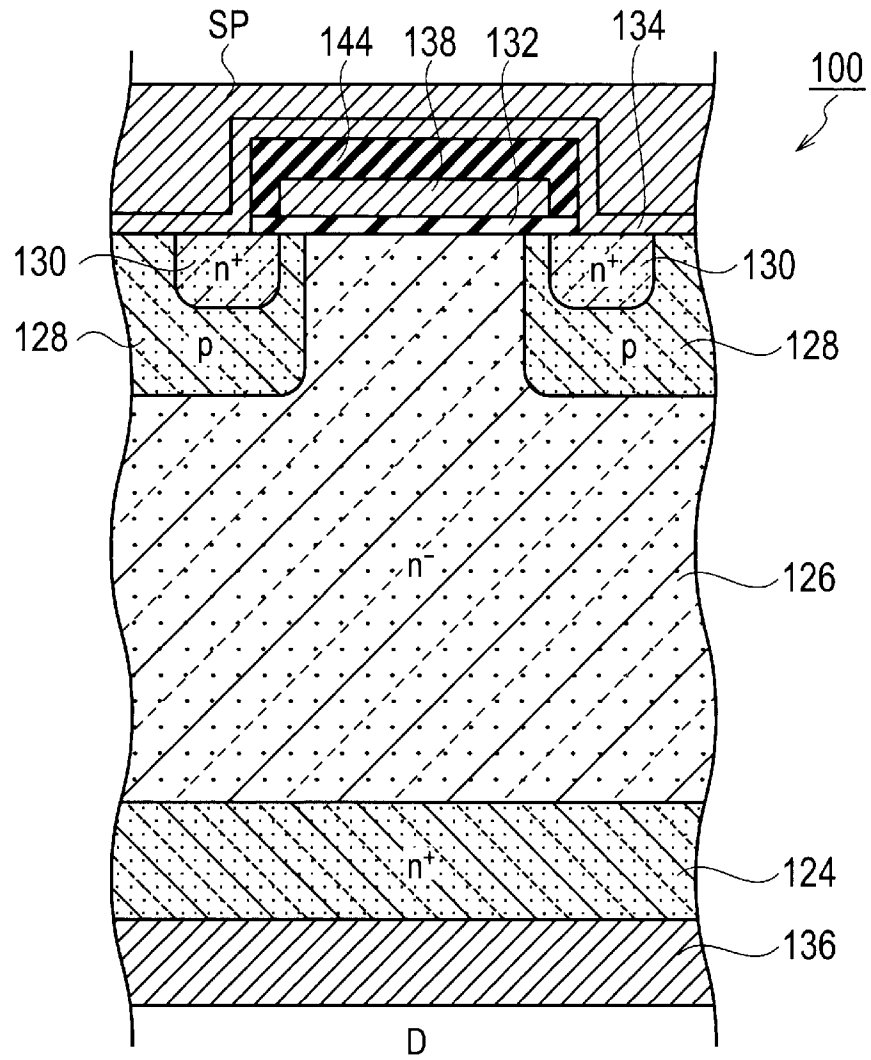
[図10]



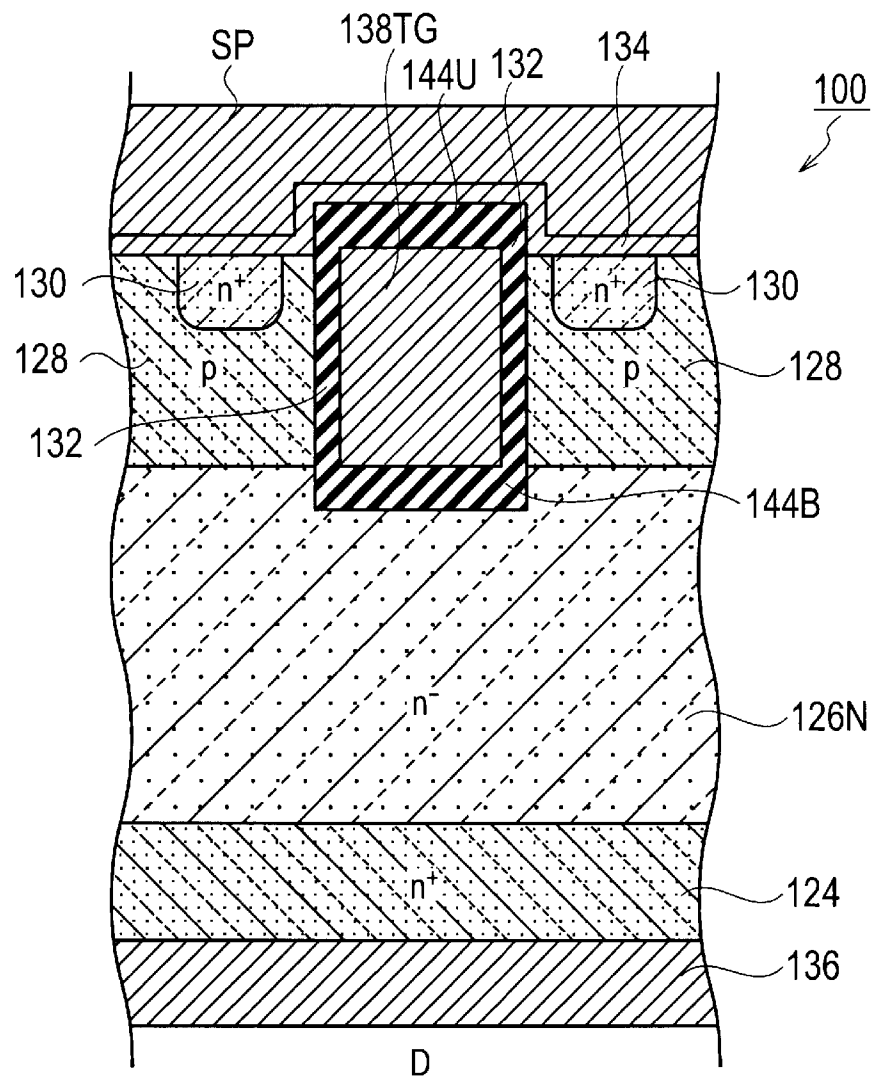
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/055324

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/12(2006.01)i, H02M1/08(2006.01)i, H03K17/10(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-244972 A (Advantest Corp.), 09 October 2008 (09.10.2008), paragraphs [0024], [0043] to [0058], [0077] to [0078]; fig. 2 & US 2009/0014669 A1	1-2, 10-11 3-9, 12-17
Y A	JP 2009-135626 A (Mitsubishi Electric Corp.), 18 June 2009 (18.06.2009), paragraph [0008]; fig. 1 (Family: none)	1-2, 10-11 3-9, 12-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 May 2015 (13.05.15)

Date of mailing of the international search report
26 May 2015 (26.05.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/055324

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-40951 A (Toshiba Corp.), 08 February 2000 (08.02.2000), paragraphs [0141] to [0172], [0230]; fig. 34 to 38, 67 & US 6323717 B1 & EP 0959563 A2 & KR 2001-0088876 A & KR 2001-0090614 A & CN 1236183 A	1-17
A	JP 2006-42563 A (The Tokyo Electric Power Co., Inc.), 09 February 2006 (09.02.2006), paragraphs [0010] to [0011], [0013], [0033] to [0035]; fig. 1, 4 (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H03K17/12(2006.01)i, H02M1/08(2006.01)i, H03K17/10(2006.01)i, H03K17/687(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H03K17/00-17/70, H02M1/08			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 5 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 5 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 5 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	JP 2008-244972 A（株式会社アドバンテスト）2008.10.09, 【0024】、【0043】－【0058】、【0077】－【0078】、図2 & US 2009/0014669 A1	1-2, 10-11 3-9, 12-17	
Y A	JP 2009-135626 A（三菱電機株式会社）2009.06.18, 【0008】、図1（ファミリーなし）	1-2, 10-11 3-9, 12-17	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 3 . 0 5 . 2 0 1 5		国際調査報告の発送日 2 6 . 0 5 . 2 0 1 5	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 栗栖 正和 電話番号 03-3581-1101 内線 3596	5 X 3 9 8 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-40951 A (株式会社東芝) 2000.02.08, 【0141】－【0172】, 【0230】, 図34－38, 図67 & US 6323717 B1 & EP 0959563 A2 & KR 2001-0088876 A & KR 2001-0090614 A & CN 1236183 A	1-17
A	JP 2006-42563 A (東京電力株式会社) 2006.02.09, 【0010】－【0011】, 【0013】, 【0033】－【0035】, 図1, 図4 (ファミリーなし)	1-17