

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93/28294

※申請日期：93.9.17

※IPC 分類：

G11C^{16/34}, ^{16/04}

一、發明名稱：(中文/英文)

依靠鄰近操作模式且具有位元線補償之非揮發性記憶體及方法
NON-VOLATILE MEMORY AND METHOD WITH BIT LINE
COMPENSATION DEPENDENT ON NEIGHBORING OPERATING
MODES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司
SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登

VAN ORDEN, CHARLES

2. 裘蒂 布魯納

BRUNER, JUDY

住居所或營業所地址：(中文/英文)

美國加州桑尼貝市卡斯本可特 140 號

140 CASPIAN COURT, SUNNYVALE, CA 94089, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 夏薩德 卡里德

KHALID, SHAHZAD

2. 顏 李

LI, YAN

3. 勞爾-亞德蓮 希爾尼亞

CERNEA, RAUL-ADRIAN

4. 梅爾達德 莫菲蒂

MOFIDI, MEHRDAD

國 籍：(中文/英文)

1.-4. 均美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年09月17日；10/667,223

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於非揮發性半導體記憶體，例如可電抹除之可程式化唯讀記憶體(EEPROM)以及快閃EEPROM，明確地說，係關於具有供一頁連續的電荷儲存單元列使用之經改良的程式化及感測電路的非揮發性半導體記憶體。

【先前技術】

能夠非揮發性儲存電荷的固態記憶體(特別是被包裝成小型外觀的EEPROM及快閃EEPROM)近年來已經成為各種移動式與手持式裝置(尤其是資訊家電與消費性電子產品)中選用的儲存體。和同為固態記憶體的RAM(隨機存取記憶體)不同的係，快閃記憶體係非揮發性的，所以，即使關閉電源後仍可保留其已儲存的資料。雖然成本較高，不過，利用快閃記憶體作為大量儲存應用的情形卻越來越普遍。慣用的大量儲存體(其係以旋轉磁性媒體為主，例如硬碟機與軟碟)並不適用於移動式與手持式環境中。這係因為碟片驅動器的體積趨於龐大，容易產生機械故障，而且等待時間冗長以及電源需求極高。該些令人討厭的因素皆使得碟片型儲存體無法使用於大部份的移動式與攜帶式應用中。相反地，快閃記憶體(不論係內建或抽取式卡片的型式)因為具有體積小、耗電低、速度快以及可靠度極高等特性，所以，非常適用於移動式與手持式環境中。

EEPROM及可電程式化唯讀記憶體(EPROM)皆為可被抹除的非揮發性記憶體，並且可將新資料寫入或「程式化」

至其記憶體胞之中。兩者皆係於一場效電晶體結構中利用一半導體基板中位於源極區與汲極區間之通道區上的浮動(未被連接的)導體閘極。接著便會將一控制閘極置放於該浮動閘極上。該電晶體的臨界電壓特徵係受控於保留在該浮動閘極上的電荷量。也就是，對該浮動閘極上既定的電荷位準而言，必須於該電晶體被「開啟」前施加一對應的(臨界)電壓至該控制閘極，方能讓其源極區與汲極區間產生導通。

該浮動閘極能夠保留某種範圍的電荷，所以，可以被程式化成一臨界電壓視窗內任意的臨界電壓位準。該臨界電壓視窗的大小係由該裝置的最小臨界位準與最大臨界位準來界定，而該等位準對應的則係可被程式化於該浮動閘極上的電荷範圍。該臨界視窗通常係相依於該記憶體裝置的特徵、操作條件、以及歷史資料。理論上，該視窗內每種不同的、可解析的臨界電壓位準範圍皆可用來代表該記憶體胞的一明確的記憶體狀態。

通常會利用下面兩種機制中其中一者將作為記憶體胞的電晶體程式化至一「經程式化」狀態。於「熱電子射出」中，被施加至汲極的高電壓會對跨越該基板通道區的電子進行加速。於此同時，被施加至該控制閘極的高電壓則會經由一薄的閘極介電質將該等熱電子上拉至該浮動閘極。於「隧穿射出」中，會相對於該基板施加一高電壓給該控制閘極。依此方式，便可從該基板將電子拉到中間的浮動閘極。

可以利用下面數種機制來抹除該記憶體裝置。對EPROM而言，可利用紫外線輻射將電荷從該浮動閘極中移除，用以整體抹除該記憶體。對EEPROM而言，相對於該控制閘極施加一高電壓給該基板，致使可於該浮動閘極中誘發出電子，使其隧穿一薄氧化物進入該基板通道區(也就是，Fowler-Nordheim隧穿效應)，便可電抹除一記憶體胞。一般來說，EEPROM可以逐個位元組的方式來抹除。對快閃EEPROM來說，可一次全部電抹除該記憶體或是每次電抹除一個以上的區塊，其中一個區塊係由512個以上的記憶體位元組所組成。

該等記憶體裝置通常包括可被安裝於一張卡片上的一個以上記憶體晶片。每個記憶體晶片皆包括一受到週邊電路(例如解碼器、抹除電路、寫入電路、以及讀取電路)支援的記憶體胞陣列。較精細的記憶體裝置還會搭配一可實施智慧與高階記憶體操作與介接的控制器。現今已有許多市售成功的非揮發性固態記憶體裝置。該些記憶體裝置可能會運用不同類型的記憶體胞，每種類型皆具有一個以上的電荷儲存單元。

圖1係一EEPROM記憶體胞的非揮發性記憶體胞的概略圖。其電荷儲存單元係一浮動閘極。一可電抹除與程式化的唯讀記憶體(EEPROM)的結構與EPROM雷同，不過，會另外提供一種機制，用以於施加適當電壓時以電氣方式將電荷載入至其浮動閘極以及以電氣方式從其浮動閘極處移除電荷，而不需要曝露於UV輻射中。此等記憶體胞及其製

造方法的範例揭示於美國專利案第5,595,924號。

圖2為一串電荷儲存單元的概略圖，該等電荷儲存單元已被組成一NAND胞或串。一NAND胞50係由一連串的記憶體電晶體M1、M2、...Mn (n=4、8、16或更高)所組成，該等電晶體的源極與汲極則被菊鏈在一起。有一對選擇電晶體S1、S2會控制該等記憶體電晶體鏈經由該NAND胞之源極終端54與汲極終端56連接至外部的情形。於一記憶體陣列中，當信號SGS開啟源極選擇電晶體S1時，源極終端便會被耦合至一條源極線。同樣地，當信號SGD開啟汲極選擇電晶體S2時，該NAND胞的汲極終端便會被耦合至該記憶體陣列的某條位元線。該鏈中的每個記憶體電晶體皆具有一電荷儲存單元來儲存特定數量的電荷，用以代表某種預期的記憶體狀態。介於每個記憶體電晶體之源極與汲極間的係一通道區。每個記憶體電晶體之控制閘極(例如60、62、...、64)上的電壓會分別控制該等記憶體電晶體M1、M2、...、Mn之通道區中的電流導通情形。選擇電晶體S1、S2會分別透過其源極終端54與汲極終端56來控制該NAND胞的存取情形，而且分別會被其控制閘極上適當的電壓開啟。

當於程式化期間讀取或驗證一NAND胞內被定址的記憶體電晶體時，其控制閘極便會被供應一適當的參考電壓。同一時間，則會施加足夠的電壓 V_{PASS} 至NAND胞50內其餘未被定址的記憶體電晶體的控制閘極上而將其完全開啟。依此方式，便可從個別記憶體電晶體的源極至該NAND胞的

源極終端54有效地產生一條導通路徑，同樣地，可從個別記憶體電晶體的汲極至該NAND胞的汲極終端56有效地產生一條導通路徑。相同地，於程式化期間，欲被程式化的記憶體電晶體會供應一程式化電壓 V_{PGM} 給其控制閘極，而該串中其它記憶體電晶體的控制閘極則會被供應該導通電壓 V_{PASS} 。具有此等NAND胞結構的記憶體裝置已於美國專利案第5,570,315號、第5,903,495號以及第6,046,935號中提出說明。

另一種雷同的非揮發性記憶體則係利用一介電層作為其每個電荷儲存單元。其係利用一介電層來取代前面所述的導通浮動閘極元件。此等利用介電儲存元件的記憶體裝置已描述於Eitan等人於2000年11月在IEEE Electron Device Letters, 第21冊, 第11號, 第543-545頁中所發表的「NROM: A Novel Localized Trapping, 2-Bit Non-volatile Memory Cell」一文中。有一ONO介電層會延伸跨越源極與汲極擴散區間的通道。其中一個資料位元的電荷會於靠近該汲極的介電層中被局部化，而另一個資料位元的電荷會於靠近該源極的介電層中被局部化。舉例來說，美國專利案第5,768,192號及第6,011,725號便揭示一種於兩層二氧化矽層間夾放一陷阱介電質的非揮發性記憶體胞。藉由分開讀取該介電質內空間分離的電荷儲存區域的二元狀態，便可實現多重狀態的資料儲存。

記憶體陣列

一記憶體裝置通常包括一二維的記憶體胞陣列，該等記

記憶體胞係被排列於複數列與複數行之中並且可利用複數條字組線與複數條位元線來定址。

圖3為一由複數個NAND胞(例如圖2中所示者)所組成之陣列的範例示意圖。圖中有一條位元線36會沿著每行NAND胞被耦合至每個NAND胞的汲極終端56。圖中有一條源極線34會沿著每列NAND胞來連接其全部的源極終端54。另外，該等NAND胞的控制閘極60、...、64也會沿著某一系列被連接至一連串對應的字組線。透過相連的字組線，利用其控制閘極SGD與SGS上適當的電壓來開啟該對選擇電晶體(參見圖2)便可定址整列的NAND胞。當一NAND胞鏈內的某個記憶體電晶體正在被讀取時，便很難通過相關的字組線來開啟該鏈中剩餘的記憶體電晶體，因此，流經該鏈的電流基本上係相依於正在被讀取之記憶體胞中所儲存之電荷位準。在美國專利案第5,570,315號、第5,774,397號以及第6,046,93號中已經發現到一可作為一記憶體系統的一部份的NAND架構陣列及其操作的範例。

區塊抹除

電荷儲存記憶體裝置的程式化可能僅會導致於其電荷儲存元件中加入更多的電荷。所以，於進行程式化操作之前，必須先移除(或抹除)一電荷儲存元件中既有的電荷。可提供抹除電路(未顯示)以抹除一個以上的記憶體胞區塊。當同時(也就是，瞬間)電抹除整個記憶體胞陣列或是電抹除該陣列中龐大的記憶體胞群時，便可將一非揮發性記憶體(例如EEPROM)稱為「快閃」EEPROM。一旦抹除之後，便可再

程式化該群記憶體胞。該群可同時抹除的記憶體胞可能係由一個以上可定址的抹除單元所組成。該抹除單元或區塊通常會儲存一頁以上的資料，該頁為程式化與讀取的單位，不過，亦可於單次操作中程式化或讀取一頁以上。每一頁通常會儲存一個以上的抹除區塊，該抹除區塊的大小係由主系統來定義。其範例為一由512個使用者資料位元組以及數個附加資訊位元組(其係關於該使用者資料及/或其被儲存的區塊)所組成的抹除區塊，其會遵守為磁碟機所建立的標準。於其它系統中，該抹除區塊的大小可能遠大於512個位元組。

讀/取電路

於常用的雙態EEPROM胞中，會建立至少一個電流中斷點位準，以便將該導通視窗分割成兩個區域。當藉由施加一預設的固定電壓來讀取某一記憶體胞時，可藉由與該中斷點位準(或參考電流 I_{REF})作比較，將其源極/汲極電流解析成某種記憶體狀態。若被讀取的電流高於中斷點位準的電流或 I_{REF} 的話，該記憶體胞便會被決定為其中一種邏輯狀態(例如「零」狀態)。相反地，若該電流低於中斷點位準的電流的話，該記憶體胞便會被決定為另一種邏輯狀態(例如「一」狀態)。因此，此種雙態記憶體胞便可儲存一位元的數位資訊。通常會供應一參考電流源(其通常係可外部程式化)作為一記憶體系統的一部份，以便產生該中斷點位準電流。

隨著半導體技術的進步，可以製造密度更高的快閃

EEPROM裝置，以便提高記憶體容量。提高儲存容量的另一種方法則係讓每個記憶體胞儲存兩個以上的狀態。

對一多重狀態或多重位準的EEPROM記憶體胞而言，可利用一個以上的中斷點將該導通視窗分割成兩個以上的區域，致使每個記憶體胞皆能夠儲存一位元以上的資料。因此，一特定EEPROM陣列能夠儲存的資訊便會隨著每個記憶體胞能夠儲存的狀態數量而提高。具有複數個多重狀態或多重位準記憶體胞的EEPROM或快閃EEPROM已於美國專利案第5,172,338號中提出說明。

實際上，通常係於該控制閘極上施加一參考電壓時，藉由感測跨越該記憶體胞之源極電極與汲極電極的導通電流來讀取一記憶體胞的記憶體狀態。因此，對一記憶體胞之浮動閘極上的每個特定電荷而言，可偵測到和一固定參考控制閘極電壓有關的對應導通電流。同樣地，可程式化至該浮動閘極上的電荷範圍會定義一對應的臨界電壓視窗或一對應的導通電流視窗。

或者，可以不偵測一經分割電流視窗中的導通電流，取而代之的係，於該控制閘極處設定一檢驗中之特定記憶體狀態的臨界電壓，並且偵測該導通電流究竟係低於或高於一臨界電流。於其中一種設計方式中，藉由檢查經由該位元線之電容來放電的導通電流的速率，便可達到偵測和一臨界電流有關的導通電流的目的。

影響讀/寫效能與精確度的因素

為改良讀取與程式化效能，可平行讀取或程式化一陣列

中多個電荷儲存元件或記憶體電晶體。因此，便可同時讀取或程式化一由複數個記憶體元件所組成的邏輯「頁」。於現有的記憶體架構中，一列通常會含有數個交錯頁。一頁中的所有記憶體元件將會被同時讀取或程式化。行解碼器將會選擇性地將該等交錯頁中每一者連接至對應數量的讀/寫模組。舉例來說，於其中一種設計方式中，該記憶體陣列會被設計成頁大小為532個位元組(512個位元組加上20個附加資料位元組)。若每行含有一條汲極位元線且每列具有兩個交錯頁的話，那麼總計便會有8512行，每頁則會與4256行有關。因而便將會有4256個感測模組可連接，用以平行讀取或寫入所有的偶數位元線或奇數位元線。如此一來，便可從該記憶體元件頁中平行讀取由4256個位元(即532個位元組)資料所組成的資料頁，或是將由4256個位元資料所組成的資料頁平行程式化至該記憶體元件頁中。構成該等讀/寫電路170的讀/寫模組可被配置成各種架構。

如前面所述，慣用的記憶體裝置係藉由平行操作的方式來改良讀/寫操作。此方式可改良效能，但卻會損及讀寫操作的精確度。

另一項必須解決的問題係位元線與位元線的耦合或串訊。此項問題會隨著平行感測緊密相鄰的位元線而變得更加嚴重。避免發生位元線與位元線串訊的慣用解決方式係同時感測全部的偶數位元線或全部的奇數位元線，同時將其它位元線接地。此種利用兩個交錯頁組成一列的架構有助於避免發生位元線串訊並且可減輕密集配置讀/寫電路

頁的問題。可以利用一頁解碼器將該組讀/寫模組多工成偶數頁或奇數頁。依此方式，當正在讀取或程式化其中一組位元線時，便可將該交錯組接地，以便排除奇數位元線與偶數位元線間的串訊問題，但卻無法解決奇數線路間或偶數線路間的串訊問題。

不過，該交錯頁架構的缺點至少有三點。第一，需要額外的多工電路。第二，效能非常慢，為對被一條字組線連接或位於某一系列中的複數個記憶體胞進行讀取或程式化，需要兩次讀取操作或兩次程式化操作。第三，解決其它干擾效應的方式亦不盡理想，舉例來說，當於不同時間中程式化兩個鄰近電荷儲存元件時(例如分別位於奇數頁與偶數頁中)，發生在浮動閘極位準處之鄰近電荷儲存元件間的電場耦合現象。

隨著記憶體電晶體間の間隔越來越近，鄰近電場耦合問題會變得更形嚴重。於一記憶體電晶體中，會有一電荷儲存單元被夾放於一通道區與一控制閘極之間。於該通道區中流動的電流會與該控制閘極及該電荷儲存單元處的電場所合成的電場具有函數關係。隨著密度提高，記憶體電晶體便越來越靠近。接著，源自鄰近電荷元件的電場便會對一受影響記憶體胞的合成電場產生極大的影響。該鄰近電場會相依於被程式化至該等鄰近者之電荷儲存單元中的電荷。此干擾電場的本質係動態的，因為其會隨著該等鄰近者之經程式化狀態而改變。因此，視該等鄰近者的變化狀態而定，一受影響記憶體胞於不同時間的讀取結果可能會

不同。

慣用的交錯頁架構會讓因鄰近電荷儲存單元耦合現象所導致的誤差更加惡化。因為偶數頁與奇數頁係彼此獨立被程式化及被讀取，所以，視當時該交錯頁所發生的情況而定，可於其中一組條件下程式化某一頁，並且於一組完全不同的條件下讀回。讀取誤差會隨著密度提高而變得更加嚴重，其會需要更精確的讀取操作以及更寬廣地分割多重狀態設計的臨界視窗。其效能將會受到影響且多重狀態設計中的潛在容量也會受到限制。

2002年9月24日提出申請的美國專利申請案序號第10/254483號及第10/254290號便揭示一種記憶體架構，其中會平行程式化或讀取一由複數個連續記憶體儲存單元所構成的記憶體頁。當對一由複數個連續記憶體儲存單元所構成的記憶體頁實施程式化時，於該過程中，已經被程式化至其目標狀態的記憶體儲存單元便將會禁止程式化或被鎖定而無法作進一步程式化。於較佳的技術中，係藉由浮動該等記憶體儲存單元的通道且提升該處的電壓以禁止程式化來鎖定該等記憶體儲存單元；但是，此經提升的電壓卻會嚴重地干擾到仍在進行程式化的鄰近儲存單元。

所以，吾人通常需要一種高效能且高容量的非揮發性記憶體。明確地說，吾人需要一種具有高容量且具有經改良之讀取與程式化效能的非揮發性記憶體，其可有效地解決前述的問題。

【發明內容】

藉由一大型的讀/寫電路頁來平行讀寫一對應的記憶體胞頁便可符合高容量與高效能非揮發性記憶體裝置的該些需求。尤其是，可以排除或最小化高密度晶片整合中可能會造成讀取與程式化誤差的固有干擾效應。

本發明提供可平行對一群記憶體胞進行記憶體操作的裝置與方法。該群中的每個記憶體胞皆可能會存在於數種操作模式中其中一者。舉例來說，當程式化該群時，部份記憶體胞可能會處於程式化禁止模式中。該記憶體群中正在進行特定記憶體操作的某一記憶體胞可能會受到其鄰近者干擾。該干擾的延伸會相依於該等鄰近者所在的操作模式。藉由被施加至該記憶體胞之位元線的抵銷電壓便可補償該干擾，該抵銷電壓可能係其鄰近者之操作模式的函數。

本發明提供部份的程式化電路與方法，其中可藉由添加一抵銷電壓至程式化候選記憶體儲存單元的位元線電壓中來抵銷源自鄰近儲存單元的干擾。該抵銷量會與該等兩個鄰近者所在的操作模式產生函數關係。若該等鄰近者中一者以上所在的操作模式會造成干擾的話，便可據此調整該抵銷量以最小化該干擾。

明確地說，當程式化一由複數個儲存單元所組成的連續頁時，每當一儲存單元抵達其目標狀態且禁止程式化或被鎖定而無法作進一步程式化時，其便會干擾仍在進行程式化的鄰近儲存單元。本發明提供一部份的程式化電路及方法，其中可於仍在進行程式化的鄰近儲存單元中加入抵銷量以抵銷干擾。該抵銷量係藉由於仍在進行程式化的儲存

單元的位元線中施加一預設的偏壓電壓而被加入。明確地說，若該儲存單元於程式化禁止模式中左右鄰接兩個鄰近者的話，那麼該預設的抵銷量將會補償源自兩個鄰近者的干擾。若該儲存單元於程式化禁止模式中僅具有其中一個鄰近者的話，那麼該位元線抵銷量將會比較低，僅足以補償源自其中一個鄰近者的干擾。若該儲存單元於程式化禁止模式中左右皆未鄰接任何鄰近者的話，那麼該抵銷量實際上便會為零。依此方式，便可消除或最小化平行高密度記憶體儲存單元之程式化過程中固有的誤差。

根據一較佳的具體實施例，每個儲存單元的位元線電壓會被設為和其鄰近者的操作模式(不論係處於程式化禁止模式或是程式化模式)產生函數關係。可利用取自其每個鄰近者之感測模組中的信號來決定該操作模式。或者，可利用其每個鄰近者之位元線上的電壓條件來決定其每個鄰近者之操作模式。一位元線電壓選擇器會依照與該等鄰近者之操作模式的函數關係將具有適當抵銷量的適當位元線電壓供應至該位元線。如此一來，便可感測到該已程式化禁止儲存單元對仍在進行程式化之儲存單元所造成的干擾，並且藉由適當施加位元線電壓抵銷量來加以補償。

從下面本發明之較佳具體實施例的說明中將會瞭解本發明的額外特點與優點，參考該說明時應該配合附圖。

【實施方式】

全部位元線程式化

圖4A與圖8中所示的感測模組380較佳的係設計為被配置

成用以實施全位元線感測的記憶體架構。換言之，某一系列中的連續記憶體胞可個別被連接至一感測模組，用以平行實施感測。此種記憶體架構亦揭示於Cernea等人於2002年9月24日提出的共同待審且共同受讓的美國專利申請案序號第10/254,483號中，其標題為「Highly Compact Non-Volatile Memory And Method Thereof」。本文以引用的方式將該篇專利申請案全部的揭示內容併入。

如先前所述，某一「頁」中同時被程式化或被讀取的記憶體胞的數量可能會隨著一主系統所送出或要求的資料大小而改變。因此，有下面數種方式可程式化被耦合至單一條字組線的該等記憶體胞：(1)分開程式化偶數位元線及奇數位元線，其可能包括上頁程式化及下頁程式化；(2)程式化所有該等位元線(「全位元線程式化」)；或者(3)分開程式化左右頁中所有的位元線，其可能包括右頁程式化及左頁程式化。

圖4A為根據本發明一具體實施例之記憶體裝置的概略示意圖，其具有複數個讀/寫電路用以平行讀取與程式化一記憶體胞頁。該記憶體裝置包含一二維的記憶體胞陣列300、控制電路310、以及讀/寫電路370。可透過列解碼器330藉由複數條字組線以及透過行解碼器360藉由複數條位元線來定址記憶體陣列300。讀/寫電路370包含多個感測模組380，並且允許平行讀取或程式化一記憶體胞頁。

於本發明中，欲被平行讀取或程式化的記憶體胞頁較佳的係一系列連續的記憶體儲存胞或儲存單元。於其它具體實

施例中，該頁可能係某一系列連續的記憶體儲存胞或儲存單元中的一個區段。

控制電路310會配合該等讀/寫電路370來對記憶體陣列300實施記憶體操作。控制電路310包含一狀態機312、一晶片上位址解碼器314、以及一電源控制模組316。狀態機312會提供晶片等級的記憶體操作控制。晶片上位址解碼器314會於該主系統或記憶體控制器所使用的位址至該等解碼器330與370所使用的硬體位址間提供一位址界面。電源控制模組316會於記憶體操作期間控制被供應至該等字組線與位元線的電源與電壓。

圖4B為圖4A中所示之記憶體裝置的較佳配置示意圖。可以對稱的方式於該陣列的兩側上利用各種週邊電路來存取該記憶體陣列300，致使每一側上的存取線路與電路的密度皆可減半。因此，可將列解碼器分割為列解碼器330A與330B，並且將行解碼器分割為行解碼器360A與360B。同樣地，可將該等讀/寫電路分割為從該陣列300底部連接至複數條位元線的讀/寫電路370A以及從該陣列300頂端連接至複數條位元線的讀/寫電路370B。依此方式，便可將該等讀/寫模組的密度實質地減半，所以亦可將該等感測模組380的密度減半。

通道及電荷儲存單元上的高壓

高密度積體電路、非揮發性記憶體裝置中固有的誤差係因為鄰近電荷儲存單元與通道區的耦合所造成的。若相對於一鄰近單元來提升一記憶體儲存單元之通道區與電荷儲

存單元的電壓的話，那麼便將會對該鄰近單元的電荷儲存單元造成干擾。當平行程式化該等記憶體儲存單元且密集地封裝該等記憶體儲存單元或者未妥善遮蔽該等記憶體儲存單元時，此效應便會更加顯著。

圖 5A 為沿著圖 2 中所示之方向 5A-5A 所取得的一記憶體電晶體的剖面透視圖，以及介於該電荷儲存單元與該字組線之間及介於該儲存單元與該通道之間的等效電容。記憶體電晶體 M1 的控制閘極 60 係沿著 NAND 陣列 100 (參見圖 3) 中某一系列繞行的某條字組線的一部份。於此圖中，汲極係位於圖 5A 頁的正面，而源極則係位於該頁的背面，其會於中間界定一通道區 80。有一電荷儲存單元 70 被置放於該控制閘極 60 與該通道區 80 的中間，而且會藉由複數層介電材料與兩者產生絕緣。該電荷儲存單元 70 與該控制閘極 60 間的電耦合可利用一等效的電容器 C_{WF} 來模型化。同樣地，該電荷儲存單元 70 與該通道區 80 間的電耦合可利用一等效的電容器 C_{FC} 來模型化。

圖 5B 為圖 5A 中所示的記憶體電晶體的電容性耦合的概略示意圖，圖中明確地顯示出因該通道處之電壓及該字組線處之電壓而於該電荷儲存單元處所造成的電壓。若電荷儲存單元 70 所儲存的電荷量為 Q 的話，那麼 C_{WF} 與 C_{FC} 兩者便會保留相同的電荷。電荷儲存單元 70 處的電壓為 $V_{CS} = (C_{WF}V_W + C_{WF}V_C)/(C_{WF} + C_{FC})$ 。可輕易地看出，該電荷儲存單元的電壓通常會隨著通道處及/或字組線處之電壓的提高而提高。下個段落將會說明，當將一記憶體電晶體(例

如M1)置放於程式化禁止模式中時，通道電壓便會提升至高電壓。所以，同樣會在電荷儲存單元處造成高電壓。結合通道80以及電荷儲存單元70處的高電壓便將會對處於程式化模式中的鄰近記憶體電晶體造成干擾效應。

因處於高電壓(程式化禁止)狀態的鄰近單元所造成的程式化過衝現象

圖6A為圖3中所示之NAND陣列的剖面透視圖，其情況為兩個鄰近記憶體電晶體皆處於程式化模式中。舉例來說，圖6A可能表示的係沿著共享相同字組線60的某一系列中的三個鄰近的記憶體電晶體，例如M1-1、M1-2與M1-3，分別屬於NAND串50-1、50-2與50-3。該等NAND串50-1、50-2與50-3分別具有可與其相連的位元線36-1、36-2與36-3。該等記憶體電晶體M1-1、M1-2與M1-3具有對應的電荷儲存單元70-1、70-2與70-3以及通道80-1、80-2與80-3。

隨著記憶體陣列密度的提高，該等記憶體電晶體便越來越緊密，而且彼此的影響也會越來越嚴重。舉例來說，記憶體電晶體M1-2的臨界電壓會相依於其電荷儲存單元70-2的電壓。因為與其鄰近者M1-1及M1-3非常親近的關係，M1-1及M1-3之通道及電荷儲存單元上的電壓便可能會影響M1-2之電荷儲存單元上的電壓。舉例來說，電荷儲存單元70-2可視為分別利用等效電容器 C_{12} 與 C_{23} 被耦合至其鄰近的電荷儲存單元70-1與70-3。同樣地，電荷儲存單元70-2可視為分別利用等效電容器 C'_{12} 與 C'_{23} 被耦合至其鄰近的通道80-1與80-3。該等記憶體電晶體間的時間越近，其間的耦

合程度便越高。

圖 6A 圖解的情況為兩個鄰近記憶體電晶體 M1-2 與 M1-1 皆處於程式化模式中。專注於因 M1-1 對 M1-2 所造成的效應，由於字組線電壓與位元線電壓的關係會有些許的變異，因為該等電壓對 M1-2 與 M1-1 而言係相同的。該等通道電壓同樣係相同的。電荷儲存單元 70-2 所看見的唯一差異係因電荷儲存單元 70-1 所造成的，其主要係和其所保留的電荷或是其資料表現成函數關係。舉例來說，M1-1 與 M1-2 的電荷儲存單元上的電壓可能約為 1 至 2 V。通常藉由允許兩個不同記憶體狀態間有足夠的邊限值便可解決此類干擾所造成的干擾。

圖 6B 為與圖 6A 雷同的 NAND 陣列的剖面透視圖，不過，該等鄰近記憶體電晶體中其中一者係處於程式化禁止模式中。於此情況中，M1-2 正被程式化，而 M1-1 則被禁止作進一步程式化。兩者的字組線電壓會維持相等，但是 M1-1 之位元線 36-1 上的電壓則會改變成 V_{DD} ，其係一預設的系統電壓，例如約 2.5 V。如此便可有效地關閉選擇電晶體 S2 (參見圖 2)，讓 NAND 鏈 50-1 和其位元線 36-1 中斷連接，並且浮動 M1-1 的通道 80-1，致使當字組線 60 上出現高電壓時，便可以電容性的方式將其提升至高電壓。舉例來說，可依此方式將 M1-1 的通道 80-1 提升至 10 V。提升通道的電壓將可有效地降低該通道與該電荷儲存單元間的電位差，從而避免將電子從該通道吸引至該電荷儲存單元而實施程式化。

綜觀前面配合圖 5B 的討論，高電壓的通道將會造成高電

壓的電荷儲存單元。舉例來說，當記憶體電晶體M1-1處於程式化模式中時，其可能會讓通道80-1的電壓提升約10 V，並且讓電荷儲存單元70-1的電壓提升約2 V至8 V。如此便會明顯地干擾到欲被程式化的鄰近記憶體電晶體(例如M1-2)。舉例來說，M1-2的電荷儲存單元70-2會將其電壓提升 $\Delta V_2 \sim 0.2$ V。這係因為其電荷儲存單元70-2被電容性(例如分別為 C_{12} 與 C'_{12})耦合至高電壓(程式化禁止)記憶體電晶體M1-1的電荷儲存單元70-1與通道80-1的關係。一般來說，該記憶體電晶體的臨界電壓會於0.8 V至約0.1 V以下的步階中被程式化，如此將會導通電流致M1-2被錯誤地程式化至高於預期的臨界值。

目前所討論的皆係專注於因M1-1對記憶體電晶體M1-2所造成的干擾效應。若M1-3同樣處於程式化禁止模式中的話，那麼其高電壓將會以雷同的方式耦合，進而提升M1-2之電荷儲存單元70-2上的電壓。最壞的情況係記憶體電晶體M1-2處於程式化模式中而其兩側上的鄰近者M1-1與M1-3皆被鎖定(程式化禁止)而無法作進一步程式化時，此時對M1-2之電荷儲存單元70-2所造成的干擾可能會高達0.2 V。對正在程式化的M1-2而言，此效應等效於將其控制閘極上的程式化電壓提高0.4 V。如此一來，於某種環境下可能會導致過度程式化，進而造成錯誤的狀態。舉例來說，該記憶體胞的臨界視窗可能會被分割成約0.3 V的間隔，而程式化脈衝步階每次的增幅則約為0.1 V，因此橫跨每個分段時通常會需要一個以上的脈衝。目前的程式化脈衝步階

可能僅會將M1-2推至剛好低於代表預期程式化狀態的臨界區域。同一時間，目前的脈衝步階可能會將M1-1與M1-3程式化至其最終狀態，致使藉由進入程式化禁止模式而將其鎖定，使其無法作進一步程式化。因此，於下個程式化脈衝步階中，M1-2將會驟然受到高達0.5 V的大額程式化步階的作用。如此將可能讓M1-2過衝超過預期的臨界區，並且被錯誤地程式化至下個記憶體狀態。

利用位元線至位元線耦合來校正干擾的技術以揭示於共同待審且共同擁有的美國專利申請案「Non-volatile memory and method with bit line to bit line coupled compensation」之中，該案的申請日期與申請人皆與本案相同。本文以引用的方式將該參考申請案全部的揭示內容併入。

對鄰近者的電壓提升所產生的干擾進行位元線補償

圖7A-7D為一正在程式化之記憶體胞的鄰近者的記憶體操作模式的各種干擾示意圖。正在程式化之記憶體胞係被耦合至位元線36-0的NAND胞50的一部份。鄰近的NAND胞分別係左方的51以及右方的51'，其會分別被耦合至位元線36-1與36-1'。

圖7A的組態為鄰接NAND胞50的兩個鄰近者51與51'皆處於程式化禁止模式中。此意謂著正在進行程式化的NAND胞將會受到兩側鄰近NAND胞之高電壓通道的干擾。再次參考圖6B，正在進行程式化的記憶體胞或儲存單元為M1-2以及其左鄰近者M1-1。M1-1的高電壓通道所造成的干擾係會

將 M1-2 的浮動閘極 70-2 的電位實際提升 ΔV_2 的電壓 (例如 0.2 V)。同樣地，若另一鄰近者 M1-3 同樣為程式化禁止的話，那麼其高電壓通道也會提高浮動閘極 70-2 處的電壓，進而產生總額 ΔV_2 (例如 0.4 V)。

記憶體電晶體 M1-2 正在進行程式化，所以若將 M1-2 的電荷儲存單元 70-2 處的電壓提升 ΔV_2 的話將會導致程式化誤差。

根據一較佳具體實施例，於位元線 36-2 上引入相同的數額便可補償電荷儲存單元 70-2 處的干擾電壓 ΔV_2 。此位元線補償電壓將會被傳送至該通道，使得介於該電荷儲存單元 70-2 與該通道 80-2 間的電位差實際上為零。如此便可排除臨界電壓中的任何誤差。

因此，根據圖 7A 中所示之本發明的技術，此高電壓實質上將會被施加至 M1-2 之位元線的等額預設電壓偏壓 ΔV_{11} 抵銷。

圖 7B 與 7C 的組態為鄰接 NAND 胞 50 的兩個鄰近者 50-1 與 50-1' 中其中一者係處於程式化禁止模式中而另一者則係處於程式化模式中。此意謂著正在進行程式化的 NAND 胞將僅會受到該等鄰近 NAND 胞中其中一者之高電壓通道的干擾。因此，該等鄰近者中其中一者之高電壓通道便將會提高浮動閘極 70-2 處的電壓，產生總額 ΔV_2 (例如 0.2 V)。根據本發明的技術，此高電壓實質上將會被施加至 M1-2 之位元線的等額預設電壓偏壓 ΔV_{10} (或 ΔV_{01}) 抵銷。

圖 7D 的組態為鄰接 NAND 胞 50 的鄰近者 50-1 與 50-1' 中沒

有任一者係處於程式化禁止模式中。此意謂著正在進行程式化的NAND胞將不會受到其鄰近NAND胞的干擾。因此，鄰近的通道將不會提高浮動閘極70-2處的電壓。因此，由於沒有任何高電壓通道的關係， ΔV_2 將會係0 V，而且對應的抵銷預設電壓 ΔV_{00} 或位元線偏壓電壓將也會是0 V。

圖8為用於設計本發明之各項觀點的較佳感測模組。感測模組380包括一位元線隔絕電晶體502、一位元線下拉電路520、一位元線電壓鉗止部610、一讀出匯流排傳輸閘極530、以及一感測放大器600。

一般來說，會平行操作一頁中的記憶體胞。所以，會有對應數量的感測模組平行運作。於其中一具體實施例中，頁控制器540會權宜地提供控制與時序信號給該等平行運作中的感測模組。

當信號BLS啟動位元線隔絕電晶體502時，感測模組380便可連接至一記憶體胞10的位元線36。感測模組380會利用感測放大器600來感測記憶體胞10的導通電流，並且將讀取結果以數位電壓位準SEN2的形式鎖存在感測節點501處，並且將其輸出至一讀出匯流排532。

感測放大器600基本上包括一第二電壓鉗止部620、一預充電電路640、一鑑別器或比較電路650、以及一鎖存器660。鑑別電路650包含一專屬的電容器652。

感測模組380的其中一項特點係會於感測其間於該位元線中加入一恆定的供應電壓。此目的以位元線電壓鉗止部610來設計為宜。位元線電壓鉗止部610的運作方式如同一

二極體鉗止部，其會利用一電晶體612來串聯位元線36。其閘極會被偏壓至一恆定的電壓BLC，該電壓等於其臨界電壓 V_T 以上的預期位元線電壓 V_{BL} 。依此方式，其便可於程式化-驗證或讀取期間，將該位元線與該感測節點501產生隔絕，並且為該位元線設定一恆定的電壓位準，例如預期的 $V_{BL}=0.5$ 至 0.7 伏特。一般來說，該位元線電壓位準會被設為非常低，以防止冗長的預充電時間；不過其位準卻必須夠高，以防止接地雜訊與其它因素。

感測放大器600會經由感測節點501來感測導通電流，並且判斷該導通電流究竟係高於或低於預設值。該感測放大器會以數位格式將該感測節點501處所感測的結果信號SEN2輸出至讀出匯流排532。

數位控制信號INV（其基本上係信號SEN2的反向狀態）亦會被輸出以控制該下拉電路520。當所感測的導通電流高於預設值時，INV將會為HIGH且SEN2將會為LOW。下拉電路520可強化此結果。下拉電路520包含一受控於控制信號INV的n電晶體522以及另一受控於控制信號GRS的n電晶體550。當其進入LOW之後，不論INV信號的狀態為何，GRS信號基本上都可讓位元線36變成浮動。於程式化期間，GRS信號會進入HIGH，讓位元線36被拉至接地。當該位元線必須浮動時，GRS信號便會進入LOW。

圖14(H)-14(O)為配合本發明特點於圖8中所示之較佳感測模組的時序圖。Adrian-Raul Cernea與Yan Li於2002年9月24日提出的共同待審與共同擁有的美國專利申請案序號

第10/254830號中已經針對其它新穎的特點來說明且主張該較佳感測模組之運作的詳細說明。本文以引用的方式將該參考申請案全部的揭示內容併入。

圖9為一感測模組的組態示意圖，其中每個感測模組也會感測其鄰近者的INV信號。位元線36-0會分別鄰接位元線36-1與36-1'。感測模組380-0會被耦合至位元線36-0，而感測模組380-1與380-1'則會分別被耦合至位元線36-1與36-1'。因為每個感測模組都會從其鄰近者處接收INV信號，所以，感測模組380-0會分別從其感測模組380-1與380-1'處接收INV信號，當作輸入信號 INV_L 與 INV_R 。同樣地，感測模組380-0的INV信號會被輸入至感測模組380-1與380-1'。

再次參考圖8，根據較佳具體實施例，會由一位元線電壓補償器560來供應該位元線偏壓。其會分別以信號 INV_L 與 INV_R 的形式從其左右鄰近者中來感測該模式，並且根據圖11的偏壓電壓表響應以供應一偏壓電壓 ΔV_{BL} 。該偏壓電壓會被供應至節點523，該節點會以可切換的方式被耦合至位元線36。於程式化期間，信號BLS與INV兩者皆為HIGH，而信號GRS則為LOW。該些信號可讓位元線36存取位元線電壓補償器560。

圖10為一種替代設計的示意圖，其中會從一鄰近者位元線的狀態中直接推導出表示該鄰近者究竟係處於程式化模式或程式化禁止模式的信號。當無法輕易地從一鄰近感測模組中取得信號時，此項技術便非常實用。如先前所述，

當 NAND 鏈處於程式化模式中時，其位元線電壓會保持在接地電位附近，而且當其處於程式化禁止模式中時，其位元線電壓則會保持在 V_{DD} 處。

虛擬 INV 信號產生器 570 會感測該位元線電壓，並且輸出一虛擬 INV 信號 (VINV)，該信號邏輯上等同於一感測模組所產生的 INV 信號。該虛擬 INV 信號產生器 570 包括一 p 電晶體 572 與一 n 電晶體 574，兩者係以輸出信號 VINV 的某一節點的上拉/下拉組態的形式進行串聯。p 電晶體 572 會被其閘極處的電壓 V_{WKP} 略微地上拉。位元線 36' 的電壓會輸入至 n 電晶體 574 的閘極。虛擬 INV 信號產生器 570 的行為基本上如同一三態反向器，當位元線 36-1 的電壓接近接地時 (程式化模式)，其便會輸出一 HIGH VINV 信號；當該電壓位於 V_{DD} 時，其便會輸出一 LOW VINV 信號 (程式化禁止模式)。

於圖 10 所示的範例中，VINV 信號會以信號 V_{INV_L} 的形式輸入至鄰近的感測模組 380-0。因此，利用信號 INV 或 VINV，便可將和程式化或程式化禁止狀態有關的資訊送給被耦合至一 NAND 鏈的感測模組 380-0。於其兩個鄰近 NAND 鏈皆係處於程式化模式的情況中，感測模組 380-0 便會藉由位元線下拉電路 520 將該位元線下拉至接地。

圖 11 為一偏壓電壓表，其所列的係依照和其左右鄰近者之程式化禁止模式的函數關係被施加至一程式化儲存單元之位元線中的抵銷電壓。中間行所列的係依照和其左右鄰近者之模式的函數關係被施加至正在進行程式化之儲存單元之位元線中的抵銷電壓或偏壓電壓。一般來說，其越多

鄰近者處於程式化禁止模式中，便需要越多的位元線偏壓來抵銷該干擾效應。

圖 12 為根據本發明較佳具體實施例於圖 8 中所示之位元線電壓補償器之更細部的概略示意圖。基本上，位元線電壓補償器 560 會分別響應輸入 561 與 563 處的信號 INV_L 與 INV_R ，並且將輸出 565 處的偏壓電壓 ΔV_{BL} 輸出至感測模組 380 的節點 523 (參見圖 8)。為供應圖 11 之表中所列的偏壓電壓，三個電壓源 562、564、566 會分別供應 ΔV_{00} (例如 0 V)、 ΔV_{10} (例如 0.15 V) 以及 ΔV_{11} (例如 0.3 V)。輸出 523 處可透過受控於輸入信號 INV_L 與 INV_R 之狀態的一對邏輯切換器來選用每個該些電壓源。

圖 13 為一根據本發明一較佳具體實施例的方法流程圖，圖中顯示的係一種程式化一由複數個連續電荷儲存單元所組成之記憶體頁的方法，同時可於個別記憶體電晶體處於程式化禁止或被鎖住的狀態最小化因個別記憶體電晶體所造成之耦合誤差。

全部位元程式化

步驟 400：對一頁連續的記憶體儲存單元而言，每個單元會於一控制閘極與一源極和一汲極所界定的通道區之間具有一電荷儲存單元，其會為該頁的每個記憶體儲存單元提供一條位元線，該條位元線會以可切換的方式被耦合至其汲極，以及一條被耦合至該記憶體儲存單元頁之全部控制閘極的字組線。

感測其鄰近者的操作模式

步驟 410：針對欲被程式化之頁的每個該些記憶體儲存單元來判斷其鄰近的記憶體儲存單元是否處於程式化禁止模式中。

具有抵銷量的位元線預充電

步驟 420：針對被程式化禁止之頁的該些記憶體儲存單元，施加一第一預設電壓給其每條位元線，用以禁止程式化。

步驟 422：施加一第二預設電壓給欲被程式化之頁的該些記憶體儲存單元的每條位元線，用以促成程式化，該每條位元線的該第二預設電壓係其鄰近記憶體儲存單元之操作模式的函數，用以抵銷此處的任何干擾。

程式化脈衝供應、驗證&禁止

步驟 430：施加一程式化電壓脈衝給該字組線，用以平行地程式化該頁的該等記憶體儲存單元，其中，可藉由其被升壓至程式化禁止電壓條件的浮動通道來程式化禁止某條位元線具有該第一預設電壓的記憶體儲存單元，並且藉由源自該第二預設電壓的該抵銷量來補償任何鄰近程式化記憶體儲存單元之高壓所造成的干擾。

步驟 440：驗證正在進行程式化的任何該等記憶體儲存單元是否已經被程式化至其目標狀態。

步驟 450：標出經過驗證為程式化禁止的任何記憶體儲存單元以及尚未經過驗證可進行程式化的任何記憶體儲存單元。

步驟 460：是否已經驗證該頁中的全部記憶體儲存單元？

若否則返回步驟420。若是則進入步驟480。

步驟470：結束。

圖14(A)-14(G)為根據本發明第一具體實施例在程式化操作期間該電壓補償技術的時序圖。

圖中的電壓會針對處於程式化與程式化禁止下的NAND鏈被供應至該記憶體陣列的各條字組線與位元線(亦可參見圖2與圖3)。程式化操作可分類為位元線預充電相態、程式化相態、以及放電相態。

位元線預充電相態中：

(1)位於0 V處的SGS會關閉源極選擇電晶體(圖14(A))，而進入高位準 V_{SG} 的SGD會開啟汲極選擇電晶體(圖14(B))，從而允許一位元線存取一NAND鏈。

(2)一被程式化禁止的NAND鏈的位元線電壓允許上升至預設電壓 V_{DD} (圖14(F))。當該被程式化禁止的NAND鏈的位元線電壓上升至 V_{DD} 時，該被程式化禁止的NAND鏈的將會於汲極選擇電晶體上之閘極電壓SGD降至 V_{DD} 時變成浮動。同時，一正在進行程式化的NAND鏈的位元線電壓便會被主動下拉至0 V(圖14(G))。

(3)利用位元線電壓補償器560所供應的 ΔV_{BL} 來偏壓該正在進行程式化的NAND鏈的位元線電壓(圖14(G))。電壓補償器560所輸出的 ΔV_{BL} 值係相依於其鄰近者其中一者或兩者是否處於程式化禁止模式中。

(4)連接至某一系列NAND鏈之汲極選擇電晶體的汲極字組線的電壓會降至 V_{DD} 。此結果將僅會浮動位元線電壓趨近

V_{DD} 的程式化禁止NAND鏈，因為其汲極選擇電晶體會被關閉(圖14(B)與14(F))。就含有欲被程式化之記憶體電晶體的NAND鏈而言，其汲極選擇電晶體將不會依照其汲極處接近0 V的位元線電壓而被關閉。

(5)未被定址之NAND鏈中的記憶體電晶體會將其控制閘極電壓設為 V_{PASS} ，用以將其完全開啟(圖14(C))。因為被程式化禁止之NAND鏈係浮動的，所以被施加至該等未被定址之記憶體電晶體的高 V_{PASS} 與 V_{PGM} 會提升其通道與電荷儲存元件處的電壓，從而禁止程式化。 V_{PASS} 通常係依照 V_{PGM} (例如~15-24 V)被設在中間電壓處(例如~10 V)。就一被程式化禁止的鏈而言， V_{PASS} 有助於降低受到較高電壓 V_{PGM} 作用之記憶體胞的有效 V_{DS} ，從而有助於減少漏電。就一正在進行程式化的鏈而言，理想上， V_{PASS} 應該位於接地電位處，因此，中間的 V_{PASS} 電壓係合理的折衷值。

程式化相態中：

(6)將程式化電壓施加至被選來程式化之記憶體電晶體的控制閘極(圖14(D))。在程式化禁止下的儲存單元(也就是，具有高壓通道與電荷儲存單元)將不會被程式化。在程式化下的儲存單元將會被一偏壓位元線電壓程式化(圖14(G))，用以抵銷因其處於程式化禁止模式中之鄰近者的其中一者或兩者所導致的任何干擾。

放電相態中：

(7)各條控制線與位元線皆被允許放電。

基本上，一程式化儲存單元上的干擾係因鄰近的儲存單

元具有被電容性升壓一高控制閘極電壓(該電壓係來自一字組線)的浮動通道與電荷儲存單元的關係。當一NAND鏈被置於程式化禁止模式中時便會發生此現象。此結果還具有干擾(提高)欲被程式化之記憶體電晶體的電荷儲存單元上之電壓的不利效應。藉由於程式化一儲存單元期間感測其鄰近者的動作，便可利用一適當的位元線電壓偏壓來補償其鄰近者的干擾。

雖然已經針對特定的具體實施例來說明本發明的各項觀點，不過，應該瞭解的係，本發明係受到隨附申請專利範圍之完整範疇的保護。

【圖式簡單說明】

圖1係一EEPROM記憶體胞的非揮發性記憶體胞的概略圖。

圖2為一串電荷儲存單元的概略圖，該等電荷儲存單元已被組成一NAND胞或串。

圖3為一由複數個NAND胞(例如圖2中所示者)所組成之陣列的範例示意圖。

圖4A為根據本發明一具體實施例之記憶體裝置的概略示意圖，其具有複數個讀/寫電路用以平行讀取與程式化一記憶體胞頁。

圖4B為圖4A中所示之記憶體裝置的較佳配置示意圖。

圖5A為沿著圖2中所示之方向5A-5A所取得的一記憶體電晶體的剖面透視圖，以及介於該電荷儲存單元與該字組線之間及介於該儲存單元與該通道之間的等效電容。

圖 5B 為圖 5A 中所示的記憶體電晶體的電容性耦合的概略示意圖，圖中明確地顯示出因該通道處之電壓及該字組線處之電壓而於該電荷儲存單元處所造成的電壓。

圖 6A 為圖 3 中所示之 NAND 陣列的剖面透視圖，其情況為兩個鄰近記憶體電晶體皆處於程式化模式中。

圖 6B 為與圖 6A 雷同的 NAND 陣列的剖面透視圖，不過，該等鄰近記憶體電晶體中其中一者係處於程式化禁止模式中。

圖 7(A)-7(D) 概略地顯示一程式化儲存單元之不同的位元線電壓抵銷量與其左右鄰近者之程式化禁止狀態的函數關係。

圖 8 為用於設計本發明之各項觀點的較佳感測模組。

圖 9 為一感測模組的組態示意圖，其中每個感測模組也會感測其鄰近者的 INV 信號。

圖 10 為一種替代設計的示意圖，其中會從一鄰近者位元線的狀態中直接推導出表示該鄰近者究竟係處於程式化模式或程式化禁止模式的信號。

圖 11 為一偏壓電壓表，其所列的係依照和其左右鄰近者之程式化禁止狀態的函數關係被施加至一程式化儲存單元之位元線中的抵銷電壓。

圖 12 為根據本發明較佳具體實施例於圖 8 中所示之位元線電壓補償器之更細部的概略示意圖。

圖 13 為一根據本發明一較佳具體實施例的方法流程圖，圖中顯示的係一種程式化一由複數個連續電荷儲存單元所

組成之記憶體頁的方法，同時可於個別記憶體電晶體處於程式化禁止或被鎖住的狀態最小化因個別記憶體電晶體所造成之耦合誤差。

圖 14(A)-14(G)為根據本發明第一具體實施例在程式化操作期間該電壓補償技術的時序圖。

圖 14(H)-14(O)為配合本發明特點於圖 8 中所示之較佳感測模組的時序圖。

【主要元件符號說明】

10	記憶體胞
34	源極線
36	位元線
36-0	位元線
36-1	位元線
36-1'	位元線
36-2	位元線
36-3	位元線
50	NAND胞
50-1	NAND串
50-2	NAND串
50-3	NAND串
51	NAND胞
51'	NAND胞
54	源極終端
56	汲極終端

60	控制閘極
62	控制閘極
64	控制閘極
70	電荷儲存單元
70-1	電荷儲存單元
70-2	電荷儲存單元
70-3	電荷儲存單元
80	通道區
80-1	通道
80-2	通道
80-3	通道
100	NAND陣列
300	記憶體陣列
310	控制電路
312	狀態機
314	晶片上位址解碼器
316	電源控制模組
330	列解碼器
330A	列解碼器
330B	列解碼器
360	行解碼器
360A	行解碼器
360B	行解碼器
370	讀/寫電路

370A	讀/寫電路
370B	讀/寫電路
380	感測模組
380-0	感測模組
380-1	感測模組
380-1'	感測模組
501	感測節點
502	位元線隔絕電晶體
520	位元線下拉電路
522	n電晶體
523	節點
530	讀出匯流排傳輸閘極
532	讀出匯流排
540	頁控制器
550	n電晶體
560	位元線電壓補償器
561	輸入
562	電壓源
563	輸入
564	電壓源
565	輸出
566	電壓源
570	虛擬INV信號產生器
572	p電晶體

574	n電晶體
600	感測放大器
610	位元線電壓鉗止部
612	電晶體
620	第二電壓鉗止部
640	預充電電路
650	鑑別電路
652	電容器
660	鎖存器

五、中文發明摘要：

當程式化一由複數個記憶體儲存單元所組成的連續頁時，每當一記憶體儲存單元抵達其目標狀態且禁止程式化或被鎖定而無法作進一步程式化時，其便對仍在進行程式化的鄰近記憶體儲存單元產生干擾。本發明提供一部份的程式化電路及方法，其可於仍在進行程式化的鄰近記憶體儲存單元中加入抵銷量。該抵銷量係以抵銷電壓的方式被加入至一正在進行程式化的儲存單元的位元線之中。該電壓抵銷量係與其鄰近者中是否其中一者或兩者或沒有任一者係處於會產生干擾之模式(例如程式化禁止模式)形成預設的函數關係。依此方式，便可消除或最小化平行高密度記憶體儲存單元之程式化過程中固有的誤差。

六、英文發明摘要：

十、申請專利範圍：

1. 一種於一具有一記憶體儲存單元陣列之非揮發性記憶體中平行程式化一頁記憶體儲存單元的方法，每個單元皆於一源極與一汲極所界定至一控制閘極與一通道區間具有一電荷儲存單元以及一條可被切換耦合至該汲極的位元線，該頁記憶體儲存單元具有一條與其控制閘極相連的共同字組線，該方法包括：
 - (a)為該頁之每個記憶體儲存單元提供一條位元線，該位元線可被切換耦合至其汲極；
 - (b)針對欲被程式化之頁的每個該些記憶體儲存單元來判斷其鄰近的記憶體儲存單元是否處於一程式化禁止模式中；
 - (c)針對欲被程式化禁止之頁的該些記憶體儲存單元，施加一第一預設電壓給其每條位元線，用以禁止程式化；
 - (d)施加一第二預設電壓給欲被程式化之頁的該些記憶體儲存單元的每條位元線，用以促成程式化，該每條位元線的該第二預設電壓係其鄰近記憶體儲存單元之操作模式的函數，用以抵銷從此處的任何干擾；以及
 - (e)施加一程式化電壓脈衝給該字組線，用以平行地程式化該頁的該等記憶體儲存單元，其中，可藉由其被升壓至程式化禁止電壓條件的浮動通道來程式化禁止具有該第一預設電壓之位元線的記憶體儲存單元，並且藉由源自該第二預設電壓的該抵銷量來補償任何鄰近

程式化記憶體儲存單元之升壓所造成的干擾。

2. 如請求項1之方法，進一步包括：

(f) 驗證正在進行程式化的任何該等記憶體儲存單元是否已經被程式化至其目標狀態；

(g) 標出經過驗證為程式化禁止的任何記憶體儲存單元以及尚未經過驗證可進行程式化的任何記憶體儲存單元；以及

(h) 重覆進行(c)至(g)，直到驗證該頁之全部記憶體儲存單元為止。

3. 如請求項1或2中任一項之方法，其中可從與其耦合之一感測模組中推導出該等鄰近記憶體儲存單元中至少其中一者的操作模式。

4. 如請求項1或2中任一項之方法，其中可從與其耦合之位元線的電壓中推導出該等鄰近記憶體儲存單元中至少其中一者的操作模式。

5. 如請求項1或2中任一項之方法，其中該頁記憶體儲存單元會構成該陣列的一連續列。

6. 如請求項1或2中任一項之方法，其中該頁記憶體儲存單元會構成該陣列中某一系列的一連續區段。

7. 如請求項1或2中任一項之方法，其中：

該記憶體係被組織成一由複數個記憶體儲存單元所組成的NAND鏈陣列，每條鏈皆具有複數個串聯的記憶體儲存單元，而且該頁中的記憶體儲存單元係由某一頁中每條NAND鏈中的一個記憶體儲存單元所構成。

8. 如請求項1或2中任一項之方法，其中每個記憶體儲存單元皆會儲存一位元的資訊。
9. 如請求項1或2中任一項之方法，其中每個記憶體儲存單元皆會儲存一位元以上的資訊。
10. 如請求項1或2中任一項之方法，其中該電荷儲存單元係一浮動閘極。
11. 如請求項1或2中任一項之方法，其中該電荷儲存單元係一介電層。
12. 如請求項1或2中任一項之方法，其中該非揮發性記憶體的形式為一記憶體卡。
13. 一種非揮發性記憶體，其包括：
 - 一被排列於複數列與複數行之中的記憶體儲存單元陣列；
 - 每個記憶體儲存單元皆具有一電荷儲存單元、一控制閘極、以及一由一源極與一汲極界定的通道區；
 - 一字組線，用以連接一記憶體儲存單元頁的控制閘極；
 - 一條供該頁之每個記憶體儲存單元使用的位元線，該位元線可被切換耦合至其汲極；
 - 一被耦合至該位元線的預充電電路，當相關的記憶體儲存單元欲為程式化禁止時，該預充電電路便會供應一預設的程式化禁止電壓給該位元線，當相關的記憶體儲存單元欲為程式化時，該預充電電路便會供應一預設的程式化啟動電壓給該位元線，以及

該預設的程式化啟動電壓具有一預設的抵銷量，該抵銷量係鄰近記憶體儲存單元中是否其中一者或兩者或沒有任一者處於程式化禁止模式中的函數。

14. 如請求項13之非揮發性記憶體，其進一步包括：

與該等鄰近記憶體儲存單元相關連的複數個個別感測模組，而且源自該個別感測模組的信號係表示該相關連的鄰近記憶體儲存體是否處於程式化禁止模式中。

15. 如請求項13之非揮發性記憶體，其進一步包括：

與該等鄰近記憶體儲存單元相關連的複數個個別位元線電壓偵測器，而且源自該個別位元線電壓偵測器的信號係表示該相關連的鄰近記憶體儲存體是否處於程式化禁止模式中。

16. 一種非揮發性記憶體，其包括：

一記憶體儲存單元陣列，每個單元皆於一控制閘極與一由一源極與一汲極界定的通道區間具有一電荷儲存單元；

一字組線，用以連接該陣列中一記憶體儲存單元頁的控制閘極；

一供該頁之每個記憶體儲存單元使用的位元線，該位元線可被切換耦合至其汲極；

施加第一預設電壓的構件，用以程式化禁止欲被程式化禁止之頁的該些記憶體儲存單元中的每條位元線；

判斷構件，用以針對欲被程式化之頁的每個該些記憶體儲存單元來判斷其鄰近的記憶體儲存單元是否處於程

式化禁止模式中；

施加第二預設電壓的構件，用以施加第二預設電壓給欲被程式化之頁的該些記憶體儲存單元的每條位元線，用以促成程式化，該每條位元線的該第二預設電壓係其鄰近記憶體儲存單元之操作模式的函數，用以抵銷從此處的任何干擾；以及

施加程式化電壓脈衝的構件，用以施加程式化電壓脈衝給該字組線，用以平行地程式化該頁的該等記憶體儲存單元，其中，可藉由其被升壓至程式化禁止電壓條件的浮動通道來程式化禁止具有該第一預設電壓之位元線的記憶體儲存單元，並且藉由源自該第二預設電壓的該抵銷量來補償任何鄰近程式化記憶體儲存單元之升壓所造成的干擾。

17. 如請求項13至15中任一項之非揮發性記憶體，其中該頁記憶體儲存單元會構成該陣列的一列。
18. 如請求項13至15中任一項之非揮發性記憶體，其中該頁記憶體儲存單元會構成該陣列中某一系列的一個區段。
19. 如請求項13至15之非揮發性記憶體，其中：

該記憶體係被組織成一由複數個記憶體儲存單元所組成的NAND鏈陣列，每條鏈皆具有複數個串聯的記憶體儲存單元，而且該頁中的記憶體儲存單元係由某一頁中每條NAND鏈中的一個記憶體儲存單元所構成。

20. 如請求項13至15中任一項之非揮發性記憶體，其中每個記憶體儲存單元皆會儲存一位元的資訊。

21. 如請求項 13 至 15 中任一項之非揮發性記憶體，其中每個記憶體儲存單元皆會儲存一位元以上的資訊。
22. 如請求項 13 至 15 中任一項之非揮發性記憶體，其中該電荷儲存單元係一浮動閘極。
23. 如請求項 13 至 15 中任一項之非揮發性記憶體，其中該電荷儲存單元係一介電層。
24. 如請求項 13 至 15 中任一項之非揮發性記憶體，其中該非揮發性記憶體的形式係一張卡片。
25. 一種非揮發性記憶體，其包括：
 - 一記憶體儲存單元陣列；
 - 該陣列中的一群記憶體儲存單元，該群中的每個記憶體儲存單元皆具有一條與其耦合的位元線；
 - 一用以平行地操作該群記憶體儲存單元之電路，同時該群的個別記憶體儲存單元皆存在於一預設操作模式集之其中一者處；以及
 - 該電路進一步包括一電壓供應器，用以供應一預設電壓集中經選定的電壓給每條位元線；以及經選定的電壓係鄰近記憶體儲存單元之操作模式的函數。

十一、圖式：

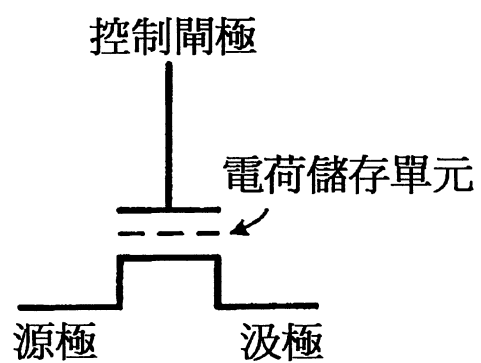


圖 1

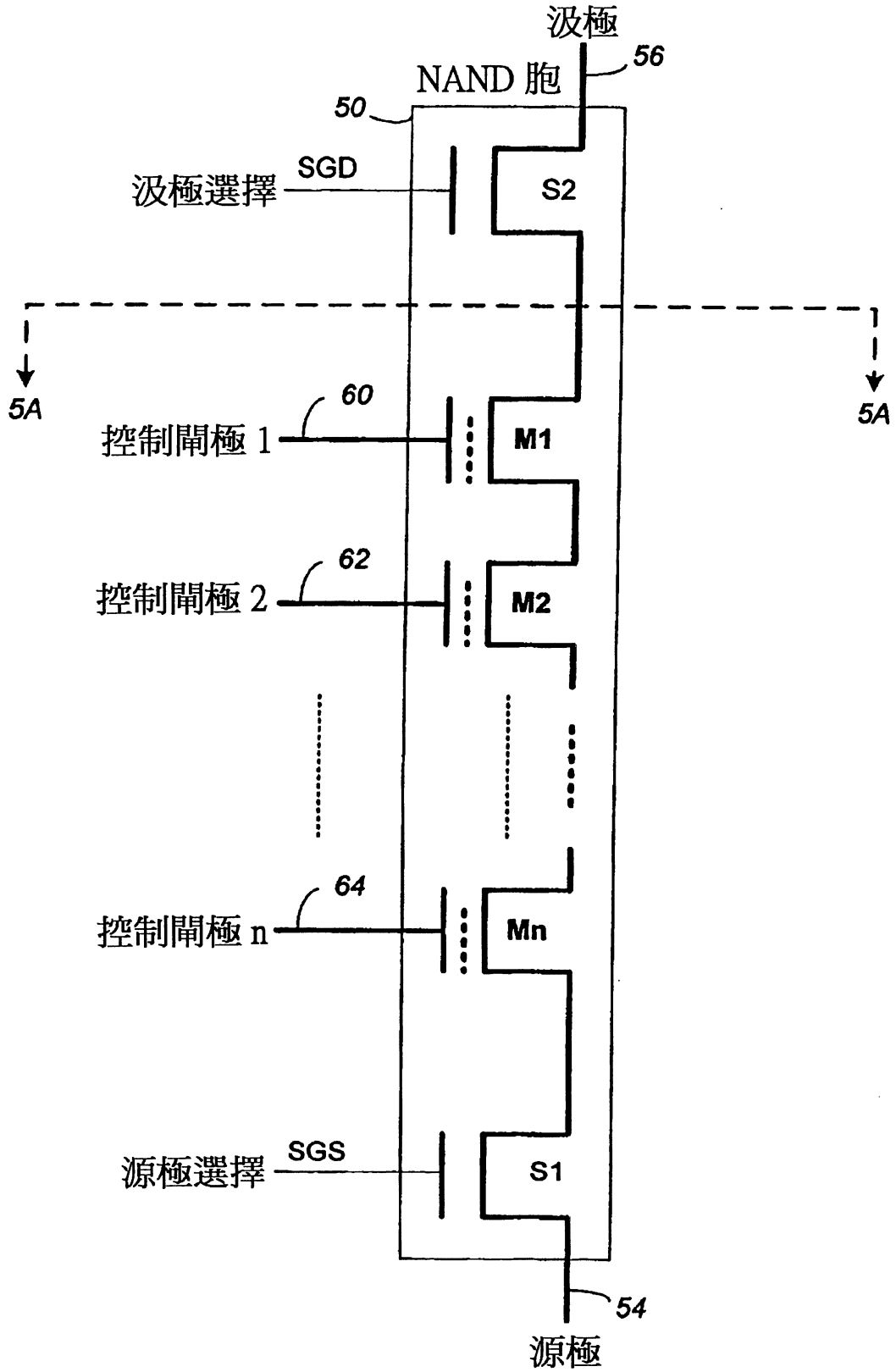


圖 2

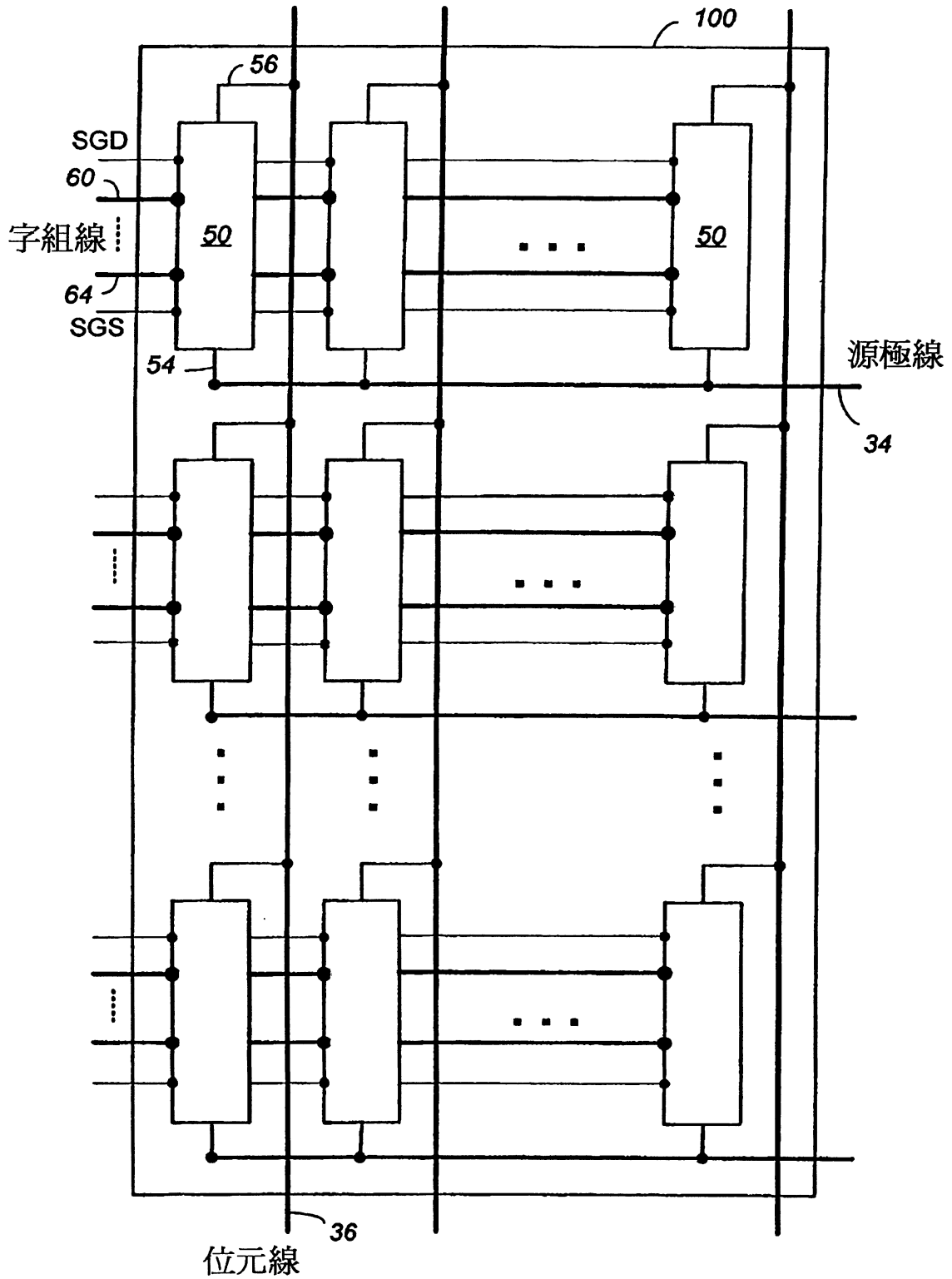


圖 3

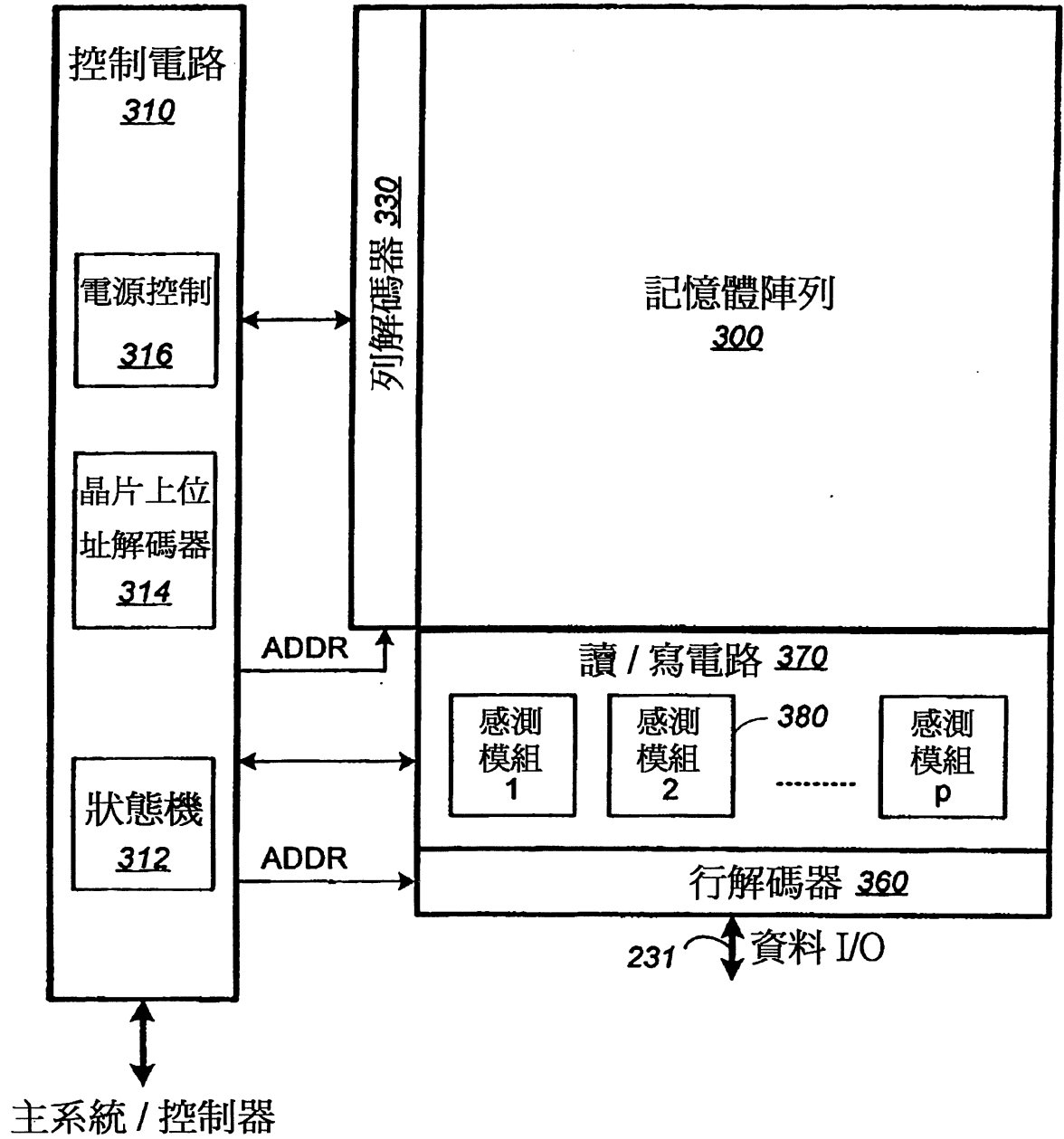


圖 4A

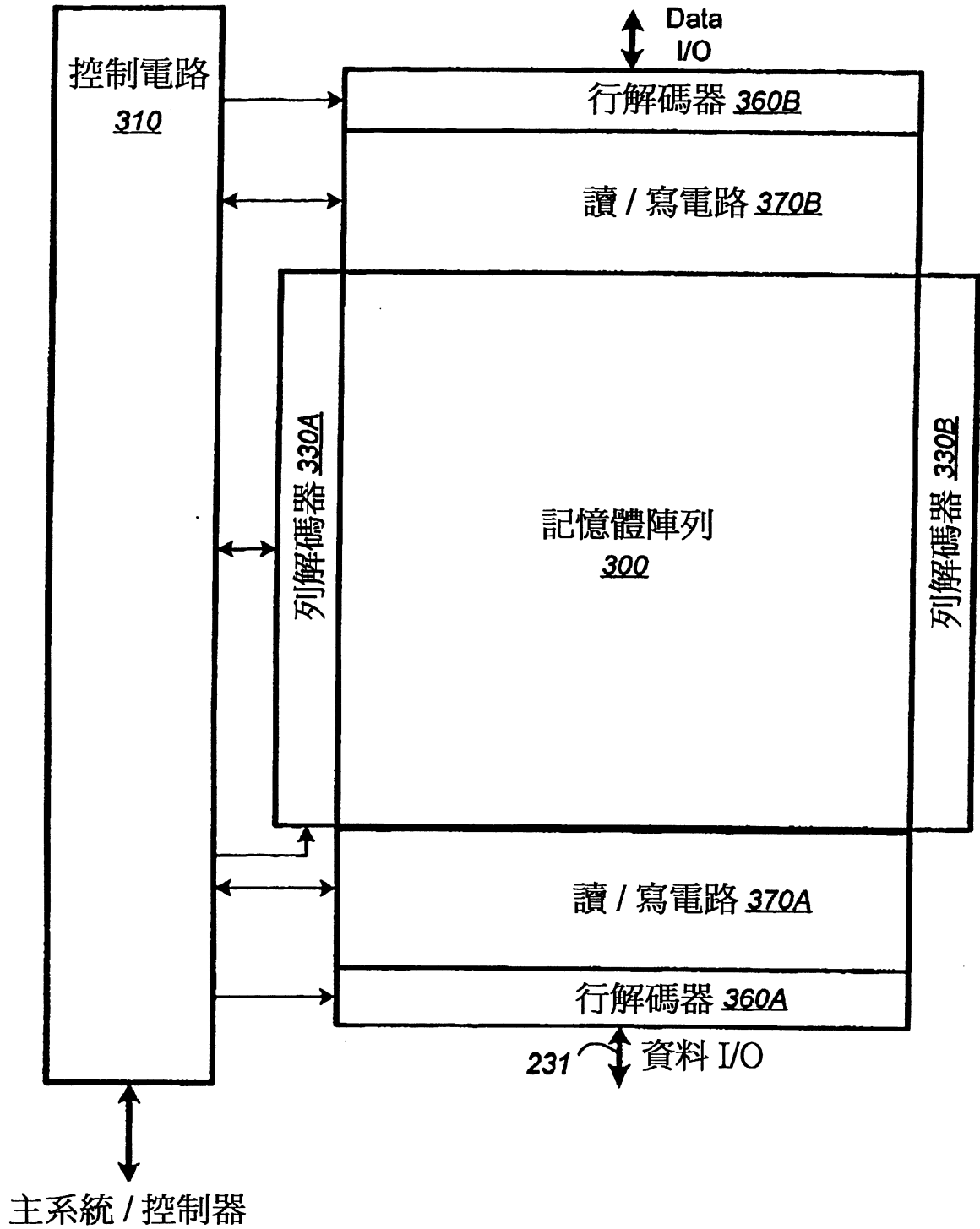


圖 4B

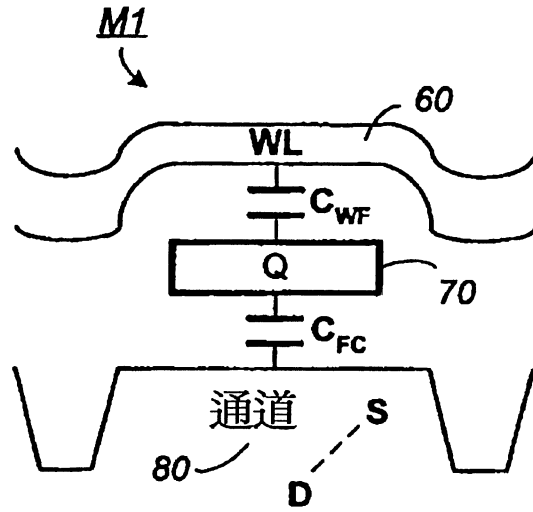


圖 5A

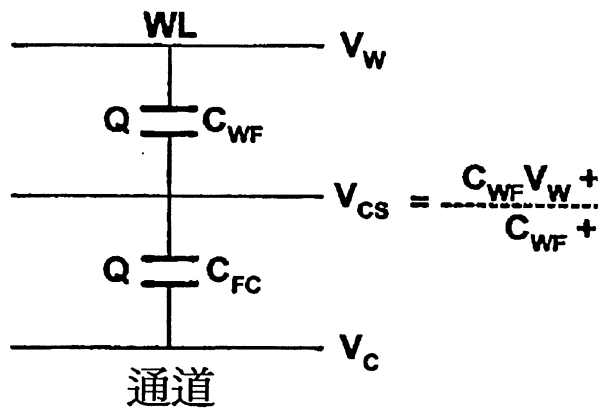


圖 5B

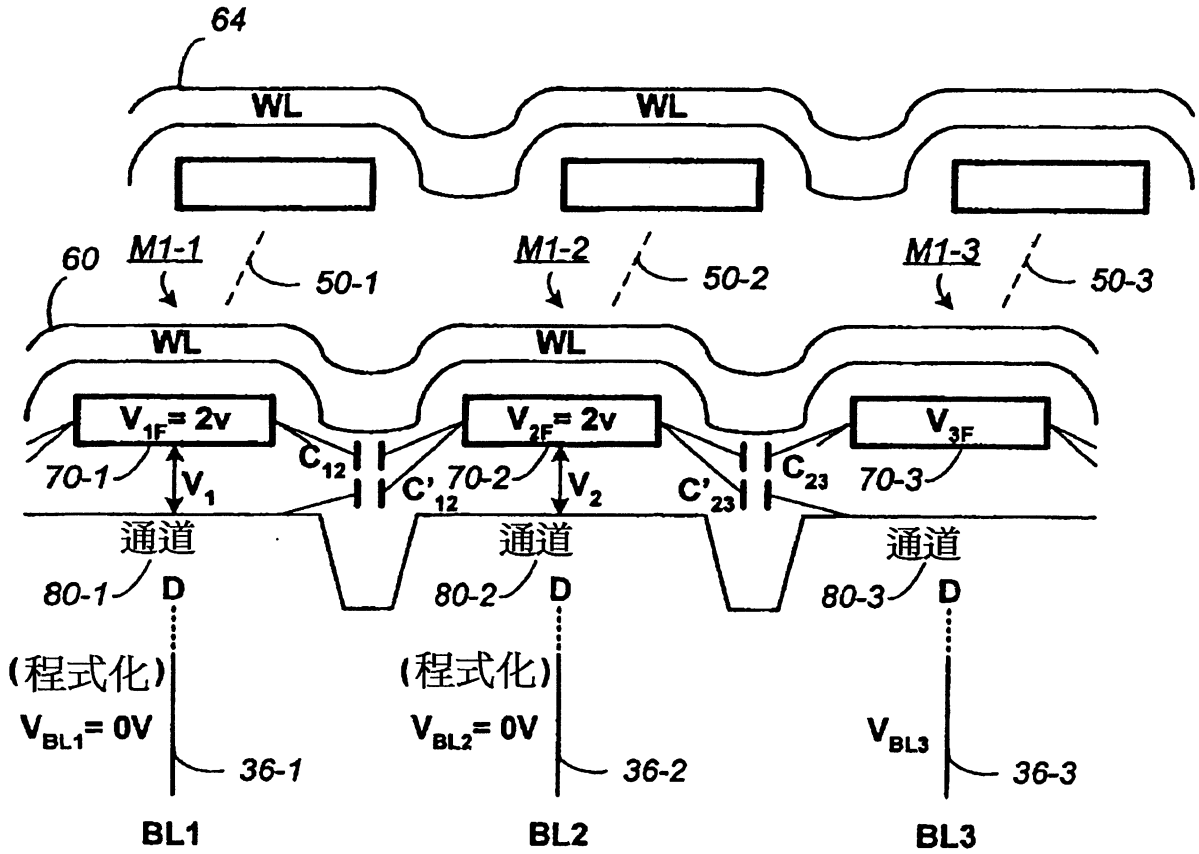


圖 6A

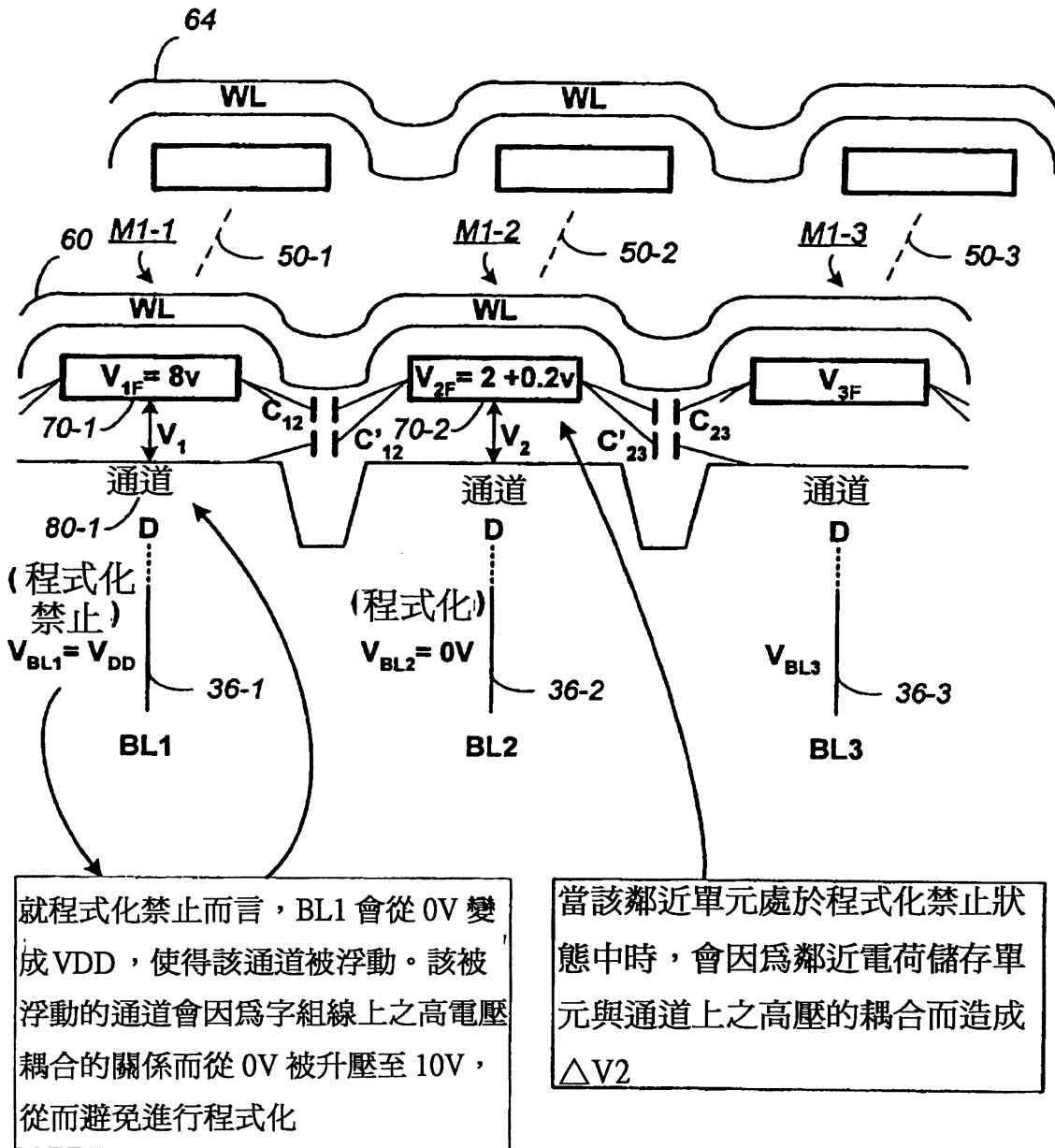


圖 6B

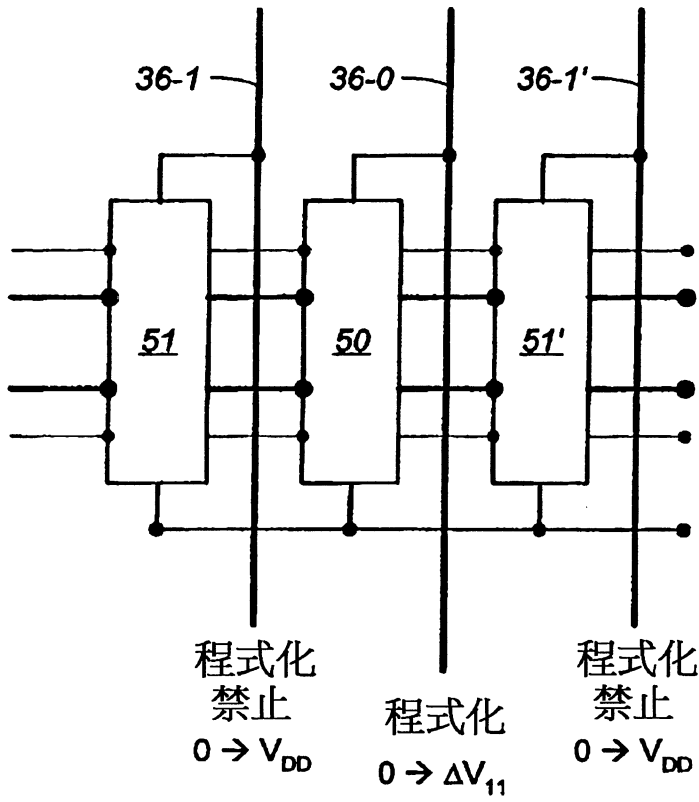


圖 7A

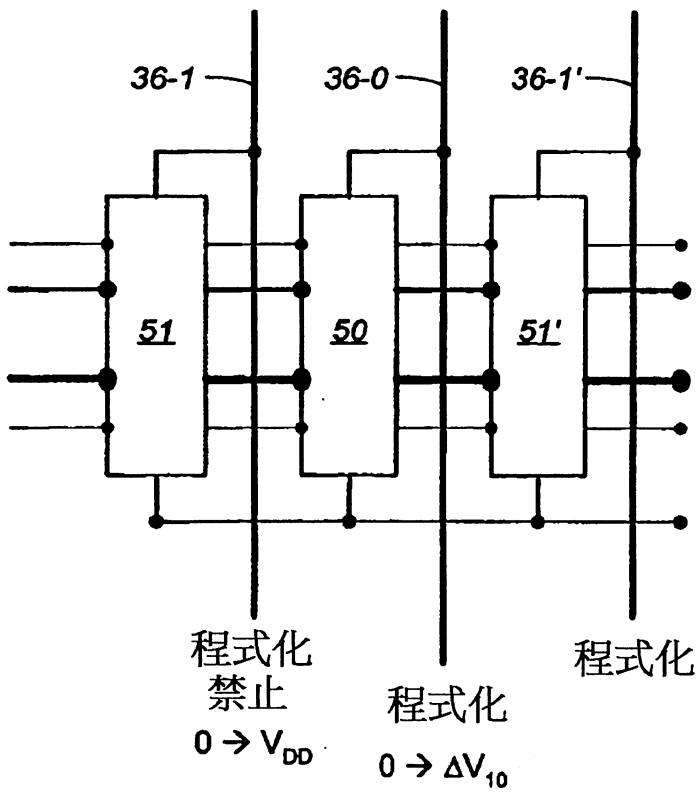


圖 7B

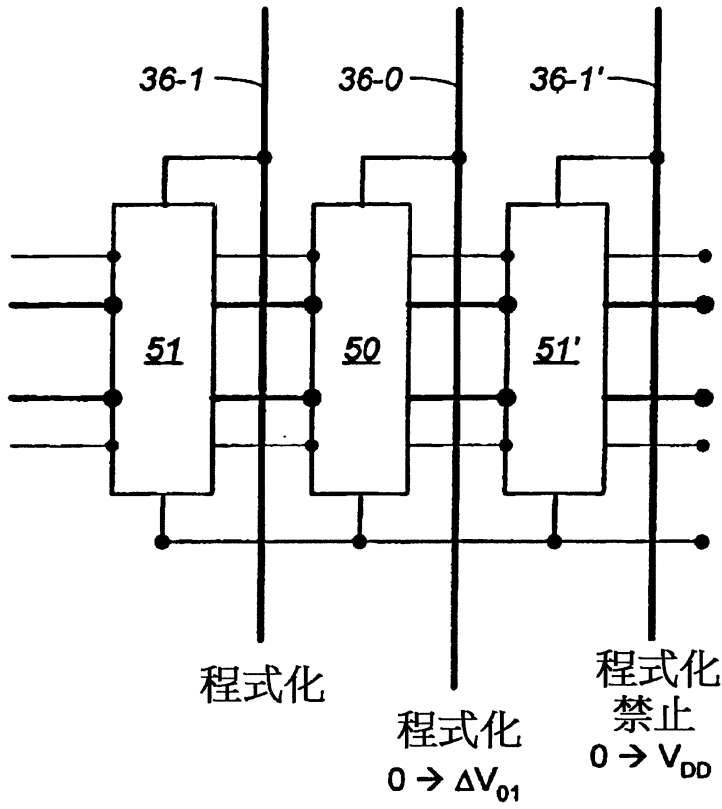


圖 7C

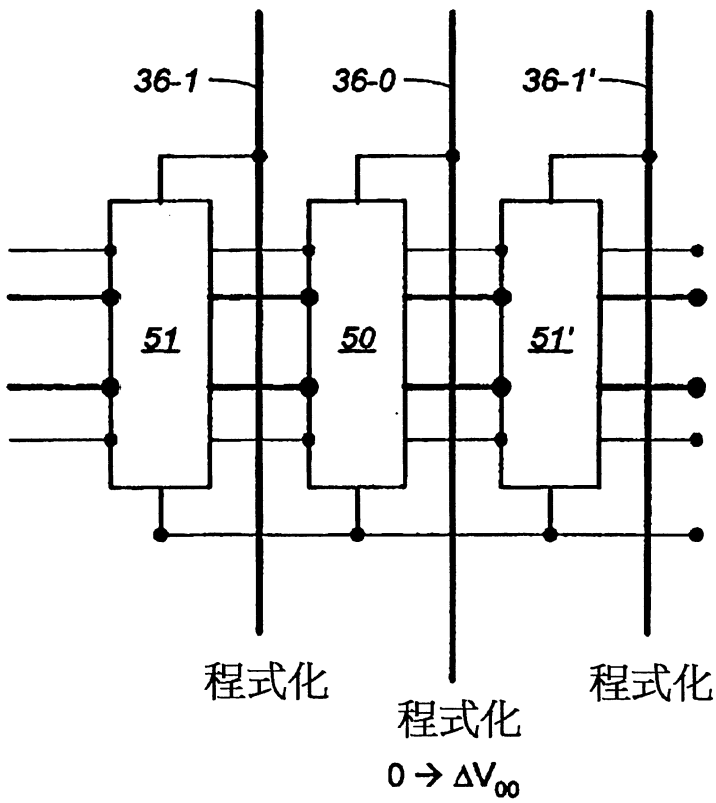


圖 7D

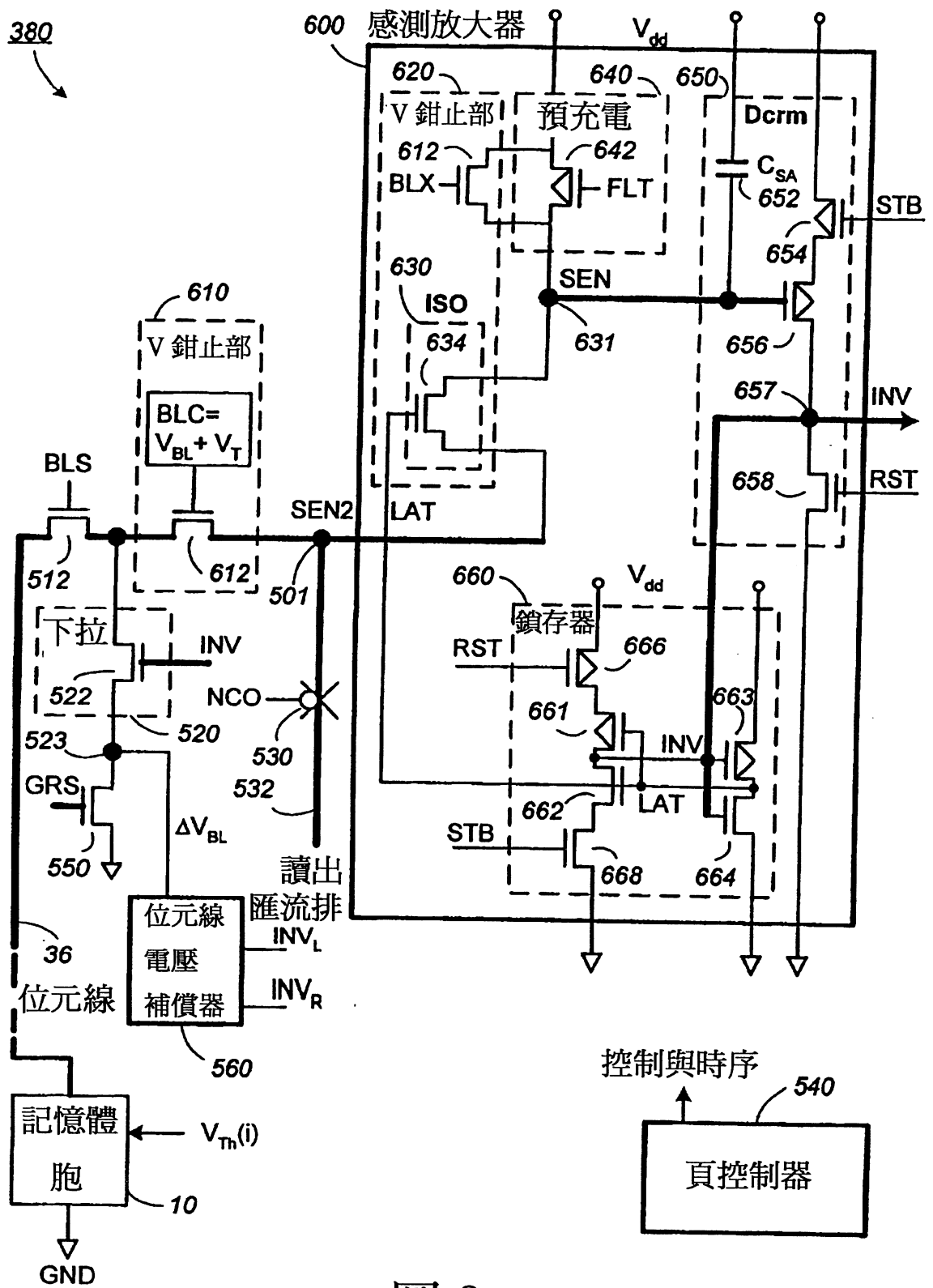


圖 8

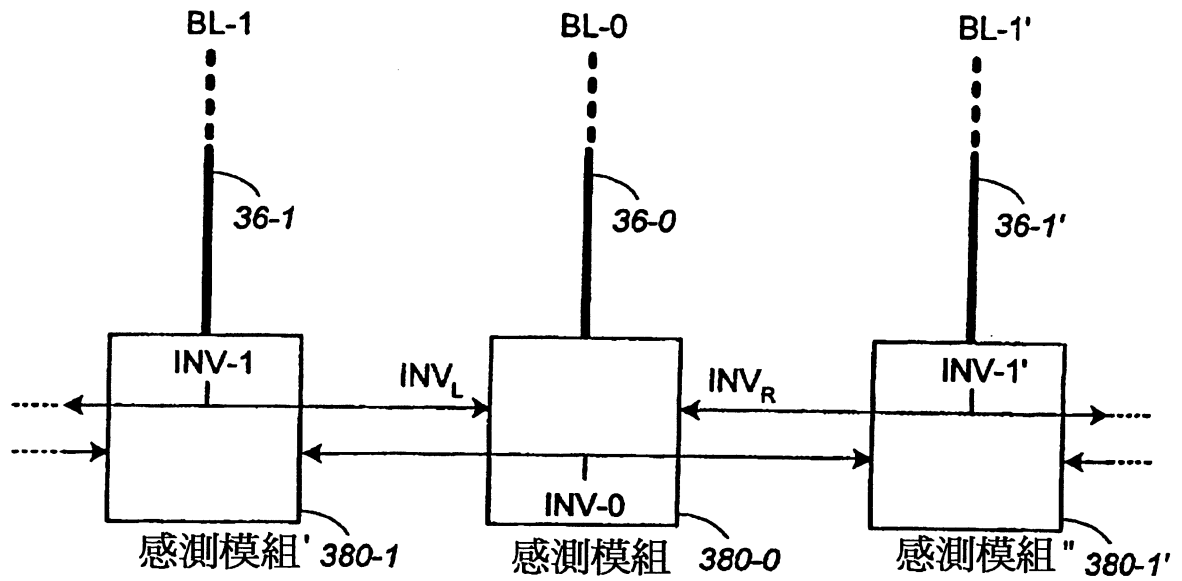


圖 9

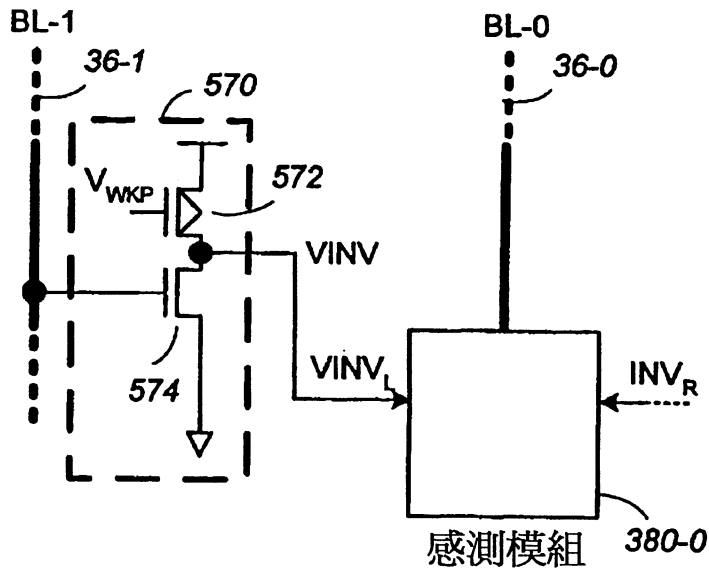


圖 10

左鄰近者			程式化儲存單元 位元線抵銷量 ΔV_{BL-0}	右鄰近者		
模式	INV_L	V_{BL-1}		模式	INV_R	$V_{BL-1'}$
程式化 禁止	LOW	V_{DD}	ΔV_{11} (e.g., 0.3V)	程式化 禁止	LOW	V_{DD}
程式化 禁止	LOW	V_{DD}	ΔV_{10} (e.g., 0.15V)	程式化	HIGH	ΔV
程式化	HIGH	ΔV	ΔV_{01} (e.g., 0.15V)	程式化 禁止	LOW	V_{DD}
程式化	HIGH	ΔV	ΔV_{00} (e.g., 0V)	程式化	HIGH	ΔV

圖 11

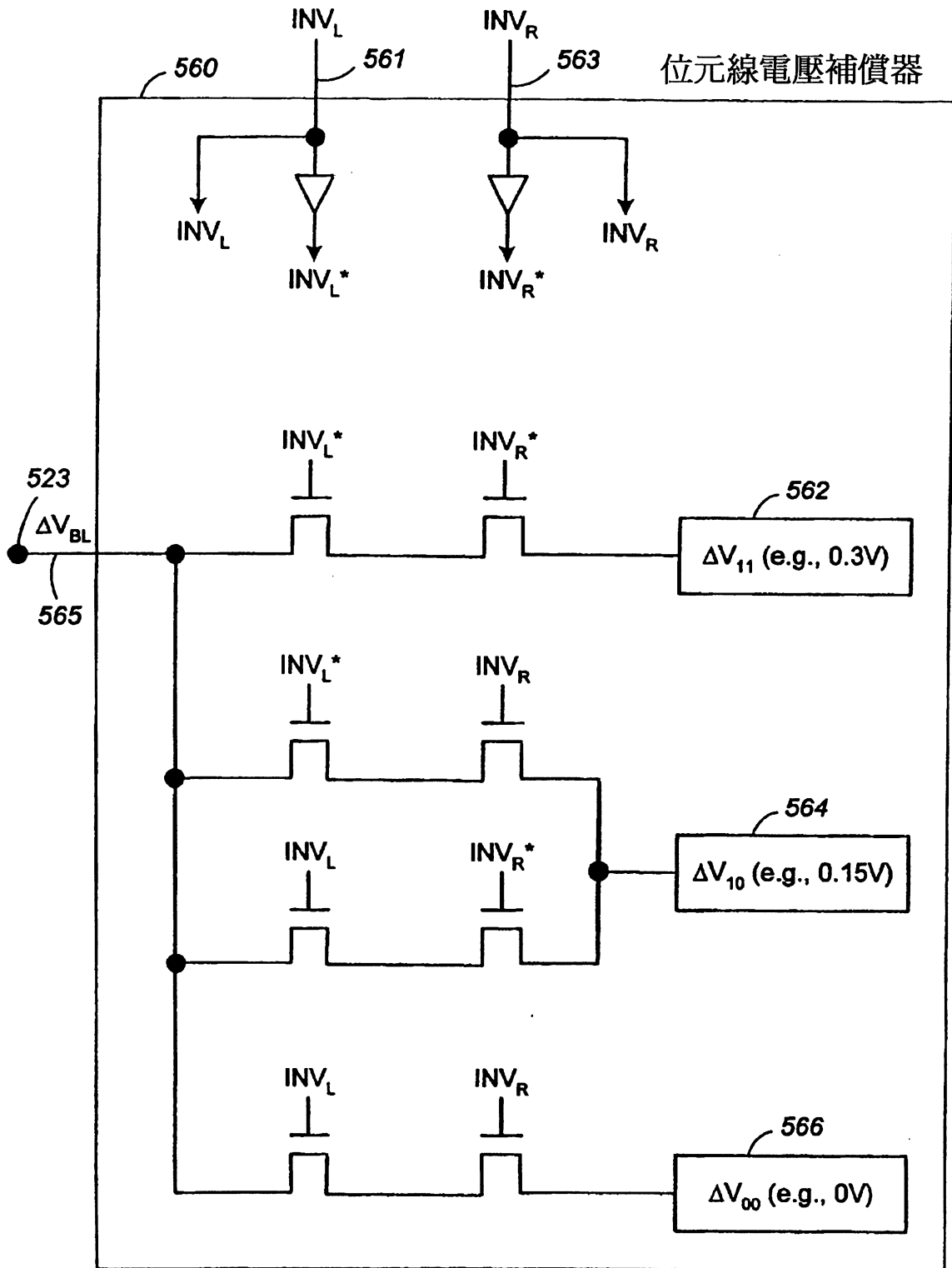


圖 12

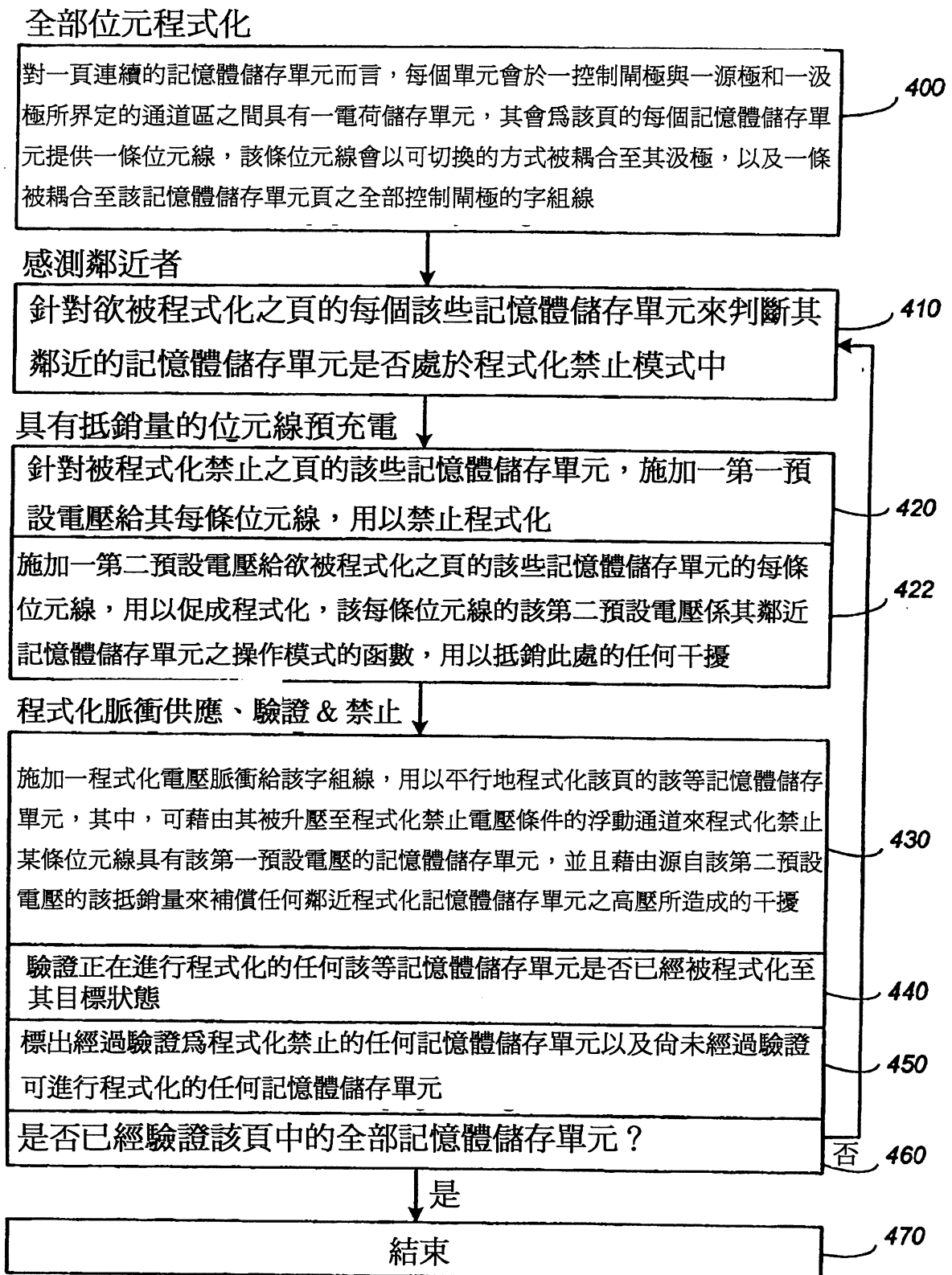


圖 13

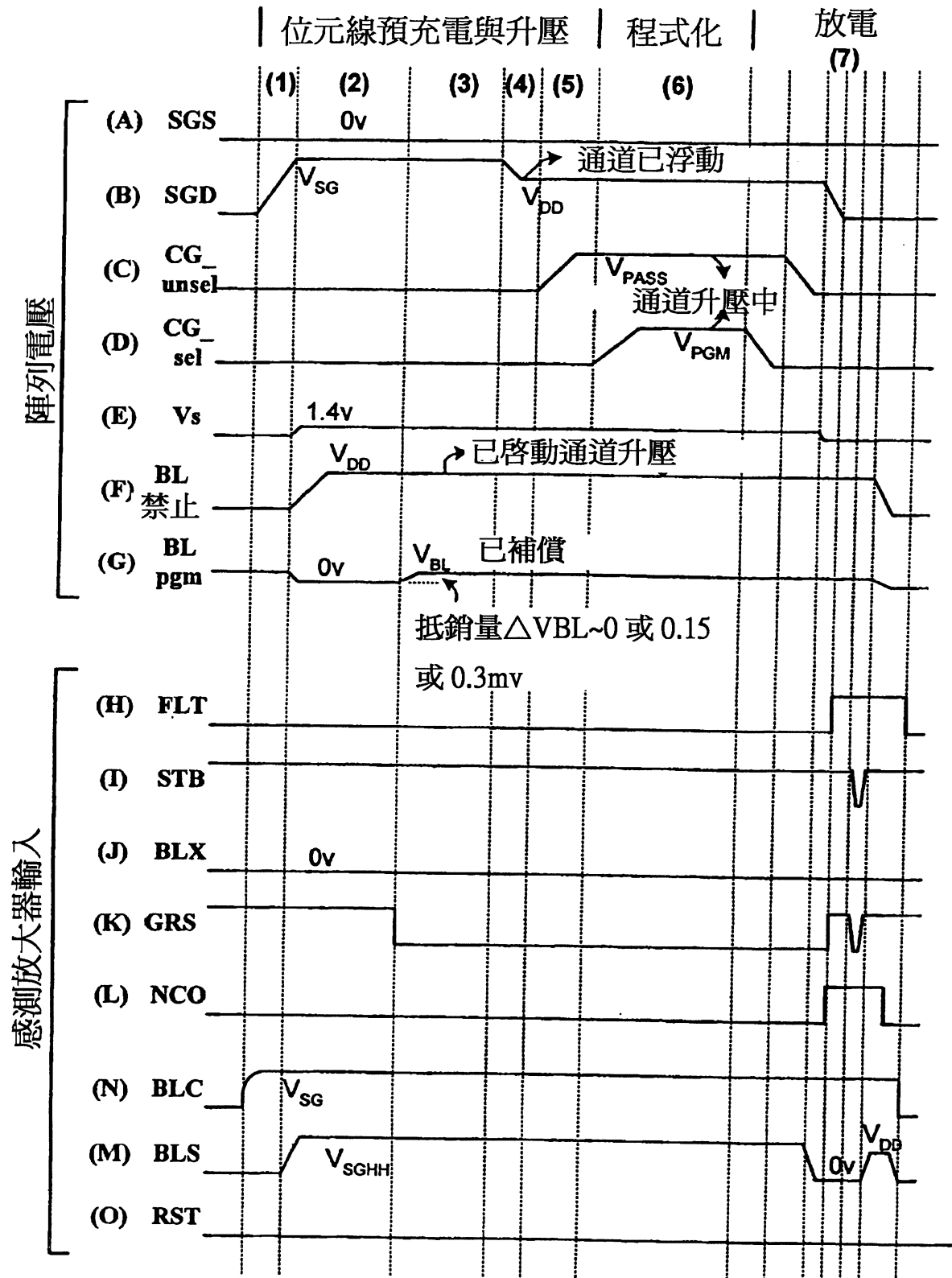


圖 14

七、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)