(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1941161 B
(45)授权公告日 2011.08.31

(21)申请号 200610139570.4
(22)申请日 2006.09.26
(30)优先权数据
11/237,434 2005.09.28 US
(73)专利权人 国际商业机器公司
地址 美国纽约
(72)发明人 迈克尔·G.·布林科曼
马修·A.·埃克尔
老吉米·G·福斯特 余国汉
(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 康建忠
(51)Int.Cl.
G11C 7/04(2006.01)
(56)对比文件
US 2003099138 A1,2003.05.29, 全文.
CN 1452242 A,2003.10.29, 全文.
US 6271704 B1,2001.08.07, 全文.

审查员 王晓渊

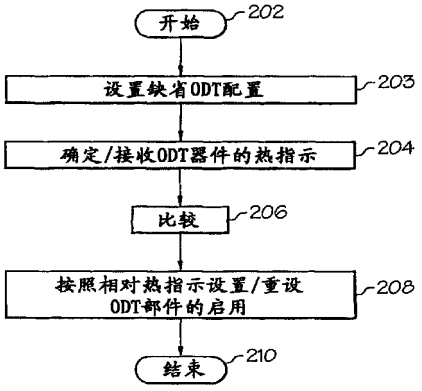
权利要求书 2 页 说明书 6 页 附图 3 页

(54)发明名称

用于改进的功率管理和热分布的方法和系统

(57)摘要

这里公开了用于管理共享总线系统上的功率分布的系统、方法和器件，该共享总线系统互连分别包含信号端接部件的多个器件。在一个实施例中，本发明的方法包括检测共享总线系统中的器件中的一个或更多个的热指示并将其传送给存储控制器。存储控制器包含用于设置和重设一个或更多个器件的信号端接部件的启用的片上端接控制电路。在优选实施例中，片上端接控制电路根据确定的热指示设置和重设信号端接部件的启用。



CN 1941161 B

1. 一种用于管理多个互连器件之间的功率分布的方法，这些互连器件中的每一个包含信号端接部件，所述方法包括：

接收所述多个互连器件中的一个或更多个器件的热指示；和

根据所述接收的热指示，设置所述多个互连器件中的一个或更多个器件的信号端接部件的启用，其中

所述方法还包括确定所述多个互连器件中的一个或更多个器件的热指示，其中，所述确定热指示包含识别具有较高的热活动的指示的第一器件和具有较低的热活动的指示的第二器件，所述设置所述多个互连器件中的一个或更多个器件的信号端接部件的启用包含禁用第一器件的信号端接部件，并启用第二器件的信号端接部件。

2. 根据权利要求 1 的方法，其中，信号端接部件接收一个或更多个端接控制信号，所述设置所述多个互连器件中的一个或更多个器件的信号端接部件的启用还包含单独或以组合的方式对所述端接控制信号进行编码。

3. 根据权利要求 2 的方法，其中，信号端接部件包含串联耦接到下拉网络上的上拉网络，所述上拉网络和下拉网络包含互补的上拉和下拉部件对，所述编码还包含对所述端接控制信号进行编码，以选择性地启用互补的上拉和下拉部件对。

4. 根据权利要求 1 的方法，还包括以下步骤：

比较接收的热指示，以确定器件的相对功率消耗；并且

其中，所述设置启用步骤包含根据确定的器件的相对功率消耗，设置共享总线系统中的所述多个互连器件中的一个或更多个器件的信号端接部件的启用。

5. 根据权利要求 1 的方法，其中，所述设置启用步骤包含根据第二组的一个或更多个器件的信号端接设置，设置第一组的一个或更多个器件的信号端接部件的启用，所述第二组与所述第一组分开地互连。

6. 根据权利要求 1 的方法，其中，所述热指示包括在下述的组中，该组包含：

器件温度；

器件活动水平；或

计算的器件功率消耗。

7. 根据权利要求 1 的方法，其中，所述多个互连器件在共享总线或点对点通道连接机构上被互连，并且，所述确定热指示包含为所述多个互连器件中的一个或更多个器件确定总线或通道处理活动的水平。

8. 根据权利要求 1 的方法，其中，所述确定热指示包含计算传输给所述多个互连器件中的一个或更多个器件的功率负载。

9. 根据权利要求 1 的方法，其中，所述多个互连器件中的每一个的信号端接部件是片上端接部件，所述设置启用步骤包含在所述多个互连器件中的一个或更多个上的片上端接部件启用输入端上设置启用信号。

10. 一种用于管理共享总线系统上的功率分布的系统，该共享总线系统互连分别包含信号端接部件的多个器件，所述系统包括信号端接控制电路，所述信号端接控制电路用于：

接收所述多个器件中的一个或更多个器件的热指示；和

根据所述接收的热指示设置所述多个器件中的一个或更多个器件的信号端接部件的

启用，

其中所述系统还包括用于确定所述多个器件中的一个或更多个器件的热指示的热检测器件，其中，所述确定热指示包含识别具有较高的热活动的指示的第一器件和具有较低的热活动的指示的第二器件，所述设置所述多个器件中的一个或更多个器件的信号端接部件的启用包含禁用第一器件的信号端接部件，并启用第二器件的信号端接部件。

11. 根据权利要求 10 的系统，其中，信号端接部件从所述信号端接控制电路接收一个或更多个端接控制信号，所述信号端接控制电路单独或以组合的方式对所述端接控制信号进行编码。

12. 根据权利要求 11 的系统，其中，信号端接部件包含串联耦接到下拉网络上的上拉网络，所述上拉网络和下拉网络包含互补的上拉和下拉部件对，所述信号端接控制电路还对所述端接控制信号进行编码，以选择性地启用互补的上拉和下拉部件对。

13. 根据权利要求 10 的系统，其中，信号端接控制电路：

比较接收的热指示，以确定器件的相对功率消耗；和

根据确定的器件的相对功率消耗，设置所述多个器件中的一个或更多个器件的信号端接部件的启用。

14. 根据权利要求 10 的系统，其中，所述信号端接控制电路根据所述接收的热指示启用或禁用所述多个器件中的一个或更多个器件的信号端接部件。

15. 根据权利要求 10 的系统，其中，所述热指示包含在下述的组中，该组包含：

器件温度；

器件活动水平；或

计算的器件功率消耗。

16. 根据权利要求 10 的系统，其中，所述多个器件在共享总线或点对点通道连接机构上被互连，并且，所述确定热指示包含为所述多个器件中的一个或更多个器件确定总线或通道处理活动的水平。

17. 根据权利要求 10 的系统，其中，所述确定热指示包含计算传输给所述多个器件中的一个或更多个器件的功率负载。

18. 根据权利要求 10 的系统，其中，所述多个器件中的每一个中的信号端接部件是片上端接部件，所述设置所述多个器件中的一个或更多个器件的信号端接部件的启用包含在所述多个器件中的一个或更多个器件上的片上端接部件启用输入端上设置启用信号。

用于改进的功率管理和热分布的方法和系统

技术领域

[0001] 本发明一般涉及电子系统中的功率分布管理，并且特别涉及用于在具有板上(on-board)信号端接(termination)的电子器件中分布热源的方法和系统。更特别地，本发明涉及用于在战略上根据功率分布和热相关因素启用和禁用片上(on-die)端接的方法和系统。

背景技术

[0002] 诸如同步动态随机存取存储器(SDRAM)系统的使用共享总线结构的电子系统正被装配在日益密集的电路结构上，并以更高的速度操作，从而导致出现发热/散热问题。一个例子是用于高性能主存储器中的双数据速率(DDR)SDRAM。对于增加的局部发热的一种解决方案是在特定的周期将器件/总线操作速度调节到最大周次。通过减少总的功率消耗，这种方法对于减少发热是有效的。但是，由于操作速度直接或间接是系统或子系统参数，因此系统性能可能受到过度损害，并且个别化的部件关注或保护可能是不切实际的。

[0003] 信号端接在许多共享总线系统中是另一大的供热体。一般地，信号端接用于消除共享传输路径中的由信号反射导致的噪声。母板端接是通过将具有适当的电阻值的电阻器（端接电阻）固定到各传输路径的端部减少信号反射的端接方法。但是，这种方法在由DDR2-SDRAM或其它非常高的速度的应用使用的操作频率范围中不能充分减少信号反射。另外，在母板上添加端接电阻器增加部件计数并增加制造和设计成本。

[0004] 片上端接(ODT)是在共享总线环境中在去除信号反射噪声方面比母板端接更有效的另一信号端接方法，该共享总线环境具有会受到来自备用模式下的DRAM的反射信号的影响的多个活动模式DRAM。例如，使用ODT信号端接的DDR2-SDRAM包含在其它情况下将被另外安装到母板上的端接电阻器，由此减少母板上的部件的数量并简化系统设计。

[0005] 作为信号“吸收”过程的副产品，母板和ODT类型的信号端接都释放热量，并因此会加重共享总线系统中的发热问题。因此，需要更有效地管理使用信号端接的系统中的功率分布的改进的系统和方法。本发明针对这种需要和现有技术未解决的其它需要。

发明内容

[0006] 这里公开了用于管理共享总线系统上的功率分布的系统、方法和器件，该共享总线系统互连分别包含信号端接部件的多个器件。在一个实施例中，本发明的方法包括以下步骤：检测共享总线系统中的器件中的一个或更多个的热指示并将其传送给存储控制内的片上端接控制电路。片上端接控制电路包含用于设置和重设共享互连器件的信号端接部件的启用的电子器件、模块和指令手段。在优选实施例中，片上端接控制电路根据确定的热指示设置和重设信号端接部件的启用。

[0007] 在一个实施例中，存储系统包括各个可单独选择的存储体中的存储模块，该存储模块包含诸如动态随机存取存储器(DRAM)器件的多个存储器件。存储模块内的存储器件包含选择性启用/禁用的片上端接电路，这些片上端接电路响应共享互连上的共连的存储

控制信号端子上的存储控制信号在它们各自的数据端子上提供端接阻抗。选择性启用的片上端接电路响应来自 ODT 控制电路的相应信号端接启用信号提供特定的端接阻抗。例如，ODT 控制电路可响应存储读取和写入操作或存储器件活动的其它指示确定 ODT 电路的启用。

[0008] 在本发明的其它实施例中，各个 ODT 电路的控制可被分布为使得，ODT 电路中的每一个包含各自的 ODT 控制电路，该 ODT 控制电路被配置为根据诸如接收的存储控制信号和 / 或指示存储模块的热条件的信号的热指示设置相应 ODT 电路的启用 / 禁用。每个 ODT 电路包含信号端接电路，该信号端接电路被配置为接收 ODT 控制信号，并分别响应 ODT 控制信号的第一和第二状态在存储器件的端子上选择地提供第一信号端接 (signal-terminating) 阻抗和第二非信号端接端接阻抗。

[0009] ODT 控制电路可包含解码器装置，该解码器装置能够响应检测的热条件产生信号端接启用或禁用信号，该检测的热条件诸如可从存储控制信号、电源信号、温度计和存储模块中的热和功率分布的其它直接或间接指示得到的热条件。

[0010] 在以下的详细书面说明中，本发明的上述以及其它目的、特征和优点将变得十分明显。

附图说明

[0011] 在所附的权利要求书中阐述被认为具有新颖性特征的特性。但是，通过结合附图阅读以下示例性实施例的详细说明，可以最好地理解本发明本身以及使用的优选实施方式、它的其它目标和优点，其中，

[0012] 图 1 是表示根据本发明的其中片上端接器件被互连的共享总线系统的高层框图；

[0013] 图 2A 是根据本发明的实施例的具有被选择性启用和禁用的信号端接部件的存储器件的框图图解；

[0014] 图 2B 是根据本发明的替代性实施例的具有被选择性启用和禁用的信号端接部件的存储器件的框图图解；

[0015] 图 3 是在根据本发明的功率分布管理中执行的步骤的高层流程图；

[0016] 图 4 表示其中可应用本发明的功率分布管理功能的母板上的存储模块的配置。

具体实施方式

[0017] 本发明针对用于共享总线系统中的功率分布管理的系统和方法，该共享总线系统具有使用片上信号端接的器件。这种系统中的最著名的系统是在集成电路装置中使用片上端接 (ODT) 的系统，并与利用诸如母板信号端接的印刷电路板端接的共享总线系统形成对照。如以下参照附图详细解释的那样，本发明提供一种功率分布管理技术，在该功率分布管理技术中，根据诸如器件温度、功率消耗等的相对的确定的热指示分布和动态调整包含信号端接的系统功率消耗的部分，使得包含信号端接的功率负载可被转移到否则经受过热的系统的缓和区。

[0018] 现在参照附图，其中相似的附图标记始终表示相似和相应的部分，并特别参照图 1 和图 2，说明根据本发明的其中存储器件被互连的共享总线系统。如图 1 所示，共享总线系统一般包含通过系统互连 120 耦接到存储器控制器 110 上的多个存储模块 105a ～ 105n。

取决于系统结构，系统互连 120 可以是在存储器控制器 110 和存储模块 105a ～ 105n 内的器件之间提供通信耦接的总线或开关互连。

[0019] 在优选实施例中，存储模块 105a ～ 105n 包含多排在本领域中称为双列直插式存储模块 (DIMM) 的器件，其中的每一个器件在具有用于耦接到母板（未示出）上的边缘连接器针 (edge connector pin) 的小型电路板上包含多个动态随机存取存储器 (DRAM) 芯片。在这种情况下，模块 105a、105b 和 105n 上的集成电路中的每一个是由块 112a ～ 112n、114a ～ 114n 和 116a ～ 116n（为了便于说明，也称为 DRAM 器件 112、114 和 116）表示的 DRAM 器件。虽然这里说明的示例性实施例包含共享总线 DIMM 存储结构，但应注意，本发明不限于存储器件或特定的存储器件结构，并且可被应用于支持诸如 ODT 的器件上 (on-device) 信号端接的其它电子器件。

[0020] 图 1 还示出，DRAM 器件 112、114 和 116 分别包含 ODT 电路 140a ～ 140n、142a ～ 142n 和 144a ～ 144n（这里为了便于说明统称为 ODT 电路 140、142 和 144）形式的信号端接部件。一般通过对在功能上表示为图 2A 中的开关 135 的 ODT 控制针 (pin) 施加来自存储器控制器 110 的控制信号，控制 ODT 电路 140、142 和 144 的启用。在代表性的控制开关 135 处于打开位置（表示从 ODT 输入控制针中的相应的一个有效去除 ODT 启用信号）时，由端接电阻器 R_{TD} 和 R_{TS} 以及上拉和下拉电压 V_{DD} 和 V_{SS} 表示的信号端接功能被停用或被等效地禁用，使得相应的 ODT 电路不用于降低或终止 (terminate) 在输入针 134 上从共享的互连 120 接收的信号。为了启用 ODT 电路 140、142 和 / 或 144 中的任意一个或更多个，将启用信号发送到各启用针输入端，以有效闭合端接电阻器 R_T 和基准电压之间的电路（在所述的实施例中通过“闭合”控制针表示），由此提供信号端接阻抗。信号端接功能以这种方式被激活或被等效地启用，使得相应的 ODT 电路降低或终止在输入针 134 上从共享的互连 120 接收的信号。

[0021] 图 2A 和图 2B 提供表示根据本发明的实施例的特别是涉及功率分布管理时的替代性示例性 DRAM 器件的内部结构的更详细的框图。DRAM 器件 155 和 158 分别缓冲从输入针 134 接收的输入缓冲器 132 内的数据。DRAM 器件 155 包含 ODT 电路 140，该 ODT 电路 140 包含端接电阻器 R_{TD} 和 R_{TS} 以及形成到信号降低终端的各路径的开关 135，在这种情况下信号降低终端由 V_{DD} 和 V_{SS} 表示。端接电阻器 R_{TD} 和 R_{TS} 表示向在输入针 134 上接收的信号提供特定的、可能频率相关的阻抗的一个或更多个无源和 / 或有源电子器件。开关 135 表示容纳 DRAM 155 的 IC 芯片上的 ODT 启用输入针，该 ODT 启用输入针接收由 ODT 控制电路 118 形式的信号端接控制电路产生 / 编码的 ODT 控制信号 e_{TD} 和 / 或 e_{TS}。

[0022] DRAM 器件 158 提供根据本发明的替代性实施例设计的 ODT 电路 152。具体而言，ODT 电路 152 包含串联耦接到下拉网络 (pull-down net) 上的包含并联耦接的端接电阻器 R_{TD1} ～ R_{TD3} 的上拉网络 (pull-up net)，该下拉网络包含并联耦接的端接电阻器 R_{TS1} ～ R_{TS3}。在该结构中，电阻器路径中的一个或更多个可被相应的线上 (in-line) 开关 e_{TD1} ～ e_{TD3} 和 e_{TS1} ～ e_{TS3} 选择性地打开或闭合。以这种方式，通过根据下面参照图 3 进一步详细说明的热指示对一个或更多个 ODT 控制信号 e_{TD1} ～ e_{TD3} 和 e_{TS1} ～ e_{TS3} 进行编码，确定 ODT 电路 152 的有效端接电阻。

[0023] 在一个实施例中，可以通过断言 (assert) 相应的启用信号 e_{TD1} ～ e_{TD3} 和 e_{TS1} ～ e_{TS3} 中的一个或更多个，将端接电阻器 R_{TD1} ～ R_{TD3} 和 R_{TS1} ～ R_{TS3} 单独地放置在线。在替代性实施

例中，可以通过对ODT控制信号进行编码，将上拉和下拉对（例如R_{TD1}/R_{TS1}）作为可选择的单元控制，使得相应的信号被断言（对R_{TD1}/R_{TS1}断言e_{TD1}/e_{TS1}）。在又一替代性实施例中，ODT控制电路118可以以由所需的输入信号阻抗指示的任何编码组合断言ODT控制信号e_{TD1}～e_{TD3}和e_{TS1}～e_{TS3}。

[0024] 回到图1，存储模块105a和105n中的ODT电路140和144的信号端接分别被禁用（“OFF（断）”），同时存储模块105b中的ODT电路142的信号端接被启用（”ON（通）”）。在该示出的实施例中，由此以在由包括在特定的存储模块上确定的DRAM器件的编组控制ODT电路的启用/禁用状态。在替代性实施例中，可以以组为基础设置ODT电路的启用/禁用状态，其中，在DIMM内，不同的DRAM组可被单独地设置。

[0025] 如大多数共享存储系统所用的那样，存储控制器110一般是通过电子通信协议和标准，控制从计算机的各个部件（未示出）到和从存储模块105a～105n内的DRAM器件112、114和116的数据传输，和控制从存储模块105a～105n内的DRAM器件112、114和116的数据转移的装置。如果用于个人计算机系统中，例如，存储控制器110一般会包含单个IC芯片。

[0026] 除了其标准电路和对理解本发明不是必不可少并因此未示出的便于存储总线处理（transaction）的部件外，存储控制器110还包含ODT控制电路118。在优选的实施例中，ODT控制电路118包含用于确定和实现DRAM器件112、114和116内的ODT电路140、142和144的启用/禁用的电子和/或程序模块和指令。对于示出的实施例，其中，通过从IC芯片（由DRAM器件块112、114和116表示）中的启用输入针（在图2A和图2B中表示为开关）发送或去除的启用/禁用信号，设置ODT电路140、142和144中的每一个的启用状态，ODT控制电路118的功能基本上包含用于确定在给定的条件下哪些启用信号断言以及哪些去断言（de-assert）的电子和/或程序模块。

[0027] 本发明的功率分布管理功能的有用特征是根据优选通过存储控制器110接收和处理的热指示数据109启用/禁用ODT电路140、142和144。如这里使用的那样，“热指示”一般可指提供发生在存储模块105a～105n附近或内部的功率分布或绝对或相对热条件的直接或间接指示的任何直接或间接数据或信息。这种热指示109的来源可包含诸如从诸如热二极管（未示出）的热测量装置收集的温度测量的直接热指示。热指示109也可以或替代性地包含诸如从被存储控制器110监视的总线处理活动得到的功率消耗数据的间接热指示。在一个实施例中，热指示109中包含的间接热指示可包含相对热指示数据，该相对热指示数据解释穿过分别包含ODT电路140、142和144中的一个或更多个的多个预先指定区域的热条件的相互影响。可以这种方式使用的相对热指示的例子是参照图4示出和解释的存储模块之间的相对气流方向。

[0028] 可包含上述和其它热和/或功率分布信息的热指示109通过ODT控制电路118被接收和利用，以确定各个DRAM器件112、114和116中的ODT电路140、142和144的启用状态（即，确定哪些ODT电路启用或禁用）。现在参照图3说明ODT控制电路设置ODT电路140、142和144的启用状态的过程。

[0029] 图3是表示在根据本发明在图1示出的存储系统内的功率分布管理中执行的步骤的高层流程图。该过程如图所示在步骤202和203开始，ODT控制电路118产生并向各ODT器件140、142和144的ODT控制针135发送ODT启用和/或禁用信号以设置缺省ODT配置。

缺省配置优选在 ODT 控制电路 118 的电路和 / 或程序模块中被预先编程，使得可以在检测和接收在存储系统操作期间收集的热指示 109 之前在存储模块 105a ～ 105n 中实现希望的信号端接功率分布配置。在一个实施例中，如步骤 203 所示实施的缺省 ODT 配置如下面进一步详细解释的那样可代表根据热指示修改的初始配置。

[0030] 功率分布管理过程如图所示前进到步骤 204，在步骤 204 确定在存储模块 105a ～ 105n 内的 DRAM 器件 112、114 和 116 中的一个或更多个中出现的热条件或功率消耗的一个或更多个指示（这里统称为“热指示”）。确定热指示可包含直接检测热数据，该热数据例如可从被接近定位以估算 DRAM 器件 112、114 和 116 或存储模块 105a ～ 105n 中的一个或更多个的温度的热二极管（未示出）获得。在替代性实施例中，确定热指示可包含根据存储器件活动间接估计热条件。例如，存储控制器 110 可跟踪作为热指示 109 的和与互连 120 耦接的各 DRAM 器件 112、114 和 116 相关的总线处理活动的水平。在替代性实施例中，在步骤 204 中示出的热指示确定可包含计算传输给 DRAM 器件 112、114 和 116 中的一个或更多个的功率负载（包含或不包含 ODT 负载贡献）。其它热指示可包含环境气温、局部（关于 DRAM 器件 112、114 和 116 中的一个或更多个）气温、气流方向、气流速率等。

[0031] 确定热指示数据还可包含确定存储模块 105a ～ 105n 中的一个或更多个的一个或更多个指定区域对在指定区域或空间上、或指定区域或空间内限定的其它区域的热影响。即，参照图 4，示出存储装置的框图表示，该存储装置包含其上安装几个存储模块 105a ～ 105h 的母板 400。如图 4 所示，存储模块 105a ～ 105h 以指定的相互接近的方式被配置在母板 400 上，这种接近方式一般由板上的边缘连接器槽的定位确定。在示出的例子中，模块 105d 和 105g 的阴影表示这些模块在诸如可由总线处理活动或其它方面确定的相对较高的功率模式下操作。相反，未对模块 105a、105b、105c、105e、105f 和 105h 加阴影表示这些模块目前以相对较低的功率模式操作。可以相对地或关于绝对尺度确定高或低功率操作模式。根据步骤 204 中的示出的实施例，存储控制器 110 包含模块 105a、105b、105c、105e、105f 和 105h 目前以低功率模式操作作为热指示 109。通过存储控制器 110，模块 105d 和 105g 的目前的高功率操作模式也被利用和包含作为热指示 109。除了存储模块之间的相对功率分布，存储控制器 110 还包含穿过母板 400 的气流的方向（从左到右）作为用于功率分布管理的与相对功率分布数据（即，“高”或“低”功率操作模式）组合使用的热指示。

[0032] 如下面的步骤 206 说明的那样，功率分布管理处理继续，ODT 控制电路 118 比较和 / 或否则处理热指示 109，以确定共享互连系统中的 DRAM 器件 112、114 和 116 的相对热条件。作为一个实施例中的比较的基本原理，在步骤 206 执行的比较基本上包含确定 DRAM 器件 112、114 和 116 中的热活动或功率消耗的相对水平。

[0033] 在一个替代性实施例中，在步骤 203 中说明的缺省 ODT 配置设置是稳态 ODT 配置，在该稳态 ODT 配置中，例如，ODT 端接负载被施加到当前不活动的 (passive) 的一个或更多个 DRAM 器件 112、114 和 116 上，并对当前活动的 DRAM 器件 112、114 和 116 被禁用（即，处理来自互连 120 的存储事务）。在本实施例中，可以以相对的方式比较热指示 109，或者可以将其与预先指定的阈值比较（步骤 206），以确定 ODT 器件 140、142 和 144 的启用的设置。

[0034] 在确定和比较热指示 109 后，如步骤 208 所示，ODT 控制电路 118 为各个 DRAM 器件 112、114 和 116 设置 ODT 电路 140、142 和 144 的启用。例如，在一个实施例中，ODT 控制电路 118 启用包含于具有指示低水平热活动的相应热指示的 DRAM 器件 112、114 和 116 中

的一个或更多个 ODT 电路 140、142 和 144，同时禁用具有指示高水平热活动的相应热指示的 DRAM 器件 112 的 ODT 电路 140。如以上参照图 2A 和图 2B 解释的那样，ODT 控制电路 118 可以以由所需的输入信号阻抗指定的各种编码组合断言 ODT 控制信号 e_{TD1} ～ e_{TD3} 和 e_{TS1} ～ e_{TS3}。在图 2B 中所示的实施例中，在该实施例中，信号端接部件是包含串联耦接到下拉网络上的上拉网络的 ODT 电路，其中，所述上拉网络和下拉网络形成互补的上拉和下拉部件对，ODT 启用信号的编码可包含对端接控制信号编码以选择性地单独地启用互补的上拉和下拉部件对中的每一个。

[0035] 在替代性实施例中，重新参照图 4，步骤 206 中所示的热指示比较步骤包含将用于模块 105a ～ 105h 中的每一个的高 / 低功率模式数据与气流方向数据组合以根据热相关区域确定 ODT 启用。例如，比较步骤 206 处理指示示出的从左到右的气流的指示与模块 105b 和 105f 目前都相对不活动（低功率模式）的指示，以在步骤 208 中确定模块 105b 符合启用其中存在的 ODT 电路的条件。相反，与模块 105g 的高度活动状态组合的气流方向数据的处理可导致通过 ODT 控制电路 118 确定 ODT 电路板上模块 105c 不符合启用条件，或者在替代方案中，如果目前被启用那么更符合禁用条件。

[0036] 在以上的方式中，ODT 控制电路 118 利用接收的热指示 109，以分布并在必要时转换包含信号端接的功率负载，以缓和系统否则将经受过热的区域，并使得系统封装和密封 (containment) 更有效。在一个实施例中，与图 1 中所示的模块编组一致，ODT 电路的启用设置根据存储器模块级被确定，使得与包含于模块中的单个 DRAM 器件或多组 DRAM 器件有关的指示被用于确定给定存储器模块中的所有 DRAM 器件的 ODT 启用设置。

[0037] 虽然已参照优选实施例特别地示出和说明了本发明，但本领域技术人员将理解，在不背离本发明的精神和范围的条件下，可以在其中进行各种形式和细节上的变化。

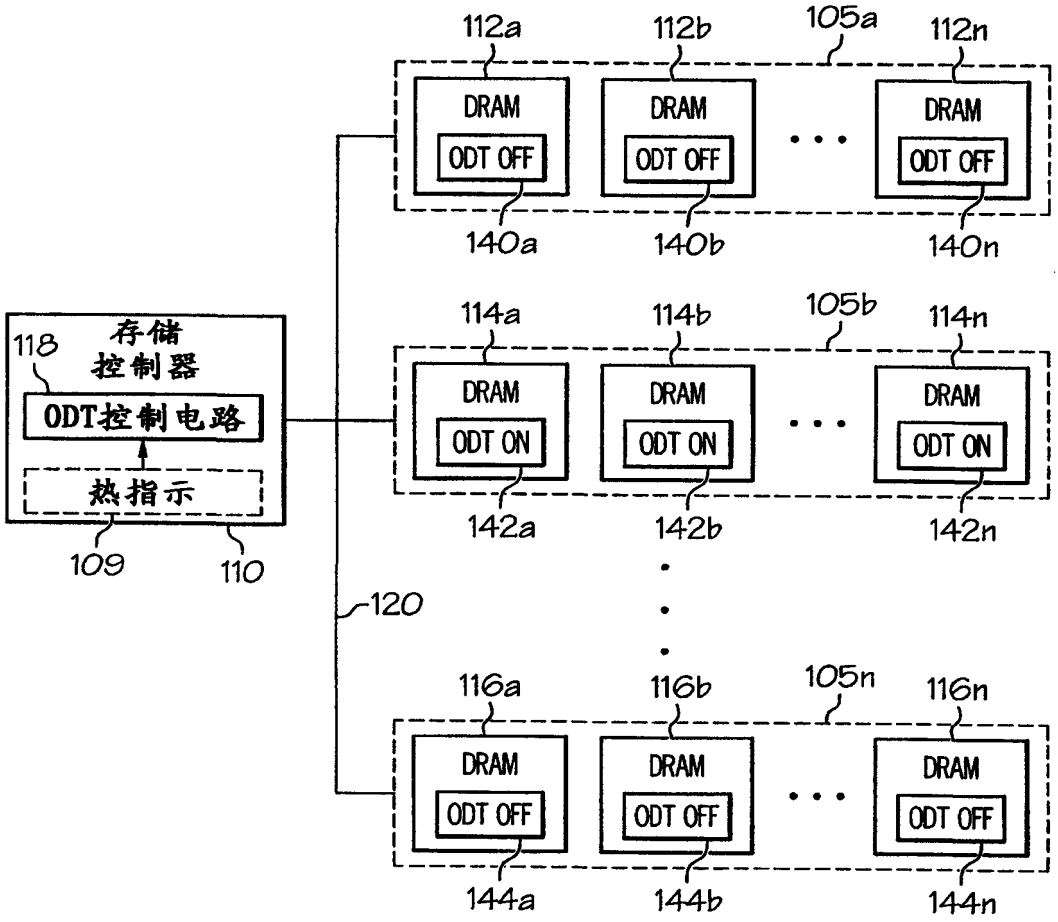

112a
112b
105a
112n
DRAM
ODT OFF
140a
140b
140n
114a
114b
105b
114n
ODT ON
142a
142b
142n
118
存储
控制器
ODT控制电路
热指示
109
110
120
116a
116b
105n
116n
144a
144b
144n

图 1

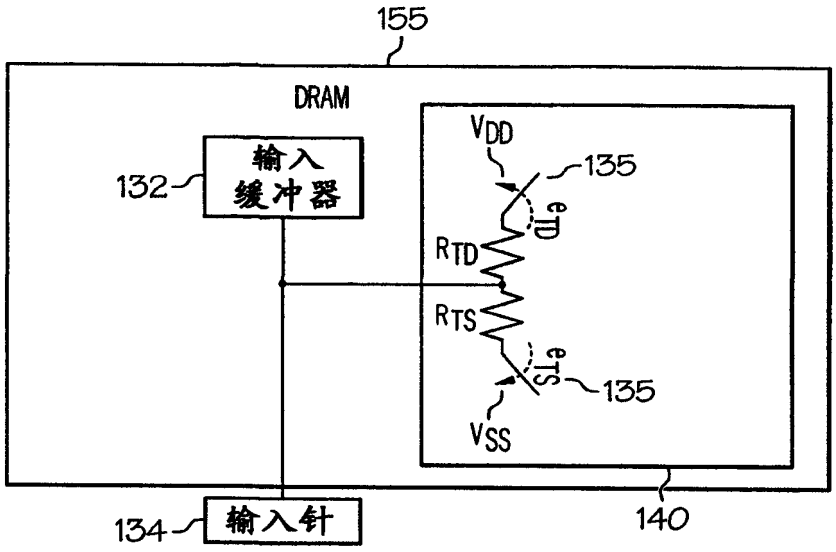

155
DRAM
132
输入
缓冲器
VDD
135
eTD
RTD
RTS
eTS
135
VSS
134
输入针
140

图 2A

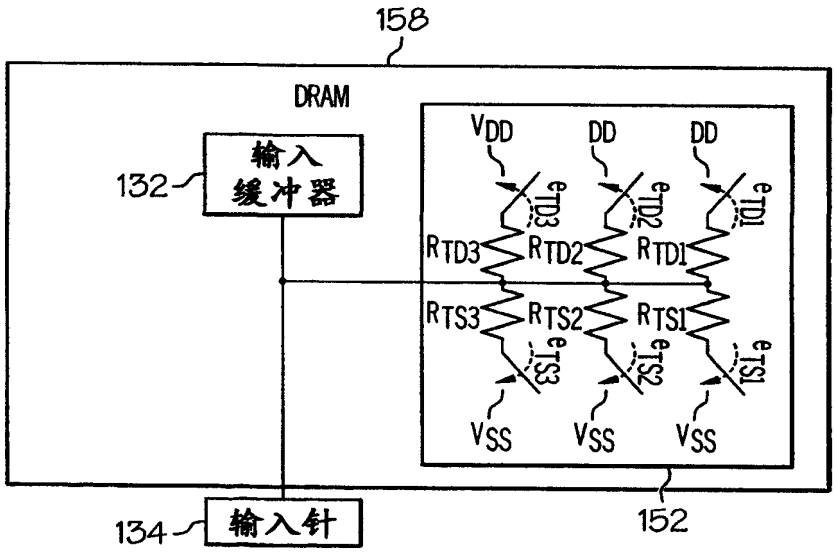

158
DRAM
输入
缓冲器
132
VDD
DD
DD
eTD3
eTD2
eTD1
RTD3
RTD2
RTD1
RTS3
RTS2
RTS1
eTS3
eTS2
eTS1
VSS
VSS
VSS
134
输入针
152

图 2B

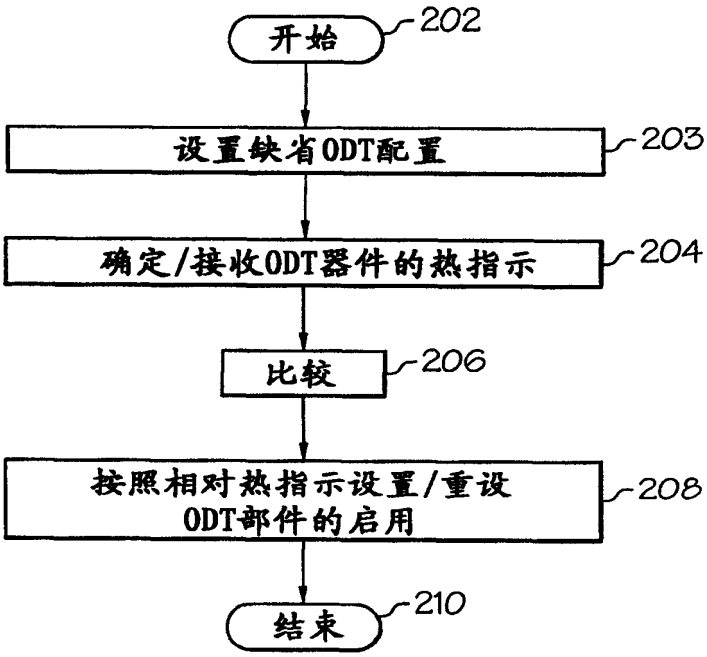

开始
202
设置缺省ODT配置
203
确定/接收ODT器件的热指示
204
比较
206
按照相对热指示设置/重设
ODT部件的启用
208
结束
210

图 3

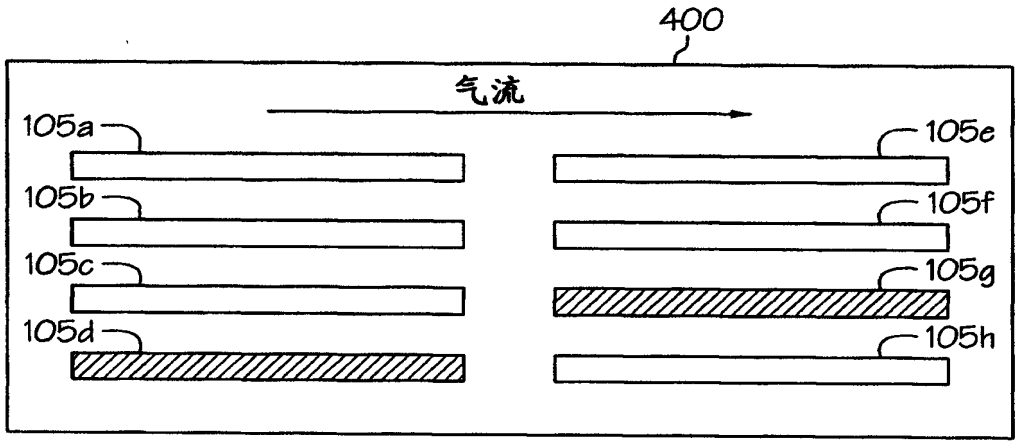


图 4