

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0027819

(43) 공개일자 2020년03월13일

(51) 국제특허분류(Int. Cl.)

H01L 27/06 (2006.01) H01L 21/8238 (2006.01)

H01L 27/105 (2006.01)

(52) CPC특허분류

H01L 27/0611 (2013.01)

H01L 21/8238 (2013.01)

(21) 출원번호 10-2018-0106112

(22) 출원일자 2018년09월05일

심사청구일자 2018년09월05일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김상식

서울특별시 강남구 남부순환로 2803, 105동 1901호(도곡동, 삼성래미안아파트)

조경아

서울특별시 광진구 천호대로110길 72(능동)

(뒷면에 계속)

(74) 대리인

김연권

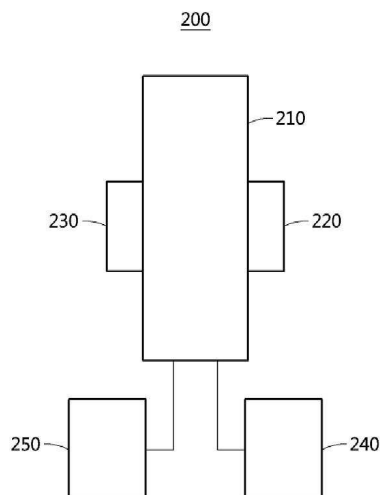
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 트랜스포저블 피드백 전계효과 전자소자 및 이를 이용한 배열 회로

(57) 요약

본 발명은 트랜스포저블 피드백 전계효과 전자소자 및 이를 이용한 배열회로를 개시한다. 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 다이오드 구조체, 복수의 게이트 전극 및 복수의 접근 전자소자를 포함하고, 상기 다이오드 구조체가 상기 복수의 게이트 전극 중 제1 게이트 전극과 상기 복수의 접근 전자소자 중 제1 접근 전자소자를 통해 전압을 인가받을 시, 제1 방향 접근(access)을 수행되며, 상기 복수의 게이트 전극 중 제2 게이트 전극과 상기 복수의 접근 전자소자 중 제2 접근 전자소자를 통해 전압을 인가받을 시, 제2 방향 접근(access)을 수행될 수 있다.

대표도 - 도2a



(52) CPC특허분류

H01L 27/092 (2013.01)

H01L 27/105 (2013.01)

(72) 발명자

조진선

서울특별시 노원구 마들로 31, 118동 303호(월계동, 그랑빌아파트)

임두혁

서울특별시 송파구 동남로 160, 17동 502호(문정동, 현대아파트)

우술아

경기도 과천시 별양로 12, 332동 1502호(원문동, 래미안 슈르)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711074152

부처명 과학기술정보통신부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업

연구과제명 인공지능용 feedback Si channel 1T-SRAM의 공정 및 구조 최적화 기술 개발

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2018.01.01 ~ 2018.12.31

명세서

청구범위

청구항 1

다이오드 구조체, 복수의 게이트 전극 및 복수의 접근 전자소자를 포함하고,

상기 다이오드 구조체가 상기 복수의 게이트 전극 중 제1 게이트 전극과 상기 복수의 접근 전자소자 중 제1 접근 전자소자를 통해 전압을 인가받을 시, 제1 방향 접근(access)을 수행되며, 상기 복수의 게이트 전극 중 제2 게이트 전극과 상기 복수의 접근 전자소자 중 제2 접근 전자소자를 통해 전압을 인가받을 시, 제2 방향 접근(access)을 수행되는

피드백 전계효과 전자소자.

청구항 2

제1항에 있어서,

상기 다이오드 구조체는 제1 도전형 영역, 제2 도전형 영역, 상기 제1 도전형 영역과 상기 제2 도전형 영역 사이에 배치된 진성 영역 및 상기 진성 영역과 상기 제2 도전형 영역 사이에 배치된 장벽영역을 포함하고,

상기 제1 게이트 전극은 상기 진성 영역의 주변에 배치되며,

상기 제2 게이트 전극은 상기 제1 게이트 전극과 전기적으로 절연되고, 상기 진성 영역을 기준으로 상기 제1 게이트 전극과 대칭되도록 배치되며,

상기 제1 도전형 영역은 상기 제1 방향 접근(access)이 제어되도록 상기 제1 접근 전자소자의 드레인 전극과 연결되고, 상기 제2 방향 접근(access)이 제어되도록 상기 제2 접근 전자소자의 드레인 전극과 연결되는

피드백 전계효과 전자소자.

청구항 3

제2항에 있어서,

상기 제1 게이트 전극은 제1 워드 라인에 연결되고, 상기 제2 게이트 전극은 제2 워드 라인에 연결되며, 상기 제1 접근 전자소자의 게이트 전극은 제3 워드 라인에 연결되고, 상기 제2 접근 전자소자의 게이트 전극은 제4 워드 라인에 연결되는

피드백 전계효과 전자소자.

청구항 4

제3항에 있어서,

상기 제1 워드 라인 및 상기 제3 워드 라인을 통하여 전압 펄스가 인가되면 상기 제1 방향 접근이 수행되고,

상기 제2 워드 라인 및 상기 제4 워드 라인을 통하여 전압 펄스가 인가되면 상기 제2 방향 접근이 수행되는

피드백 전계효과 전자소자.

청구항 5

제4항에 있어서,

상기 제1 게이트 전극 및 상기 제1 접근 전자소자의 게이트 전극에 상기 제1 워드 라인 및 상기 제3 워드 라인을 통하여 전압 펄스가 동시에 인가되는 경우, 상기 제2 도전형 영역을 통해 인가되는 비트 라인 전압의 크기에 기초하여 제1 논리 상태 또는 제2 논리 상태 중 어느 하나 상태의 데이터를 저장하는

피드백 전계효과 전자소자.

청구항 6

제4항에 있어서,

상기 제1 접근 전자소자는 상기 제2 도전형 영역을 통해 비트 라인 전압 펄스가 인가되고, 상기 제1 접근 전자소자의 게이트 전극에 상기 제3 워드 라인을 통해 전압 펄스가 인가되는 경우, 상기 진성 영역으로부터 제1 소스 라인을 통하여 상기 진성 영역의 데이터 상태와 관련된 전류를 출력하는

피드백 전계효과 전자소자.

청구항 7

제2항에 있어서,

상기 제1 도전형 영역 및 상기 장벽 영역은 n형 분순물이 도핑되고, 상기 제2 도전형 영역은 p형 불순물이 도핑되며,

상기 제1 방향 접근(access)은 상기 다이오드 구조체를 기준으로 행(row) 방향 접근에 상응하고, 상기 제2 방향 접근(access)은 상기 다이오드 구조체를 기준으로 열(column) 방향 접근에 상응하는

피드백 전계효과 전자소자.

청구항 8

제2항에 있어서,

상기 제1 게이트 전극과 상기 진성 영역 사이에 배치되는 제1 게이트 절연막; 및

상기 제2 게이트 전극과 상기 진성 영역 사이에 배치되는 제2 게이트 절연막을 더 포함하는

피드백 전계효과 전자소자.

청구항 9

다이오드 구조체, 제1 및 제2 게이트 전극, 제1 및 제2 접근 전자소자를 각각 포함하는 복수의 피드백 전계효과 전자소자;

상기 복수의 피드백 전계효과 전자소자에 대하여 제1 방향으로 연결된 제1 뉴런(neuron) 소자; 및

상기 복수의 피드백 전계효과 전자소자에 대하여 제2 방향으로 연결된 제2 뉴런(neuron) 소자를 포함하고,

상기 복수의 피드백 전계효과 전자소자는 상기 제1 뉴런 소자의 제1 발화 시간이 상기 제2 뉴런 소자의 제2 발화 시간보다 빠른 경우, 상기 제1 발화 시간과 상기 제2 발화 시간 사이에서 제1 논리 상태의 데이터를 저장하고, 상기 제2 발화 시간이 상기 제1 발화 시간 보다 빠른 경우, 상기 제1 발화 시간과 상기 제2 발화 시간 사이에서 제2 논리 상태의 데이터를 저장하는

배열 회로.

청구항 10

제9항에 있어서,

상기 제1 뉴런(neuron) 소자의 발화는 상기 다이오드 구조체에 비트 라인 전압 펄스를 인가시키고, 상기 제1 접근 전자소자의 게이트 전극에 연결된 제3 워드 라인을 통해 제3 전압 펄스를 인가시키며,

상기 제2 뉴런(neuron) 소자의 발화는 상기 제1 게이트 전극에 연결된 제1 워드 라인을 통해 제1 전압 펄스를 인가시키는

배열 회로.

청구항 11

제9항에 있어서,

상기 제1 전압 펄스와 상기 제3 전압 펄스의 펄스폭은 동일하고,

상기 제1 전압 펄스가 인가 된 후, 상기 제3 전압 펄스가 인가되는 경우, 상기 복수의 피드백 전계효과 전자소자는 상기 제2 논리 상태의 데이터를 저장하며,

상기 제3 전압 펄스가 인가 된 후, 상기 제1 전압 펄스가 인가되는 경우, 상기 복수의 피드백 전계효과 전자소자는 상기 제1 논리 상태의 데이터를 저장하는

배열 회로.

청구항 12

제10항에 있어서,

상기 복수의 피드백 전계효과 전자소자 중 제1 피드백 전계효과 전자소자는 제2 피드백 전계효과 전자소자와 상기 제1 방향으로 연결되고, 상기 제1 뉴런(neuron) 소자의 발화에 따라 상기 제3 전압 펄스를 인가받은 후, 상기 제1 전압 펄스를 인가받아 상기 제1 논리 상태 데이터를 저장하고,

상기 제2 피드백 전계효과 전자소자는 상기 제1 뉴런(neuron) 소자의 발화에 따라 상기 제1 전압 펄스를 인가받은 후, 상기 제3 전압 펄스를 인가받아 상기 제2 논리 상태 데이터를 저장하는

배열 회로.

청구항 13

제12항에 있어서,

상기 제1 피드백 전계효과 전자소자에 연결된 제1 접근 전자소자의 제1 소스 라인을 통해 출력되는 전류 및 상기 제2 피드백 전계효과 전자소자에 연결된 제1 접근 전자소자의 제2 소스 라인을 통해 출력되는 전류에 기초하여 행 방향 데이터를 읽는 동작을 수행하는

배열 회로.

청구항 14

제9항에 있어서,

상기 제1 뉴런(neuron) 소자의 발화는 상기 다이오드 구조체에 비트 라인 전압 펄스를 인가시키고, 상기 제2 접근 전자소자의 게이트 전극에 연결된 제4 워드 라인을 통해 제4 전압 펄스를 인가시키며,

상기 제2 뉴런(neuron) 소자의 발화는 상기 제2 게이트 전극에 연결된 제2 워드 라인을 통해 제2 전압 펄스를

인가시키는
배열 회로.

청구항 15

제14항에 있어서,

상기 복수의 피드백 전계효과 전자소자 중 제2 피드백 전계효과 전자소자는 제3 피드백 전계효과 전자소자와 상기 제2 방향으로 연결되고, 상기 제1 뉴런(neuron) 소자의 발화에 따라 상기 제2 전압 펄스를 인가받은 후, 제4 전압 펄스를 인가받아 상기 제2 논리 상태 데이터를 저장하고,

상기 제3 피드백 전계효과 전자소자는 상기 제4 전압 펄스를 인가받은 후, 상기 제2 전압 펄스를 인가받아 상기 제1 논리 상태 데이터를 저장하는

배열 회로.

청구항 16

제15항에 있어서,

상기 제1 피드백 전계효과 전자소자에 연결된 제2 접근 전자소자의 제4 소스 라인을 통해 출력되는 전류 및 상기 제3 피드백 전계효과 전자소자에 연결된 제2 접근 전자소자의 제4 소스 라인을 통해 출력되는 전류에 기초하여 열 방향 데이터를 읽는 동작을 수행하는

배열 회로.

발명의 설명

기술 분야

- [0001] 본 발명은 트랜스포저블하고, 시냅스 배열소자로서 이용 가능한 피드백 전계효과 전자소자에 관한 것으로, 보다 상세하게는 독립된 두 개의 게이트 전극을 이용하는 피드백 전계효과(feedback field-effect) 트랜지스터에 두 개의 접근(access) 트랜지스터를 연결하여 행(row) 방향과 열(column) 방향 접근을 제어하는 트랜스포저블 피드백 전계효과 전자소자 및 이를 이용한 배열 회로에 관한 것이다.

배경 기술

- [0003] 인간의 신경 구조를 전자소자 및 회로로 모방하기 위한 기술로서 뉴로모픽(Neuromorphic) 기술이 존재한다.
- [0004] 기존의 폰 노이만 기반의 컴퓨터는 순차적인 수학적 계산에서는 빠른 동작 속도를 보이지만, 동시다발적인 입력과 출력을 계산하는데 속도 및 전력 소모 측면의 한계성을 나타내고 있다.
- [0005] 다양한 뉴로모픽 기술 중 스파이킹 뉴럴 네트워크(spiking neural network) 기술은 뇌의 신경 네트워크 및 뇌파의 작용까지 모방해 보다 정교한 사고 능력을 구현할 수 있다.
- [0006] 이러한 스파이킹 뉴럴 네트워크를 구현하기 위해서는 뉴런과 시냅스가 전자소자로 구현되어야하고, 특히 뇌의 기억 및 학습을 담당하는 시냅스를 전자소자로 구현하려는 연구가 전 세계적으로 진행되고 있다.
- [0007] 시냅스 모방소자는 양방향 병렬 동작, 시냅스 가소성, 저전력, 고집적화 특성을 요구한다.
- [0008] 기존의 메모리 소자는 양방향 병렬 동작이 불가능하고, 시냅스 가소성을 구현하기에 어려움이 있기 때문에 ReRAM(resistive random-access memory), PCM(phase change memory), CBRAM(conductive bridge memory) 등 다양한 소재 및 구조를 갖는 메모리 소자에 대한 연구가 진행되고 있다.
- [0009] 하지만, 이와 같은 메모리 소자들은 기존 CMOS(Complementary Metal-Oxide-Semiconductor) 공정을 적용할 수

없이 소자의 균일성 및 안정성이 떨어지고, 복잡한 공정과정으로 인해 실생활에 활용되기 어렵다.

- [0010] 이에 기존의 CMOS 공정을 활용하여 양방향 병렬 동작 및 시냅스 가소성을 구현한 8T-SRAM이 제안되었지만, 한 메모리 셀에 여덟 개의 트랜지스터를 사용하고 시냅스 가소성을 구현하기 위해 추가적인 회로가 필요하므로 집적도의 한계성을 나타내었다.
- [0011] 따라서, CMOS 공정을 기반으로 하는 양방향 병렬 동작, 시냅스 가소성, 저전력, 고집적화 특성을 만족시키는 새로운 시냅스 모방소자의 개발이 필요한 상황이다.
- [0012] 피드백 루프(feedback loop) 메모리 메커니즘으로 구동하는 메모리소자의 경우 실리콘 채널을 기반으로 하여 CMOS 공정에 활용 가능하며, 우수한 스위칭 특성과 낮은 동작 전압 특성을 보였다.
- [0013] 하지만, 피드백 루프 메모리 메커니즘 기반의 메모리 소자만으로는 양방향 병렬 동작과 시냅스 가소성을 구현할 수 없다는 한계성이 존재하고, 현재 피드백 루프 메모리 메커니즘 기반의 메모리 소자에 접근 트랜지스터를 연결해 양방향 병렬 동작을 구현하는 기술은 전무하다.
- [0014] 또한 시냅스 모방소자 셀 내에서 자체적으로 시냅스 가소성을 구현한다면, 고집적화 시냅스 배열소자로 활용할 수 있다.

선행기술문헌

특허문헌

- [0016] (특허문헌 0001) 한국공개특허 제10-2017-0127645호, "수직 반도체 컬럼을 구비한 듀얼 게이트 메모리 소자"
- (특허문헌 0002) 한국등록특허 제10-1857873호, "로직 반도체 소자"
- (특허문헌 0003) 한국등록특허 제10-1835231호, "반도체 소자"

발명의 내용

해결하려는 과제

- [0017] 본 발명은 독립된 두 개의 게이트 전극과 두 개의 접근 트랜지스터를 이용하여 배열 회로에서 행과 열 방향 접근을 트랜스포저블(transposable)하게 수행하도록 제어하는 것을 목적으로 할 수 있다.
- [0018] 본 발명은 양방향 병렬 동작, 저전력, 고집적화 특성을 동시에 제공하는 피드백 전계효과 전자소자를 구현하는 것을 목적으로 할 수 있다.
- [0019] 본 발명은 CMOS 공정을 활용하여 제조 가능하고, 스파이킹 뉴럴 네트워크에 이용될 수 있는 피드백 전계효과 전자소자를 구현하는 것을 목적으로 할 수 있다.
- [0020] 본 발명은 피드백 루프(feedback loop) 메모리 메커니즘 기반의 메모리 소자에 해당하는 피드백 전계효과 전자소자를 이용하여 시냅스 모방소자를 구현하고, 시냅스 모방소자의 집적도를 향상시키는 것을 목적으로 할 수 있다.
- [0021] 본 발명은 접근 트랜지스터들을 이용하여 양방향 병렬 동작을 구현함으로써, 동시다발적인 입력값과 출력값을 빠른 속도로 계산하고, 전력 소모를 감소시키는 피드백 전계효과 전자소자를 구현하는 것을 목적으로 할 수 있다.
- [0022] 본 발명은 시냅스 모방소자에 해당하는 피드백 전계효과 전자소자 내에서 시냅스 가소성을 구현함으로써 연산 지연 시간을 감소시켜 초고속 학습을 수행하는 피드백 전계효과 전자소자를 구현하는 것을 목적으로 할 수 있다.
- [0023] 본 발명은 피드백 루프 메모리 메커니즘의 이력 현상을 이용하는 피드백 전계효과 전자소자를 구현하는 것을 목적으로 할 수 있다.

과제의 해결 수단

- [0025] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 다이오드 구조체, 복수의 게이트 전극 및 복수의 접근 전자소자를 포함하고, 상기 다이오드 구조체가 상기 복수의 게이트 전극 중 제1 게이트 전극과 상기 복수의 접근 전자소자 중 제1 접근 전자소자를 통해 전압을 인가받을 시, 제1 방향 접근(access)을 수행되며, 상기 복수의 게이트 전극 중 제2 게이트 전극과 상기 복수의 접근 전자소자 중 제2 접근 전자소자를 통해 전압을 인가받을 시, 제2 방향 접근(access)을 수행될 수 있다.
- [0026] 본 발명의 일실시예에 따르면 상기 다이오드 구조체는 제1 도전형 영역, 제2 도전형 영역, 상기 제1 도전형 영역과 상기 제2 도전형 영역 사이에 배치된 진성 영역 및 상기 진성 영역과 상기 제2 도전형 영역 사이에 배치된 장벽영역을 포함하고, 상기 제1 게이트 전극은 상기 진성 영역의 주변에 배치되며, 상기 제2 게이트 전극은 상기 제1 게이트 전극과 전기적으로 절연되고, 상기 진성 영역을 기준으로 상기 제1 게이트 전극과 대칭되도록 배치되며, 상기 제1 도전형 영역은 상기 제1 방향 접근(access)이 제어되도록 상기 제1 접근 전자소자의 드레인 전극과 연결되고, 상기 제2 방향 접근(access)이 제어되도록 상기 제2 접근 전자소자의 드레인 전극과 연결될 수 있다.
- [0027] 본 발명의 일실시예에 따르면 상기 제1 게이트 전극은 제1 워드 라인에 연결되고, 상기 제2 게이트 전극은 제2 워드 라인에 연결되며, 상기 제1 접근 전자소자의 게이트 전극은 제3 워드 라인에 연결되고, 상기 제2 접근 전자소자의 게이트 전극은 제4 워드 라인에 연결될 수 있다.
- [0028] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 상기 제1 워드 라인 및 상기 제3 워드 라인을 통하여 전압 펄스가 인가되면 상기 제1 방향 접근이 수행되고, 상기 제2 워드 라인 및 상기 제4 워드 라인을 통하여 전압 펄스가 인가되면 상기 제2 방향 접근이 수행될 수 있다.
- [0029] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 상기 제1 게이트 전극 및 상기 제1 접근 전자소자의 게이트 전극에 상기 제1 워드 라인 및 상기 제3 워드 라인을 통하여 전압 펄스가 동시에 인가되는 경우, 상기 제2 도전형 영역을 통해 인가되는 비트 라인 전압의 크기에 기초하여 제1 논리 상태 또는 제2 논리 상태 중 어느 하나 상태의 데이터를 저장할 수 있다.
- [0030] 본 발명의 일실시예에 따르면 상기 제1 접근 전자소자는 상기 제2 도전형 영역을 통해 비트 라인 전압 펄스가 인가되고, 상기 제1 접근 전자소자의 게이트 전극에 상기 제3 워드 라인을 통해 전압 펄스가 인가되는 경우, 상기 진성 영역으로부터 제1 소스 라인을 통하여 상기 진성 영역의 데이터 상태와 관련된 전류를 출력할 수 있다.
- [0031] 본 발명의 일실시예에 따르면 상기 제1 도전형 영역 및 상기 장벽 영역은 n형 분순물이 도핑되고, 상기 제2 도전형 영역은 p형 불순물이 도핑되며, 상기 제1 방향 접근(access)은 상기 다이오드 구조체를 기준으로 행(row) 방향 접근에 상응하고, 상기 제2 방향 접근(access)은 상기 다이오드 구조체를 기준으로 열(column) 방향 접근에 상응할 수 있다.
- [0032] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 상기 제1 게이트 전극과 상기 진성 영역 사이에 배치되는 제1 게이트 절연막 및 상기 제2 게이트 전극과 상기 진성 영역 사이에 배치되는 제2 게이트 절연막을 더 포함할 수 있다.
- [0033] 본 발명의 일실시예에 따르면 배열 회로는 다이오드 구조체, 제1 및 제2 게이트 전극, 제1 및 제2 접근 전자소자를 각각 포함하는 복수의 피드백 전계효과 전자소자, 상기 복수의 피드백 전계효과 전자소자에 대하여 제1 방향으로 연결된 제1 뉴런(neuron) 소자 및 상기 복수의 피드백 전계효과 전자소자에 대하여 제2 방향으로 연결된 제2 뉴런(neuron) 소자를 포함하고, 상기 복수의 피드백 전계효과 전자소자는 상기 제1 뉴런 소자의 제1 발화 시간이 상기 제2 뉴런 소자의 제2 발화 시간보다 빠른 경우, 상기 제1 발화 시간과 상기 제2 발화 시간 사이에서 제1 논리 상태의 데이터를 저장하고, 상기 제2 발화 시간이 상기 제1 발화 시간 보다 빠른 경우, 상기 제1 발화 시간과 상기 제2 발화 시간 사이에서 제2 논리 상태의 데이터를 저장할 수 있다.
- [0034] 본 발명의 일실시예에 따르면 상기 제1 뉴런(neuron) 소자의 발화는 상기 다이오드 구조체에 비트 라인 전압 펄스를 인가시키고, 상기 제1 접근 전자소자의 게이트 전극에 연결된 제3 워드 라인을 통해 제3 전압 펄스를 인가시키며, 상기 제2 뉴런(neuron) 소자의 발화는 상기 제1 게이트 전극에 연결된 제1 워드 라인을 통해 제1 전압 펄스를 인가시킬 수 있다.
- [0035] 본 발명의 일실시예에 따르면 상기 제1 전압 펄스와 상기 제3 전압 펄스의 펄스폭은 동일하고, 상기 제1 전압 펄스가 인가된 후, 상기 제3 전압 펄스가 인가되는 경우, 상기 복수의 피드백 전계효과 전자소자는 상기 제2

논리 상태의 데이터를 저장하고, 상기 제3 전압 펄스가 인가 된 후, 상기 제1 전압 펄스가 인가되는 경우, 상기 복수의 피드백 전계효과 전자소자는 상기 제1 논리 상태의 데이터를 저장할 수 있다.

[0036] 본 발명의 일실시예에 따르면 상기 복수의 피드백 전계효과 전자소자 중 제1 피드백 전계효과 전자소자는 제2 피드백 전계효과 전자소자와 상기 제1 방향으로 연결되고, 상기 제1 뉴런(neuron) 소자의 발화에 따라 상기 제3 전압 펄스를 인가받은 후, 상기 제1 전압 펄스를 인가받아 상기 제1 논리 상태 데이터를 저장하고, 상기 제2 피드백 전계효과 전자소자는 상기 제1 뉴런(neuron) 소자의 발화에 따라 상기 제1 전압 펄스를 인가받은 후, 상기 제3 전압 펄스를 인가받아 상기 제2 논리 상태 데이터를 저장할 수 있다.

[0037] 본 발명의 일실시예에 따르면 배열 회로는 상기 제1 피드백 전계효과 전자소자에 연결된 제1 접근 전자소자의 제1 소스 라인을 통해 출력되는 전류 및 상기 제2 피드백 전계효과 전자소자에 연결된 제1 접근 전자소자의 제2 소스 라인을 통해 출력되는 전류에 기초하여 행 방향 데이터를 읽는 동작을 수행할 수 있다.

[0038] 본 발명의 일실시예에 따르면 상기 제1 뉴런(neuron) 소자의 발화는 상기 다이오드 구조체에 비트 라인 전압 펄스를 인가시키고, 상기 제2 접근 전자소자의 게이트 전극에 연결된 제4 워드 라인을 통해 제4 전압 펄스를 인가시키며, 상기 제2 뉴런(neuron) 소자의 발화는 상기 제2 게이트 전극에 연결된 제2 워드 라인을 통해 제2 전압 펄스를 인가시킬 수 있다.

[0039] 본 발명의 일실시예에 따르면 상기 복수의 피드백 전계효과 전자소자 중 제2 피드백 전계효과 전자소자는 제3 피드백 전계효과 전자소자와 상기 제2 방향으로 연결되고, 상기 제1 뉴런(neuron) 소자의 발화에 따라 상기 제2 전압 펄스를 인가받은 후, 제4 전압 펄스를 인가받아 상기 제2 논리 상태 데이터를 저장하고, 상기 제3 피드백 전계효과 전자소자는 상기 제4 전압 펄스를 인가받은 후, 상기 제2 전압 펄스를 인가받아 상기 제1 논리 상태 데이터를 저장할 수 있다.

[0040] 본 발명의 일실시예에 따르면 배열 회로는 상기 제1 피드백 전계효과 전자소자에 연결된 제2 접근 전자소자의 제3 소스 라인을 통해 출력되는 전류 및 상기 제3 피드백 전계효과 전자소자에 연결된 제2 접근 전자소자의 제4 소스 라인을 통해 출력되는 전류에 기초하여 열 방향 데이터를 읽는 동작을 수행할 수 있다.

발명의 효과

[0042] 본 발명은 독립된 두 개의 게이트 전극과 두 개의 접근 트랜지스터를 이용하여 배열 회로에서 행과 열 방향 접근을 트랜스포저블(transposable)하게 수행하도록 제어할 수 있다.

[0043] 본 발명은 양방향 병렬 동작, 저전력, 고집적화 특성을 동시에 제공하는 피드백 전계효과 전자소자를 구현할 수 있다.

[0044] 본 발명은 CMOS 공정을 활용하여 제조 가능하고, 스카이킹 뉴럴 네트워크에 이용될 수 있는 피드백 전계효과 전자소자를 구현할 수 있다.

[0045] 본 발명은 피드백 루프(feedback loop) 메모리 메커니즘 기반의 메모리 소자에 해당하는 피드백 전계효과 전자소자를 이용하여 시냅스 모방소자를 구현하고, 시냅스 모방소자의 집적도를 향상시킬 수 있다.

[0046] 본 발명은 접근 트랜지스터들을 이용하여 양방향 병렬 동작을 구현함으로써, 동시다발적인 입력값과 출력값을 빠른 속도로 계산하고, 전력 소모를 감소시키는 피드백 전계효과 전자소자를 구현할 수 있다.

[0047] 본 발명은 시냅스 모방소자에 해당하는 피드백 전계효과 전자소자 내에서 시냅스 가소성을 구현함으로써 연산 지연 시간을 감소시켜 초고속 학습을 수행하는 피드백 전계효과 전자소자를 구현할 수 있다.

[0048] 본 발명은 피드백 루프 메모리 메커니즘의 이력 현상을 이용하는 피드백 전계효과 전자소자를 구현할 수 있다.

도면의 간단한 설명

[0050] 도 1a 내지 도 1c는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 다이오드 구조체를 설명하는 도면이다.

도 2a 및 도 2b는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 구조도를 설명하는 도면이다.

도 3은 본 발명의 일실시예에 따른 단순화된 발화 시간 기반 가소성 학습 메커니즘과 생물학적 발화 시간 기반 가소성 학습 메커니즘을 비교하는 그래프를 설명하는 도면이다.

도 4는 본 발명의 일실시예에 따른 단순화된 발화 시간 기반 가소성 구현을 위한 펄스폭 변조 방법과 관련된 그래프를 설명하는 도면이다.

도 5는 본 발명의 일실시예에 따른 배열 회로를 설명하는 도면이다.

도 6a 및 도 6b는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 행 방향 접근을 설명하기 위한 도면이다.

도 7a 및 도 7b는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 열 방향 접근을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0051] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [0052] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0053] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0054] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0055] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0056] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0057] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [0058] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0059] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0060] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [0061] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [0062] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0063] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.
- [0064] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0065] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

- [0067] 도 1a 내지 도 1c는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 다이오드 구조체를 설명하는 도면이다.
- [0068] 도 1a는 본 발명의 일실시예에 따라 독립된 두 개의 게이트 전극이 배치되는 다이오드 구조체를 예시한다. 예를 들어, 다이오드 구조체는 p-n-i-n 트랜지스터, 메모리 소자, 반도체 소자 또는 저장 소자 중 어느 하나로도 지칭될 수 있다.
- [0069] 도 1a를 참고하면, 다이오드 구조체(110)는 제1 도전형 영역(112), 진성 영역(114), 장벽 영역(116) 및 제2 도전형 영역(118)을 포함하고, 진성 영역(114)에 제1 게이트 전극(120) 및 제2 게이트 전극(130)이 형성 및 배치될 수 있다.
- [0070] 예를 들어, 제1 게이트 전극(120) 및 제2 게이트 전극(130)은 선택적 식각(etching)을 통해 형성될 수 있다. 한편, 선택적 식각은 반도체 공정에서 널리 사용되는 기술로 불필요한 부분을 선택적으로 제거하는 기술을 지칭할 수 있다.
- [0071] 본 발명의 일실시예에 따르면 제1 게이트 전극(120)은 진성 영역(114)의 일 측면 또는 주변 중 어느 하나에 배치될 수 있다.
- [0072] 또한, 제1 게이트 전극(120)과 진성 영역(114) 사이에 제1 게이트 절연막(121)이 위치하고, 제2 게이트 전극(130)과 진성 영역(114) 사이에 제2 게이트 절연막(131)이 위치할 수 있다.
- [0073] 일례로, 제2 게이트 전극(130)은 제1 게이트 전극(120)과 전기적으로 절연되면서, 진성 영역(114)을 기준으로 제1 게이트 전극과 대칭되도록 배치될 수 있다.
- [0074] 즉, 제1 게이트 전극(120)과 제2 게이트 전극(130)은 상호간에 대칭되는 구조를 나타내고, 다이오드 구조체(110)가 피드백 전계효과 전자소자에서 메모리 기능을 수행할 시, 메모리 기능의 양방향 동작을 지원할 수 있다.
- [0075] 여기서, 양방향 동작은 다이오드 구조체(110)에 데이터가 저장될 시, 제1 논리 상태의 데이터를 저장하는 동작과 제2 논리 상태의 데이터를 저장하는 동작을 포함할 수 있다.
- [0076] 예를 들어, 제1 논리 상태의 데이터는 "1"을 나타낼 수 도 있고, 제2 논리 상태의 데이터는 "0"을 나타낼 수 도 있다. 한편, 상술한 설명에서 제1 논리 상태의 데이터는 "1"로 제2 논리 상태의 데이터는 "0"으로 설명하였으나, 메모리의 설정에 따라 유동적으로 변경될 수 도 있다.
- [0077] 한편, 다이오드 구조체(110)가 메모리로서, 제1 논리 상태의 데이터를 저장하는 동작은 프로그래밍(programming)으로도 지칭될 수 있다.
- [0078] 또한, 다이오드 구조체(110)가 메모리로서, 제2 논리 상태의 데이터를 저장하는 동작은 이레이징(erasing)으로도 지칭될 수 있다.
- [0079] 예를 들어, 프로그래밍 및 이레이징을 통합하여 업데이트 동작으로도 지칭될 수 있다.
- [0080] 즉, 본 발명은 양방향 병렬 동작, 저전력, 고집적화 특성을 동시에 제공하는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0082] 도 1b는 다이오드 구조체(110)의 구성요소를 보다 구체적으로 설명한다.
- [0083] 도 1b를 참고하면, 다이오드 구조체(110)는 제1 도전형 영역(112), 제2 도전형 영역(118), 제1 도전형 영역(112)과 제2 도전형 영역(118) 사이에 배치된 진성 영역(114) 및 진성 영역(114)과 제2 도전형 영역(118) 사이에 배치되는 장벽 영역(116)을 포함할 수 있다.
- [0084] 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 진성 영역(114)의 주변에 제1 게이트 전극(120)과 제2 게이트 전극(130)이 독립적으로 배치될 수 있다.
- [0085] 또한, 제1 게이트 전극(120)과 제2 게이트 전극(130)은 상호 독립적인 전압 인가 라인에 연결되며, 다이오드 구조체(110)로 상호 독립적인 전압 펄스를 인가할 수 있다.

- [0086] 일례로, 다이오드 구조체(110)는 제2 도전형 영역(118)으로 인가되는 드레인 전압과 제1 게이트 전극(120) 또는 제2 게이트 전극(130) 중 어느 하나를 통하여 인가되는 게이트 전압에 기초하여 스위치 또는 휘발성 메모리로서 동작할 수 있다.
- [0087] 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 n채널 반도체 소자로서 동작하고 MOSFET의 n채널 소자와 히스테리시스 특성을 제외한 유사한 특성을 보일 수 있다.
- [0088] 또한, 다이오드 구조체(110)는 제1 도전형 영역(112)은 소오스로 동작하고, 제2 도전형 영역(118)은 드레인으로 동작될 수 있다.
- [0089] 즉, 제1 도전형 영역(112)은 소오스 영역으로도 지칭될 수 있고, 제2 도전형 영역(118)은 드레인 영역으로도 지칭될 수 있다.
- [0090] 본 발명의 일실시예에 따르면 다이오드 구조체(110)는 기관상에 수직 또는 수평으로 형성될 수 있으며, 기관은 단결정 실리콘 기관이고, 다이오드 구조체(110)는 다결정 상태 또는 단결정 상태의 실리콘일 수 있다.
- [0091] 일례로, 다이오드 구조체(110)는 기관 상에서 수직 위치에 따라 제1 도전형 또는 제2 도전형으로 도핑될 수 있다.
- [0092] 여기서, 제1 도전형은 n형이고, 제2 도전형은 p형일 수 있다.
- [0093] 본 발명의 일실시예에 따르면, 제1 게이트 절연막(121) 및 제2 게이트 절연막(131)은 진성 영역(114)만 선택적으로 감쌀 수 있고, 장벽 영역(116)과 진성 영역(114)을 동시에 감쌀 수 도 있다.
- [0094] 본 발명의 일실시예에 따르면, 제1 게이트 절연막(121) 및 제2 게이트 절연막(131)은 실리콘 산화(oxide)막으로도 지칭될 수 있다.
- [0095] 다른 실시예에 따르면, 제1 게이트 절연막(121) 및 제2 게이트 절연막(131)은 진성 영역(114)을 감싸도록 배치될 수 있다.
- [0096] 일례로, 다이오드 구조체(110)는 $p^+-n^+-i-n^+$ 구조를 나타낼 수 있고, 제1 p-n접합(111a), 제2 p-n 접합(111b), 그리고 제3 p-n 접합(111c)을 포함할 수 있다.
- [0097] 여기서, p^+ 는 p형 불순물이 고농도로 도핑된 경우를 나타낼 수 있고, n^+ 는 n형 불순물이 고농도로 도핑된 경우를 나타낼 수 있다.
- [0098] 예를 들어, n채널은 다이오드 구조체(110)의 진성 영역(114)을 기준으로 양측에 n형 불순물이 도핑된 경우를 나타낼 수 있다.
- [0099] 한편, p채널은 다이오드 구조체(110)의 진성 영역(114)을 기준으로 양측에 p형 불순물이 도핑된 경우를 나타낼 수 있다.
- [0100] 따라서, 본 발명은 p-n접합 구조를 갖으며, CMOS 공정을 활용하여 제조 가능하고, 스파이킹 뉴럴 네트워크에 이용될 수 있는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0101] 또한, 본 발명은 피드백 루프(feedback loop) 메모리 메커니즘 기반의 메모리 소자에 해당하는 피드백 전계효과 전자소자를 이용하여 시냅스 모방소자를 구현하고, 시냅스 모방소자의 집적도를 향상시킬 수 있다.
- [0103] 도 1c는 도 1a 및 도 1b의 다이오드 구조체(110)를 회로 상에 표시할 경우에 기호에 해당한다.
- [0104] 도 1c를 참고하면, 다이오드 구조체에는 서로 독립된 게이트 전압을 인가하는 제1 게이트 전극(G1)과 제2 게이트 전극(G2)이 배치될 수 있다.
- [0105] 본 발명의 일실시예에 따른 다이오드 구조체는 제1 게이트 전압(VG1)과 제2 게이트 전압(VG2)에 따라 다르게 동작할 수 있다.
- [0106] 즉, 다이오드 구조체는 제1 게이트 전압(VG1)과 제2 게이트 전압(VG2)에 기반하여 대칭적인 동작 특성을 나타낼 수 있다.

- [0108] 도 2a는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 구조도를 설명하는 도면이다.
- [0109] 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 트랜스포저블하게 행(row)방향 연산과 열(column)방향 연산을 병렬적으로 수행할 수 있다.
- [0110] 따라서, 피드백 전계효과 전자소자는 트랜스포저블 피드백 전계효과 전자소자 또는 양방향 동작이 용이한 피드백 전계효과 전자소자로도 지칭될 수 있다.
- [0111] 도 2a를 참고하면, 피드백 전계효과 전자소자(200)는 다이오드 구조체(210), 제1 게이트 전극(220), 제2 게이트 전극(230), 제1 접근 전자소자(240) 및 제2 접근 전자소자(250)를 포함한다.
- [0112] 일례로, 피드백 전계효과 전자소자(200)는 제1 게이트 전극(220)과 제1 접근 전자소자(240)를 통해 전압을 인가받을 경우, 제1 방향 접근(access)을 수행할 수 있다. 여기서, 인가되는 전압은 제1 게이트 전압 및 제3 게이트 전압일 수 도 있다.
- [0113] 일례로, 피드백 전계효과 전자소자(200)는 제2 게이트 전극(230)과 제2 접근 전자소자(250)를 통해 전압을 인가받을 경우, 제2 방향 접근(access)을 수행할 수 있다. 여기서, 인가되는 전압도 제2 게이트 전압 및 제4 게이트 전압일 수 도 있다.
- [0114] 일례로, 피드백 전계효과 전자소자(200)는 제1 게이트 전압 및 제3 게이트 전압 또는 제2 게이트 전압 및 제4 게이트 전압에 상응하는 워드 라인 전압을 인가받아 메모리 소자로서의 동작을 수행할 수 있다.
- [0115] 예를 들어, 제1 방향 접근은 다이오드 구조체(210)를 기준으로 행 방향으로 수행되는 동작에 상응하고, 제2 방향 접근은 다이오드 구조체(210)를 기준으로 열 방향으로 수행되는 동작에 상응할 수 있다.
- [0116] 이하, 도 2b를 이용하여 피드백 전계효과 전자소자의 구조를 보다 구체적으로 설명한다.
- [0118] 도 2b는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 구조도를 설명하는 도면이다.
- [0119] 도 2는 도 1a 내지 도 1c에서 설명된 다이오드 구조체를 포함하는 피드백 전계효과 전자소자의 구성 및 구조를 예시한다.
- [0120] 도 2를 참고하면, 피드백 전계효과 전자소자(200) 다이오드 구조체(210), 제1 게이트 전극(220), 제2 게이트 전극(230), 제1 접근 전자소자(240), 제2 접근 전자소자(250)를 포함할 수 있다.
- [0121] 또한, 피드백 전계효과 전자소자(200)는 선 시냅스 뉴런(260)과 후 시냅스 뉴런(270)과 연결될 수 있다.
- [0122] 예를 들어, 선 시냅스 뉴런(260)은 제1 뉴런 소자로 지칭될 수 있고, 후 시냅스 뉴런(270)은 제2 뉴런 소자로 지칭될 수 있다. 이하, 설명에서는 제1 뉴런 소자 및 제2 뉴런 소자라는 명칭을 이용하여 설명한다.
- [0123] 제1 뉴런 소자는 피드백 전계효과 전자소자(200)가 연결되는 행 마다 축색돌기를 포함할 수 있다.
- [0124] 제2 뉴런 소자는 피드백 전계효과 전자소자(200)가 연결되는 열 마다 수상돌기를 포함할 수 있다.
- [0125] 예를 들어, 스파이킹 뉴럴 네트워크(spiking neural network)의 관점에서 시냅스는 피드백 전계효과 전자소자의 앞단에 연결된 제1 뉴런 소자의 발화와 피드백 전계효과 전자소자의 뒷단에 연결된 제2 뉴런 소자의 발화에 의해 데이터 읽기 및 쓰기 동작이 수행할 수 있다.
- [0126] 여기서, 피드백 전계효과 전자소자(200)의 앞단에 연결된 제1 뉴런 소자의 발화는 비트라인(BL) 및 제1 워드 라인(WL1) 또는 제2 워드 라인(WL1_T) 중 어느 하나에 전압을 동시 인가시키며, 피드백 전계효과 전자소자(200)의 뒷단에 연결된 제2 뉴런 소자의 발화는 제3 워드 라인(WL2) 혹은 제4 워드 라인(WL2_T)에 전압을 인가시킨다.
- [0127] 일례로, 다이오드 구조체(210)는 제1 도전형 영역, 제2 도전형 영역, 상기 제1 도전형 영역과 상기 제2 도전형 영역 사이에 배치된 진성 영역 및 상기 진성 영역과 상기 제2 도전형 영역 사이에 배치된 장벽영역을 포함할 수 있다.
- [0128] 본 발명의 일실시예에 따르면 제1 게이트 전극(220)은 다이오드 구조체(210)의 진성 영역 주변에 배치될 수 있다.
- [0129] 또한 제1 게이트 전극(220)은 제1 워드 라인(WL1)에 연결되어, 다이오드 구조체(210)에 게이트 전압을 인가할

수 있다.

- [0130] 본 발명의 일실시예에 따르면 제2 게이트 전극(230)은 다이오드 구조체(210)를 기준으로 제1 게이트 전극(220)과 대칭되는 위치에 배치될 수 있다.
- [0131] 또한, 제2 게이트 전극(230)은 제2 워드 라인(WL_{1T})에 연결되어, 다이오드 구조체(210)에 게이트 전압을 인가할 수 있다.
- [0132] 일례로, 제1 접근 전자소자(240)는 다이오드 구조체(210)의 제1 도전형 영역에 연결되어 제1 방향 접근을 제어할 수 있다.
- [0133] 한편, 제2 접근 전자소자(250)는 다이오드 구조체(210)의 제1 도전형 영역에 연결되어 제2 방향 접근을 제어할 수 있다.
- [0134] 예를 들어, 제1 방향 접근은 다이오드 구조체(210)를 기준으로 행 방향 접근을 나타낼 수 있다.
- [0135] 한편, 제2 방향 접근은 다이오드 구조체(210)를 기준으로 열 방향 접근을 나타낼 수 있다.
- [0136] 한편, 제1 접근 전자소자(240)의 게이트 전극은 제3 워드 라인(WL₂)에 연결되고, 제2 접근 전자소자(250)의 게이트 전극은 제4 워드 라인(WL_{2T})에 연결될 수 있다.
- [0137] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자(200)는 제1 워드 라인(WL₁) 및 상기 제3 워드 라인(WL₂)을 통하여 전압 펄스가 인가되면 제1 방향 접근이 수행할 수 있다.
- [0138] 한편, 피드백 전계효과 전자소자(200)는 제2 워드 라인(WL_{1T}) 및 상기 제4 워드 라인(WL_{2T})을 통하여 전압 펄스가 인가되면 상기 제2 방향 접근이 수행할 수 있다.
- [0139] 일례로, 다이오드 구조체(210)는 제1 게이트 전극(220) 및 제1 접근 전자소자(240)의 게이트 전극에 제1 워드 라인(WL₁) 및 상기 제3 워드 라인(WL₂)을 통하여 전압 펄스가 동시에 인가되는 경우, 다이오드 구조체(210)의 제2 도전형 영역을 통해 인가되는 비트 라인 전압(BL)의 크기에 기초하여 제1 논리 상태 또는 제2 논리 상태 중 어느 하나 상태의 데이터를 저장할 수 있다.
- [0140] 즉, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자(200)는 제1 게이트 전극(220) 또는 제2 게이트 전극 중 어느 하나와 제1 접근 전자소자(240) 및 제2 접근 전자소자(250)를 이용하여 양방향 동작을 수행할 수 있다.
- [0141] 본 발명의 일실시예에 따른 피드백 전계효과 전자소자(200)는 아래 표 1에 기초한 비트 라인 전압, 게이트 전압들이 인가될 경우 양방향 동작을 수행할 수 있다.

[표 1]

	Programming	Erasing	Read	Standby (hold)
BL (V)	1.2 V	0.6 V	1.2 V	1.2 V
WL1 (V)	0.8 V	0.8 V	0 V	0 V
WL2 (V)	1 V	1 V	1 V	0.45 V

- [0146] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자(200)는 행 방향 접근의 경우 제1 워드 라인(WL₁)과 제3 워드 라인(WL₂)을 이용하여 수행될 수 있다.
- [0147] 먼저, 피드백 전계효과 전자소자(200)는 다이오드 구조체(210)가 제1 워드 라인(WL₁)과 제3 워드 라인(WL₂)을 통하여 전압을 동시에 인가받아 메모리로서 활성화 되었을 때, 인가되는 전압이 1.2V보다 클 경우 제1 논리 상태를 저장한다.
- [0148] 즉, 피드백 전계효과 전자소자(200)는 인가되는 비트 라인 전압이 1.2V일 경우 프로그래밍 동작을 수행할 수 있다.
- [0149] 한편, 피드백 전계효과 전자소자(200)는 인가되는 비트 라인 전압이 1.2V보다 작은 0.6V에 상응할 경우, 제2 논

리 상태를 저장한다.

- [0150] 즉, 피드백 전계효과 전자소자(200)는 인가되는 비트 라인 전압이 0.6V에 상응할 경우, 이레이징 동작을 수행한다.
- [0151] 한편, 피드백 전계효과 전자소자(200)는 비트 라인 전압을 인가한 상태에서 제3 워드 라인(WL2)만을 통하여 전압 펄스를 인가함에 따라 읽기 동작을 수행할 수 있다.
- [0152] 즉, 피드백 전계효과 전자소자(200)는 비트 라인 전압이 일정하게 유지된 상태에서 읽기동작을 수행할 수 있다.
- [0153] 또한, 피드백 전계효과 전자소자(200)는 비트 라인 전압이 인가된 상태에서 제1 워드 라인과 제3 워드 라인 그 어디에서도 전압 펄스가 인가되지 않을 경우, 현재 제2 도전형 영역에 인가된 전압을 유지할 수 있다. 여기서, 인가된 전압을 유지하는 동작은 홀드(hold)로도 지칭될 수 있다.
- [0154] 열 방향 접근의 경우 제2 워드 라인(WL_{1T})과 제4 워드 라인(WL_{2T})에 의해 수행될 수 있다.
- [0155] 한편, 피드백 전계효과 전자소자(200)는 제1 게이트 전극(220)과 제2 게이트 전극(230)의 구조적 대칭성으로 인해 행 방향 동작과 동일한 동작 전압 조건에서 데이터 쓰기와 읽기 동작을 수행할 수 있다.
- [0156] 일례로, 피드백 전계효과 전자소자(200)는 대기 동작을 수행하기 위해 두 개의 접근 트랜지스터에 가해지는 제2 워드 라인(WL_{1T})과 제4 워드 라인(WL_{2T})에 가해지는 전압을 감소시켜 다이오드 구조체(210)에 흐르는 전류를 감소시키며, 이로 인해 시냅스 배열소자는 낮은 대기 전력을 소모한다.
- [0157] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자(200)는 제1 접근 전자소자(240)는 다이오드 구조체(210)의 제2 도전형 영역을 통해 비트 라인 전압 펄스(BL)가 인가되고, 제1 접근 전자소자(240)의 게이트 전극에 제3 워드 라인(WL2)을 통해 전압 펄스가 인가되는 경우, 비트 라인 전압(BL)의 크기에 기초하여 다이오드 구조체(210)로부터 제1 소스 라인(SL)을 통하여 다이오드 구조체의 데이터 상태와 관련된 전류를 출력할 수 있다.
- [0159] 도 3은 본 발명의 일실시예에 따른 단순화된 발화 시간 기반 가소성 학습 메커니즘과 생물학적 발화 시간 기반 가소성 학습 메커니즘을 비교하는 그래프를 설명하는 도면이다.
- [0160] 도 3을 참고하면, 발화 시간 기반 가소성(Spike-timing-dependent plasticity, STDP)은 단순화된 STDP와 생물학적 STDP로 구분할 수 있다.
- [0161] 그래프의 가로축은 시간의 변화를 나타내고, 세로축은 데이터의 변화를 나타낼 수 있다.
- [0162] 여기서, 시간의 변화는 제1 뉴런 소자가 발화된 시간에서 제2 뉴런 소자가 발화된 시간을 제외한 시간에 상응할 수 도 있다.
- [0163] 또한, 시간의 변화는 STDP 학습 메커니즘에서 제1 뉴런 소자와 제2 뉴런 소자에 연결된 발화가 일어나는 시간 차이에 해당하는 시간 창문(time window)에 상응할 수 도 있다.
- [0164] 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 단순화된 STDP와 같은 신호 전달을 나타낼 수 있고, 생물학적 STDP는 동물의 뇌의 시냅스 소자에서 시냅스의 연결 강도가 변화하는 메커니즘을 나타낼 수 있다.
- [0165] 즉, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 단순화된 STDP에 기반하여 시냅스 가소성을 구현할 수 있다.
- [0166] 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 시간 창문안에서 데이터 쓰기 동작을 수행할 수 있다.
- [0167] 본 발명의 일실시예에 따른 피드백 전계효과 전자소자는 생물학적 STDP 메커니즘과 동일하게 제1 시냅스 소자가 제2 시냅스 소자보다 먼저 발화하면 상승 구간(300)과 같이 "1"을 기록한다.
- [0168] 한편, 피드백 전계효과 전자소자는 제2 시냅스 소자가 제1 시냅스 소자보다 먼저 발화하면 하강 구간(301)과 같이 "0"을 기록한다.
- [0169] 시간 창문의 값은 임의로 설정될 수 있으며, 일반적으로는 10ms가 이용될 수 도 있다.
- [0170] 예를 들어, 상승 구간(300)은 LTP(long-term potentiation)로도 지칭될 수 있고, 하강 구간(301)은 LTD(long-term depression, LTD)로도 지칭될 수 있다.

- [0171] 본 발명의 일실시예에 따르면, 복수의 피드백 전계효과 전자소자는 제1 뉴런 소자의 제1 발화 시간이 상기 제2 뉴런 소자의 제2 발화 시간보다 빠른 경우, 제1 발화 시간과 제2 발화 시간 사이에서 제1 논리 상태의 데이터를 저장할 수 있다.
- [0172] 또한, 복수의 피드백 전계효과 전자소자는 제2 발화 시간이 제1 발화 시간 보다 빠른 경우, 제1 발화 시간과 제2 발화 시간 사이에서 제2 논리 상태의 데이터를 저장할 수 있다.
- [0173] 즉, 본 발명은 접근 트랜지스터들을 이용하여 양방향 병렬 동작을 구현함으로써, 동시다발적인 입력값과 출력값을 빠른 속도로 계산하고, 전력 소모를 감소시키는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0174] 또한, 본 발명은 시냅스 모방소자에 해당하는 피드백 전계효과 전자소자 내에서 시냅스 가소성을 구현함으로써 연산 지연 시간을 감소시켜 초고속 학습을 수행하는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0176] 도 4는 본 발명의 일실시예에 따른 단순화된 발화 시간 기반 가소성 구현을 위한 펄스폭 변조 방법과 관련된 그래프를 설명하는 도면이다.
- [0177] 도 4를 참고하면, 본 발명의 일실시예에 피드백 전계효과 전자소자는 단순화된 발화 시간 기반 가소성(Spike-timing-dependent plasticity, STDP)을 구현하기 위하여 비트 라인 전압(BL), 제1 워드 라인(WL1), 제3 워드 라인(WL2)의 전압 펄스 폭을 변조할 수 있다. 이하에서는, 단순화된 발화 시간 기반 가소성을 단순화된 STDP로 지칭하여 설명한다.
- [0178] 본 발명의 일실시예에 따르면, 단순화된 STDP에서 피드백 전계효과 전자소자는 프로그래밍 또는 이레이징 중 어느 하나의 동작을 제1 뉴런(neuron)소자의 발화 시간과 제2 뉴런소자의 발화 시간 차이가 시간 창문(time window)내에서 발생하는 경우에만 수행한다.
- [0179] 본 발명의 일실시예에 따르면, 제1 뉴런 소자의 발화는 다이오드 구조체에 비트 라인(BL)의 비트 전압 펄스를 인가시키고 제1 접근 전자소자의 게이트 전극에 연결된 제3 워드 라인(WL2)을 통해 제3 전압 펄스를 인가시킬 수 있다.
- [0180] 여기서, 제1 뉴런 소자의 발화는 도 2b에서 설명된 선 시냅스 뉴런의 발화에 상응할 수 있다.
- [0181] 일례로, 제2 뉴런 소자의 발화는 제1 게이트 전극에 연결된 제1 워드 라인(WL1)을 통해 제1 전압 펄스를 인가시킬 수 있다.
- [0182] 여기서, 제2 뉴런 소자의 발화는 도 2b에서 설명된 후 시냅스 뉴런의 발화에 상응할 수 있다.
- [0183] 예를 들어, 시간 창문의 크기는 제3 전압 펄스의 펄스폭 또는 제1 전압 펄스의 펄스폭 중 적어도 어느 하나에 상응할 수 있다.
- [0184] 또한, 제3 전압 펄스의 펄스폭과 제1 전압 펄스의 펄스폭은 동일할 수 있고, 비트 전압 펄스는 상대적으로 작을 수 있다.
- [0185] 보다 구체적으로, 제3 전압 펄스의 펄스폭과 제1 전압 펄스의 펄스폭이 5ns일 경우, 비트 전압 펄스는 4ns로 약 1ns가 작을 수 있고, 시간 창문의 크기는 5ns일 수 있다.
- [0186] 도 4에서 시간 구간(410) 및 시간 구간(411)은 1ns의 펄스폭 차이를 나타낸다.
- [0187] 보다 구체적으로, 시간 구간(410)은 제2 뉴런 소자의 발화가 제1 뉴런 소자의 발화보다 먼저 발생하여, 피드백 전계효과 전자소자가 이레이징 동작을 수행하여 제2 논리 상태의 데이터를 저장하는 구간을 나타낼 수 있다.
- [0188] 시간 구간(411)은 제1 뉴런 소자의 발화가 제2 뉴런 소자의 발화보다 먼저 발생하여, 피드백 전계효과 전자소자가 프로그래밍 동작을 수행하여 제1 논리 상태의 데이터를 저장하는 구간을 나타낼 수 있다.
- [0189] 즉, 피드백 전계효과 전자소자는 시간 창문에서 제1 전압 펄스와 제3 전압 펄스의 인가 시간차이가 발생할 시, 제1 전압 펄스와 제3 전압 펄스의 인가 순서에 기반하여 프로그래밍 동작 또는 이레이징 동작을 수행할 수 있다.
- [0190] 예를 들어, 펄스폭은 제1 상태의 전압이 인가되는 시간 또는 제2 상태의 전압이 인가되는 시간에 상응할 수 있다.

- [0191] 비트 전압을 기준으로 제1 상태의 전압은 1.2V에 상응할 수 있고, 제2 상태의 전압은 0.6V에 상응할 수 있다.
- [0192] 도 4를 기준으로 비트 전압 펄스의 펄스폭은 제2 상태의 전압이 인가되는 시간에 상응할 수 있다.
- [0193] 한편, 제1 전압 펄스의 제1 상태 전압은 1V에 상응할 수 있고, 제2 상태 전압은 0.45V에 상응할 수 있다.
- [0194] 제1 전압 펄스의 펄스폭은 제1 상태 전압이 인가되는 시간에 상응할 수 있다.
- [0195] 한편, 제3 전압 펄스의 제1 상태 전압은 0.8V에 상응할 수 있고, 제2 상태 전압은 0V에 상응할 수 있다.
- [0196] 제2 전압 펄스의 펄스폭은 제1 상태 전압이 인가되는 시간에 상응할 수 있다.
- [0198] 도 5는 본 발명의 일실시예에 따른 배열 회로를 설명하는 도면이다.
- [0199] 도 5를 참고하면, 배열 회로는 제1 내지 제4 피드백 전계효과 전자소자로 구성될 수 있다. 즉, 제1 내지 제4 피드백 전계효과 전자소자를 2X2 배열 회로를 구성할 수 있다.
- [0200] 배열 회로에서 제1 피드백 전계효과 전자소자와 제2 피드백 전계효과 전자소자는 상호간에 행으로 연결되며, 비트 라인(BL), 제1 워드 라인(WL1) 및 제3 워드 라인(WL2)을 통하여 전압을 인가받아 행 접근 동작을 수행할 수 있다.
- [0201] 예를 들어, 배열 회로는 행 접근 동작을 수행할 경우, 행으로 연결된 복수의 피드백 전계효과 전자소자에 저장된 데이터를 한번에 처리할 수 있다.
- [0202] 한편, 배열 회로에서 제1 피드백 전계효과 전자소자와 제3 피드백 전계효과 전자소자는 상호간에 열로 연결되며, 비트 라인(BL), 제2 워드 라인(WL1_T) 및 제4 워드 라인(WL2_T)을 통하여 전압을 인가받아 열 접근 동작을 수행할 수 있다.
- [0203] 예를 들어, 배열 회로는 열 접근 동작을 수행할 경우, 열로 연결된 복수의 피드백 전계효과 전자소자에 저장된 데이터를 한번에 처리할 수 있다.
- [0205] 도 6a 및 도 6b는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 행 방향 접근을 설명하기 위한 도면이다.
- [0206] 도 6a를 참고하면, 복수의 피드백 전계효과 전자소자들이 배열 회로를 구성할 수 있다.
- [0207] 본 발명의 일실시예에 따르면, 복수의 피드백 전계효과 전자소자 중 제1 피드백 전계효과 전자소자(C₀₀)는 제2 피드백 전계효과 전자소자(C₀₁)와 제1 방향으로 연결되고, 제1 뉴런(neuron) 소자의 발화에 따라 제3 전압 펄스(WL2<0>)를 인가받은 후, 제1 전압 펄스(WL1<0>)를 인가받아 제1 논리 상태 데이터를 저장할 수 있다.
- [0208] 일례로, 제2 피드백 전계효과 전자소자(C₀₁)는 제1 뉴런소자의 발화에 따라 제1 전압 펄스(WL1<1>)를 인가받은 후, 제3 전압 펄스(WL2<0>)를 인가받아 제2 논리 상태 데이터를 저장할 수 있다.
- [0209] 본 발명의 일실시예에 따르면, 배열 회로는 제1 피드백 전계효과 전자소자에 연결된 제1 접근 전자소자의 제1 소스 라인(SL<0>)을 통해 출력되는 전류 및 제2 피드백 전계효과 전자소자에 연결된 제1 접근 전자소자의 제2 소스 라인(SL<1>)을 통해 출력되는 전류에 기초하여 행 방향 데이터를 읽는 동작을 수행할 수 있다.
- [0210] 도 6b를 참고하면, 제1 뉴런 소자의 발화에 비트 라인 전압(BL) 및 제3 워드 라인에 WL2<0>에 상응하는 게이트 전압이 인가되고, 제2 뉴런 소자의 발화에 따라 제1 워드 라인에 WL1<0>과 WL1<1>에 상응하는 게이트 전압이 인가될 수 있다.
- [0211] 따라서, 배열 회로는 데이터 쓰기 과정에서 WL1<0>는 WL2<0>를 후행하기 때문에 제1 피드백 전계효과 전자소자(C₀₀)에는 LTP(Long Term Potentiation)가 발생해 “1”이 기록되며, WL1<1>은 WL2<0>을 선행하기 때문에 제2 피드백 전계효과 전자소자(C₀₁)에는 LTD(Long Term Depression)가 발생해 “0”이 기록될 수 있다.
- [0212] 본 발명의 일실시예에 따르면 배열 회로는 첫 번째 행에 “10”이 기록된 것을 SL<0>과 SL<1> 전류를 감지함으로써 확인할 수 있다.

- [0213] 한편, 그래프를 참조하면, 두 번째 데이터 쓰기 과정에서는 WL1<0>이 WL2<0>을 선행하고, WL1<1>이 WL2<0>을 후행하므로, 첫 번째 행에 “01” 이 기록되는 과정이 연속 읽기 동작을 수행함으로써 확인할 수 있다.
- [0214] 예를 들어, 비트라인(BL)의 전압은 0.6V 내지 1.2V에 상응하고, 제1 워드 라인(WL1)의 전압은 0V 내지 0.8V에 상응하며, 제2 워드 라인(WL2)의 전압은 0.45V 내지 1V에 상응하고, 제3 워드 라인(WL1_T)의 전압은 0V 내지 0.8V에 상응하며, 제2 워드 라인(WL2_T)의 전압은 0.45V 내지 1V에 상응할 수 있다.
- [0215] 예를 들어, 소스 라인을 통하여 측정되는 전류는 0uA 내지 10uA에 상응할 수 있다.
- [0217] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 피드백 전계효과 전자소자의 열 방향 접근을 설명하기 위한 도면이다.
- [0218] 도 7a를 참고하면, 배열 회로는 복수의 피드백 전계효과 전자소자로 구성되고, 복수의 피드백 전계효과 전자소자 중 제2 피드백 전계효과 전자소자(C₀₁)는 제3 피드백 전계효과 전자소자(C₁₁)와 제2 방향으로 연결될 수 있다.
- [0219] 일례로, 제2 피드백 전계효과 전자소자(C₀₁)는 제1 뉴런(neuron) 소자의 발화에 따라 제2 전압 펄스(WL1_T)를 인가받은 후, 제4 전압 펄스(WL2_T)를 인가받아 제2 논리 상태 데이터를 저장할 수 있다.
- [0220] 본 발명의 일실시예에 따르면, 제3 피드백 전계효과 전자소자(C₁₁)는 제4 전압 펄스(WL2_T)를 인가받은 후, 상기 제2 전압 펄스(WL1_T)를 인가받아 제1 논리 상태 데이터를 저장할 수 있다.
- [0221] 본 발명의 일실시예에 따르면 배열 회로는 제2 피드백 전계효과 전자소자(C₀₁)에 연결된 제2 접근 전자소자의 소스 라인(SL_T<0>)을 통해 출력되는 전류 및 제3 피드백 전계효과 전자소자(C₁₁)에 연결된 제2 접근 전자소자의 소스 라인(SL_T<1>)을 통해 출력되는 전류에 기초하여 열 방향 데이터를 읽는 동작을 수행할 수 있다.
- [0223] 도 7b를 참고하면, 제1 뉴런 소자의 발화에 비트 라인 전압(BL) 및 제4 워드 라인에 WL2_T<1>에 상응하는 게이트 전압이 인가되고, 제2 뉴런 소자의 발화에 따라 제2 워드 라인에 WL1_T<0>과 WL1_T<1>에 상응하는 게이트 전압이 인가될 수 있다.
- [0224] 따라서, 배열 회로는 첫번째 데이터 쓰기 과정에서 WL1_T<0>는 WL2_T<1>를 선행하기 때문에 제2 피드백 전계효과 전자소자(C₀₁)에는 LTD가 발생해 “0” 이 기록되며, WL1_T<1>은 WL2_T<1>을 후행하기 때문에 제3 피드백 전계효과 전자소자(C₁₁)에는 LTP가 발생해 “1” 이 기록될 수 있다.
- [0225] 본 발명의 일실시예에 따르면 배열 회로는 첫 번째 행에 “01” 이 기록된 것을 SLT<0>과 SLT<1> 전류를 감지함으로써 확인할 수 있다.
- [0226] 한편, 그래프를 참조하면, 두 번째 데이터 쓰기 과정에서는 WL1T<0>이 WL2T<1>을 후행하고, WL1T<1>이 WL2T<1>을 선행하므로, 첫 번째 행에 “10” 이 기록되는 과정이 연속 읽기 동작을 수행함으로써 확인할 수 있다.
- [0227] 상술한 도 6a 내지 7b에 따르면, 본 발명은 독립된 두 개의 게이트 전극과 두 개의 접근 트랜지스터를 이용하여 배열 회로에서 행과 열 방향 접근을 수행하도록 제어할 수 있다.
- [0228] 또한, 본 발명은 피드백 루프 메모리 메커니즘의 이력 현상(hysteresis)을 이용하는 피드백 전계효과 전자소자를 구현할 수 있다.
- [0230] 본 발명의 청구항 또는 명세서에 기재된 실시 예들에 따른 방법들은 하드웨어, 소프트웨어, 또는 하드웨어와 소프트웨어의 조합의 형태로 구현될(implemented) 수 있다.
- [0231] 그러한 소프트웨어는 컴퓨터 판독 가능 저장 매체에 저장될 수 있다. 컴퓨터 판독 가능 저장 매체는, 적어도 하나의 프로그램(소프트웨어 모듈), 전자 장치에서 적어도 하나의 프로세서에 의해 실행될 때 전자 장치가 본 발

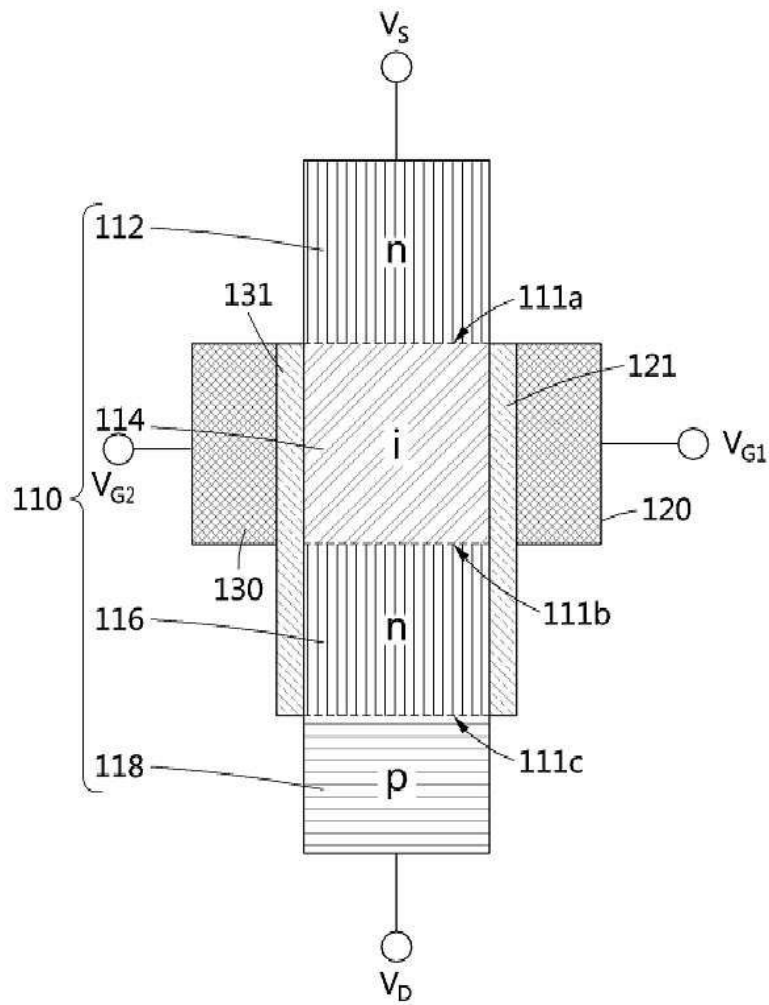
명의 방법을 실시하게 하는 명령어들(instructions)을 포함하는 적어도 하나의 프로그램을 저장한다.

- [0232] 이러한 소프트웨어는, 휘발성(volatile) 또는 (ROM: Read Only Memory)과 같은 불휘발성(non-volatile) 저장 장치의 형태로, 또는 램(RAM: random access memory), 메모리 칩(memory chips), 장치 또는 집적 회로(integrated circuits)와 같은 메모리의 형태로, 또는 콤팩트 디스크 롬(CD-ROM: Compact Disc-ROM), 디지털 다목적 디스크(DVDs: Digital Versatile Discs), 자기 디스크(magnetic disk) 또는 자기 테이프(magnetic tape) 등과 같은 광학 또는 자기적 판독 가능 매체에, 저장될 수 있다.
- [0233] 저장 장치 및 저장 미디어는, 실행될 때 일 실시 예들을 구현하는 명령어들을 포함하는 프로그램 또는 프로그램들을 저장하기에 적절한 기계-판독 가능 저장 수단의 실시 예들이다.
- [0234] 상술한 구체적인 실시 예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.
- [0235] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.
- [0236] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.
- [0237] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

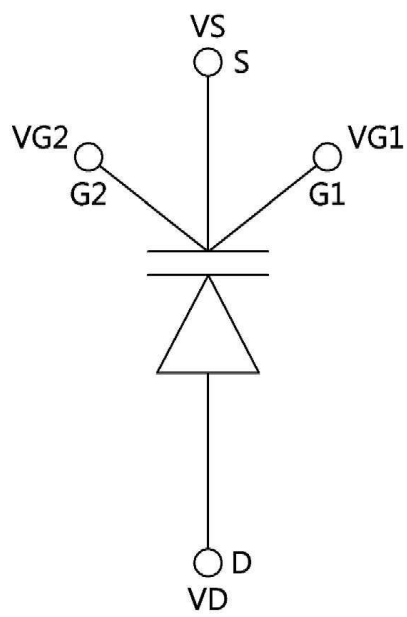
부호의 설명

- [0239] 110: 다이오드 구조체 112: 제1 도전형 영역
114: 진성 영역 116: 장벽 영역
118: 제2 도전형 영역 120: 제1 게이트 전극
121: 제1 게이트 절연막 130: 제2 게이트 전극
131: 제2 게이트 절연막 200: 피드백 전계효과 전자소자
210: 다이오드 구조체 220: 제1 게이트 전극
230: 제2 게이트 전극 240: 제1 접근 전자소자
250: 제2 접근 전자소자

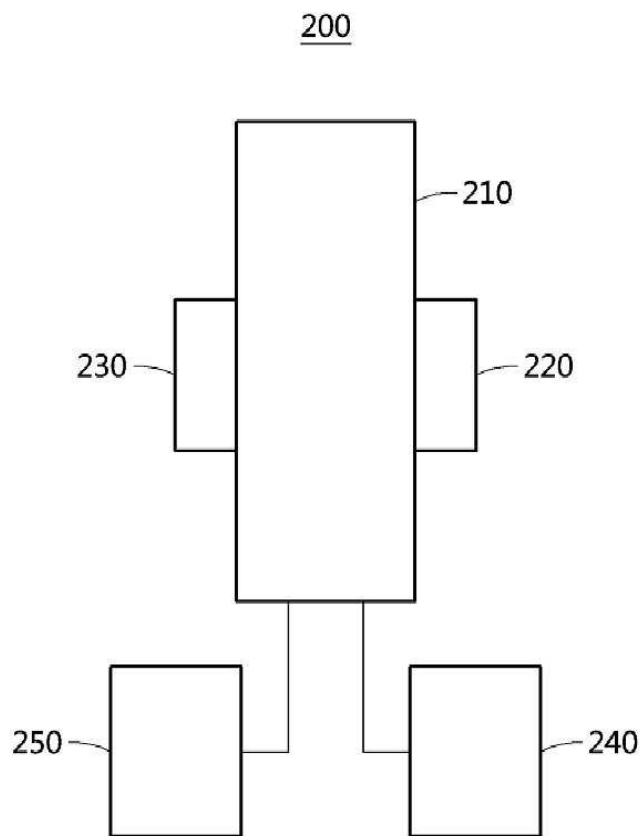
도면1b



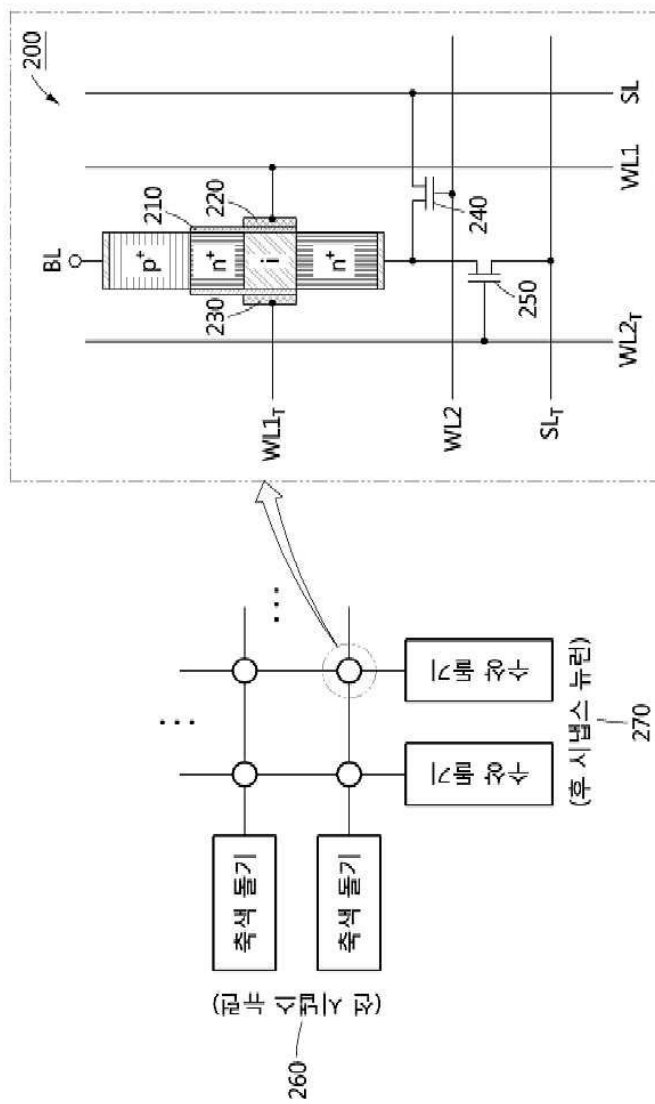
도면1c



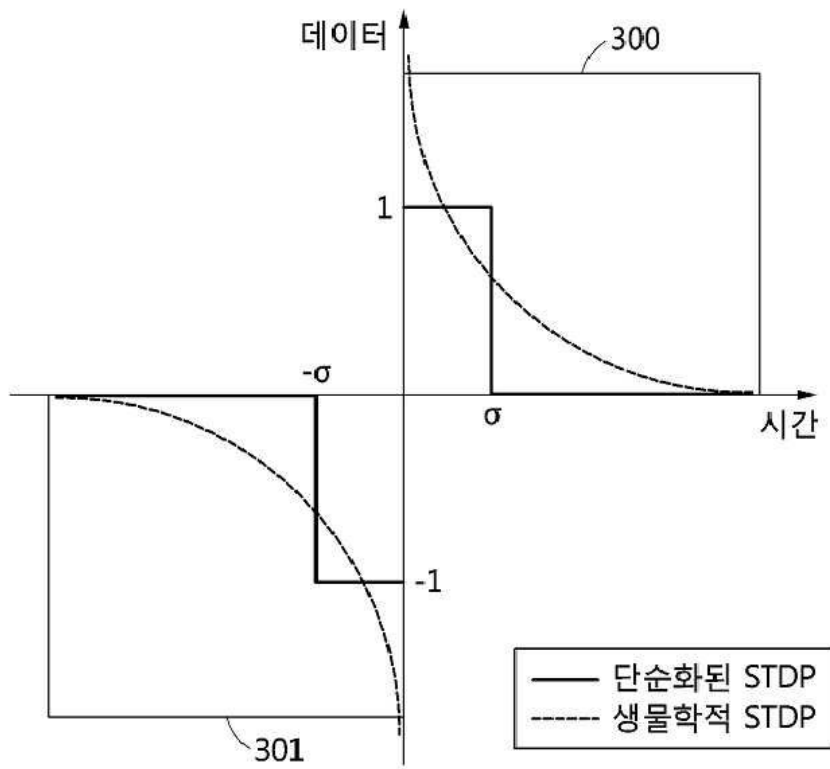
도면2a



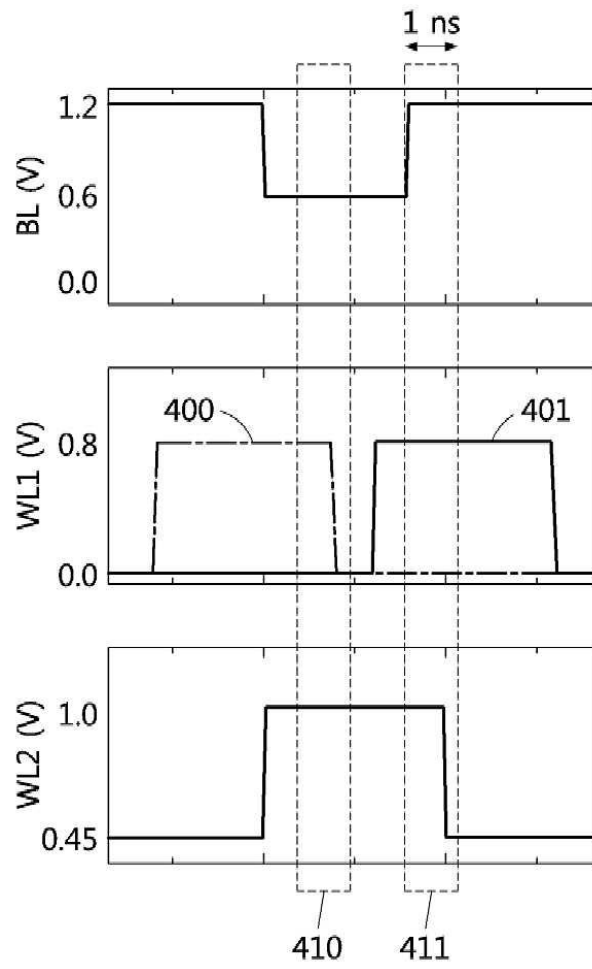
도면2b



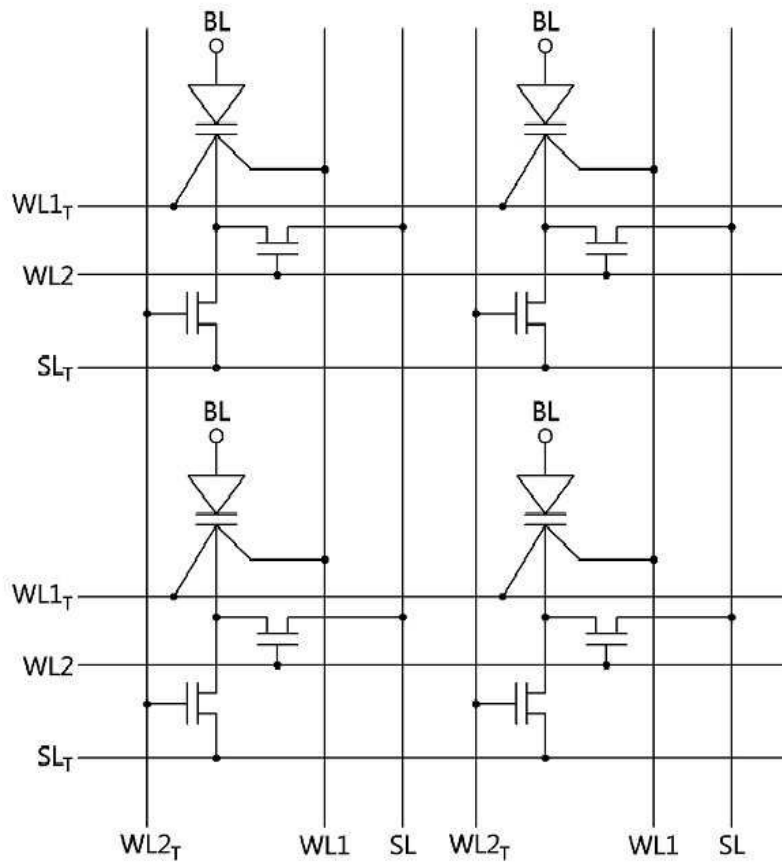
도면3



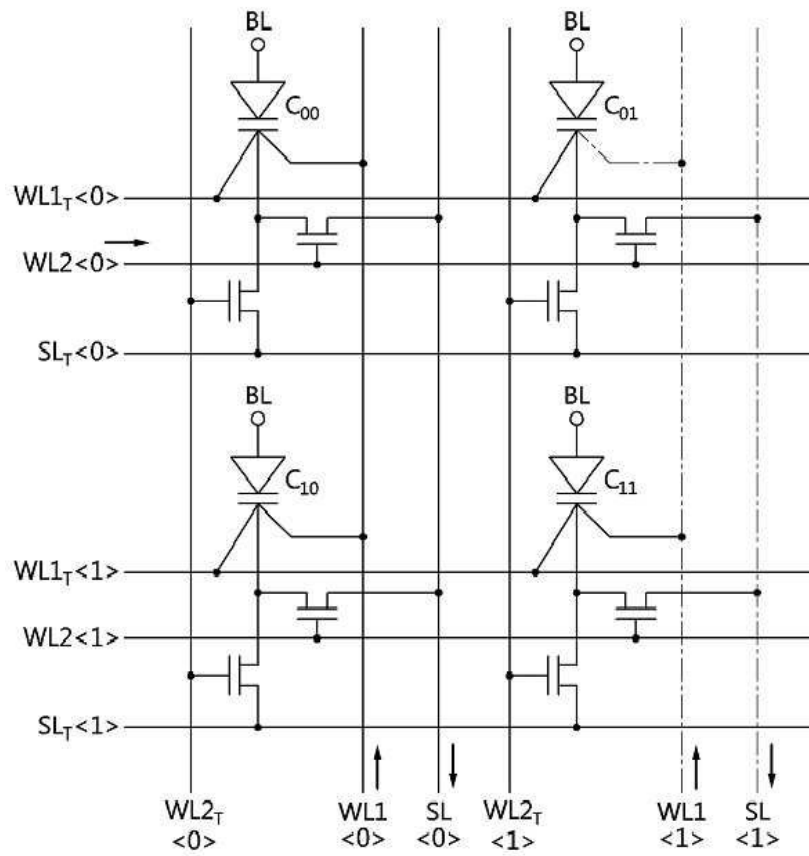
도면4



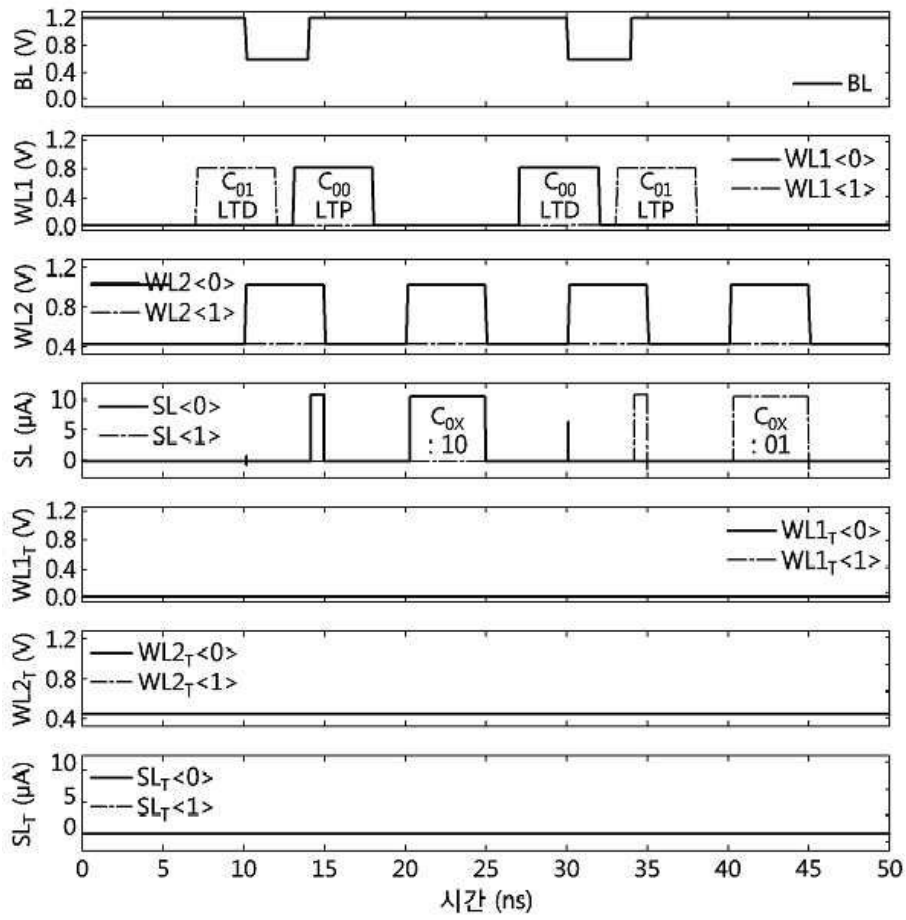
도면5



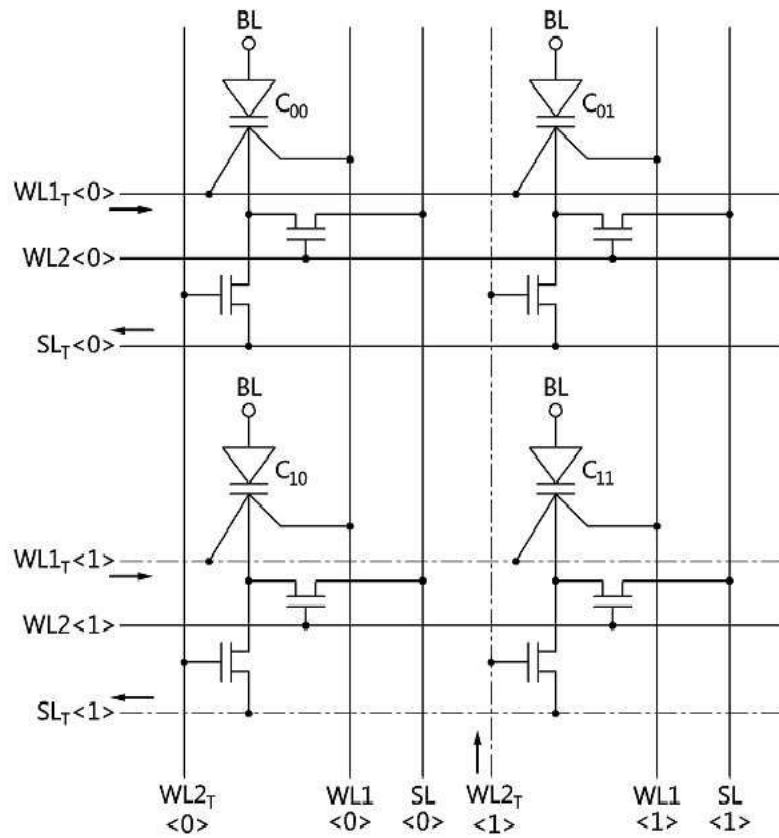
도면6a



도면6b



도면7a



도면7b

