

公告本

396602

申請日期	83.6.30
案號	83110543
類別	Int. Cl. 6 H01K 27/00

A4
C4

396602

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	高集成記憶體元件及其製造方法
	英 文	Highly Integrated Memory Cell and Method of Manufacturing thereof
二、發明 人	姓 名	金宰煥 JEA WHAN KIM
	國 籍	韓國
	住、居所	大韓民國京畿道利川市夫鉢邑牙美里山136-1號 現代電子產業股份有限公司
三、申請人	姓 名 (名稱)	現代電子產業股份有限公司 Hyundai Electronics Industries Co., Ltd.
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道利川市夫鉢邑牙美里山136-1號
	代 表 人 姓 名	鄭東洙 Dong Soo CHUNG

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☒無主張優先權

韓

1997年6月30日 97-29648

1997年11月20日 97-61557

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[產業上之利用領域]

本發明為有關一種高積體記憶元件及其製造方法，尤其是有關使用鉬鈦氧化物 $[Ba(Sr,Ti)O_3]$ ；以下稱 BST] 電介質的超高積體動態隨機存取記憶體（以下稱 DRAM）元件或鐵電隨機存取記憶體（以下稱 RAM）元件之製造時，適合於確保其電容器的下部電極和金屬氧半導體場效應電晶體（以下稱 MOSFET）源極間，其電連接頗有可靠性之元件構造及其製造方法。

在超高積體 DRAM 的電介質中，要使用以 BST 為主的高電介質時，鉑（以下稱 Pt）是被考慮作為其下部電極，而在鐵電非易失性記憶元件時，Pt 也是可能性最大的電極材料中之一。

[習知之技術]

第 1 圖是以 Pt 作為下部電極使用的一般上之高積體記憶元件之斷面圖。

如圖所示，高積體記憶元件的電容器儲存節點是由多晶矽柱塞 6 和擴散防止層 7 及 Pt 下部電極 8 所構成。但下部電極多半所使用的 Pt 並不能擔任防止包含在鐵電體內的氧氣擴散之障壁作用，因而，在蒸鍍鐵電體 9 的工程中，氧氣會經由 Pt 下部電極 8 而擴散，使擴散防止層 7 產生氧化。

圖面上的號碼 1 是半導體基板，2 是場效氧化膜，3 是閘極，4 是位元線，5 是層間絕緣膜。

一方面，擴散防止層 7 多半是使用氮化鈦（以下稱 TiN）

五、發明說明()

/ 鈦(以下稱Ti)，而Ti, TiN及許多種類的障壁層物質和柱塞用物質的多晶矽6的氧化反應卻非常活潑，因而，即使為500℃程度而相對的低溫度也會被氧化，而會破壞以Pt下部電極8為首形成於電容器下部的源極接合(S/D)之電連接。這種問題是其高電介質或鐵電物質的蒸鍍溫度愈高，就會更為激烈。尤其是作為鐵電記憶元件用材料最有可能性之一的銻鉍鉭氧化物($\text{SrBi}_2\text{Ta}_2\text{O}_9$ ；以下稱SBT)時，為蒸鍍及決定化所需之溫度為800℃程度，因而，要使用這種材料，以實現電容寄生在位元線(capacitor on bitline；以下稱COB)構造的高積體鐵電記憶元件時，期望可使Pt電極與MOSFET間的電連接安定化為最重要的課題。

[發明欲解決之問題]

本發明之目的在於提供一種高積體記憶元件及其製造方法，其係可提高電容器電極與MOSFET間的電連接之可靠性。

又，本發明之另一目的是提供一種鐵電記憶元件及其製造方法，其係當形成電容器的儲存節點時，藉可使用多樣物質，以提高元件的可靠性者。

[解決問題之手段]

本發明之鐵電記憶元件係包含：在形成於半導體基板上之絕緣層所定部分所形成的接觸孔內，以填充式形成的柱塞型態之第1導電體層；在該第1導電體層及絕緣層上部依序形成而由第2導電體層、第1擴散防止層、

五、發明說明(3)

下部電極層及鐵電體薄膜所構成之儲存節點圖型；形成在該儲存節點圖型側面，而將上述這些導電體層與下部電極層電連接之側壁導電體層；及形成為如同將上述儲存點的側面及上述側壁導電體層覆蓋之第2擴散防止層。

又，本發明高積體記憶元件的製造方法係包含：形成包含在半導體基板上使半導體基板所定部分露出的接觸孔之絕緣層步驟；在上述接觸孔內填充第1導電體層，以形成柱塞的階段；在包括上述柱塞的絕緣層上部，依序形成第2導電體層和第1擴散防止層、電容器的下部電極層、鐵電體薄膜及第2擴散防止層之步驟；將上述第2擴散防止層和鐵電體薄膜、電容器的下部電極層、第1擴散防止層及第2導電體層，以所定圖型形成儲存節點圖型之步驟；在該儲存節點圖型的側面，形成導電體的側壁之步驟；及，在上述儲存節點圖型的全面上形成第3擴散防止層之步驟。

然而，本發明高積體記憶裝置係包含：貫穿於半導體基板上的絕緣層，而接觸到構成為下部構造的金屬氧半導體場效應電晶體(MOSFET)的接合層之第1導電體柱塞；包括能連接於該第1導電體柱塞般形成在其上部的第2導電體層圖型，和在該第2導電體層圖型上依序疊層的第1擴散防止層圖型及電容器的下部電極層圖型所形成之第1結果物；包括在上述下部電極層圖型上依序疊層的電介質圖型及電容器的上部電極層圖型，和在上述下部電極層圖型上覆蓋著上述電介質層圖型及電容器上

五、發明說明(4)

部電極層圖型側壁的非導體隔檔物之第2結果物；形成為可覆蓋上述第1結果物及第2結果物的側壁，並至少可將上述第2導電體層圖型與上述電容器的下部電極層圖型電連接之第3導電體隔檔物；及將上述第3導電體隔檔物覆蓋之第2擴散防止層。

而且，本發明之高積體記憶元件之製造方法係包含：形成具有在半導體基板上使半導體基板所定部分露出的開口部之絕緣層步驟；在上述開口部內填充第1導電層以形成柱塞之步驟；在包括該柱塞的絕緣層上部，依序疊層第2導電體層和第1擴散防止層、電容器的下部電極層、電介質薄膜、電容器的上部電極層及硬遮罩層之步驟；將上述電介質薄膜、電容器的上部電極層及硬遮罩層形成為所定圖型，在這些圖型的側壁形成非導體隔檔物之步驟；以上述非導體隔檔物及上述硬遮罩層作為蝕刻障壁，將上述第2導電體層、第1擴散防止層及電容器的下部電極以型樣作成所定圖型，在該圖型的側壁形成第3導電體隔檔物之步驟；及形成覆蓋於上述第3導電體隔檔物的第2擴散防止層之步驟。

[實施例]

以下參照圖面擬詳細說明本發明之一實施例。

首先，第2圖為有關本發明的COB構造之鐵電記憶元件圖。

如圖所示，本發明的鐵電記憶元件雖具有在半導體基板201上形成了由閘極203、源極及汲極(S/D)構成的一般性MOSFET和位線204之構造狀態下，在其整體構造的上部

五、發明說明(5)

塗布絕緣層 205 後，使其電連接於上述源極及汲極 (S/D) 的一般性鐵電體電容器之構造，但形成完全為一新穎構造的電容器。

亦即，本發明的鐵電電容器是具有；連接於上述 MOSEFT 的源極及汲極 (S/D) 的柱塞 206 形態之多晶矽層，和在其上面依序形成的導電體用多晶柱塞 210、擴散防止層 (或金屬障壁層) 220、下部電極層 230 及鐵電體層 250 所構成之儲存節點圖型。然而，由形成在上述鐵電體層 250 上部的上部電極 260 形成了鐵電電容器。

一方面，本發明最為特徵的構成要素是形成有側壁導電體隔檔物 240，乃將上述儲存節點的導電體藉於該側壁電連接，而可將因上述擴散防止層 220 及多晶矽柱塞 210 的氧化所引起而破壞 Pt 下部極 8 與源極接合 (S/D) 間的電連接，防止於未然。又，本發明的鐵電電容器雖然會在上述側壁導電體隔檔物 240 的上部、儲存節點的側面。及上部邊緣部分形成擴散防止絕緣層 270，但這種絕緣膜可使用氮化矽膜，或氧化鈦 (TiO_2)、氧化矽 (SiO_2) 等多樣氧化膜。

一般在高積體記憶元件中，由於擴散防止層或多晶矽層的氧化，而引起電容器電極和 MOSEFT 間的電連接的斷掉，其問題主要是在於被曝露在高溫的氧氣氣氛中之工程，即在於電介質薄膜的蒸鍍及決定化工程中所發生。而在本發明中，是在鐵電體薄膜的蒸鍍及決定化工程結束之後。才形成將電容器電極電連接於 MOSEFT 之側壁導電

五、發明說明(6)

體的緣故，藉此可根本解決上述問題。

一方面，上述絕緣層270、儲存節點及上部電極本身，除上述構造外，也可具有多樣的形態為眾所周知，容後在本發明製造工程中詳加說明。

· 實施例1

第3圖A~C為本發明第1實施例之COB構造的鐵電記憶元件之製造方法，依序繪示其工程，而主要是對電容器的形成工程詳加說明。

首先，參照第3圖A者，在半導體基板201上的所定區域形成由閘極203和源極及汲極(S/D)所構成的MOSEFT及位線204後，在基板的全面上形成層間絕緣層205，並加以平坦化。

接著，將上述層間絕緣層205選擇性的蝕刻，以形成可使上述MOSEFT的源極或汲極露出之接觸孔後，在該接觸孔內形成多晶矽柱塞206。

接著，在上述層間絕緣層205及多晶矽柱塞206的上部，依序形成導電體用多晶矽柱塞210、如氧化鈦(TiO_2)般的擴散防止層220及作為電容器下部電極層230的Pt後，在上述下部電極層230的上部，將如鉕銦鈦氧化物(BST)、鉛銦鈦氧化物(PZT)、碘化鉕(YI)等鐵電體層250蒸鍍而使決定化後，形成擴散防止層251。

在此，上述擴散防止層251雖可用導電體、非導體或半導體來形成，但氧化鈦(TiO_2)也可作為實施例中較理想之上述擴散防止層251。而上述擴散防止層251的形成溫

五、發明說明(7)

度是以 900°C 以下為宜。

經執行以上的工程後，使用儲存節點遮罩進行選擇性的蝕刻工程，使上述疊層膜形成一定大小的圖型，而使其每一單元各分配 1 只電容器。

一方面，柱塞 206 及其上部的多晶矽柱塞 210 若為其他物質時，為了要提高這些間的接觸力；也可插入另外的導電體層。在此，擴散防止層 220 可從能執行氧氣擴散障壁角色的許多材料中加以選擇，又上述多晶矽柱塞 210 也可代替表面被氧化而可擔任氧氣障壁角色之導電體層。而且，其可在工程途中產生的多晶矽柱塞 210 的表面氧化層或擴散防止層，並不一定要為導電體，只要在電介質薄膜的蒸鍍及熱處理工程中，可達成使多晶矽柱塞 210 的最下部或柱塞 206 不會受到所擴散的氧氣之影響而喪失其導電性的功能即可。

從而，可選擇的物質有更大的幅度，可保障形成優秀的鐵電體之電容器。其理由是在本發明中所提示的，基因於形成導電體隔檔物者，將參照第 3 圖詳予說明如下；

接著，如第 3 圖 B 所示，在其全面上形成導電體層後，以不加遮罩的蝕刻，在上述圖型的側面形成導電體隔檔物 240。此時，蝕刻的程度是會成為過量腐蝕，因而，要調整到導電體隔檔物 240 的最上端能靠近 Pt 下部電極 230 的最上面之程度。

由此可知，如擴散防止層 220 為絕緣層，或多晶矽柱塞 210 的表面上部，由於電介質薄膜的蒸鍍及決定化工程的

五、發明說明(8)

氧氣擴散而被氧化，即使變成為非導體，Pt下部電極層230與MOSEFT源極間，也可經由導電體隔檔物240和多晶矽柱塞210的下部，及多晶矽柱塞206，得以安定的電連接。

接著，參照第3圖c者，為使能防止因導電體層表面的氧化而引起的電連接斷開，形成可扮演氧氣擴散障壁角色之擴散防止層245後，再以不加遮罩的全面蝕刻者，則可除去上述擴散防止層251之同時，並能成為塗布在上述導電體隔檔物240及鐵電體層250的側壁之形態。

在此，導電體隔檔物240和多晶矽柱塞210的下部及多晶矽柱塞206的上部等，都由很厚的擴散防止層245所保護，因而，在後續工程中，即使溫度上升也不會被氧化，而可完成使電容器的電極與MOSEFT極其安定地電連接之任務。

以後的工程是和習知同樣，進行電容器上部電極形成工程及其後續工程。

· 實施例2 ·

第4圖A~C是本發明第2實施例之工程斷面圖，表示以達到形成Pt上部電極217的狀態下，形成導電體隔檔物240及擴散防止層245之方法。

在本第2實施例中，除了先形成上部電極217的方法之外，並得知以非全面性蝕刻的遮罩施加選擇性的蝕刻，俾使擴散防止層245形成圖型，其餘即以第3圖A~C的一實施例說明就可充分了解，故其說明從略。

五、發明說明(9)

· 實施例 3

參照第 5 圖 A~F 來說明本發明第 3 實施例的鐵電記憶元件。

首先，參照第 5 圖 A 時，在半導體基板 301 上形成場效氧化層 302，使其活性區域和場效區域分離，在活性區域上的半導體基板 301 上，形成由閘極 303 和源極及汲極 (S/D) 所構成的 MOSEFT 及位線 304 後，在基板全面上，再形成層間絕緣層 305，並加以平坦化。

其次，將層間絕緣層 305 選擇性的予以蝕刻，以形成可使 MOSEFT 的源極或汲極 (S/D) 露出之接觸孔後，在該接觸孔內填充如多晶矽的導電體層，以形成導電體柱塞 306。

接著，在層間絕緣層 305 及導電體柱塞 306 的上部，依序形成如同多晶矽的導電層 310 和如同氧化鈦 (TiO_2) 的擴散防止層 (或金屬障壁層) 311，及如同鉑 (Pt) 的下部電極層 312。然後，在上述下部電極層 312 上，將例如為鋇鈦氧化物 (BST)、鉛鈳鈦氧化物 (PZT)、鋇鉬鈦氧化物 (SBT) 等的鐵電體層 313 蒸鍍並決定化後，依序形成如同鉑 (Pt) 的上部電極層 314 及硬遮罩層 315。

一方面，上述擴散防止層 311 也可使用和第 1 實施例的擴散防止層 220 具同樣功能的多樣物質。

接著，藉儲存節點遮罩及蝕刻工程，以依序將硬遮罩層 315、上部電極層 314 及電介質層 313 蝕刻成為如第 5 圖 B 之狀態，其中，硬遮罩層 315 可以使用導電體或非導體，而在儲存節點遮罩工程中，可使用抗光蝕型樣作為蝕

五、發明說明(10)

刻障壁，而只將硬遮罩層 315 蝕刻後，除去抗光蝕型樣，然後，以硬遮罩層 315 作為蝕刻障壁得蝕刻上部電極層 314 及電介質層，或也可使用不除去抗光蝕型樣的狀態下，將 3 層都加以蝕刻的方法。

接著，如第 5 圖 C 所示，在基板全面上形成絕緣層，而以無遮罩將其全面加以蝕刻，使硬遮罩層 315 能露出表面，以形成能覆蓋上述形成圖案的電介質層 313。上部電極 314 及硬遮罩層 315 的側壁之絕緣層隔槽物 316。

接著，如第 5 圖 D 所示，以硬遮罩層 315 和絕緣層隔槽 316 作為蝕刻障壁，將下部電極層 312、擴散防止層 311 及導電體層 310 全面蝕刻。

然後，如第 5 圖 E 所示，在基板全面上形成導電層，而以無遮罩的對其全面蝕刻，以形成導電體隔槽物 317 的狀態，該蝕刻工程雖然是以過量腐蝕，但要使其所形成的導電體隔槽物 317 的最上部能覆蓋其下部電極層 312 者。亦即，調節其蝕刻到能使硬遮罩層 315 的表面及絕緣層隔槽物 316 的一部分露出之程度。

由此可知，即使擴散防止層 311 變成絕緣體，或導電體層 310 的上部表面在電介質薄膜的蒸鍍及決定化工程時因氧氣擴散所氧化，而變成非導體，其下部電極 312 與 MOSEFT 源極也會經由導電體隔槽物 317 和導電層 310 的下部以及導電體柱塞 306，能安定地被電連接。

最後如第 5 圖 F 所示，為能防止因導電層再繼續被氧化下去而使電連接斷掉般，形成扮演氧氣的擴散障壁角

五、發明說明(11)

色之擴散防止層318狀態者。

在此，導電體隔擋物317和導電體層310的下部及導電體柱塞306等由於受到很厚的擴散防止層318所保護，故即使在後續工程溫度升高也不會氧化，可達成使電容器的電極與MOSEFT安定地電連接的任務。

另一方面，擴散防止層311乃作為含有矽、鈦、鉭、鋁、錫、銻、銻(Si、Ti、Ta、Sr、Bi、Zr)的包含多樣元素的氧化物、氮化物或金屬，可防止經由下部電極312而對於導電體層306、310之氧氣擴散，可提高電容器電極與MOSEFT間的電連接之可靠性。

而且，以往的擴散防止層是非用導體不可，但在本發明中，擴散防止層311即使為非導體也無關，因而，在材料的選擇上有很大的幅度。

此乃意味著在擴散防止層311上被蒸鍍的下部電極層，使例如Pt電極的物性能最合適化者。

在實際上，如像原有的方法一樣，在鈦障壁層上蒸鍍鉑時，其與相同條件下在氧化矽(SiO₂)上所蒸鍍的鉑相較，其決定性會大大的降低。亦即，可防止電極特性的劣化而可獲得所要求的Pt膜質持性。

鐵電薄膜的物性因下部電極物質與其膜質而大受支配，故擴散防止層物質之選擇幅度變成廣闊時，就可劃時代性的提高電容器本身特性。

而且，對於導電體隔擋物317會接觸到下部電極層312和導電層310以外的其他層，即與上部電極層314或電介

五、發明說明 (12)

質層 313 接觸所會發生的問題，具有如第 5 圖 F 構造的本發明高積體記憶元件中，因形成非導體隔檔物 316，就可防止之。

亦即，電容器的下部電極層 312 與上部電極層 314 彼此之間不得產生電氣短路，而下部電極層 312 與導電層 310 彼此之間不得有電氣上斷路，因而，當形成導電體隔檔物 317 時，要正確的控制其大小會變成很難，故使非導體隔檔物 316 如同環繞電介質層 313 及上述電極層 314 的側壁者，就可解決上述的癥結問題。

然而，藉因電介質層 313 與擴散防止層 318 及導電體隔檔物 317 接觸，在後續熱工程中，由於相互擴散而會使電介質層 313 的介電特性降低，故藉非導體隔檔物 316 就可防止這種問題。

在第 1 圖繪示的以往之記憶元件中，其擴散防止層 7 必須要維持與下部電極 8 和多晶矽柱塞 6 間的接合性，且須防止在高溫下氧氣擴散到多晶矽柱塞 6，而且，也不得使本身被氧化而變成電接觸不良，因而，其物質選擇的幅度非常狹小。

可是，如上所詳述，在本發明中就算擴散防止層為非導體也無關，因而，在材料的選擇上有很大的空間。此乃意味著可使在擴散層上被蒸鍍的下部電極，例如 Pt 電極的物性最合適化。

一方面，當形成導電體隔檔物時，藉以非導體隔檔物而可確保較大的蝕刻工程餘裕，導電體隔檔物的蝕刻工

五、發明說明(一)

程可在無遮罩下進行，因而，兩儲存節點間の間隔可狹小到最低水準。

從而，適用本發明時並不會減少記憶元件的積體度。

本發明的導電體層與被雜的多晶矽那樣同一的材料亦可。然而，可插入以提高各層粘結力為目的的粘結層。

在本發明的實施例中，導電體等得由多晶矽，含有Al、Ti、Cu、W、Ta、Pt、Au、Pd、Ph、Ru、Jr、Re、La、Sr、Sc、Co等金屬，或含有這些的合金、導電性氧化物、導電性氮化物及矽化物等來形成之。

上述擴散防止層(220、251及311)是可用阻止氧氣擴散的包括含有矽、鈦、鉭、鋁、錳、鉻(Si、Ti、Ta、Sr、Bi、Zr)多樣元素的氧化物、氮化物或半導體來形成，並以利用化學蒸汽沈積(CVD)或物理蒸汽沈積(PVD)方法。或玻璃旋覆(Spin on glass)法為理想。

上述電容器電極是可以用含有鉑、金、銀、鈮、銻、鈳、鈹、銻、銻(Pt、Au、Ag、Pd、Rh、Ru、Ir、Re)等的金屬或這些合金，或含有銻、銻、銻、銻、銻、銻(Ru、Ir、Re、La、Sc、Co)等元素的導電性氧化物，導電性氮化物，或導電性矽化物等來形成。

上述電介質薄膜是可用以鋇銻鈦氧化物 $[Ba(Sr,Ti)O_3]$ 為代表的介電常數在50以上的物質等，或有被摻雜或未被摻雜的含有鉛銻鈦氧化物 $[Pb(Zr,Ti)O_3]$ 之具有鈣鈦礦構造之鐵電材料形成，或以鋁銻鉭氧化物、鋇銻鉭氧化物、鉛銻鉭氧化物、鋇銻鉭鉭氧化物

五、發明說明 (14)

、銻鉍銢氧化物、銻鉍鈦氧化物、鉛鉍銢氧化物 ($\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SiBi}_2\text{TaNbO}_9$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{PbBi}_2\text{Nb}_2\text{O}_9$)，或這些中 2 種以上之固溶體來形成之。

又，上述鐵電體薄膜也可用具有 $A_1w_1+a_1A_2w_2+a_2\dots A_jw_j+a_jS_1x_1+s_1S_2x_2+s_2\dots S_kx_k+skB_1y_1+b_1B_2y_2+b_2\dots B_1y_1+b_1Qz-2$ 構造式的成層超晶格物質來形成之。

上式中， A_j 是鈣鈦礦構造的 A 晶格點 (Site) 元素， S_k 是超晶格產生器 (super lattice generator) 元素， B_1 是鈣鈦礦構造的 B 晶格元素， Q 是陰離子。又，上添字為原子價，下添字為單位元件內的平均原子個數。

上述擴散防止層 (245、270 及 318) 可以用阻止氧氣擴散的包括含有矽、鈦、鉭、銻、鉍、銳 ($\text{Si}, \text{Ti}, \text{Ta}, \text{Sr}, \text{Bi}, \text{Zr}$) 的多樣元素的氧化物或氮化物來形成之，而以利用化學蒸汽沈積 (CVD) 或物理蒸汽沈積 (PVD) 法，或玻璃旋覆法 (spin on glass) 較為理想。

本發明並不限定於以上所說明的上述實施形態，而可在不超出本發明要旨之範圍內，以各種各樣的形態實施之。

〔發明之效果〕

依照本發明時，在高積體記憶元件中，可提升電容器電極與 MOSEFT 間的電連接之可靠性，並提升電容器本身的特性。

〔附圖簡單說明〕

五、發明說明(15)

第1圖：以往的電容寄存在位元線(COB)構造之高積體記憶元件斷面圖。

第2圖：有關本發明的鐵電記憶體元件之構造斷面圖。

第3圖A~C：繪示本發明第1實施例有關之鐵電記憶元件的製造方法之工程順序圖。

第4圖A~C：繪示本發明第2實施例有關之鐵電記憶元件的製造方法之工程順序圖。

第5圖A~F：繪示本發明第3實施例有關之鐵電記憶元件的製造方法之工程順序圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(一六)

參考符號說明

- 201.....半導體基板
- 202.....場效氧化膜
- 203.....閘極
- 204.....位線
- S/D.....源極及汲極接合
- 205.....絕緣層
- 206.....柱塞
- 210.....多晶矽層
- 217.....上部電極層
- 220.....擴散防止層
- 230.....下部電極層
- 240.....導電體隔槽物
- 245.....擴散防止層
- 250.....鐵電體層
- 251.....擴散防止層
- 260.....上部電極
- 270.....擴散防止絕緣層
- 301.....半導體基板
- 302.....場效氧化膜
- 303.....閘極
- 304.....位線
- 305.....層間絕緣層
- 306.....導電體柱塞

五、發明說明(17)

- 310.....導電體層
- 311.....擴散防止層
- 312.....下部電極層
- 313.....鐵電體層
- 314.....上部電極層
- 315.....硬遮罩層
- 316.....非導體隔檔物
- 317.....導電體隔檔物
- 318.....擴散防止層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：

)

高集成記憶體元件及其製造方法

本發明為有關一種高積體記憶體元件及其製造方法，其高積體記憶體元件包含：在形成於半導體基板上之絕緣層所定部分所形成的接觸孔內，以填充方式形成的柱塞(plug)型態之第1導電體層；在該第1導電層及絕緣層的上部依序形成而由第2導電體層、第1擴散防止層、下部電極層及鐵電體薄膜所構成之儲存節點圖型(Storage node Pattern)；形成在該儲存節點圖型的側面，而將上述這些導電體層與下部電極層電連接之側壁導電體層；及形成為如將上述儲存節點的側面及上述側壁導電體層覆蓋之第2擴散防止層。其製造方法包括著：用於形成包含在半導體基板上使半導體基板所定部分露出的接觸孔之絕緣層步驟；在上述接觸孔內填充第1導電體層，以形成柱塞之步驟；在包括上述柱塞的絕緣層上部，依序形成第2導電體層和第1擴散防止層、電容器的下部電極層、鐵電體薄膜及第2擴散防止層之步驟；將上述第2擴散防止層和鐵電體薄膜、電容器的下部電極層、第1擴散防止層及第2導電體層，以所定圖型形成儲存節點圖型之步驟；在該儲存節點圖型的側面形成導電體層側壁之步驟；及在上述儲存節點的全面上形成第3擴散防止層之步驟。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、英文發明摘要 (發明之名稱: Highly Integrated Memory Cell and Method of Manufacturing thereof)

The present invention relates to a highly integrated memory cell and method of manufacturing thereof, comprising the first conductor or layer of plug shape formed by burying in the contact hole formed on the predetermined portion of the insulating layer provided on the semiconductor substrate; a storage node pattern formed of the second conductor layer, first anti-diffusion layer, lower electrode layer and ferroelectrics film sequentially on the top of said first conductor layer and insulating layer; side wall conductor layer, formed on side face of said storage node pattern and electrically connecting said conductor layers with the lower electrode; and the second anti-diffusion layer; and comprising the following steps;

forming the insulating layer including a contact hole which express the predetermined portion of semiconductor substrate on the semiconductor substrate;

sequentially forming second conductor layer and first anti-diffusion layer, lower electrode layer of the capacitor, ferroelectric film and second anti-diffusion layer on the top of insulating layer containing said plug; forming the storage node pattern by patterning said second anti-diffusion layer and ferroelectric film, lower electrode layer of the capacitor, first anti-diffusion layer and second conductor layer into predetermined pattern;

forming the side wall of the conductor layer on the side face of said storage node pattern; and

forming the third anti-diffusion layer on the whole surface of said storage node pattern.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 87110543 號「高集成記憶體元件及其製造方法」專利案(89 年 3 月修正)

1. 一種鐵電記憶體元件，其包含：

在形成於半導體基板上之絕緣層所定部分所形成的接觸孔內，以填充方式形成的柱塞形態之第 1 導電體層；

由上述第 1 導電體層及絕緣層的上部依序形成的第 2 導電體層、第 1 擴散防止層、下部電極層及鐵電體薄膜所構成的儲存節點圖型；

形成於上述儲存節點圖型的側面，而將上述導電體層等與下部電極電連接之側壁導電體層；及

被形成為能將上述儲存節點的側面及上述側壁導電體層覆蓋之第 2 擴散防止層者。

2. 如申請專利範圍第 1 項之鐵電記憶體元件，其中上述第 1 擴散防止層是由導電體、非導體或半導體構成者。

3. 如申請專利範圍第 1 項之鐵電記憶體元件，其中上述第 1 導電體層與第 2 導電體層兩者是以相同物質形成，或以互異的物質形成。

4. 如申請專利範圍第 3 項之鐵電記憶體元件，其中以互異物質形成上述第 1 及第 2 導電體層時，為了增加上述第 1 與第 2 導電體層間的接觸性所需，在上述第 1 與第 2 導電體層間更形成了另一導電體層。

5. 如申請專利範圍第 1 項之鐵電記憶體元件，其中上述第 1 導電體層係電連接於形成在上述儲存節點圖型下部之金屬氧半導體場效應電晶體(MOSEFT)者。

6. 一種鐵電記憶體元件之製造方法，其包含：

形成包括有在半導體基板上可使半導體基板露出所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第 87110543 號「高集成記憶體元件及其製造方法」專利案(89 年 3 月修正)

1. 一種鐵電記憶體元件，其包含：

在形成於半導體基板上之絕緣層所定部分所形成的接觸孔內，以填充方式形成的柱塞形態之第 1 導電體層；

由上述第 1 導電體層及絕緣層的上部依序形成的第 2 導電體層、第 1 擴散防止層、下部電極層及鐵電體薄膜所構成的儲存節點圖型；

形成於上述儲存節點圖型的側面，而將上述導電體層等與下部電極電連接之側壁導電體層；及

被形成為能將上述儲存節點的側面及上述側壁導電體層覆蓋之第 2 擴散防止層者。

2. 如申請專利範圍第 1 項之鐵電記憶體元件，其中上述第 1 擴散防止層是由導電體、非導體或半導體構成者。

3. 如申請專利範圍第 1 項之鐵電記憶體元件，其中上述第 1 導電體層與第 2 導電體層兩者是以相同物質形成，或以互異的物質形成。

4. 如申請專利範圍第 3 項之鐵電記憶體元件，其中以互異物質形成上述第 1 及第 2 導電體層時，為了增加上述第 1 與第 2 導電體層間的接觸性所需，在上述第 1 與第 2 導電體層間更形成了另一導電體層。

5. 如申請專利範圍第 1 項之鐵電記憶體元件，其中上述第 1 導電體層係電連接於形成在上述儲存節點圖型下部之金屬氧半導體場效應電晶體(MOSEFT)者。

6. 一種鐵電記憶體元件之製造方法，其包含：

形成包括有在半導體基板上可使半導體基板露出所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

定部分的接觸孔之絕緣層步驟；

在上述接觸孔內填充導電體層，以形成柱塞之步驟；

在包括上述柱塞的絕緣層上部，依序形成第2導電體層和第1擴散防止層、電容器的下部電極層、鐵電體薄膜及第2擴散防止層之步驟；將上述第2擴散防止層和鐵電體薄膜、電容器的下部電極層、第1擴散防止層及第2導電體層，以型樣作成所定圖型而形成儲存節點圖型之步驟；

在該儲存節點圖型的側面形成導電體層側壁，而使上述下部電極與第2導電體層電連接之步驟；及

在上述儲存節點圖型的全面上形成第3擴散防止層之步驟。

- 7.如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述第1及第2擴散防止層是由導電體、非導體或半導體形成者。
- 8.如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述第3擴散防止層是在900℃以下形成者。
- 9.如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述第1、第2及第3擴散防止層是以化學蒸汽沈積(CVD)或物理蒸汽沈積(PVD)法形成者。
- 10.如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述第3擴散防止層是以可阻擋氧氣擴散的，含有包括矽、鈦、鉭、鋁、鉍、鎢(Si、Ti、Ta、Sr、Bi、Zr)的多樣元素之氧化物或氮化物形成者。

六、申請專利範圍

11. 如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述第1導電體層與第2導電體層兩者是以相同物質形成或以互異物質形成者。
12. 如申請專利範圍第11項之鐵電記憶元件之製造方法，其中上述第1導電體層與第2導電體層若以互異物質形成時，在形成上述第2導電體層前，將為要增加上述第1與第2導電體層間的接觸性所需的導電體層形成在上述第1與第2導電體層之間。
13. 如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述導電體層側壁是在形成有上述儲存節點圖型的基板之全面上，形成導電體層後，將其以無遮罩蝕刻而形成者。
14. 如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述導電體層側壁的拓撲(位相)被形成為比上述鐵電體的拓撲為低者。
15. 如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述第1、第2導電體層及上述導電體側壁分別由含有多晶矽、鋁、鈦、銅、鎢、鉭、鉑、金、鈮、鉍、釷、銻、銻、鐳、鐳、鋇、鈷(Al、Ti、Cu、W、Ta、Pt、Au、Pd、Rh、Ru、Ir、Re、La、Sr、Sc、Co)等的金屬或含有這些的合金，導電性氧化物、導電性氮化物、矽化物中的任一種形成者。
16. 如申請專利範圍第6項之鐵電記憶元件之製造方法，其中上述電容器的下部電極層是以含有鉑、金、銀、鈮、鉍、釷、銻、銻(Pt, Au, Ag, Pd, Rh, Ru, Ir, Re)等的金屬

六、申請專利範圍

或這些的合金，或含有鈺、銥、銻、銲、銑、鈷 (Ru、Ir、Re、La、Sc、Co) 等元素之導電性氧化物，導電性氮化物，導電性矽化物中的任一種形成者。

17. 一種記憶元件，其包含：

貫穿於半導體基板上的絕緣層，而接觸於構成下部構造的金屬氧半導體場效應電晶體 (MOSEFT) 的接合層之第 1 導電體柱塞；

包括連接於上述第 1 導電體柱塞而形成在其上部的第 2 導電體層圖型，和在該第 2 導電體層圖型上依序疊層的第 1 擴散防止層圖型及電容器的下部電極層圖型之第 1 結果物；

包括在下部電極層圖型上依序疊層的電介質層圖型之電容器上部電極層圖型，和在上述下部電極層圖型上覆蓋了上述電介質層圖型側壁及電容器上部電極層圖型側壁的非導體隔檔物之第 2 結果物；

被形成為能覆蓋上述第 1 結果物及第 2 結果物的側壁般，並至少可使上述第 2 導電體層圖型與上述電容器下部電極層圖型電連接之隔檔物的第 3 導電體層；及

將上述第 3 導電體層覆蓋之第 2 擴散防止層。

18. 如申請專利範圍第 17 項之記憶元件，其中上述第 1 及

第 2 擴散防止層是由矽、鈦、鉭、鎢、鉍、銻 (Si、Ti、Ta、Sr、Bi、Zr) 中的任一系列之氧化膜或氮化膜所構成者。

六、申請專利範圍

19.如申請專利範圍第17項之記憶元件，其中上述第1導電體柱塞與第2導電體層圖型為相同物質者。

20.如申請專利範圍第17項之記憶元件，其中上述第1導電體柱塞與第2導電體層圖型為互異物質，而為了增加第1及第2導電體層間的接觸性，在上述第1及第2導電體層之間更包括第3導電體層者。

21.如申請專利範圍第17項之記憶元件，其中上述第1、第2及第3導電體層是分別以含有多晶矽、鋁、鈦、銅、鎢、鉭、鉑、金、鈮、銻、鈳、鈳、鎳、銦、鈷 (Al、Ti、Cu、W、Ta、Pt、Au、Pd、Rh、Ru、Ir、Re、La、Sr、Sc、Co)等金屬或含有這些的合金、導電性氧化物、導電性氮化物、矽化物中的任一種構成者。

22.如申請專利範圍第17項之記憶元件，其中上述電容器的下部電極層及電容器的上部電極層是以含有鉑、金、銀、鈮、銻、鈳、鈳、鎳 (Pt、Au、Ag、Pd、Rh、Ir、Re)等的金屬或其合金，或含有鈳、銻、銻、鎳、銦、鈷 (Ru、Ir、Re、La、Sc、Co)等元素之導電性氧化物、導電性氮化物、導電性矽化物中的任一種構成者。

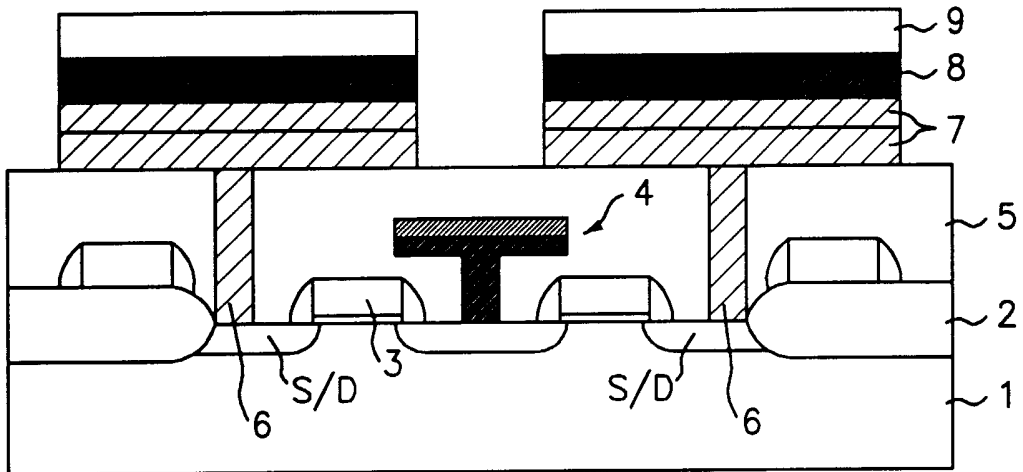
23.一種記憶元件之製造方法，其包含：

在半導體基板上形成具有可使半導體基板的所定部分露出的開口部之絕緣層步驟；

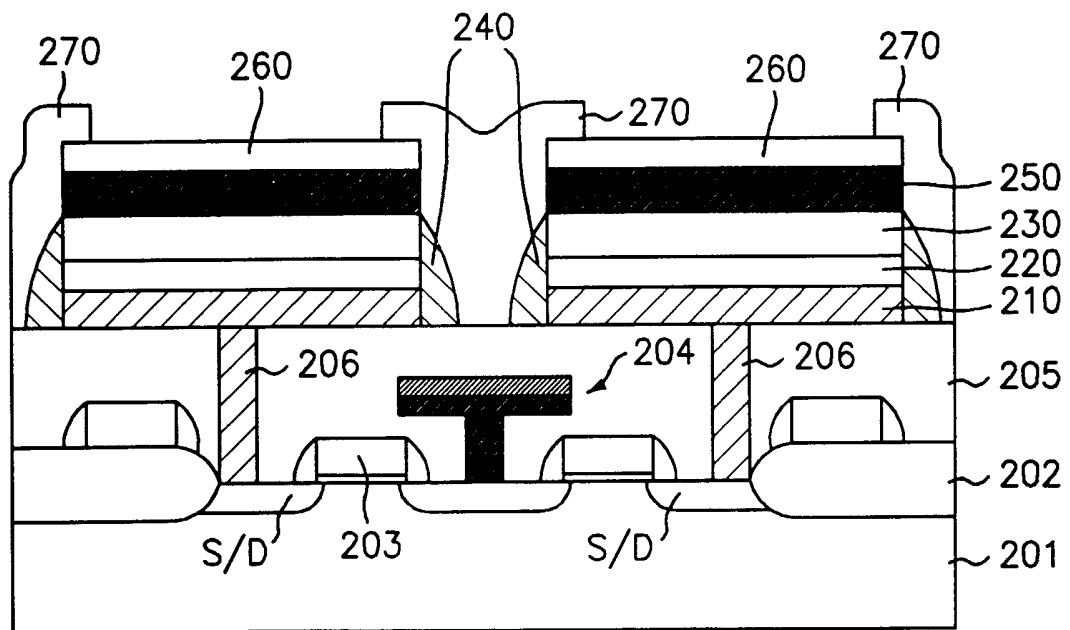
在上述開口部內填充第1導電體層，以形成柱塞之步驟；在包括該柱塞的絕緣層上部依序疊層第2導電體層和第1擴散防止層、電容器的下部電極層、電介質層、電

83110543

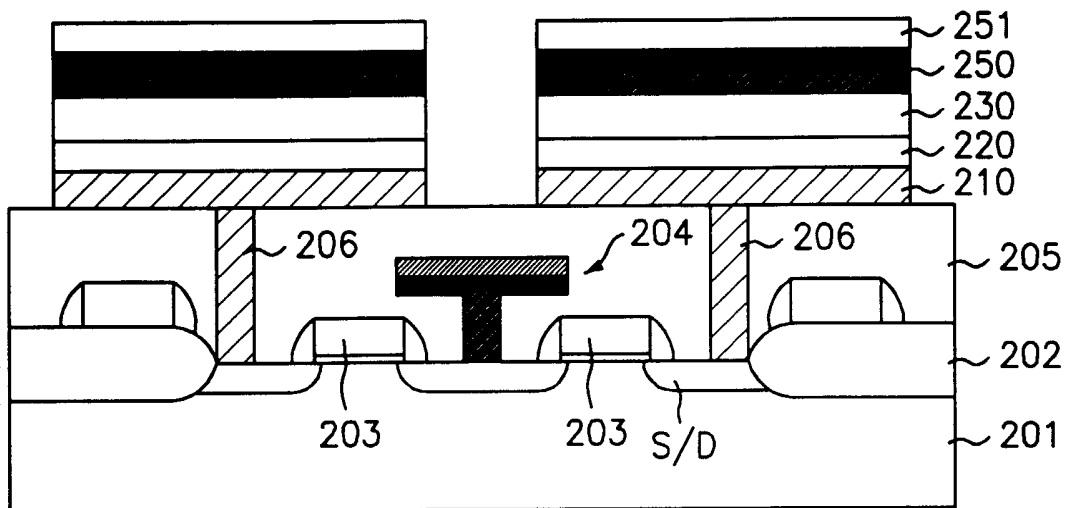
第 1 圖



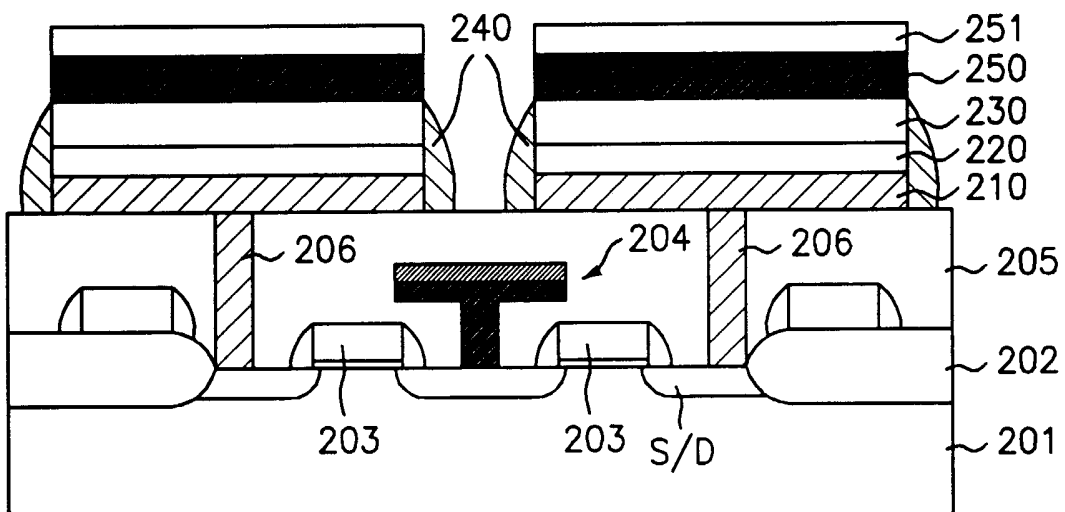
第 2 圖



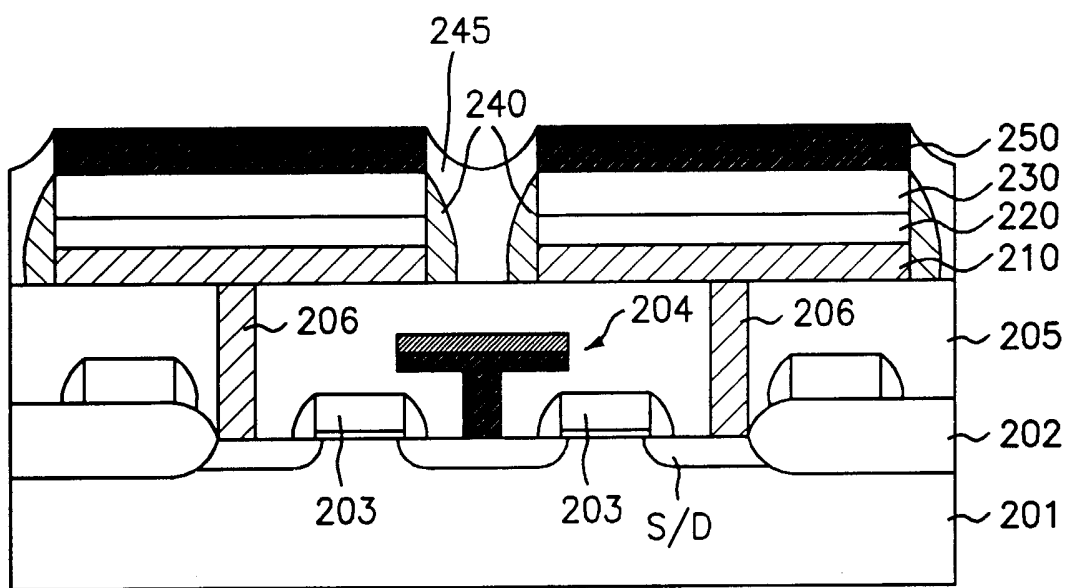
第3A圖



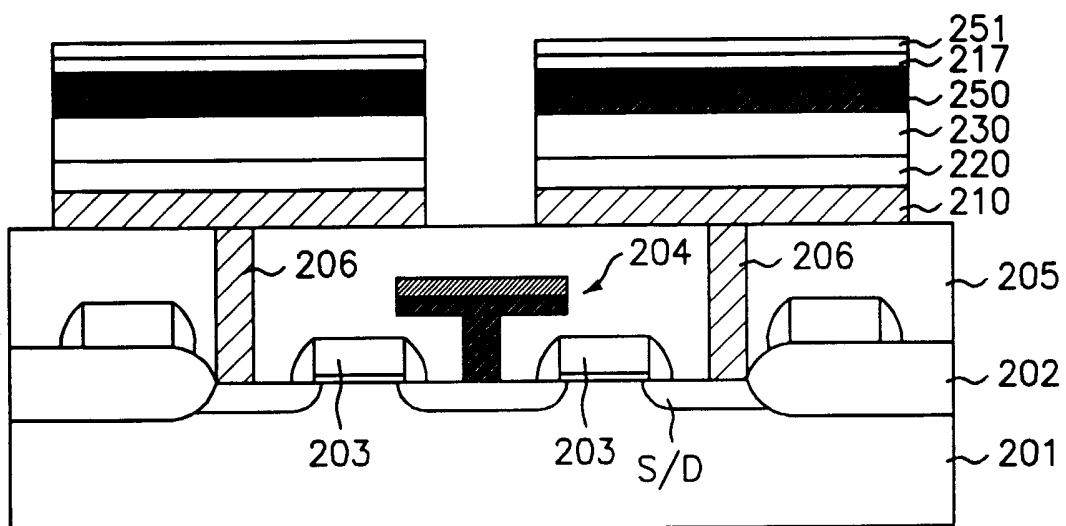
第3B圖



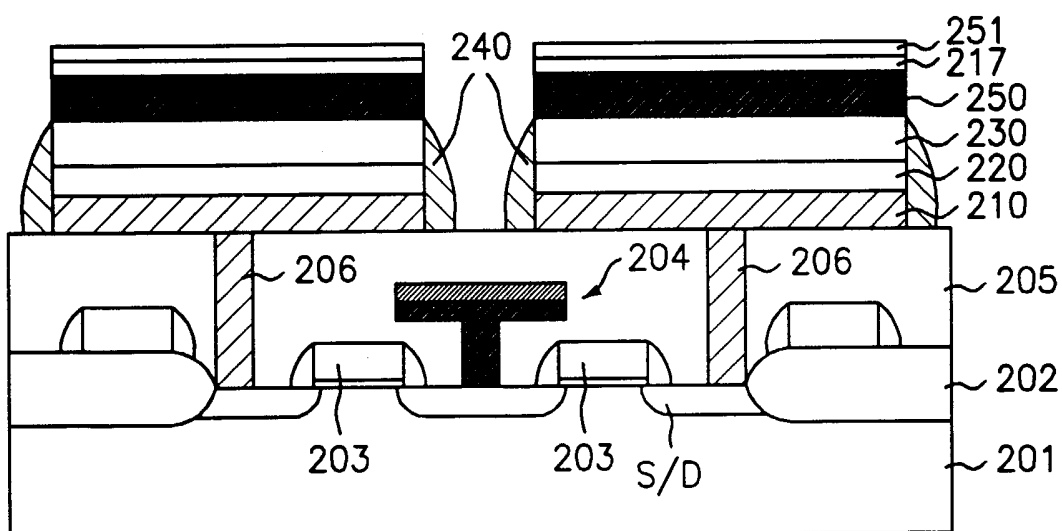
第3C圖



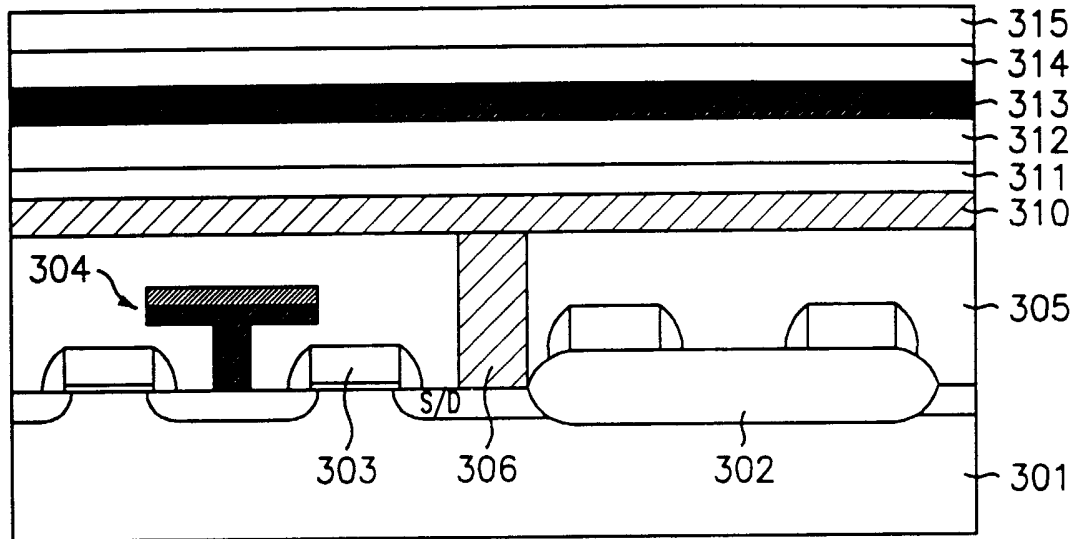
第4A圖



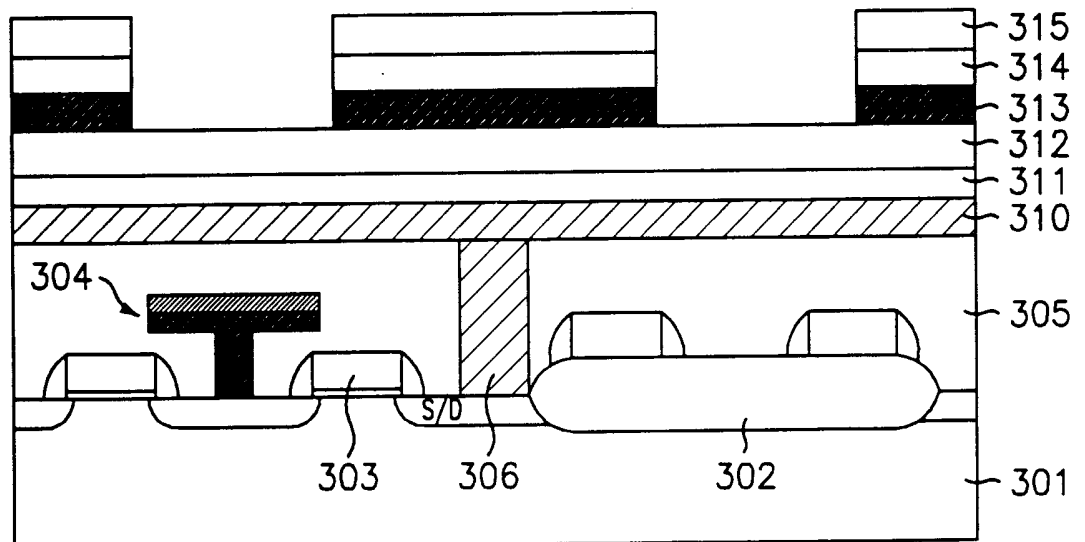
第4B圖



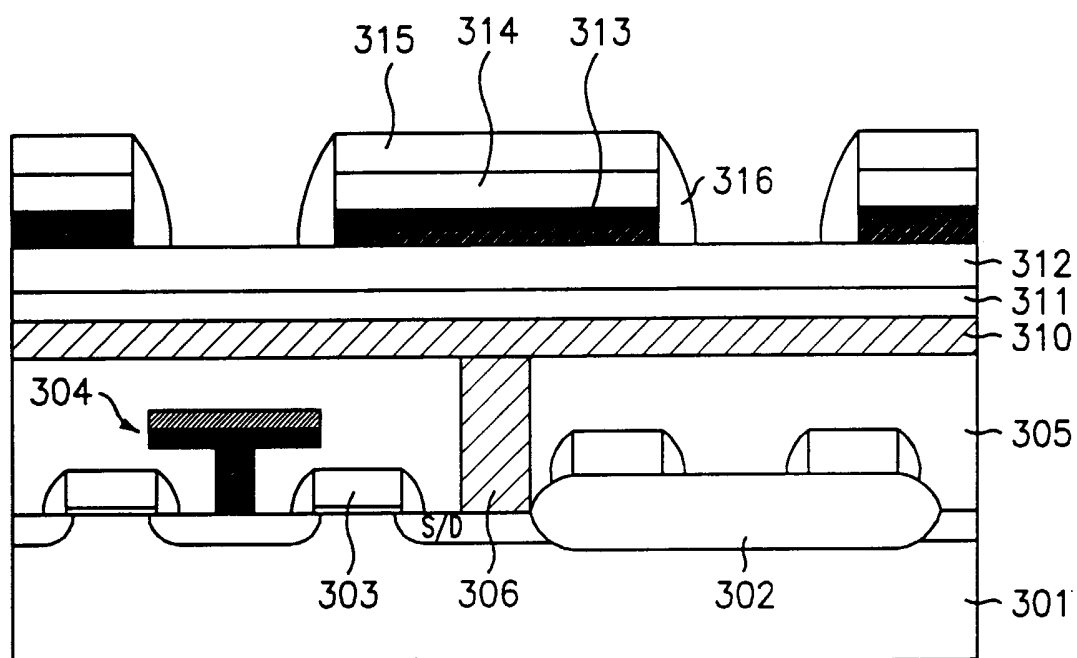
第5A圖



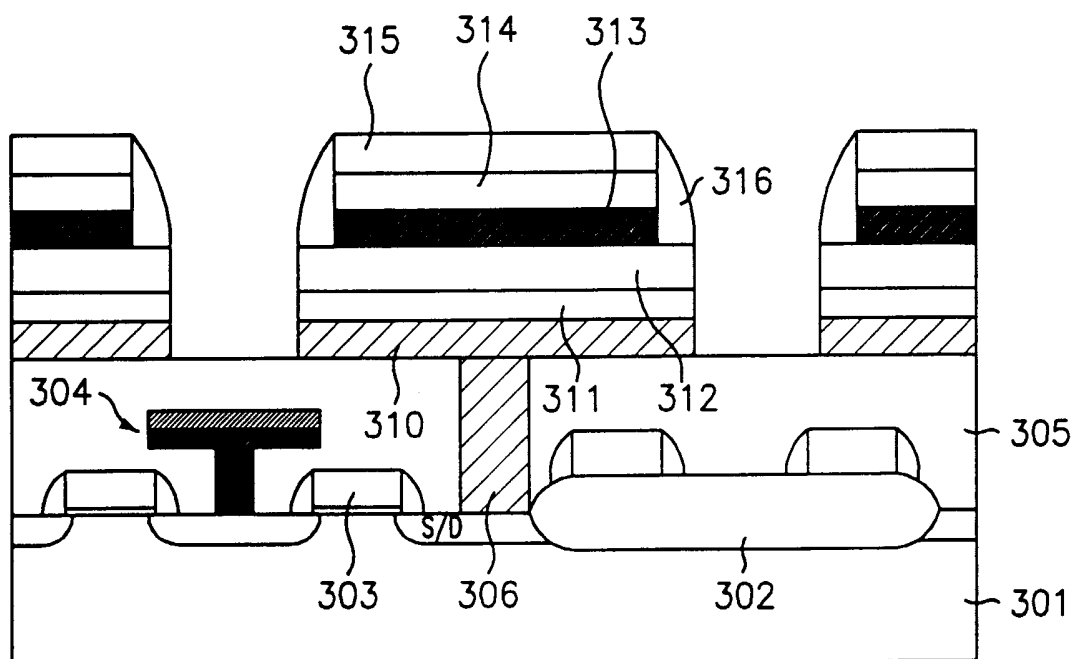
第5B圖



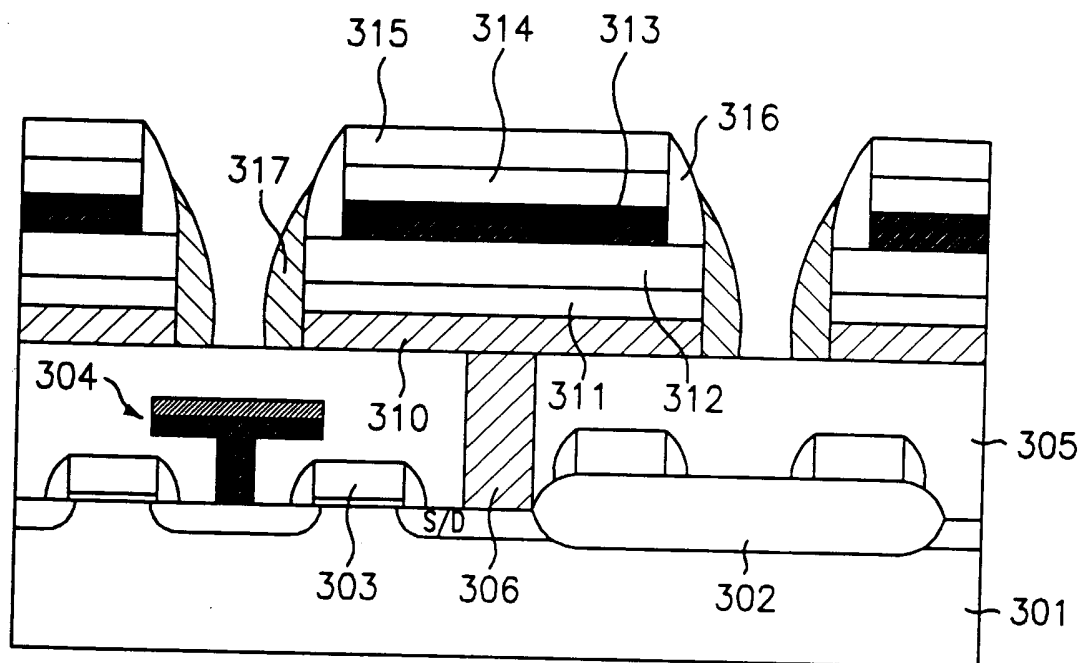
第50圖



第50圖



第5E圖



第5F圖

