

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/337 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480009496.3

[45] 授权公告日 2009 年 5 月 13 日

[11] 授权公告号 CN 100487880C

[22] 申请日 2004.4.8

[21] 申请号 200480009496.3

[30] 优先权

[32] 2003.4.9 [33] US [31] 10/410,043

[86] 国际申请 PCT/US2004/010814 2004.4.8

[87] 国际公布 WO2004/093182 英 2004.10.28

[85] 进入国家阶段日期 2005.10.9

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 奥卢邦米·O·阿德图图

埃里克·D·卢科斯基

斯里坎斯·B·萨马韦当

小阿图罗·M·马丁内斯

[56] 参考文献

US6171910B1 2001.1.9

US6492217B1 2002.12.10

US6171959B1 2001.1.9

US6214681B1 2001.4.10

CN1227407A 1999.9.1

US2002/0151125A1 2002.10.17

审查员 颜庙青

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 李 涛 钟 强

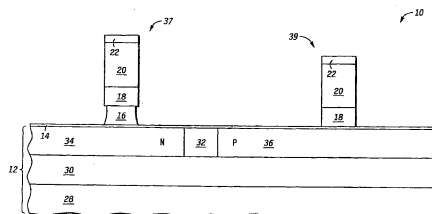
权利要求书 7 页 说明书 6 页 附图 4 页

[54] 发明名称

用于形成双金属栅极结构的处理过程

[57] 摘要

半导体器件(10)具有包括第一金属型(18)和在第一金属型(18)上的第二金属型(20)的P沟道(38)栅极层叠,和包括与栅极电介质(14)直接接触的第二金属型(18)的N沟道(40)栅极层叠。该N沟道(40)栅极层叠和P沟道(38)栅极层叠的一部分是通过干燥蚀刻处理来蚀刻的。该P沟道(38)栅极层叠的蚀刻是借助于湿蚀刻完成的。该湿蚀刻对栅极电介质(14)和第二金属型(18)是很有选择性的,使得该N沟道晶体管没有受到完成P沟道(38)栅极层叠蚀刻不利地影响。



1. 一种用于形成双金属栅极结构的方法，包括：

提供具有第一区域和第二区域的半导体衬底，其中该第一区域具有第一导电性类型和第二区域具有不同于该第一导电性类型的第二导电性类型；

形成一个覆盖该半导体衬底的第一区域和第二区域的介电层；

形成覆盖该介电层的第一金属包含层，其中该第一金属包含层覆盖该半导体衬底的第一区域；

形成覆盖第一金属包含层和介电层的第二金属包含层，其中第二金属包含层与覆盖半导体衬底的第二区域的该介电层的一部分直接接触；

形成覆盖第二金属包含层的图案掩模层，以确定第一栅极层叠和第二栅极层叠；

使用该图案掩模层干蚀刻第二金属包含层，以在第一区域上形成该第一栅极层叠，并在第二区域上形成该第二栅极层叠，其中，除了由第一栅极层叠覆盖的之外，所述第一金属包含层被暴露；和

湿蚀刻该第一金属包含层，并且下部切割所述第一金属包含层，使得所述第一金属包含层的一部分被从所述第一栅极层叠的所述第二金属包含层下除去。

2. 根据权利要求 1 的方法，其中该第一和第二金属包含层的一个具有至少 4.6 电子伏 (eV) 的逸出功，并且该第一和第二金属包含层的另一个具有至多 4.4 eV 的逸出功。

3. 根据权利要求 1 的方法，其中该第一和第二金属包含层的每个具有至少 30 埃的厚度。

4. 根据权利要求 1 的方法，其中该第二金属包含层包括合金。

5. 根据权利要求 1 的方法，其中该第一和第二金属包含层的每个包括合金。

6. 根据权利要求 1 的方法，其中湿蚀刻该第一金属包含层包括贯穿该第一金属包含层的整个厚度湿蚀刻。

7. 根据权利要求 1 的方法，其中湿蚀刻是使用皮伦尼亚清洁执行的。

8. 根据权利要求 1 的方法，其中该介质层包括具有介电常数(K)至少 3.9 的电介质。

9. 根据权利要求 1 的方法，其中该第一导电性类型是 N 型或者 P 型的一个，并且第二导电性类型是 N 型或者 P 型的另一个。

10. 一种用于形成双金属栅极结构的方法，其包括：

提供具有第一区域和第二区域的半导体衬底，其中该第一区域具有第一导电性类型，并且第二区域具有不同于该第一导电性类型的第二导电性类型；

形成覆盖该半导体衬底的第一区域和第二区域的介电层；

形成覆盖该介电层的第一金属包含层，其中该第一金属包含层覆盖该半导体衬底的第一区域；

形成覆盖第一金属包含层和介电层的第二金属包含层，其中第二金属包含层与覆盖半导体衬底的第二区域的该介电层的一部分直接接触；

形成覆盖第二金属包含层的图案掩模层，以确定第一栅极层叠和第二栅极层叠；

使用该图案掩模层干蚀刻第二金属包含层，以形成该第一栅极层叠的栅电极；以及

使用该图案掩模层湿蚀刻第一金属包含层，以形成该第二栅极层

叠的栅电极；

其中该第一和第二金属包含层的一个包括氮化钛，并且该第一和第二金属包含层的另一个包括氮化硅钽。

11. 一种用于形成双金属栅极结构的方法，其包括：

提供具有第一区域和第二区域的半导体衬底，其中该第一区域具有第一导电性类型，并且第二区域具有不同于该第一导电性类型的第二导电性类型；

形成覆盖该半导体衬底的第一区域和第二区域的介电层；

形成覆盖该介电层的第一金属包含层，其中该第一金属包含层覆盖该半导体衬底的第一区域；

形成覆盖第一金属包含层和介电层的第二金属包含层，其中该第二金属包含层与覆盖半导体衬底的第二区域的该介电层的一部分直接接触；

形成覆盖第二金属包含层的图案掩模层，以确定第一栅极层叠和第二栅极层叠；

使用该图案掩模层干蚀刻第二金属包含层，以形成该第一栅极层叠的栅电极；以及

使用该图案掩模层湿蚀刻第一金属包含层，以形成该第二栅极层叠的栅电极，

其中，在形成覆盖第二金属包含层的图案掩模层之前，形成覆盖第二金属包含层的硅包含层，其中该图案掩模层覆盖该硅包含层，使用该图案掩模层干蚀刻该硅包含层。

12. 根据权利要求 11 的方法，进一步包括：

形成一个覆盖该硅包含层的抗反射涂层，其中该图案掩模层覆盖该抗反射涂层；和

使用该图案掩模层干蚀刻该抗反射涂层。

13. 根据权利要求 12 的方法，进一步包括：

在相邻该第一和第二栅极层叠的该半导体衬底的第一和第二区域中形成掺杂区域，和相邻该第一和第二栅极层叠形成侧壁隔板，以形成第一晶体管和第二晶体管。

14. 一种用于形成双金属栅极结构的方法，包括：

提供具有第一区域和第二区域的半导体衬底，其中该第一和第二区域的一个是P区，并且该第一和第二区域的另一个是N区；

形成一个覆盖该半导体衬底的第一区域和第二区域的栅极介电层；

形成覆盖该介电层的第一金属包含层，其中该第一金属包含层覆盖该半导体衬底的第一区域；

形成覆盖该第一金属包含层和该介电层的第二金属包含层，其中该第二金属包含层与覆盖该半导体衬底的第二区域的该介质层的一部分直接接触，并且其中该第一和第二金属包含层的一个包括氮化钛，并且该第一和第二金属包含层的另一个包括氮化硅钽；

形成覆盖该第二金属包含层的图案掩模层，以确定第一栅极层叠和第二栅极层叠；

使用该图案掩模层干蚀刻该第二金属包含层，以形成该第一栅极层叠的栅电极；和

使用该图案掩模层湿蚀刻该第一金属包含层的至少一部分，以形成第二栅极层叠的栅电极。

15. 根据权利要求14的方法，其中该第一和第二金属包含层的每个具有至少30埃的厚度。

16. 根据权利要求14的方法，其中该第一区域是N区，并且第二区域是P区。

17. 一种用于形成双金属栅极结构的方法，包括：

提供具有第一区域和第二区域的半导体衬底，其中该第一区域具

有第一导电性类型和第二区域具有不同于该第一导电性类型的第二导电性类型；

形成覆盖该半导体衬底的介电层；

形成覆盖该第一区域的第一栅极层叠，该第一栅极层叠具有覆盖并物理接触该介电层的第一金属包含栅电极，其中形成该第一栅极层叠包括在干蚀刻覆盖第一金属包含层的第二金属包含层之后，湿蚀刻第一金属包含层，以形成该第一金属包含栅电极；和

形成覆盖该第二区域的第二栅极层叠，该第二栅极层叠具有覆盖并物理接触该介电层的第二金属包含栅电极，其中形成该第二栅极层叠包括干蚀刻第二金属包含层，以形成该第二金属包含栅电极，和其中该第一金属包含栅电极具有第一逸出功，和第二金属包含栅电极具有不同于该第一逸出功的第二逸出功。

18. 根据权利要求 17 的方法，其中该第一和第二逸出功的一个至少是 4.6 eV，并且该第一和第二逸出功的另一个至多是 4.4 eV。

19. 根据权利要求 17 的方法，其中该第一和第二金属包含栅电极的每个具有至少 30 埃的厚度。

20. 根据权利要求 17 的方法，其中该第一和第二金属包含栅电极的至少一个包括合金。

21. 一种用于形成双金属栅极结构的方法，其包括：

提供具有第一区域和第二区域的半导体衬底，其中第一区域具有第一导电性类型，而第二区域具有不同于第一导电性类型的第二导电性类型；

形成覆盖半导体衬底的介电层；

形成覆盖第一区域的第一栅极层叠，该第一栅极层叠具有覆盖并物理接触介电层的第一金属包含栅电极，其中形成第一栅极层叠包括湿蚀刻第一金属包含层以形成第一金属包含栅电极；以及

形成覆盖第二区域的第二栅极层叠，该第二栅极层叠具有覆盖并物理接触介电层的第二金属包含栅电极，其中形成该第二栅极层叠包括干蚀刻第二金属包含层以形成第二金属包含栅电极，并且其中所述第一金属包含栅电极具有第一逸出功，且第二金属包含栅电极具有不同于第一逸出功的第二逸出功。

其中形成该第一栅极层叠进一步包括形成覆盖该第一金属包含栅电极的第一硅包含部分，和形成覆盖该第一硅包含部分的第一抗反射涂部分，以及其中，形成该第二栅极层叠进一步包括形成覆盖该第二金属包含栅电极的第二硅包含部分，和形成覆盖该第二硅包含部分的第二抗反射涂部分。

22. 一种用于形成双金属结构的方法，其包括：

提供具有第一区域和第二区域的半导体衬底，其中第一区域具有第一导电性类型，而第二区域具有不同于第一导电性类型的第二导电性类型；

形成覆盖半导体衬底的介电层；

形成覆盖第一区域的第一栅极层叠，该第一栅极层叠具有覆盖并物理接触介电层的第一金属包含栅电极，其中形成第一栅极层叠包括湿蚀刻第一金属包含层以形成第一金属包含栅电极；以及

形成覆盖第二区域的第二栅极层叠，该第二栅极层叠具有覆盖并物理接触介电层的第二金属包含栅电极，其中形成该第二栅极层叠包括干蚀刻第二金属包含层以形成第二金属包含栅电极，并且其中所述第一金属包含栅电极具有第一逸出功，且第二金属包含栅电极具有不同于第一逸出功的第二逸出功。

其中该第一和第二金属包含栅电极的一个包括氮化钛，并且该第一和第二金属包含栅电极的另一个包括氮化硅钽。

23. 根据权利要求 22 的方法，其中该第一导电性类型是 N 型或者 P 型的一个，并且第二导电性类型是 N 型或者 P 型的另一个。

24. 根据权利要求 23 的方法，其中该第一导电性类型是 N 型，和该第二导电性类型是 P 型。

用于形成双金属栅极结构的处理过程

技术领域

本发明涉及使用金属栅极制造集成电路，尤其是，涉及使用不同结构的金属栅极制造集成电路。

背景技术

由于半导体器件在几何形状方面继续按比例缩小，常规的多晶硅栅极正在变得是不适宜。一个问题是比较高的电阻率，并且另一个问题是在接近在该多晶硅栅极和栅极电介质之间分界面的位置上在该多晶硅栅极中掺杂物的消耗。为了克服多晶硅的这些不足，正在作为一个备选方案实行金属栅极。对于该 P 沟道晶体管和 N 沟道晶体管期望的功能，被用于 N 沟道和 P 沟道晶体管的该金属的逸出功应该是不同的。因此，二个不同种类的金属可以被直接地在该栅极电介质上作为金属使用。其对于那些通常不容易被沉积或者蚀刻的金属是有效的。已经发现是有效的二种金属是用于该 P 沟道晶体管的氮化钛和用于 N 沟道晶体管的氮化硅钽。但是，典型地被用于这些材料的该蚀刻剂对于该栅极电介质和硅衬底不是足够地有选择性的，因此，在该硅衬底中可能存在用圆凿凿成的槽。因为在该 P 沟道活性区域中出现此，该氮化钛是在该氮化硅钽之下。用于在 P 沟道活性区域上除去该氮化硅钽的该蚀刻过程是为暴露该氮化钛所必须的，以便随后蚀刻此外暴露在 N 沟道活性区域中的该栅极电介质所必需的。从而，该氮化钛的蚀刻也被施加于在 N 沟道活性区域中的该暴露的栅极电介质，在这里源极/漏极将被形成。氮化钛的这个蚀刻可以具有同样除去该暴露的栅极电介质和凿除形成源极/漏极的地方的底层硅的不利影响。

因此，存在对用于形成双栅极晶体管的处理过程的需要，其解决如上所述的问题。

附图说明

本发明通过范例举例说明，并且不受伴随的附图的限制，其中相同的参考数字表示类似的单元，并且其中：

图 1-4 是在处理的过程中在顺序级上按照本发明第一个实施例的半导体器件的横截面。

熟练的技术人员理解，为简单和清楚说明起见，在附图中示出的单元不一定按比例绘制。例如，在附图中一些单元的尺寸可以被相对于其他的单元放大，以帮助提高本发明实施例的理解。

具体实施方式

在一个实施例中，半导体器件具有包括第一金属型和在第一金属型上的第二金属型的 P 沟道栅极层叠，和包括与栅极电介质直接接触的第二金属型的 N 沟道栅极层叠。该 N 沟道栅极层叠和 P 沟道栅极层叠的一部分是通过干燥蚀刻处理来蚀刻的。该 P 沟道栅极层叠的蚀刻是借助于湿蚀刻处理完成的。该湿蚀刻对栅极电介质和第二金属型是非常有选择性的，使得该 N 沟道晶体管没有受到完成 P 沟道栅极层叠蚀刻不利地影响。这些将参考附图和以下的描述更好地了解。

在图 1 中示出的是一个半导体器件 10，包括：在绝缘体上硅(SOI)衬底 12，直接地在 SOI 衬底 12 的上表面上的栅极电介质 14，氮化钛的层 16，氮化硅钽的层 18，多晶硅的层 20，富硅的氮化硅的防反射涂层(ARC) 22，和形成图案的光刻胶部分 24 和 26。SOI 衬底 12 具有硅衬底 28、绝缘体层 30、N 区 34、隔离区 32 和 P 区 36。绝缘层 30 最好是氧化硅，但是可以是另一种绝缘材料。此外，块状的硅衬底可以使用来代替 SOI 衬底。层 16 覆盖 N 区 34，而不是 P 区 36，并且是与栅极电介质 14 直接接触的。层 18 覆盖包括层 16 和 P 区 36 的 SOI 衬底 12。层 20 覆盖层 18。层 22 覆盖层 20。形成图案的光刻胶部分 24

覆盖 N 区 34 的一部分，在这里 P 沟道栅极层叠将被形成。类似地，形成图案的光刻胶部分 26 覆盖 P 区 36 的一部分，在这里 N 沟道栅极层叠将被形成。

在这一点上，干燥蚀刻被执行，其不穿过该栅极电介质 14。层 16 和 18 的厚度最好是 50 埃，但是可以低到 30 埃，或者可以高于 50 埃。形成图案的光刻胶部分 24 和 26 的宽度最好是 500 埃，大约是该金属层 16 和 18 的厚度的十倍，其将被用于确定晶体管栅极的长度。隔离区 32 的宽度大约与形成图案的光刻胶部分 24 和 26 的宽度是相同的。取决于使用的特定的技术，这些尺寸可以更小或者更大。例如，光刻技术难题在制造方面可能限制对于该形成图案的光刻胶部分 24 和 26 的最小尺寸仅仅是 500 埃乃至 1000 埃，但是层 16 和 18 的厚度可以仍然保持在 50 埃上。ARC 层 22 最好是 200 埃厚度。

在图 2 中示出的是干燥蚀刻的结果，其分别地在 N 区 34 和 P 区 36 上留下栅极层叠 37 和 39。除了由栅极层叠 39 覆盖之外，栅极电介质 14 被暴露在 P 区 36 上。除了由栅极层叠 37 覆盖之外，在 N 区 34 上的层 16 被暴露。形成图案的光刻胶部分 24 和 26 可能已经被腐蚀。栅极层叠 37 和 39 两者具有 ARC 22、层 20 和层 18 部分。

形成图 2 的栅极层叠 37 和 39 的这个干燥蚀刻最好是在三个蚀刻步骤中实现的。一个步骤是用于该氮化硅 ARC 层 22，并且最好是基于卤素的反应性的离子蚀刻(RIE)。以下是在基于卤素的化学处理的过程中通过 RIE 的多晶硅的层 20 的蚀刻。在该层 20 蚀刻之后是层 18 的蚀刻，其是通过基于卤素的 RIE 执行的。这些是用于这些类型的层常规的蚀刻。氮化钛典型的蚀刻是通过也基于卤素的 RIE。随着这些的困难是该氮化钛对于该栅极电介质不是足够地有选择性的，在这种情况下，其最好是氮氧化硅。氮氧化硅具有比氧化硅更高的介电常数，并且对于基于卤素的 RIE 蚀刻同样是更加耐久的，但是，在如此蚀刻需要厚度的氮化钛期间，作为其避免被穿透不是足够地有抵抗力的。基于卤

素的 RIE 蚀刻稍微地改变，并且最终基于实际被蚀刻的层被试验性地确定。这些材料的蚀刻是常规的并且被传统地确定。如果氧化硅被用作该栅极电介质，存在相同的蚀刻问题，并且实际上甚至是更糟的，因为用于金属包含材料的典型干燥蚀刻，诸如被用于层 16 和 18 的那些材料对于氧化硅比对于氮氧化硅甚至是更少选择性的。

该氮化钛的厚度对于处理的目的希望是薄的，但是对于确定的逸出功也希望具有足够的厚度，该逸出功控制随后形成的晶体管的沟道。该栅极电介质最好是具有大于 3.9 的介电常数。用于 N 沟道晶体管栅极和 P 沟道晶体管栅极的最佳的逸出功通常认为是分别地在硅能量带边缘，即，4.1 电子伏(eV)和 5.2 eV。这对于两个块状的硅和对于部分地耗尽的 SOI 是真实的。在实践中，这可能是很难实现的，但是最好是，该 N 沟道金属栅应该具有小于或等于 4.4 eV 的逸出功，并且该 P 沟道金属栅对于部分地耗尽的 SOI 衬底或者块状半导体衬底应该具有大于 4.6 eV 的逸出功，其是存在的情况。氮化钛的层 16 具有 4.65 eV 的逸出功，并且氮化硅钽的层 18 具有 4.4 eV 的逸出功。对于完全地耗尽的 SOI 衬底较少的逸出功差别可能是令人满意地。

因此，代替使用常规的 RIE 蚀刻来蚀刻层 16，使用湿蚀刻。该湿蚀刻最好是皮伦尼亚 (piranha) 清洁，其由硫酸和以水溶解的过氧化氢组成。其他湿蚀刻对此也可以是有用的。皮伦尼亚清洁特别地是有益的，因为其通常地在装配设施中是可利用的，并且因此，更好地明白如何去适用和控制。这种皮伦尼亚清洁对于氮化硅钽和氮氧化硅两者，以及氧化硅是非常有选择性的。因此，在除去暴露于该皮伦尼亚清洁的层 16 期间，存在层 18 和栅极电介质 14 最小限度的蚀刻。如果栅极电介质 14 是氧化硅，这也将是真实的。

该皮伦尼亚清洁的应用结果在图 3 中示出。这示出栅极层叠 37 的完成和对栅极层叠 39 的最小限度的变化。在这个皮伦尼亚清洁期间形成图案的光刻胶部分 24 和 26 被除去。以湿清洁除去材料通常是无向

性的，使得横向以及纵向地蚀刻。因此，存在层 16 的下部切割，使得层 16 的一部分被从该层 18 的部分下除去，该层 18 的部分是栅极层叠 37 的一部分。这个下部切割通常不大于被蚀刻的该层的厚度。在这种情况下，层 16 的优选的厚度是 50 埃，因此，在层 16 和 18 之间的交接面上的该下部切割可以大约是 50 埃，其大约是该栅极长度的 10%，并且朝着该栅极电介质 14 的方向具有更少的下部切割。如图 3 所示，栅极层叠 37 和 39 是状况良好的，以传统的方式完成晶体管的形成。

在图 4 中示出的是使用栅极层叠 37 和 39 完成的晶体管 38 和 40。ARC 层 22 被从栅极层叠 37 和 39 两者上去掉，并且晶体管 38 和 40 能够以传统的方式制做。晶体管是具有源极/漏极 42 和 44、侧壁隔板 46、衬垫 48 和硅化物区 50、52 和 54 的 P 沟道晶体管。硅化物区 50 和 52 被分别地形成在源极/漏极 42 和 44 上，和与源极/漏极 42 和 44 接触。类似地，硅化物区 54 被形成在层 20 的部分上和与该层 20 部分接触，该层 20 部分是如图 3 所示的栅极层叠 37 的一部分。晶体管 40 是具有源极/漏极区 56 和 58、侧壁隔板 60、衬垫 62 和硅化物区 64 和 66 的 N 沟道晶体管。硅化物区 64 和 66 是分别地在源极/漏极 56 和 58 上并且与源极/漏极 56 和 58 接触。

在上述的说明书中，已经参考特定的实施例描述了本发明。但是，一个普通的本领域技术人员知道，不脱离如在以下的权利要求中阐明的本发明的范围，可以进行各种各样的改进和变化。例如，一个在图 1 中示出的供选择的设备结构是本身被分层堆积的覆盖导电体，或者是具有该材料的一个的百分度浓度的合金。此外，二个不同的层 16 和 18 除了在此处指定的之外可以是不同的材料。这二个层实际上可以具有相同的材料，但是具有其材料不同的比例，以便获得期望的逸出功差别。此外，层 18 可以被首先沉积，使得在该 P 区 36 部位中层 16 是在层 18 上。该结果可能是，该 N 沟道晶体管栅极层叠将具有两个金属层，代替具有如图 2 - 4 所示的两个金属层的 P 沟道栅极层叠。另一个备选方案的例子是以具有较低的薄膜电阻的材料（诸如钨）来替换该覆盖多晶硅层。因此，说明书和附图是被视为说明性的而不是限制性的感

觉，并且所有上述的改进意欲被包括在本发明的范围内。

已经关于特定的实施例在上面描述了好处、其他的优点和对问题的解决方案。但是，好处、优点、对问题的解决方案，和可能引起任何的好处、优点或者出现的解决方案，或者变为更加断言的任何的要素没有被解释为是紧要的、需要的，或者任何或者所有权利要求的基本特点或者要素。如在此处使用的，该术语“包括”、“包含”或者其所有的其他的变化，意欲覆盖非排它的内含物，使得包括一系列要素的处理过程、方法、产品或者装置不仅仅包括那些要素，而是可以包括没有明显地列出或者上述的处理过程、方法、产品或者装置原有的其他的要素。

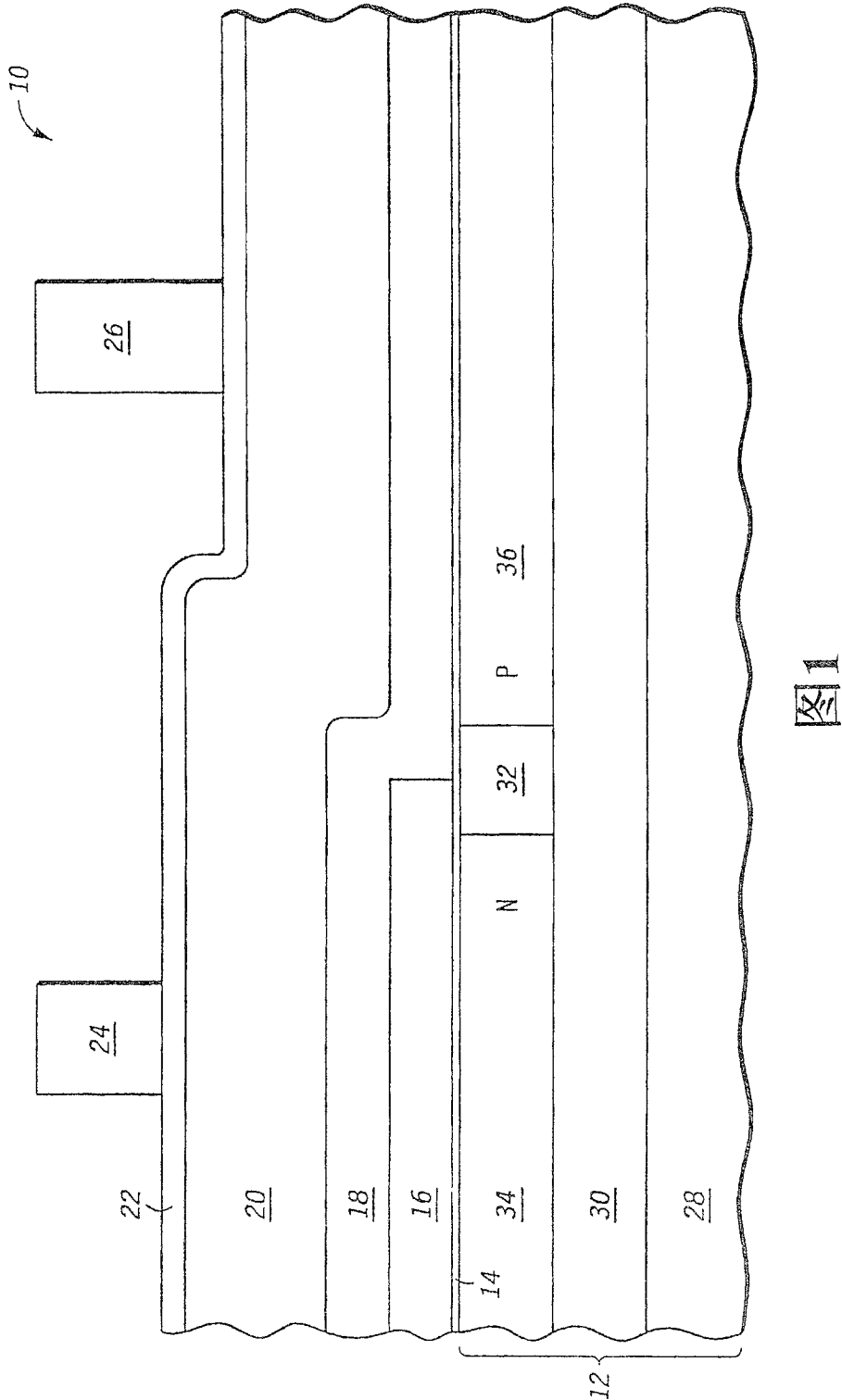


图1

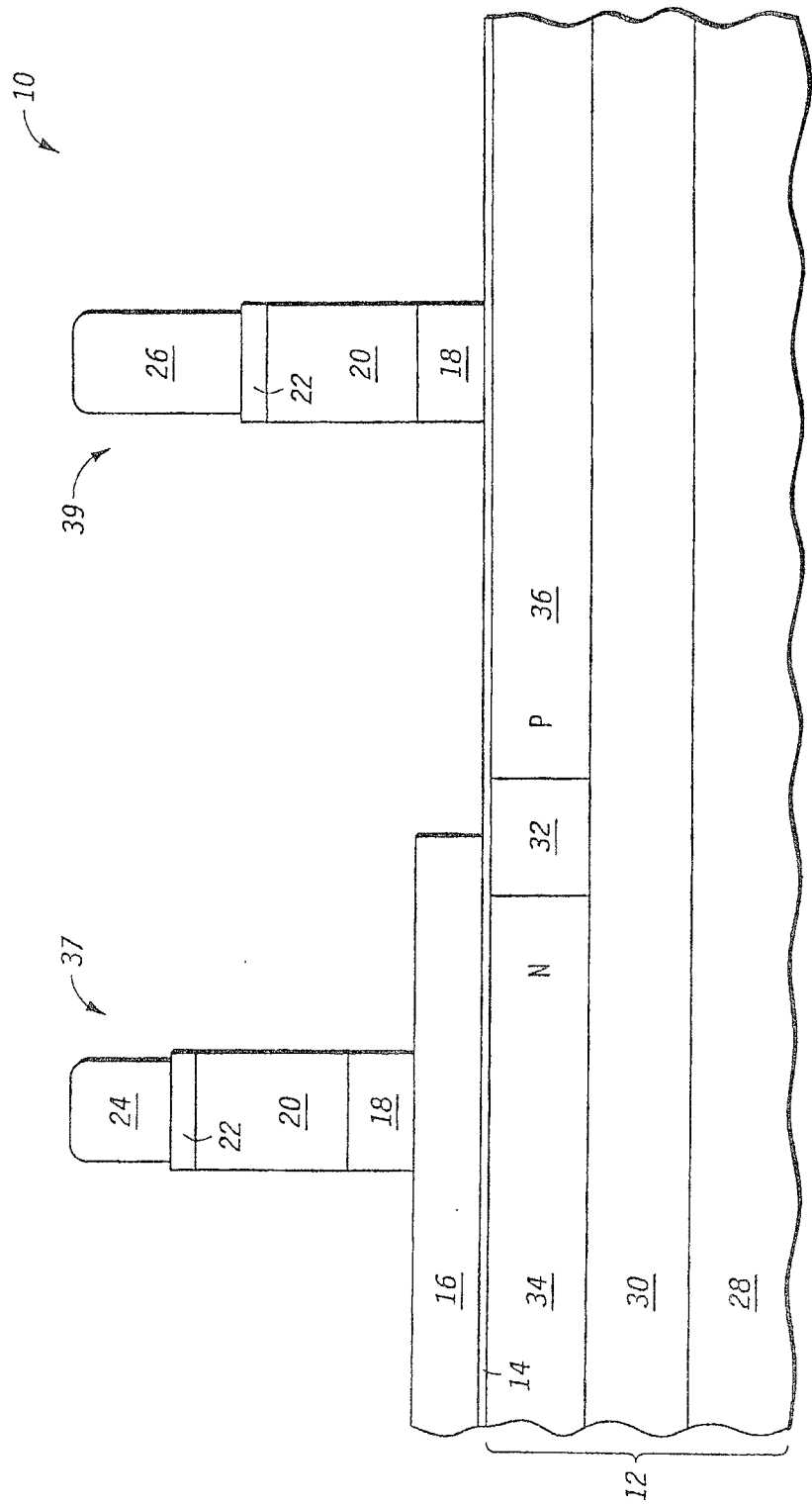


图2

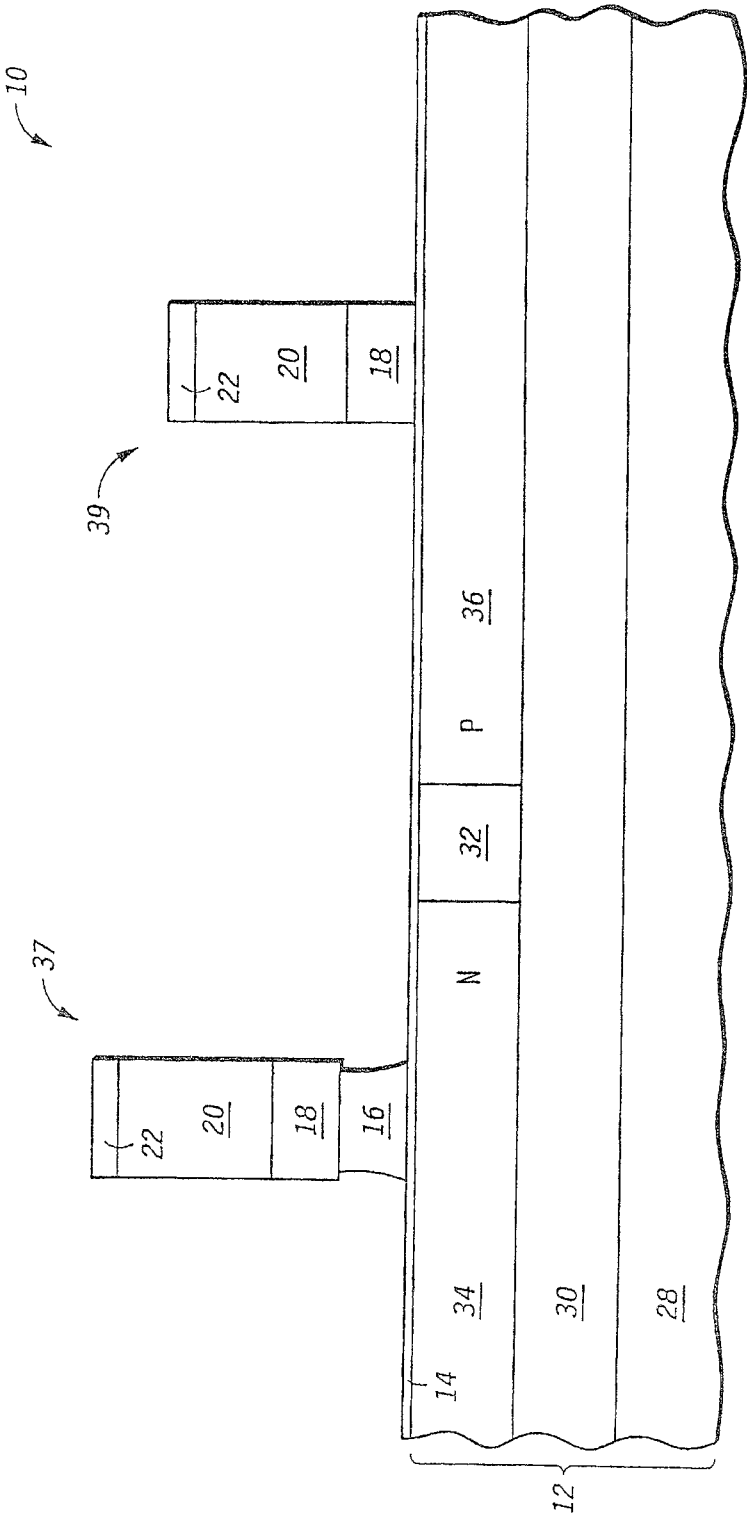


图3

