

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3779256号
(P3779256)

(45) 発行日 平成18年5月24日(2006.5.24)

(24) 登録日 平成18年3月10日(2006.3.10)

(51) Int. Cl.		F I		
HO 1 L 27/04	(2006.01)	HO 1 L 27/04		H
HO 1 L 21/822	(2006.01)	HO 1 L 27/04		R
HO 1 L 27/06	(2006.01)	HO 1 L 27/06	3 2 1 H	
HO 1 L 21/8249	(2006.01)			

請求項の数 15 (全 12 頁)

(21) 出願番号	特願2002-326732 (P2002-326732)	(73) 特許権者	000005821
(22) 出願日	平成14年11月11日(2002.11.11)		松下電器産業株式会社
(65) 公開番号	特開2003-218226 (P2003-218226A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年7月31日(2003.7.31)	(74) 代理人	100077931
審査請求日	平成14年11月11日(2002.11.11)		弁理士 前田 弘
(31) 優先権主張番号	特願2001-351463 (P2001-351463)	(74) 代理人	100094134
(32) 優先日	平成13年11月16日(2001.11.16)		弁理士 小山 廣毅
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

各々入力を反転させる機能を有し、かつ直接又は間接に縦続接続された第1、第2及び第3の論理回路と、

外部から与えられた信号を前記第1の論理回路へ供給するための信号入力端子と、

外部から電源端子を介して与えられた正の電源電圧を前記第1、第2及び第3の論理回路へ供給することのできる電源線と、

外部から前記信号入力端子に与えられたサージ電荷を、前記電源端子を介さずに、前記第3の論理回路が直接接続された前記電源線へ導くことのできる経路を有する入力保護回路と、

外部から接地端子を介して与えられた接地電圧を前記第1、第2及び第3の論理回路へ供給することのできる接地線と、

前記第2の論理回路の出力部と前記第3の論理回路の入力部との間の接続部に介在して、前記入力保護回路により前記電源線へ導かれて当該電源線から前記第2の論理回路を介して前記接続部に導出されたサージ電荷を前記接地線へ導くことのできる経路を有する内部保護回路とを備えたことを特徴とする半導体装置。

【請求項2】

各々入力を反転させる機能を有し、かつ直接又は間接に縦続接続された第1、第2及び第3の論理回路と、

外部から与えられた信号を前記第1の論理回路へ供給するための信号入力端子と、

外部から電源端子を介して与えられた正の電源電圧を前記第1、第2及び第3の論理回路へ供給することのできる電源線と、

外部から前記信号入力端子に与えられたサージ電荷を前記電源線へ導くことのできる経路を有する入力保護回路と、

外部から接地端子を介して与えられた接地電圧を前記第1、第2及び第3の論理回路へ供給することのできる接地線と、

前記第2の論理回路の出力部と前記第3の論理回路の入力部との間の接続部に介在して、前記入力保護回路により前記電源線へ導かれて当該電源線から前記第2の論理回路を介して前記接続部に導出されたサージ電荷を前記接地線へ導くことのできる経路を有する内部保護回路とを備え、

前記内部保護回路の前記経路は、前記内部保護回路を構成するトランジスタ又は寄生トランジスタのブレークダウンによって形成されることを特徴とする半導体装置。

【請求項3】

請求項1又は2に記載の半導体装置において、

前記第1及び第2の論理回路は、各々PチャネルMOSトランジスタとNチャネルMOSトランジスタとで構成されたインバータであることを特徴とする半導体装置。

【請求項4】

請求項1又は2に記載の半導体装置において、

前記入力保護回路は、ダイオード、MOSトランジスタ、バイポーラトランジスタのうちのいずれかで構成されたことを特徴とする半導体装置。

【請求項5】

請求項1又は2に記載の半導体装置において、

前記内部保護回路は、前記接地線に接続された第1導電型の半導体基板と、前記半導体基板に接した第2導電型の半導体領域と、前記半導体領域内にあって前記半導体基板上に形成された第1導電型の拡散抵抗とを備え、

前記拡散抵抗の少なくとも一端を、前記第2の論理回路の出力部と前記第3の論理回路の入力部との間の接続部に接続したことを特徴とする半導体装置。

【請求項6】

請求項5に記載の半導体装置において、

前記内部保護回路は、

前記接地線に接続されたP型領域と、

前記P型領域に接するように形成されたN型領域と、

前記N型領域内に拡散形成され、かつ前記第2の論理回路の出力部と前記第3の論理回路の入力部との間の接続部に介在したP型拡散領域とを備えたことを特徴とする半導体装置。

【請求項7】

請求項1又は2に記載の半導体装置において、

前記内部保護回路は、前記第2の論理回路の出力部と前記接地線との間の接続部に介在したバイポーラトランジスタを備えたことを特徴とする半導体装置。

【請求項8】

請求項7に記載の半導体装置において、

前記バイポーラトランジスタは、前記第2の論理回路の出力部に接続されたコレクタと、ベースと、前記接地線に接続されたエミッタとを有するNPNトランジスタであることを特徴とする半導体装置。

【請求項9】

請求項8に記載の半導体装置において、

前記内部保護回路は、

前記第2の論理回路の出力部に接続されたN型拡散コレクタ領域と、

前記N型拡散コレクタ領域に隣接して形成されたP型拡散ベース領域と、

前記P型拡散ベース領域内に拡散形成され、かつ前記接地線に接続されたN型拡散エミ

10

20

30

40

50

ッタ領域とを備えたことを特徴とする半導体装置。

【請求項 10】

請求項 8 記載の半導体装置において、
前記 NPN トランジスタのベースと前記接地線との間の接続部に介在した抵抗を更に備えたことを特徴とする半導体装置。

【請求項 11】

請求項 9 記載の半導体装置において、
前記 P 型拡散ベース領域と前記接地線との間の接続部に介在した P 型拡散抵抗領域を更に備えたことを特徴とする半導体装置。

【請求項 12】

請求項 1 又は 2 に記載の半導体装置において、
前記内部保護回路は、前記第 2 の論理回路の出力部と前記接地線との間の接続部に介在した MOS トランジスタを備えたことを特徴とする半導体装置。

10

【請求項 13】

請求項 12 記載の半導体装置において、
前記 MOS トランジスタは、前記第 2 の論理回路の出力部に接続されたドレインと、前記接地線に接続されたゲート及びソースとを有する N チャネル MOS トランジスタであることを特徴とする半導体装置。

【請求項 14】

請求項 13 記載の半導体装置において、
前記内部保護回路は、
P 型領域と、
前記 P 型領域内に拡散形成され、かつ前記第 2 の論理回路の出力部に接続された N 型拡散ドレイン領域と、
前記接地線に接続されたゲート電極と、
前記 P 型領域内に拡散形成され、かつ前記接地線に接続された N 型拡散ソース領域とを備えたことを特徴とする半導体装置。

20

【請求項 15】

各々入力を反転させる機能を有し、かつ直接又は間接に縦続接続された第 1、第 2 及び第 3 の論理回路と、
外部から与えられた信号を前記第 1 の論理回路へ供給するための信号入力端子と、
外部から電源端子を介して与えられた正の電源電圧を前記第 1、第 2 及び第 3 の論理回路へ供給することのできる電源線と、
外部から前記信号入力端子に与えられたサージ電荷を前記電源線へ導くことのできる経路を有する入力保護回路と、
外部から接地端子を介して与えられた接地電圧を前記第 1、第 2 及び第 3 の論理回路へ供給することのできる接地線と、

30

前記接地線に接続された第 1 導電型の半導体基板と、
前記第 2 の論理回路の出力部と前記第 3 の論理回路の入力部との間の接続部に介在して、前記入力保護回路により前記電源線へ導かれて当該電源線から前記第 2 の論理回路を介して前記接続部に導出されたサージ電荷を前記接地線へ導くことのできる経路を有する内部保護回路とを備えた半導体装置の形成方法であって、

40

前記内部保護回路を、前記半導体基板上に第 2 導電型の第 1 半導体領域を形成する工程と、前記第 1 半導体領域内に第 1 導電型の第 2 半導体領域を拡散形成する工程と、前記第 2 半導体領域を前記第 2 の論理回路の出力部と前記第 3 の論理回路の入力部との間に介在させる工程とで形成することを特徴とする半導体装置の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の静電破壊を防止するための回路技術に関するものである。

50

【 0 0 0 2 】

【 従来 の 技 術 】

外部から信号入力端子に与えられた正のサージ電荷を電源線へ導くための第1の入力保護回路と、外部から当該信号入力端子に与えられた負のサージ電荷を接地線へ導くための第2の入力保護回路とを有する半導体装置（半導体集積回路）が知られている。第1及び第2の入力保護回路は、各々ダイオード、MOSトランジスタ、バイポーラトランジスタのうちのいずれかで構成される（特許文献1参照）。

【 0 0 0 3 】

【 特 許 文 献 1 】

特開平9 - 139466号公報

10

【 0 0 0 4 】

【 発 明 が 解 決 し よ う と す る 課 題 】

縦続接続された多数のインバータにより、例えば遅延回路を構成することができる。各インバータは、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタとで構成される。このような遅延回路を持つ半導体装置に上記第1及び第2の入力保護回路を採用すれば、信号入力端子にサージ電荷が与えられても、当該信号入力端子に直結された初段のインバータはゲート絶縁破壊を免れることができる。ただし、例えば当該半導体装置を搭載すべき機器の組立ラインにおいて、電源端子及び接地端子が開放された状態（無電圧状態）で正のサージ電荷が信号入力端子に与えられると、内部のインバータにゲート絶縁破壊が生じることがあった。

20

【 0 0 0 5 】

本発明の目的は、半導体装置の耐サージ性能を向上させることにある。

【 0 0 0 6 】

【 課 題 を 解 決 す る た め の 手 段 】

上記目的を達成するために、本発明は、各々入力を反転させる機能を有しかつ直接又は間接に縦続接続された第1、第2及び第3の論理回路を備えた半導体装置において、第2の論理回路の出力部と第3の論理回路の入力部との間の接続部に内部保護回路を介在させ、入力保護回路により電源線へ導かれて当該電源線から第2の論理回路を介して第3の論理回路の入力部に導出されたサージ電荷を接地線へ導くことのできる経路を前記内部保護回路が有することとしたものである。内部保護回路におけるサージ電荷放電経路は、当該内部保護回路を構成するトランジスタ又は寄生トランジスタのブレイクダウンによって形成される。

30

【 0 0 0 7 】

【 発 明 の 実 施 の 形 態 】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 0 8 】

図1は、本発明に係る半導体装置の構成例を示す回路図である。図1の半導体装置は、信号入力端子10と、電源端子20と、接地端子30と、信号入力線11と、電源線21と、接地線31と、第1の入力保護回路50と、第2の入力保護回路60と、第1のインバータ100と、第2のインバータ200と、内部保護回路250と、第3のインバータ300とを備えている。

40

【 0 0 0 9 】

第1、第2及び第3のインバータ100、200、300は、縦続接続されている。第1のインバータ100は、PチャンネルMOSトランジスタ101とNチャンネルMOSトランジスタ102とで構成されたCMOSインバータである。103は、第1のインバータ100の出力線である。第2のインバータ200もまた、PチャンネルMOSトランジスタ201とNチャンネルMOSトランジスタ202とで構成されたCMOSインバータである。203は、第2のインバータ200の出力線である。第3のインバータ300もまた、PチャンネルMOSトランジスタ301とNチャンネルMOSトランジスタ302とで構成されたCMOSインバータである。303は、第3のインバータ300の出力線である。

50

【0010】

信号入力線11は、外部から信号入力端子10を介して与えられた信号を第1のインバータ100へ供給する。電源線20は、外部から電源端子20を介して与えられた正の電源電圧を第1、第2及び第3のインバータ100, 200, 300へ供給する。接地線31は、外部から接地端子30を介して与えられた接地電圧を第1、第2及び第3のインバータ100, 200, 300へ供給する。

【0011】

第1の入力保護回路50は、外部から信号入力端子10に与えられた正のサージ電荷を電源線21へ導くように、ダイオード51で構成されている。第2の入力保護回路60は、外部から信号入力端子10に与えられた負のサージ電荷を接地線31へ導くように、ダイオード61で構成されている。内部保護回路250は、第1の入力保護回路50により電源線21へ導かれて第2のインバータ200中のPチャネルMOSトランジスタ201から第3のインバータ300へ向けて流出した正のサージ電荷を接地線31へ導くための回路であって、第2のインバータ200の出力部と第3のインバータ300の入力部との間の接続部に介在するように半導体基板上に形成された拡散抵抗251を備えている。252は、第3のインバータ300の入力線である。

【0012】

図2は、図1の半導体装置の部分断面図である。第2のインバータ200と、内部保護回路250と、第3のインバータ300とがP型基板70上に形成されている。71及び72は、それぞれP型分離領域である。PチャネルMOSトランジスタ201は、各々N型ウェル領域211に形成されたP型拡散ソース領域212と、P型拡散ドレイン領域213と、ポリシリコンゲート電極214とにより構成されている。NチャネルMOSトランジスタ202は、各々P型ウェル領域221に形成されたN型拡散ソース領域222と、N型拡散ドレイン領域223と、ポリシリコンゲート電極224とにより構成されている。P型拡散抵抗251は、N型エピタキシャル領域261にP型拡散抵抗領域262を形成することにより構成されている。したがって、P型拡散抵抗領域262をエミッタ、N型エピタキシャル領域261をベース、P型基板70をコレクタとする寄生のPNPトランジスタが形成される。しかも、P型基板70及びP型分離領域72は、接地線31に接続されている。PチャネルMOSトランジスタ301は、各々N型ウェル領域311に形成されたP型拡散ソース領域312と、P型拡散ドレイン領域313と、ポリシリコンゲート電極314とにより構成されている。NチャネルMOSトランジスタ302は、各々P型ウェル領域321に形成されたN型拡散ソース領域322と、N型拡散ドレイン領域323と、ポリシリコンゲート電極324とにより構成されている。

【0013】

図1及び図2に示した構成を有する半導体装置によれば、電源端子20及び接地端子30が開放された状態で信号入力端子10に正のサージ電荷が与えられると、このサージ電荷を第1の入力保護回路50が電源線21へと導く。これにより、第1のインバータ100のゲート絶縁が保護される。ただし、正のサージ電荷が電源線21へ流入することにより、あたかも外部から電源電圧が電源端子20に印加されたのと同じ状態になる。したがって、第1及び第2のインバータ100, 200は入力反転動作をする。ここで、信号入力端子10に接続された信号入力線11がH(ハイ)レベルであるから、第1インバータ出力線103はL(ロー)レベル、第2インバータ出力線203はH(ハイ)レベルとなる。つまり、第2のインバータ200中のPチャネルMOSトランジスタ201が導通する。その結果、電源線21から正のサージ電荷がPチャネルMOSトランジスタ201を介して第2インバータ出力線203へ流出する。ここで、P型拡散抵抗領域262と、N型エピタキシャル領域261と、P型基板70とで形成された寄生PNPトランジスタのコレクタ・エミッタ間のブレークダウン電圧をBVCEO(ベース回路が開放)とすると、第2インバータ出力線203に接続されたP型拡散抵抗領域262の電位がBVCEOを上回った時点で当該寄生PNPトランジスタがブレークダウンする結果、サージ電荷が接地線31へバイパスされる。これにより、第3のインバータ300のゲート絶縁が保護さ

10

20

30

40

50

れる。

【 0 0 1 4 】

電源端子 2 0 及び接地端子 3 0 が開放された状態で信号入力端子 1 0 に負のサージ電荷が与えられた場合には、このサージ電荷を第 2 の入力保護回路 6 0 が接地線 3 1 へと導く。これにより、第 1 のインバータ 1 0 0 のゲート絶縁が保護される。しかも、第 1 及び第 2 のインバータ 1 0 0 , 2 0 0 が入力反転動作をすることはないので、第 3 のインバータ 3 0 0 にゲート絶縁破壊の問題が生じることはない。

【 0 0 1 5 】

なお、上記 P 型拡散抵抗 2 5 1 に代えて N 型拡散抵抗を採用することも可能である。

【 0 0 1 6 】

図 3 は、本発明に係る半導体装置の他の構成例を示す回路図である。図 3 中の内部保護回路 2 5 0 は、第 2 のインバータ 2 0 0 の出力部と接地線 3 1 との間の接続部に介在した N P N トランジスタ 2 5 3 を備えている。この N P N トランジスタ 2 5 3 のコレクタは第 2 インバータ出力線 2 0 3 に、エミッタは直接接地線 3 1 に、ベースは P 型拡散抵抗 2 5 4 を介して接地線 3 1 にそれぞれ接続されている。

10

【 0 0 1 7 】

図 4 は、図 3 の半導体装置の部分断面図である。N P N トランジスタ 2 5 3 と、P 型拡散抵抗 2 5 4 とが P 型基板 7 0 上に形成されている。2 7 1 は P 型分離領域である。N P N トランジスタ 2 5 3 は、各々 N 型エピタキシャル領域 2 7 2 に形成された N 型拡散コレクタ領域 2 7 3 と、P 型拡散ベース領域 2 7 4 と、N 型拡散エミッタ領域 2 7 5 とにより構成されている。P 型拡散抵抗 2 5 4 は、N 型エピタキシャル領域 2 7 6 に P 型拡散抵抗領域 2 7 7 を形成することにより構成されている。2 7 8 はベース配線である。

20

【 0 0 1 8 】

図 3 及び図 4 に示した構成を有する半導体装置でも、電源端子 2 0 及び接地端子 3 0 が開放された状態で信号入力端子 1 0 に正のサージ電荷が与えられると、このサージ電荷が第 1 の入力保護回路 5 0 を経由して電源線 2 1 へ流入し、この電源線 2 1 から正のサージ電荷が P チャネル M O S トランジスタ 2 0 1 を介して第 2 インバータ出力線 2 0 3 へ流出する。ここで、N P N トランジスタ 2 5 3 のコレクタ・エミッタ間のブレイクダウン電圧を B V C E R (ベース回路が抵抗接地) とすると、第 2 インバータ出力線 2 0 3 に接続された N 型拡散コレクタ領域 2 7 3 の電位が B V C E R を上回った時点で当該 N P N トランジスタ 2 5 3 がブレイクダウンする結果、サージ電荷が接地線 3 1 へバイパスされる。これにより、第 3 のインバータ 3 0 0 のゲート絶縁が保護される。

30

【 0 0 1 9 】

なお、上記 N P N トランジスタ 2 5 3 に代えて P N P トランジスタを採用することも可能である。

【 0 0 2 0 】

図 5 は、本発明に係る半導体装置の更に他の構成例を示す回路図である。図 5 中の内部保護回路 2 5 0 は、第 2 のインバータ 2 0 0 の出力部と接地線 3 1 との間の接続部に介在した N チャネル M O S トランジスタ 2 5 5 を備えている。この N チャネル M O S トランジスタ 2 5 5 のドレインは第 2 インバータ出力線 2 0 3 に、ゲート及びソースは接地線 3 1 にそれぞれ接続されている。

40

【 0 0 2 1 】

図 6 は、図 5 の半導体装置の部分断面図である。N チャネル M O S トランジスタ 2 5 5 は、各々 P 型ウェル領域 2 8 1 に形成された N 型拡散ソース領域 2 8 2 と、N 型拡散ドレイン領域 2 8 3 と、ポリシリコンゲート電極 2 8 4 とにより構成されている。

【 0 0 2 2 】

図 5 及び図 6 に示した構成を有する半導体装置でも、電源端子 2 0 及び接地端子 3 0 が開放された状態で信号入力端子 1 0 に正のサージ電荷が与えられると、このサージ電荷が第 1 の入力保護回路 5 0 を経由して電源線 2 1 へ流入し、この電源線 2 1 から正のサージ電荷が P チャネル M O S トランジスタ 2 0 1 を介して第 2 インバータ出力線 2 0 3 へ流出す

50

る。ここで、NチャネルMOSトランジスタ255のドレイン・ソース間のブレイクダウン電圧をBVDSとすると、第2インバータ出力線203に接続されたN型拡散ドレイン領域283の電位がBVDSを上回った時点で当該NチャネルMOSトランジスタ255がブレイクダウンする結果、サージ電荷が接地線31へバイパスされる。これにより、第3のインバータ300のゲート絶縁が保護される。

【0023】

なお、上記NチャネルMOSトランジスタ255に代えてPチャネルMOSトランジスタを採用することも可能である。

【0024】

上記図1、図3及び図5中の第1及び第2の入力保護回路50、60がダイオード構成に限らないことは言うまでもない。図7によれば、第1の入力保護回路50がPチャネルMOSトランジスタ52により、第2の入力保護回路60がNチャネルMOSトランジスタ62によりそれぞれ構成される。また図8によれば、第1の入力保護回路50がNPNトランジスタ53により、第2の入力保護回路60が他のNPNトランジスタ63によりそれぞれ構成される。これらNPNトランジスタ53、63のうちの少なくとも一方をPNPトランジスタに置き換えることも可能である。

10

【0025】

また、以上の説明においては第2のインバータ200の出力部と第3のインバータ300の入力部との間に内部保護回路250を挿入するものとしたが、必要に応じて更に後段の奇数段目のインバータの入力部に同様の内部保護回路を設けてもよい。インバータ100、200、300に限らず、NANDゲート、NORゲート等の、各々入力を反転させる機能を有する複数の論理回路が縦続接続された場合にも、本発明を適用できる。

20

【0026】

【発明の効果】

以上説明してきたとおり、本発明によれば、各々入力を反転させる機能を有しかつ直接又は間接に縦続接続された第1、第2及び第3の論理回路を備えた半導体装置において、第2の論理回路の出力部と第3の論理回路の入力部との間の接続部に介在して、入力保護回路により電源線へ導出されたサージ電荷に起因した前記接続部の電荷を接地線へ導く経路を有する内部保護回路を更に備えることとしたので、半導体装置の耐サージ性能が向上する。

30

【図面の簡単な説明】

【図1】本発明に係る半導体装置の構成例を示す回路図である。

【図2】図1の半導体装置の部分断面図である。

【図3】本発明に係る半導体装置の他の構成例を示す回路図である。

【図4】図3の半導体装置の部分断面図である。

【図5】本発明に係る半導体装置の更に他の構成例を示す回路図である。

【図6】図5の半導体装置の部分断面図である。

【図7】図1、図3及び図5の変形例を示す回路図である。

【図8】図1、図3及び図5の他の変形例を示す回路図である。

【符号の説明】

40

10 信号入力端子

11 信号入力線

20 電源端子

21 電源線

30 接地端子

31 接地線

50 第1の入力保護回路

51 ダイオード

52 PチャネルMOSトランジスタ

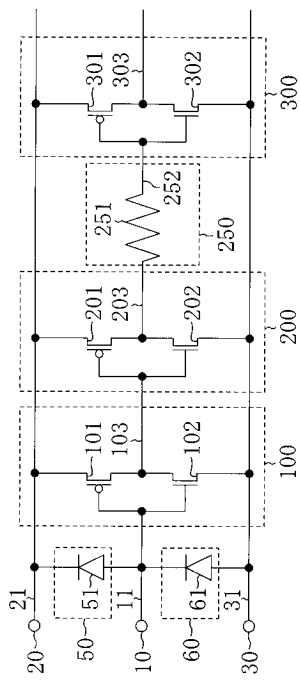
53 NPNトランジスタ

50

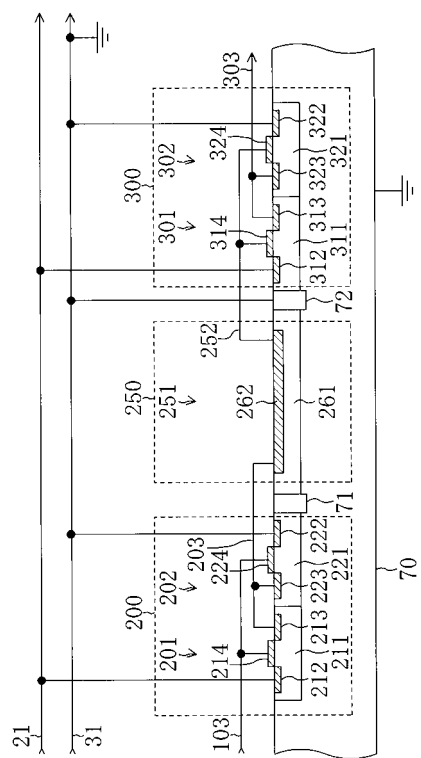
6 0	第 2 の入力保護回路	
6 1	ダイオード	
6 2	NチャネルM O Sトランジスタ	
6 3	N P Nトランジスタ	
7 0	P型基板	
7 1	P型分離領域	
7 2	P型分離領域	
1 0 0	第 1 のインバータ	
1 0 1	PチャネルM O Sトランジスタ	
1 0 2	NチャネルM O Sトランジスタ	10
1 0 3	第 1 インバータ出力線	
2 0 0	第 2 のインバータ	
2 0 1	PチャネルM O Sトランジスタ	
2 0 2	NチャネルM O Sトランジスタ	
2 0 3	第 2 インバータ出力線	
2 1 1	N型ウェル領域	
2 1 2	P型拡散ソース領域	
2 1 3	P型拡散ドレイン領域	
2 1 4	ポリシリコンゲート電極	
2 2 1	P型ウェル領域	20
2 2 2	N型拡散ソース領域	
2 2 3	N型拡散ドレイン領域	
2 2 4	ポリシリコンゲート電極	
2 5 0	内部保護回路	
2 5 1	P型拡散抵抗	
2 5 2	第 3 インバータ入力線	
2 5 3	N P Nトランジスタ	
2 5 4	P型拡散抵抗	
2 5 5	NチャネルM O Sトランジスタ	
2 6 1	N型エピタキシャル領域	30
2 6 2	P型拡散抵抗領域	
2 7 1	P型分離領域	
2 7 2	N型エピタキシャル領域	
2 7 3	N型拡散コレクタ領域	
2 7 4	P型拡散ベース領域	
2 7 5	N型拡散エミッタ領域	
2 7 6	N型エピタキシャル領域	
2 7 7	P型拡散抵抗領域	
2 7 8	ベース配線	
2 8 1	P型ウェル領域	40
2 8 2	N型拡散ソース領域	
2 8 3	N型拡散ドレイン領域	
2 8 4	ポリシリコンゲート電極	
3 0 0	第 3 のインバータ	
3 0 1	PチャネルM O Sトランジスタ	
3 0 2	NチャネルM O Sトランジスタ	
3 0 3	第 3 インバータ出力線	
3 1 1	N型ウェル領域	
3 1 2	P型拡散ソース領域	
3 1 3	P型拡散ドレイン領域	50

- 3 1 4 ポリシリコンゲート電極
- 3 2 1 P型ウェル領域
- 3 2 2 N型拡散ソース領域
- 3 2 3 N型拡散ドレイン領域
- 3 2 4 ポリシリコンゲート電極

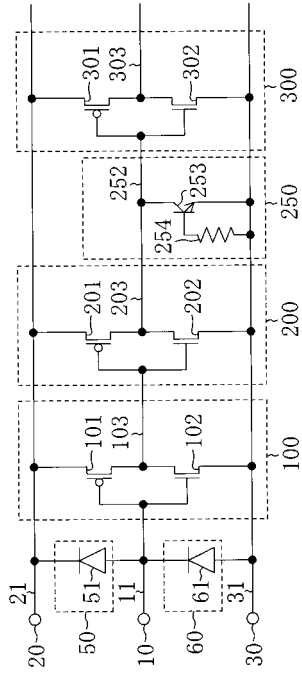
【 図 1 】



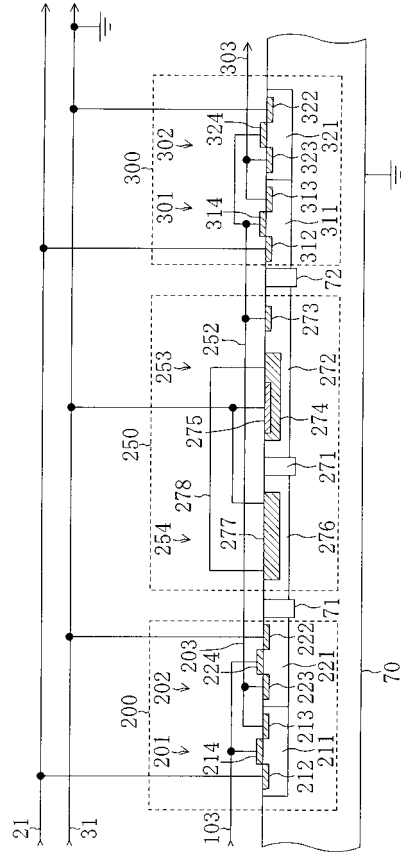
【 図 2 】



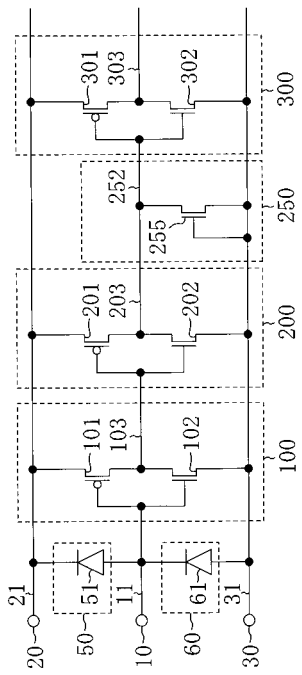
【 図 3 】



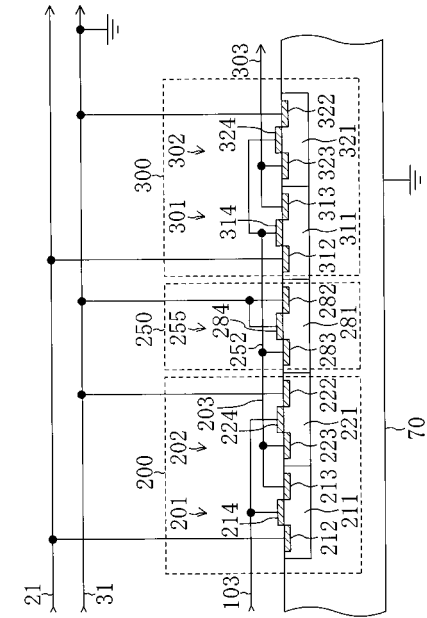
【 図 4 】



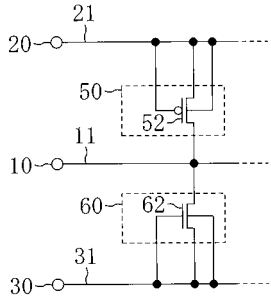
【 図 5 】



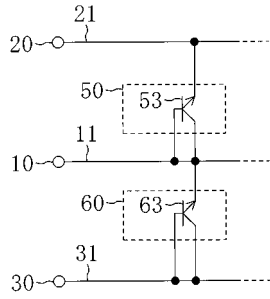
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100115510

弁理士 手島 勝

(74)代理人 100115691

弁理士 藤田 篤史

(72)発明者 田手原 健一

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 衣笠 教英

大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 棚田 一也

(56)参考文献 特開平03-060066(JP,A)

特開平02-007458(JP,A)

特開2000-243912(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 21/8249

H01L 27/04

H01L 27/06