



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0080883
(43) 공개일자 2012년07월18일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2011-0002342

(22) 출원일자 2011년01월10일

심사청구일자 2011년01월10일

(71) 출원인

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동)

(72) 발명자

정재경

인천광역시 남구 인하로 100, 인하대학교 신소재 공학부 5W354B호 (용현동)

김지인

인천광역시 남구 인하로 100, 인하대학교 신소재 공학부 (용현동)

(74) 대리인

특허법인무한

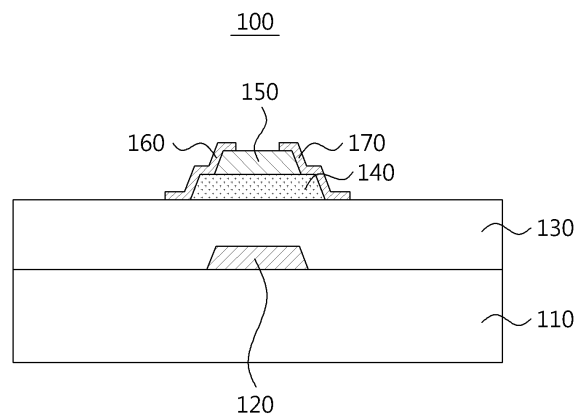
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치

(57) 요약

박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치가 개시된다. 본 발명의 일 실시예에 따른 박막 트랜지스터는 기판, 기판 상에 형성된 게이트 전극, 게이트 전극을 포함하는 상기 기판의 상부에 형성된 게이트 절연층, 게이트 절연층 상에서 채널 영역, 소스 영역 및 드레인 영역을 포함하고 티타늄인듐 주석산화물(TiInSnO)을 포함하는 산화물 반도체층, 소스 영역에 형성된 소스 전극 및 드레인 영역에 형성된 드레인 전극을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

상기 게이트 전극을 포함하는 상기 기관의 상부에 형성된 게이트 절연층;

상기 게이트 절연층 상에서 채널 영역, 소스 영역 및 드레인 영역을 포함하고 티타늄인듐주석산화물(TiInSnO)을 포함하는 산화물 반도체층;

상기 소스 영역에 형성된 소스 전극; 및

상기 드레인 영역에 형성된 드레인 전극
을 포함하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 티타늄인듐주석산화물(TiInSnO)은,

0.1at% 내지 10at%의 농도의 티타늄(Ti)이 도핑된 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 산화물 반도체층은 10nm 내지 200nm의 두께를 갖는 박막 트랜지스터.

청구항 4

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함하는 상부에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 제공하며, 티타늄인듐주석산화물(TiInSnO)을 포함하는 산화물 반도체층을 형성하는 단계; 및

상기 소스 영역 상에 소스 전극을 형성하고, 상기 드레인 영역 상에 드레인 전극을 형성하는 단계
를 포함하는 박막 트랜지스터의 제조 방법.

청구항 5

제4항에 있어서,

상기 산화물 반도체층을 형성하는 단계는,

인듐주석산화물(ITO) 타겟 및 티타늄(Ti) 타겟을 동시 스퍼터링하여 상기 게이트 절연층 상에 상기 티타늄인
듐주석산화물(TiInSnO)을 증착하는 박막 트랜지스터의 제조 방법.

청구항 6

제5항에 있어서,

상기 산화물 반도체층을 형성하는 단계는,

상기 티타늄(Ti) 타겟을 0.1at% 내지 10at%의 농도로 도핑시키는 박막 트랜지스터의 제조 방법.

청구항 7

제5항에 있어서,

상기 산화물 반도체층을 형성하는 단계는,

상기 게이트 절연층 상에 증착된 상기 티타늄인듐주석산화물(TiInSnO)을 200℃ 내지 500℃에서 어닐링(annealing) 처리하는 단계

를 포함하는 박막 트랜지스터의 제조 방법.

청구항 8

제5항에 있어서,

상기 산화물 반도체층을 형성하는 단계는,

상기 인듐주석산화물(ITO) 타겟 및 티타늄(Ti) 타겟을 100W의 DC 또는 RF 파워로 상기 동시 스퍼터링하는 박막 트랜지스터의 제조 방법.

청구항 9

제4항에 있어서,

상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는,

상기 산화물 반도체층 상의 보호층을 형성하는 단계

상기 산화물 반도체층의 상기 소스 영역 및 상기 드레인 영역이 노출되도록 상기 보호층을 식각하는 단계;

상기 노출된 소스 영역 및 드레인 영역을 포함하는 상기 보호층 상에 도전성 물질을 형성하는 단계; 및

상기 도전성 물질을 패터닝하여 상기 소스 영역에 상기 소스 전극을 형성하고, 상기 드레인 영역에 상기 드레인 전극을 형성하는 단계

를 포함하는 박막 트랜지스터의 제조 방법.

청구항 10

복수의 제1 도전 라인 및 복수의 제2 도전 라인에 의해 복수의 화소가 정의되고, 상기 복수의 화소 각각에 공급되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제1 전극이 형성된 제1 기판;

제2 전극이 형성된 제2 기판; 및

상기 제1 전극과 상기 제2 전극 사이의 밀폐된 공간에 주입된 액정층

을 포함하고,

상기 박막 트랜지스터는,

상기 제1 기판 상에 형성된 게이트 전극;

상기 게이트 전극을 포함하는 상부에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성되어 채널 영역, 소스 영역 및 드레인 영역을 제공하고, 티타늄인듐주석산화물(TiInSnO)을 포함하는 산화물 반도체층;

상기 소스 영역 상에 형성된 소스 전극; 및

상기 드레인 영역 상에 형성된 드레인 전극

을 포함하는 박막 트랜지스터를 구비한 평판 표시 장치.

청구항 11

제10항에 있어서,

상기 티타늄인듐주석산화물(TiInSnO)은,

0.1at% 내지 10at%의 농도의 티타늄(Ti)이 도핑된 박막 트랜지스터를 구비한 평판 표시 장치.

청구항 12

제10항에 있어서,

상기 산화물 반도체층은 10nm 내지 200nm의 두께를 갖는 평판 표시 장치.

명세서

기술 분야

[0001] 본 발명의 실시예들은 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치에 관한 것으로, 보다 상세하게는, 고이동도를 갖는 금속 산화물 반도체층을 포함하는 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치에 관한 것이다.

[0002]

배경 기술

[0003] 일반적으로 박막 트랜지스터(Thin Film Transistor)는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 활성층과, 채널 영역 상부에 형성되며 게이트 절연막에 의해 활성층과 전기적으로 절연되는 게이트 전극으로 이루어진다. 이 같은 박막 트랜지스터의 활성층은 대개 비정질 실리콘(amorphous silicon)이나 폴리 실리콘(poly-silicon)과 같은 반도체 물질로 형성되는데, 활성층이 비정질 실리콘으로 형성되면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어려우며, 폴리 실리콘으로 형성되면 이동도는 높지만 문턱전압이 불균일하여 별도의 보상 회로가 부가되어야 한다.

[0004] 최근 금속 산화물 반도체를 이용한 박막 트랜지스터가 연구 및 개발되고 있다. 금속 산화물 반도체를 이용한 박막 트랜지스터는 대면적화가 가능하고, 고이동도를 가짐과 동시에 제조 비용이 낮다는 장점이 있다. 구체적으로, 대면적 증착 방법인 스퍼터링(sputtering) 방식으로 산화물 반도체를 증착하기 때문에 대면적화가 가능하고, 상온에서 증착하더라도 10cm²/Vs 이상의 고이동도를 구현할 수 있어 기존의 비정질 실리콘 반도체를 이용하는 것에 비해 10배 이상 우수한 전류 공급 능력을 갖는다. 또한, 기존의 비정질 실리콘 반도체를 이용한 박막 트랜지스터의 공정 라인에서 제조할 수 있으므로, 비정질 실리콘 반도체를 이용한 박막 트랜지스터와 동등한 수준의 제조 비용을 가질 수 있다.

[0005] 한편, 기존에는 금속 산화물 반도체의 물질로, 갈륨(Ga)을 포함하는 물질을 이용하였다. 예를 들어, 인듐갈륨아연산화물(InGaZnO)을 이용하였다. 그러나, 갈륨은 고가이며, 지구 매장량이 매우 작은 희귀원소이므로 금속 산화물 반도체의 재료로 이용하는데 한계가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 티타늄인듐산화주석(TiInSnO)을 포함하는 금속 산화물 반도체를 활성층으로 이용함으로써, 고이동도를 가지며 제조 비용을 감소시킬 수 있는 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치를 제공하기 위한 것이다.

과제의 해결 수단

[0007] 이상과 같은 목적을 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터는 기판, 상기 기판 상에 형성된 게이트 전극, 상기 게이트 전극을 포함하는 상기 기판의 상부에 형성된 게이트 절연층, 상기 게이트 절연층 상에서 채널 영역, 소스 영역 및 드레인 영역을 포함하고 티타늄인듐주석산화물(TiInSnO)을 포함하는 산화물 반도체층, 상기 소스 영역에 형성된 소스 전극 및 상기 드레인 영역에 형성된 드레인 전극을 포함한다.

[0008] 일측에 따르면, 상기 티타늄인듐주석산화물(TiInSnO)은 0.1at% 내지 10at%의 농도의 티타늄(Ti)이 도핑될 수 있다.

[0009] 일측에 따르면, 상기 산화물 반도체층은 10nm 내지 200nm의 두께를 가질 수 있다.

[0010] 한편, 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법은 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함하는 상부에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 제공하며 티타늄인듐주석산화물(TiInSnO)을 포함하는 산화물 반도체층을 형성하는 단계 및 상기 소스 영역 상에 소스 전극을 형성하고, 상기 드레인 영역 상에 드레인 전극을 형성하는 단계를 포함한다.

[0011] 일측에 따르면, 상기 산화물 반도체층을 형성하는 단계는, 인듐주석산화물(ITO) 타겟 및 티타늄(Ti) 타겟을 동시 스퍼터링하여 상기 게이트 절연층 상에 상기 티타늄인듐주석산화물(TiInSnO)을 증착할 수 있다.

[0012] 일측에 따르면, 상기 산화물 반도체층을 형성하는 단계는 상기 티타늄(Ti) 타겟을 0.1at% 내지 10at%의 농도로 도핑시킬 수 있다.

[0013] 일측에 따르면, 상기 산화물 반도체층을 형성하는 단계는 상기 게이트 절연층 상에 증착된 상기 티타늄인듐주석산화물(TiInSnO)을 200℃ 내지 500℃에서 어닐링(annealing) 처리하는 단계를 포함할 수 있다.

[0014] 일측에 따르면, 상기 산화물 반도체층을 형성하는 단계는 상기 인듐주석산화물(ITO) 타겟 및 티타늄(Ti) 타겟을 100W의 DC 또는 RF 파워로 상기 동시 스퍼터링할 수 있다.

[0015] 일측에 따르면, 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는 상기 산화물 반도체층 상의 보호층을 형성하는 단계, 상기 산화물 반도체층의 상기 소스 영역 및 상기 드레인 영역이 노출되도록 상기 보호층을 식각하는 단계, 상기 노출된 소스 영역 및 드레인 영역을 포함하는 상기 보호층 상에 도전성 물질을 형성하는 단계 및 상기 도전성 물질을 패터닝하여 상기 소스 영역에 상기 소스 전극을 형성하고, 상기 드레인 영역에 상기 드레인 전극을 형성하는 단계를 포함할 수 있다.

[0016] 한편, 본 발명의 일 실시예에 따른 박막 트랜지스터를 구비한 평판 표시 장치는 복수의 제1 도전 라인 및 복수의 제2 도전 라인에 의해 복수의 화소가 정의되고, 상기 복수의 화소 각각에 공급되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제1 전극이 형성된 제1 기판, 제2 전극이 형성된 제2 기판 및 상기 제1 전극과 상기 제2 전극 사이의 밀폐된 공간에 주입된 액정층을 포함하고, 상기 박막 트랜지스터는 상기 제1 기판 상에 형성된 게이트 전극, 상기 게이트 전극을 포함하는 상부에 형성된 게이트 절연층, 상기 게이트 절연층 상에 형성되어 채널 영역, 소스 영역 및 드레인 영역을 제공하고, 티타늄인듐주석산화물(TiInSnO)을 포함하는 산화물 반도체층, 상기 소스 영역 상에 형성된 소스 전극 및 상기 드레인 영역 상에 형성된 드레인 전극을 포함한다.

[0017] 일측에 따르면, 상기 티타늄인듐주석산화물(TiInSnO)은 0.1at% 내지 10at%의 농도의 티타늄(Ti)이 도핑될 수 있다.

[0018] 일측에 따르면, 상기 산화물 반도체층은 10nm 내지 200nm의 두께를 가질 수 있다.

발명의 효과

- [0019] 본 발명의 실시예들에 따르면, 박막 트랜지스터는 티타늄인듐산화주석(TiInSnO)을 포함하는 금속 산화물 반도체를 활성층으로 이용함으로써, 고이동도를 가지며 제조 비용을 감소시킬 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 구조를 나타내는 단면도이다.
 도 2 및 도 3은 본 발명의 다른 실시예들에 따른 박막 트랜지스터의 구조를 나타내는 단면도이다.
 도 4 내지 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.
 도 7은 본 발명에 따른 박막 트랜지스터를 구비한 평판 표시 장치를 설명하기 위한 사시도이다.
 도 8는 본 발명에 따른 박막 트랜지스터를 구비한 평판 표시 장치의 다른 실시예를 나타내는 평면도이다.
 도 9는 도 8에 도시된 유기전계발광소자를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하 첨부된 도면을 참조하여 본 발명의 실시 예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 바람직한 실시 예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 구성을 나타낸다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 구조를 나타내는 단면도이다. 도 1을 참조하면, 박막 트랜지스터(100)는 기판(110), 게이트 전극(120), 게이트 절연층(130), 산화물 반도체층(140), 보호층(150), 소스 전극(160) 및 드레인 전극(170)을 포함한다.
- [0023] 도 1에 도시된 박막 트랜지스터(100)는 게이트 전극(120), 소스 전극(160) 및 드레인 전극(170) 중 게이트 전극(120)이 소스 전극(160)과 드레인 전극(170)을 기준으로 아래에 위치하는 바텀(bottom) 게이트 구조를 갖는다.
- [0024] 게이트 전극(120)은 절연 특성을 갖는 기판(110) 상의 일 영역에 형성된다. 도 1에 도시되어 있지는 않으나, 기판(110)과 게이트 전극(120) 사이에 버퍼층이 더 포함될 수 있다.
- [0025] 게이트 절연층(130)은 게이트 전극(120) 상에 형성되어 게이트 전극(120)과, 게이트 절연층(130) 상부에 형성된 구성들 간을 전기적으로 절연한다.
- [0026] 산화물 반도체층(140)은 게이트 절연층(130) 상에 형성되어 채널 영역, 소스 영역 및 드레인 영역을 제공한다. 산화물 반도체층(140)은 인듐주석산화물(ITO)에 티타늄(Ti)이 도핑된 비정질의 티타늄인듐주석산화물(TiInSnO)을 포함한다. 티타늄인듐주석산화물(TiInSnO)에서 티타늄(Ti)의 도핑 농도는 0.1at% 내지 10at%가 될 수 있다.
- [0027] 소스 전극(160)은 산화물 반도체층(140) 상의 소스 영역에 형성되고, 드레인 전극(170)은 산화물 반도체층(140)의 드레인 영역에 형성된다. 소스 전극(160) 및 드레인 전극(170)은 산화물 반도체층(140)과 오믹 접촉한다.
- [0028] 보호층(150)은 소스 전극(160)과 드레인 전극(170) 사이에 노출된 산화물 반도체층(140) 상에 형성된다. 이때, 보호층(150)은 티타늄 산화물(TiO_x)을 포함할 수 있다. 보호층(150)은 에치 스탑층(etch-stop layer)으로, 산화물 반도체층(140) 상에 형성되어 산화물 반도체층(140)을 보호한다. 보호층(150)은 소스 전극(160)과 드레인 전극(170)을 형성하는 과정에서 산화물 반도체층(140)의 채널 영역이 손상되는 것을 방지한다.

- [0029] 구체적으로, 산화물 반도체층(140) 상에 보호층(150)을 형성하고 난 후, 산화물 반도체층(140)의 소스 영역 및 드레인 영역이 노출되도록 보호층(150)을 식각한다. 그리고, 노출된 소스 영역 및 드레인 영역을 포함하는 보호층(150) 상에 도전성 물질을 형성하고, 도전성 물질을 패터닝하여 소스 영역에 소스 전극(160)을 형성하고, 드레인 영역에 드레인 전극(170)을 형성한다.
- [0030] 산화물 반도체층(140) 상에 보호층(150)이 형성되지 않은 경우, 도전성 물질을 패터닝하는 과정에서 산화물 반도체층(140)의 채널 영역이 손상될 수 있다. 그러나, 도 1에 도시된 바와 같이, 보호층(150)을 형성함에 따라 채널 영역이 손상되는 것을 방지할 수 있다.
- [0031] 도 2 및 도 3는 본 발명의 다른 실시예들에 다른 박막 트랜지스터의 구조를 나타내는 단면도이다. 구체적으로, 도 2는 게이트 전극(260)이 소스 전극(220)과 드레인 전극(230)을 기준으로 위에 위치하는 탑(top) 게이트 구조를 갖는 박막 트랜지스터(200)의 구조를 나타내는 단면도이다.
- [0032] 절연 특성을 갖는 기판(210) 상에 일정 거리 이격된 소스 전극(220) 및 드레인 전극(230)이 형성된다.
- [0033] 산화물 반도체층(240)은 기판(210) 상에서 소스 전극(220)과 드레인 전극(230)을 포함하는 영역에 형성된다. 산화물 반도체층(240)은 채널 영역, 소스 영역 및 드레인 영역을 제공하고, 인듐주석산화물(ITO)에 티타늄(Ti)이 도핑된 비정질의 티타늄인듐주석산화물(TiInSnO)을 포함한다.
- [0034] 게이트 절연층(250)은 산화물 반도체층(240) 상에 형성되고, 게이트 전극(260)은 게이트 절연층(250) 상에 형성된다.
- [0035] 도 3은 게이트 전극(310)이 소스 전극(330) 및 드레인 전극(340)과 한 평면 상에 위치하는 코플래너(coplanar) 구조를 갖는 박막 트랜지스터(300)의 구조를 나타내는 단면도이다.
- [0036] 절연 특성을 갖는 기판(310) 상에 일정 거리 이격된 소스 전극(330) 및 드레인 전극(340)이 형성된다.
- [0037] 산화물 반도체층(320)은 기판(310) 상에서 소스 전극(330)과 드레인 전극(340)을 포함하는 영역에 형성된다. 산화물 반도체층(320)은 채널 영역, 소스 영역 및 드레인 영역을 제공하고, 인듐주석산화물(ITO)에 티타늄(Ti)이 도핑된 비정질의 티타늄인듐주석산화물(TiInSnO)을 포함한다.
- [0038] 소스 전극(330) 및 드레인 전극(340)은 산화물 반도체층(320) 상에 형성되되, 서로 일정 거리 이격되어 형성된다.
- [0039] 게이트 절연층(350)은 산화물 반도체층(320) 상에 형성되고, 소스 전극(330)과 드레인 전극(340) 간의 이격 영역에 형성된다. 게이트 전극(360)은 게이트 절연층(350) 상에 형성된다.
- [0040] 도 4 내지 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.
- [0041] 도 4를 참조하면, 박막 트랜지스터의 제조 방법은 절연 특성을 갖는 기판(410) 상에 게이트 전극(420) 및 게이트 절연층(430)을 형성하는 과정을 포함한다.
- [0042] 우선, 투명 유리 기판(410) 상의 일 영역에 몰리브덴(Mo)을 약 200nm의 두께로 형성하여 게이트 전극(420)을 형성한다. 이때, 게이트 전극(420)은 몰리브덴(Mo) 외에 몰리브덴 텅스텐(MoW)과 같은 몰리브덴 합금, 또는 알루미늄(Al) 등의 금속 물질로 형성될 수도 있다.
- [0043] 다음, 게이트 전극(420)을 포함하는 기판(410)의 상부에 게이트 절연층(430)을 형성한다. 게이트 절연층(430)은 실리콘 산화물(SiO₂) 또는 실리콘 질화물(SiNx)로 형성될 수 있으며, 약 120nm의 두께로 형성될 수 있다.
- [0044] 도 5를 참조하면, 박막 트랜지스터의 제조 방법은 게이트 절연층(430) 상에 산화물 반도체층(440)을 형성하는 과정을 포함한다. 도 5에 도시된 바와 같이, 게이트 전극(420) 및 게이트 절연층(430)이 형성된 기판(410)을 스퍼터링 챔버에 장착한 상태에서 인듐주석산화물(ITO) 타겟 및 티타늄(Ti) 타겟을 동시 스퍼터링하여 게이트 절연층(430) 상에 티타늄인듐주석산화물(TiInSnO)을 증착한다. 이때, 100W의 DC 또는 RF 파워로 동시 스퍼터

링을 수행할 수 있다. 이 과정에 의해 게이트 절연층(430) 상에 티타늄인듐주석산화물을 포함하는 산화물 반도체층(440)이 형성된다. 이때, 산화물 반도체층(440)은 10nm 내지 200nm의 두께를 가질 수 있다.

[0045] 또한, 산화물 반도체층(440)을 형성하는 과정에서, 티타늄(Ti) 타겟에 인가되는 RF 파워 또는 타겟의 몰비 등을 조절하여 티타늄(Ti)을 0.1at% 내지 10at%의 농도로 도핑할 수 있다.

[0046] 산화물 반도체층(440)이 형성된 후, 산화물 반도체층(440)을 200℃ 내지 500℃에서 어닐링(annealing) 처리한다. 이 같은 과정에 의해 형성된 산화물 반도체층(440)은 채널 영역, 소스 영역 및 드레인 영역을 제공한다.

[0047] 도 6을 참조하면, 박막 트랜지스터의 제조 방법은 산화물 반도체층(440)의 소스 영역 상에 소스 전극(450)을 형성하고, 드레인 영역 상에 드레인 전극(460)을 형성하는 과정을 포함한다. 즉, 산화물 반도체층(440)의 상부에 도전층을 형성하고, 이 도전층을 패터닝하여 소스 영역과 접촉하는 소스 전극(450), 그리고 드레인 영역과 접촉하는 드레인 전극(460)을 형성한다.

[0048] 소스 전극(450)과 드레인 전극(460) 형성을 위한 도전층 형성 전에, 상기 산화물 반도체층(440) 상에 보호층(미도시)을 형성하는 과정을 더 포함할 수 있다.

[0049] 도 4 내지 도 6에 도시된 과정에 따라 제조된 박막 트랜지스터(400)는 삼성분계의 산화물 반도체층(440)을 포함한다. 즉, 산화물 반도체층(440)은 인듐주석산화물(ITO)에 티타늄(Ti)을 도핑한 형태의 티타늄인듐주석산화물(TiInSnO)을 포함한다.

[0050] 산화물 반도체층(440)을 포함하는 박막 트랜지스터(400)는 산화물 반도체층(440)은 $13.4\text{cm}^2/\text{Vs}$ 의 이동도, 0.25V/decade 의 S.S(subthreshold swing), 5.3V 의 문턱전압, 1.1×10^8 의 전류 온/오프 비율, $5.8 \times 10^{11}\text{cm}^{-2}$ 의 D_{it} 및 $5.0 \times 10^{17}\text{eV}^{-1}\text{cm}^{-3}$ 의 N_{ss} 특성을 갖는다.

[0051] 한편, 기존에, 인듐주석산화물(ITO)은 $1e20\text{cm}^{-3}$ 이상의 전자 농도를 가지며, $20\text{cm}^2/\text{Vs}$ 의 이동도를 갖는 것으로, 전기 전도도 특성이 좋다. 그러나, 채널 영역을 제공하는 산화물 반도체층에 적용하기 위해서는 $1e15\text{cm}^{-3}$ 내지 $1e18\text{cm}^{-3}$ 수준의 전자 농도가 적합하므로, 인듐주석산화물(ITO)은 높은 전자 농도로 인해 산화물 반도체층에 적용하는 것이 어려웠다.

[0052] 본 발명의 실시예들에 따른 산화물 반도체층(440)은 인듐주석산화물(ITO)에, 자유전자의 생성을 억제하는 티타늄 산화물(TiO_2)이 포함된 티타늄인듐주석산화물(TiInSnO)로 이루어진다. 따라서, 산화물 반도체층(440)은 자유전자 생성이 억제되어 전자 농도가 낮아져 채널 영역을 제공하는데 적합한 수준이 된다.

[0053] 또한, 기존에, 인듐주석산화물(ITO)에 갈륨(Ga)을 도핑하여 산화물 반도체층을 형성하는 경우와 비교할 때, 본 발명의 실시예들은 인듐주석산화물(ITO)에 티타늄(Ti)을 도핑하여 산화물 반도체층(440)을 형성하는 것으로, 이동도를 유지하면서, 제조 비용을 감소할 수 있다. 구체적으로, 갈륨은 고가이고 지구 매장량이 매우 작은 희귀원소이므로 산화물 반도체층(440)의 재료로 이용하는데 한계가 있다. 따라서, 본 발명의 실시예에서 제공하는 바와 같이 저비용의 티타늄을 산화물 반도체층(440)의 재료로 이용함으로써, 재료 보급이 용이하고 제조 비용을 감소시킬 수 있다.

[0054] 도 7은 본 발명에 따른 박막 트랜지스터를 구비한 평판 표시 장치를 설명하기 위한 사시도로, 화상을 표시하는 표시 패널(700)을 중심으로 설명한다.

[0055] 표시 패널(700)은 서로 대향하도록 배치된 제1 기판(710)과 제2 기판(720), 제1 기판(710)과 제2 기판(720) 사이에 배치된 액정층(730)을 포함하고, 기판(710)에 매트릭스 형태로 배열된 복수의 게이트 선(711)과 데이터 선(712)에 의해 정의되는 화소 영역(713)을 포함한다.

[0056] 또한, 표시 패널(700)에서, 복수의 게이트 선(711)과 데이터 선(712)이 교차되는 부분의 제1 기판(710)에는 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터(714) 및 박막 트랜지스터(714)와 연결되는 화소 전극(715)이 형성된다. 여기서 박막 트랜지스터(714)는 도 1에 도시된 것과 같은 구조를 가질 수 있다. 즉, 티타늄인듐주석산화물(TiInSnO)을 포함하는 산화물 반도체층(140)을 포함할 수 있다.

- [0057] 도 7에 도시된 표시 패널(700)의 제조 방법은 우선, 제2 기관(720)에 컬러 필터(721) 및 공통 전극(722)을 형성하고, 제1 기관(710)과 제2 기관(720) 각각의 배면에 제1 및 제2 편광판(740, 750)을 형성한 후, 제1 편광판(740)의 하부에는 광원으로 백 라이트(미도시)를 배치시킨다.
- [0058] 또한, 표시 패널(700)의 화소 영역(713) 주변에는 표시 패널(700)을 구동시키기 위한 구동부(LCD Drive IC, 미도시)가 실장된다. 구동부는 외부로부터 제공되는 전기적 신호를 주사 신호 및 데이터 신호로 변환하여 게이트 선(711)과 데이터 선(712)으로 공급한다.
- [0059] 도 8는 본 발명에 따른 박막 트랜지스터를 구비한 평판 표시 장치의 다른 실시예를 나타내는 평면도로, 화상을 표시하는 표시 패널(800)을 중심으로 설명한다. 또한, 도 9는 도 8에 도시된 유기전계발광소자를 설명하기 위한 단면도이다.
- [0060] 도 8을 참조하면, 기관(810)은 화소 영역(820)과, 화소 영역(820)을 둘러싸는 비화소 영역(830)으로 정의된다. 기관(810)에서 화소 영역(820)에는 주사 라인(821) 및 데이터 라인(822) 사이에 매트릭스 방식으로 연결된 다수의 유기전계발광소자(900)가 형성되고, 비화소 영역(830)에는 화소 영역(820)의 주사 라인(821) 및 데이터 라인(822)으로부터 연장된 주사 라인(821) 및 데이터 라인(822), 유기전계발광소자(900)의 동작을 위한 전원공급라인(미도시)이 형성되고, 패드(823)를 통해 외부로부터 제공된 신호를 처리하여 주사 라인(821) 및 데이터 라인(822)으로 공급하는 주사 구동부(831) 및 데이터 구동부(832)가 형성된다.
- [0061] 도 9를 참조하면, 유기전계발광소자(900)는 애노드 전극(920) 및 캐소드 전극(940)과, 애노드 전극(920) 및 캐소드 전극(940) 사이에 형성된 유기 박막층(931)으로 이루어진다. 유기 박막층(931)은 정공 수송층, 유기 발광층 및 전자 수송층이 적층된 구조로 형성되며, 정공 주입층과 전자 주입층이 더 포함될 수 있다. 또한, 유기전계발광소자(900)의 동작을 제어하기 위한 박막 트랜지스터와, 신호를 유지시키기 위한 캐패시터가 더 포함될 수 있다.
- [0062] 박막 트랜지스터는 도 1과 같은 구조를 가지며, 도 4 내지 도 6에 도시된 제조 방법에 따라 제조될 수 있다.
- [0063] 이하에서는 도 8 및 도 9를 이용하여 박막 트랜지스터를 포함하는 유기전계 발광 소자(900)를 자세하게 설명한다.
- [0064] 기관(810) 상에는 게이트 전극(120)이 형성된다. 이때, 화소 영역(820)에는 게이트 전극(120)과 연결되는 주사 라인(821)이 형성되고, 비화소 영역(830)에는 화소 영역(820)의 주사 라인(821)으로부터 연장되는 주사 라인(821) 및 외부로부터 신호를 제공받기 위한 패드(823)가 형성된다.
- [0065] 또한, 게이트 전극(120)을 포함하는 상부는 게이트 절연층(130)에 의해 게이트 전극(120)과 전기적으로 절연되고, 게이트 절연층(130)의 상부에는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층(140)이 형성된다. 산화물 반도체층(140)은 비정질의 티타늄인듐주석산화물(TiInSnO)을 포함한다.
- [0066] 산화물 반도체층(140) 상에는 소스 영역 및 드레인 영역과 접촉되는 소스 전극(160) 및 드레인 전극(170)이 형성된다. 이때, 화소 영역(820)에는 소스 전극(160) 및 드레인 전극(170)과 연결되는 데이터 라인(822)이 형성되고, 비화소 영역(830)에는 화소 영역(820)의 데이터 라인(822)으로부터 연장되는 데이터 라인(822) 및 외부로부터 신호를 제공받기 위한 패드(823)가 형성된다.
- [0067] 도시되어 있지 않으나, 소스 전극(160) 및 드레인 전극(170)을 포함하는 상부에는 보호막(910)이 형성되고, 보호막(910)에는 소스 전극(160) 또는 드레인 전극(170)이 노출되도록 비아홀이 형성된다. 보호막(910)은 절연 및 평탄화를 위해 다층 구조로 형성될 수 있다.
- [0068] 비아홀을 통해 소스 전극(160) 또는 드레인 전극(170)과 연결되는 애노드 전극(920)이 형성되고, 애노드 전극(920)의 일부 영역 상이 노출되도록 보호막(910) 상에 화소 정의막(930)이 형성된다. 또한, 노출된 애노드 전극(920) 상에 유기 박막층(931)이 형성되고, 유기 박막층(931)을 포함하는 화소 정의막(930) 상에 캐소드 전극(170)이 형성된다.
- [0069] 도시하고 있지 않으나, 유기전계발광소자(900)가 형성된 기관(810) 상부에는 화소 영역(820)을 밀봉시키기 위한 봉지 기관이 배치되며, 밀봉재에 의해 봉지 기관과 기관(810)이 합착되어 표시 패널(800)을 완성할 수 있다.

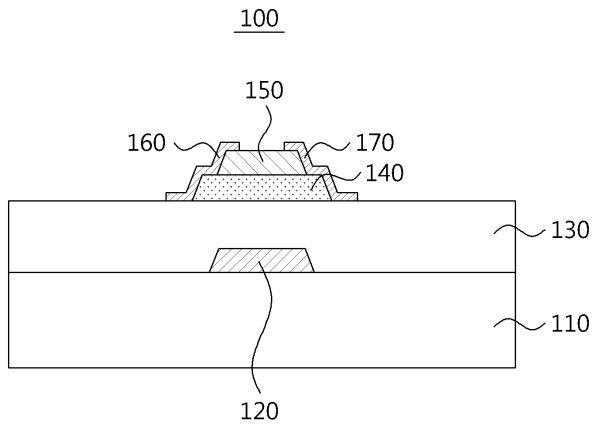
[0070] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

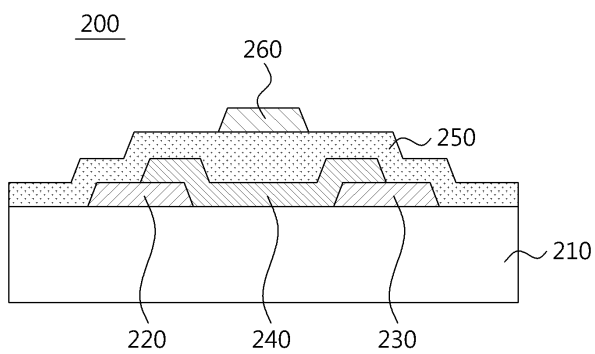
[0071] 100, 200, 300, 400 : 박막 트랜지스터
120, 260, 360, 420 : 게이트 전극
140, 240, 320, 440 : 산화물 반도체층
160, 220, 330, 450 : 소스 전극
170, 230, 340, 460 : 드레인 전극

도면

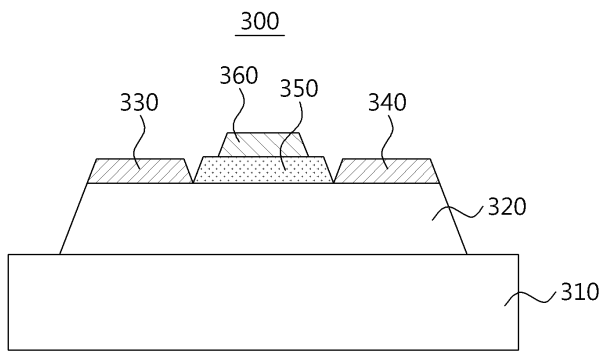
도면1



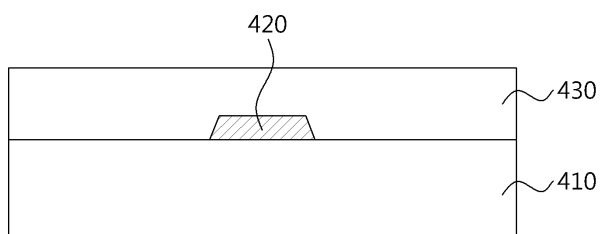
도면2



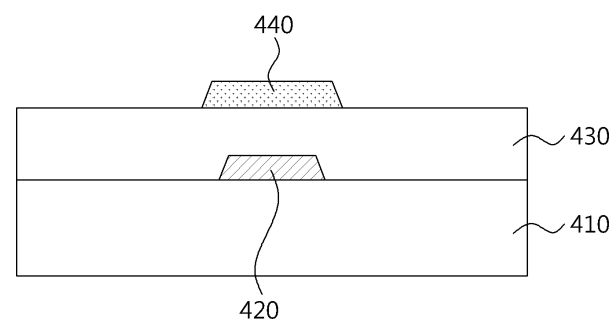
도면3



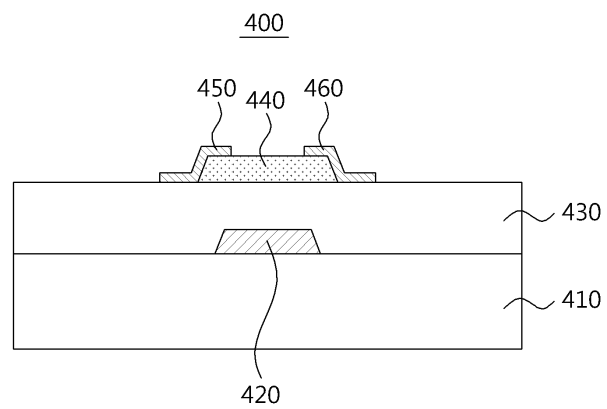
도면4



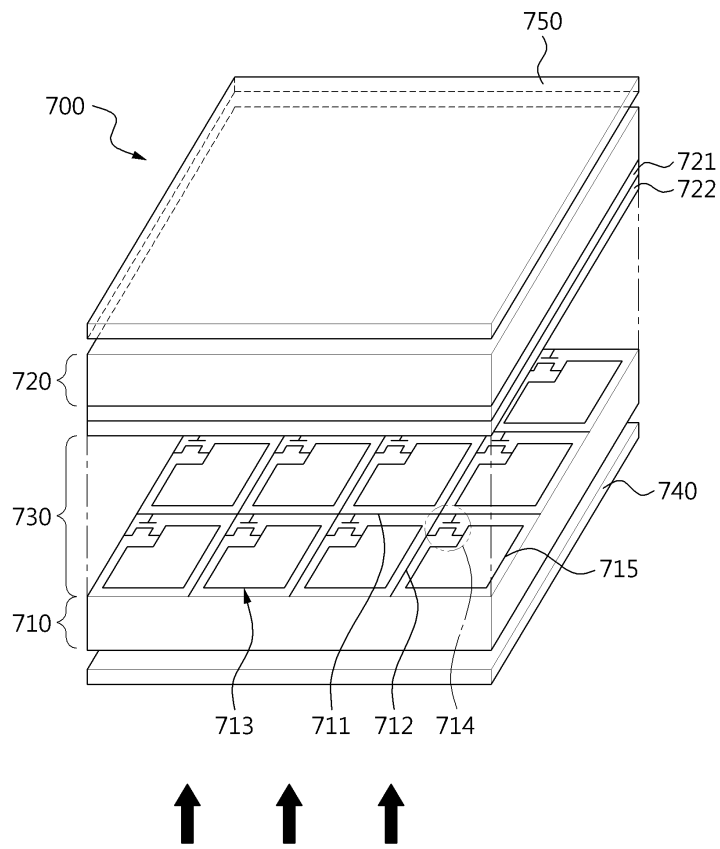
도면5



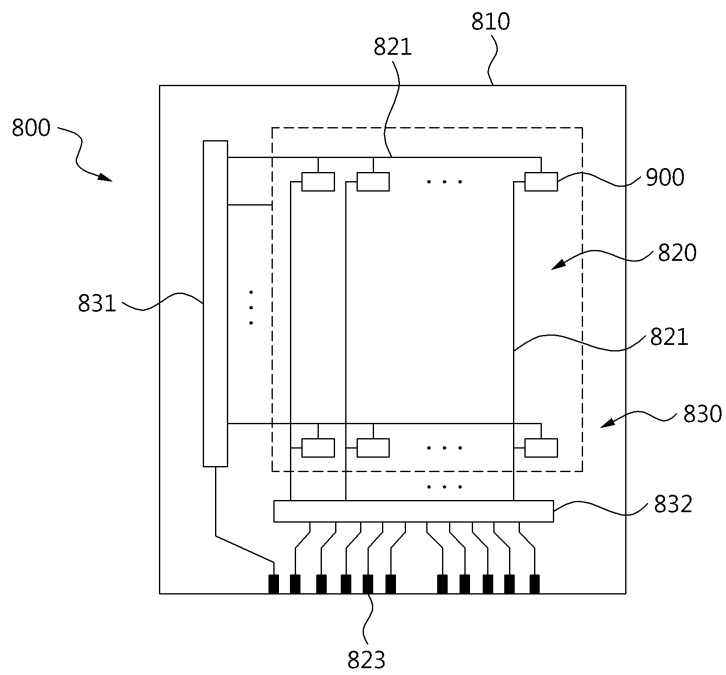
도면6



도면7



도면8



도면9

