

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-294533
(P2005-294533A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int.Cl. ⁷ H01L 29/786	F I H01L 29/78 616V H01L 29/78 626C H01L 29/78 616S	テーマコード (参考) 5F110
--	--	----------------------

審査請求 有 請求項の数 5 O L (全 12 頁)

(21) 出願番号 (22) 出願日	特願2004-107544 (P2004-107544) 平成16年3月31日 (2004. 3. 31)	(71) 出願人 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100083806 弁理士 三好 秀和 (74) 代理人 100100712 弁理士 岩▲崎▼ 幸邦 (74) 代理人 100100929 弁理士 川又 澄雄 (74) 代理人 100108707 弁理士 中村 友之 (74) 代理人 100095500 弁理士 伊藤 正和 (74) 代理人 100101247 弁理士 高橋 俊一
-----------------------	--	--

最終頁に続く

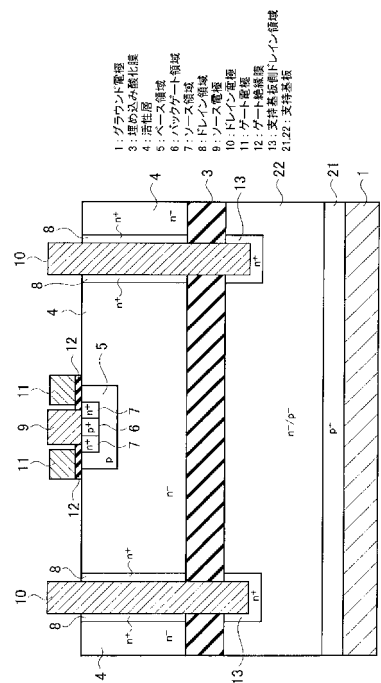
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】低オン抵抗化と高耐圧を同時に実現する半導体装置を提供する。

【解決手段】埋め込み酸化膜3と、埋め込み酸化膜上に配置された活性層4と、活性層表面近傍に配置されたベース領域5と、ベース領域内に配置された第1主電極領域7と、活性層の表面から埋め込み酸化膜の内部まで若しくは突き抜けて形成された第2主電極領域8と、ベース領域の表面近傍に配置されたゲート絶縁膜12と、ゲート絶縁膜上に配置されたゲート電極11と、第1主電極領域に電氣的に接触する第1主電極9と、第2主電極領域に電氣的に接触する第2主電極10と、グラウンド電極1と、グラウンド電極上に電氣的に接触しかつ、埋め込み酸化膜との間に介在して配置される支持基板21、22とを備え、支持基板側に空乏層を伸ばすことによって、電界集中を緩和し高耐圧及び低オン抵抗化を実現する半導体装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に配置された埋め込み絶縁膜と、
前記埋め込み絶縁膜上に配置された活性層と、
前記活性層表面近傍に配置されたベース領域と、
前記ベース領域内に配置された第 1 主電極領域と、
前記活性層の表面から前記埋め込み絶縁膜の表面まで若しくは突き抜けて形成された第 2 主電極領域と、
前記ベース領域の表面近傍に配置されたゲート絶縁膜と、
前記ゲート絶縁膜上に配置されたゲート電極と、
前記第 1 主電極領域に電氣的に接触する第 1 主電極と、
前記第 2 主電極領域に電氣的に接触する第 2 主電極と、
前記半導体基板の前記埋め込み絶縁膜が配置される面と反対側の面で前記半導体基板に電氣的に接触するグラウンド電極
とを備えることを特徴とする半導体装置。

【請求項 2】

前記第 2 主電極は、前記第 2 主電極領域の表面から前記埋め込み絶縁膜の内部まで若しくは突き抜けて形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記活性層は、双方が接触する界面で p n 接合を形成する第 1 及び第 2 ピラー領域を備え、前記第 1、第 2 ピラー領域間の p n 接合は、前記活性層が前記埋め込み絶縁膜と接触する面に略平行な接合面を有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記ゲート電極は前記活性層の表面から少なくとも前記埋め込み絶縁膜近傍に至るように、前記活性層の表面に対して垂直方向に形成されていることを特徴とする請求項 1 乃至請求項 3 の内、いずれか 1 項に記載の半導体装置。

【請求項 5】

前記活性層は、各々が接触する界面で p n 接合を形成する第 1、第 2 及び第 3 ピラー領域を備え、前記第 1、第 2、第 3 ピラー領域間の p n 接合は、前記活性層が前記埋め込み絶縁膜と接触する面に略平行な接合面を有すると共に、前記第 1 主電極は、前記活性層の表面から前記第 1、第 2 及び第 3 ピラー領域の内の前記埋め込み絶縁膜側に形成されたピラー領域に至るように、前記活性層の表面に対して垂直方向に伸延する部分を更に有することを特徴とする請求項 1、請求項 2 又は請求項 4 の内、いずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に係り、特に、埋め込み酸化膜構造を備える半導体装置に関する。

【背景技術】

【0002】

インテリジェントパワーデバイスには出力素子として、例えば、700Vクラスの横型パワー MOSFET が内蔵されている。横型 DMOSFET は、縦型 DMOSFET に比較して入力容量、帰還容量ともに小さいため、高速動作には有利なデバイスである。しかし、オン抵抗に関しては、同じドレイン耐圧レベルの縦型 MOSFET に比較して同等以上でありスイッチとしての損失が増大する。このため、消費電力の更なる低減、或いは出力電流を増大させ大電力のスイッチング電源へ用途を拡大するには、パワー MOSFET のドレイン耐圧を低減させずにオン抵抗を低減することが必要である。

【0003】

現在までのところ、このような横型MOSFETの構造として、SC（シングル コンダクション）構造、DC（ダブル コンダクション）構造、TC（トリプル コンダクション）構造が提案されている。

【0004】

オン抵抗を低減する目的で製作されたDC構造を有する700Vクラスの横型MOSFETはすでに実現されている。高エネルギーイオン注入装置を用いて、半導体基板中にp型埋め込み層を形成すると共に、n型ドリフト領域内部にデュアルパスの導通チャンネルを形成して低オン抵抗を実現するものである。

【0005】

又、n型ドリフト領域内部にトリプルパスの導通チャンネルを形成して、DC構造と比較して更にオン抵抗を低減したTC構造の横型MOSFETも同等の耐圧以上で実現されている（例えば、非特許文献1参照）。 10

【非特許文献1】竹花 康宏他著「TC（Triple Conduction）構造による700V横型MOSFETのドレイン耐圧特性の向上」電気学会電子デバイス・半導体電力変換合同研究会、EDD-03-48,SPC-03-115,2003年9月、p. 21-26

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来のシリコンオンインスレータ（SOI）構造の横型MOSFETは、例えば、図5に示すように、グラウンド電極1と、半導体基板等からなる支持基板2と、埋め込み酸化膜（BOX酸化膜）3と、活性層（n⁻層）4と、ベース領域5と、バックゲート領域6と、ソース領域7と、ドレイン領域8と、ソース電極9と、ドレイン電極10と、ゲート電極11と、ゲート絶縁膜12を備える。 20

【0007】

SOIを用いたMOSにおいて、空乏層距離は活性層厚と埋め込み酸化膜厚に支配されるため、高耐圧を実現するためには厚い活性層4が必要となる。活性層4が厚いと素子分離領域の形成やウェハ自体の製造も困難となる。また、高耐圧かつ低オン抵抗が可能であるスーパージャンクションをSOIウェハで形成する場合、基板電位を接地電位（グラウンド）もしくはフローティングとすると、ドレイン電極部もしくはソース電極部で電界集中を起こしスーパージャンクションによる耐圧維持を活かすことができない。更に、縦型 30に電流を流すMOSと比較し、pn接合部を増やすことが困難であるため、オン抵抗（R_{on}）の低減効果が低くなりがちである。

【0008】

本発明の目的は、低オン抵抗化を図りつつ高耐圧を実現することを可能とする埋め込み酸化膜を備える構造の絶縁ゲート型FETによる半導体装置を提供することにある。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明の特徴は、（イ）半導体基板と、（ロ）半導体基板上に配置された埋め込み絶縁膜と、（ハ）埋め込み絶縁膜上に配置された活性層と、（ニ）活性層表面近傍に配置されたベース領域と、（ホ）ベース領域内に配置された第1主電極領域と、（ヘ）活性層の表面から埋め込み絶縁膜の表面まで若しくは突き抜けて形成された第2主電極領域と、（ト）ベース領域の表面近傍に配置されたゲート絶縁膜と、（チ）ゲート絶縁膜上に配置されたゲート電極と、（リ）第1主電極領域に電氣的に接触する第1主電極と、（ヌ）第2主電極領域に電氣的に接触する第2主電極と、（ル）半導体基板の埋め込み絶縁膜が配置される面と反対側の面で半導体基板に電氣的に接触するグラウンド電極とを備える半導体装置であることを要旨とする。 40

【発明の効果】

【0010】

本発明の半導体装置によれば、低オン抵抗化を図りつつ高耐圧を実現することができる。

【発明を実施するための最良の形態】

【0011】

次に、図面を参照して、本発明の第1乃至第4の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0012】

また、以下に示す第1乃至第4の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0013】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体装置のユニットセル部分を示す模式的素子断面構造は、図1に示すように、埋め込み酸化膜3と、埋め込み酸化膜3上に配置された活性層(n^- 層)4と、活性層4表面近傍に配置されたベース領域5と、ベース領域5内に配置された第1主電極領域7と、活性層4の表面から埋め込み酸化膜3を突き抜けて形成された第2主電極領域8と、ベース領域5に対してゲート絶縁膜12を介して配置されたゲート電極11と、第1主電極領域7に接触する第1主電極9と、第2主電極領域8の内部において第2主電極領域8に接触する第2主電極10と、グラウンド電極1と、 p^+ 支持基板21および p^- 層若しくは n^- 層からなる支持基板22と、支持基板側ドレイン領域13とを備える。

【0014】

図1に示すユニットセルを複数個配列することにより、大電流動作が可能になる。埋め込み酸化膜3を突き抜けて形成された第2主電極領域8の底部に支持基板側第2主電極領域13を備えることによって、支持基板22側に確実に空乏層を形成することができると共に、第2主電極10の支持基板22と接触する部分における電界集中を緩和することができる。

【0015】

本発明の実施の形態に係る半導体装置において、「第1主電極領域」とはソース領域を、「第2主電極領域」とはドレイン領域を、「第1主電極」とはソース電極を、「第2主電極」とはドレイン電極を示すものとする。

【0016】

図1から明らかなように、ドレイン電極10は埋め込み酸化膜3を突き抜けて、支持基板22中まで到達している。支持基板22は、裏面において p^+ 層で形成した支持基板21を備え、支持基板21をグラウンド(接地電位)としている。又、図1の基板側から見た構造は、 p^+ 層からなる支持基板21上に n^- もしくは p^- 層からなる支持基板22を形成し埋め込み酸化膜3を介して活性層4に接する構成となっている。支持基板22の導電型、不純物密度および厚さは必要な耐圧で決まる設計的事項である。

【0017】

活性層4の不純物密度を相対的に上昇させて、活性層4内に存在するキャリア密度を相対的に上昇させることによって、低オン抵抗化を図ることができる。即ち、図1に示す本発明の第1の実施の形態に係る半導体装置の構造上の特徴は、キャリア伝導に関わる領域と耐圧を持たせる領域とを別々の領域として形成した点にある。

【0018】

キャリア伝導にかかわる活性層4を埋め込み酸化膜3とドレイン領域8に囲まれた狭い領域に限定し、耐圧を持たせる領域は埋め込み酸化膜3を突き抜けて形成したドレイン電極10とグラウンド電極1との間の支持基板22に設定している。

10

20

30

40

50

【0019】

本発明の第1の実施の形態に係る半導体装置において、ドレイン側の耐圧は支持基板22中に伸びる空乏層でほぼ決まる。しかし、ドレイン電圧がドレイン電極10に印加された場合、ソース電極9近傍のpn接合にも電圧が誘起される。従って、ソース電極9の下側近傍の基板電圧は0Vより高くなるため、実際の耐圧はソースとドレインのバランスで決まる。

【0020】

本発明の第1の実施の形態に係る半導体装置によれば、ドレイン領域8若しくはソース領域7近傍における電界集中を緩和させると共に、高耐圧で低オン抵抗化を同時に実現することができる。

10

【0021】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体装置のユニットセル部分を示す模式的素子断面構造は、図2に示すように、グラウンド電極1と、グラウンド電極1に接触する p^+ 支持基板21と、 p^+ 支持基板21上に配置された n^- 層若しくは p^- 層からなる支持基板22と、支持基板22に接して配置される埋め込み酸化膜3と、埋め込み酸化膜3上に配置され活性層4を構成するnピラー領域14及びpピラー領域15と、pピラー領域15中に配置されるベース領域5と、ベース領域5中に配置されるバックゲート領域6と、同じくベース領域5中に配置されるソース領域7と、活性層4の表面から埋め込み酸化膜3を突き抜けて形成されたドレイン領域8と、バックゲート領域6とソース領域7とに接触するソース電極9と、ドレイン領域8の内部においてドレイン領域8に接触するドレイン電極10と、活性層4の表面から埋め込み酸化膜3内部に至るように、活性層4の表面に対して垂直方向に形成されているゲート電極11と、活性層4の表面から埋め込み酸化膜3に至るように活性層4とゲート電極11との界面に形成されるゲート絶縁膜12と、支持基板側ドレイン領域13と、ソース・ドレイン間において活性層4の表面に配置された絶縁膜18とを備える。

20

【0022】

本発明の第2の実施の形態に係る半導体装置の特徴は、ソース・ドレイン間の活性層4内において、pピラー領域15とnピラー領域14からなるスーパージャンクション構造を備える点にある。活性層4と埋め込み酸化膜3との界面に平行な接合面を有するpn接合からなるスーパージャンクション構造を用いてMOSFETのソース・ドレイン間を形成している。

30

【0023】

本発明の第2の実施の形態に係る半導体装置の場合、スーパージャンクション構造は、図2から明らかなように、pピラー領域15とnピラー領域14とからなるpn接合構造を有する。このようなスーパージャンクション構造が活性層4内に均一に広がっており、繰り返し配置される。図2は、本発明の第2の実施の形態に係る半導体装置のユニットセル部分を示すことから、ドレイン電極10と接触するドレイン領域8は、隣接するユニットセル間において、pピラー領域15とnピラー領域14とからなるスーパージャンクション構造に挟まれて形成されることになる。

40

【0024】

更に、本発明の第2の実施の形態に係る半導体装置の構造的な特徴は、ゲート電極11を活性層4表面から埋め込み酸化膜3内にまで至るように、活性層4の表面に対して垂直方向に形成し、同様にゲート絶縁膜12を活性層4の表面から埋め込み酸化膜3に至るように活性層4とゲート電極11との界面に形成した点にある。ゲート電極11を埋め込み酸化膜3中まで伸ばすとゲート湾曲部24が埋め込み酸化膜3で保護されるため、耐圧が例えば、約100V程度向上する。図2において、ゲート湾曲部24は矩形構造になっているが、微細構造としては、コーナー部分は湾曲した湾曲構造を有し、埋め込み酸化膜3で保護されることによって、電界緩和構造を形成している。

【0025】

50

本発明の第2の実施の形態に係る半導体装置においては、pピラー領域15とnピラー領域14とからなるスーパージャンクション構造を採用することによって、本発明の第1の実施の形態に係る半導体装置と比較して、耐圧保持とともに更に低オン抵抗化を実現することができる。

【0026】

ドレイン電極10が埋め込み酸化膜3上で終端する場合には、例えば耐圧は、169.3Vであるのに対して、本発明の第2の実施の形態のように支持基板22にドレイン電極10を突き抜ける構造にすると、例えば582.5Vと格段に向上する。また支持基板22のn⁻層若しくはp⁻層の不純物密度および厚さは第1の実施の形態と同様、必要な耐圧で決まる設計的事項である。

10

【0027】

nチャネルFETの場合は電流経路であるnピラー領域14を、pチャネルFETの場合は電流経路であるpピラー領域15を高不純物密度もしくは厚く設定することによって、オン抵抗の低減化が可能となる。更に又、ソース・ドレイン間の空乏層がスーパージャンクション構造に沿ってソース領域7からドレイン領域8まで、横方向に延びるため、図2に示すように、ゲート電極11を縦型構造に形成し、ゲート電極11を埋め込み酸化膜3中まで伸ばすことによって、ゲート湾曲部24が埋め込み酸化膜3で保護されるため、ゲート電極11を保護しやすい。ゲート電極11を縦型構造に形成したゲートの構造上、電界集中が発生しやすく、最も弱い底部のゲート湾曲部24を埋め込み酸化膜3で保護でき、更にゲート湾曲部24で集中した電界が支持基板22に達するところでは緩和しているため、耐圧を維持することができる。

20

【0028】

(第3の実施の形態)

本発明の第3の実施の形態に係る半導体装置のユニットセル部分を示す模式的素子断面構造は、図3に示すように、グラウンド電極1と、グラウンド電極1に接触するp⁺支持基板21と、p⁺支持基板21上に配置されたn⁻層若しくはp⁻層からなる支持基板22と、支持基板22に接して配置される埋め込み酸化膜3と、埋め込み酸化膜3上に配置され活性層4を構成するpピラー領域16、nピラー領域14及びpピラー領域15と、pピラー領域15中に配置されるベース領域5と、ベース領域5中に配置されるバックゲート領域6と、同じくベース領域5中に配置されるソース領域7と、活性層4の表面から埋め込み酸化膜3を突き抜けて形成されたドレイン領域8と、バックゲート領域6とソース領域7とに接触し、かつ活性層4の表面から埋め込み酸化膜3近傍のpピラー領域16の内部に至るように、活性層4の表面に対して垂直方向に伸延する部分を更に有するソース電極9と、ソース電極9とpピラー領域16内部において接触するpピラーバックゲート用領域17と、ドレイン領域8の内部においてドレイン領域8に接触するドレイン電極10と、活性層4の表面から埋め込み酸化膜3近傍のpピラー領域16の内部に至るように、活性層4の表面に対して垂直方向に形成されているゲート電極11と、活性層4の表面から埋め込み酸化膜3近傍のpピラー領域16の内部に至るように活性層4とゲート電極11との界面に形成されるゲート絶縁膜12と、支持基板側ドレイン領域13と、ソース・ドレイン間において活性層4の表面に配置された絶縁膜18と、を備える。

30

40

【0029】

本発明の第3の実施の形態に係る半導体装置は、第2の実施の形態と同様にスーパージャンクション構造を用いた構造に特徴を有するが、低オン抵抗化の実現のため、nピラー領域14の下にpピラー領域16を更に設けることでnピラー領域14を厚く形成することが可能となる。図2の構造に比べ、nピラー領域14を相対的に厚く、かつ不純物密度を高く設定することによって、更に低オン抵抗化を実現している。

【0030】

pピラー領域15は内部にベース領域5を形成することから、ベース用のpピラー領域と呼ばれ、pピラー領域16はnピラー領域14を挟むためのものであることから、ダミー用のpピラー領域と呼ばれる。またnピラー領域14はドレイン8に接することからド

50

レイン用の n ピラー領域と呼ばれる。ベース用の p ピラー領域 15 とダミー用の p ピラー領域 16 でドレイン用の n ピラー領域 14 を挟むことで、n ピラー領域 14 の厚さを第 2 の実施の形態に比べ 2 倍にして、低オン抵抗化を図りつつ、耐圧を保持できることを特徴としている。

【0031】

埋め込み酸化膜 3 に接する p ピラー領域 16 に対しては、図 3 に示すように、活性層 4 の表面から p ピラー領域 16 の内部に至るように、活性層 4 の表面に対して垂直方向に伸延する部分を有するソース電極 9 を形成し、ソース電極 9 の底部で p ピラーバックゲート用領域 17 を介してソース電位を与える。ソース電極 9 の両側には、ゲート絶縁膜 12 を介してゲート電極 11 を第 2 の実施の形態と同様、活性層 4 の表面から埋め込み酸化膜 3 10
近傍の p ピラー領域 16 の内部に至るように、活性層 4 の表面に対して垂直方向にゲート電極 11 を形成する。

【0032】

第 3 の実施の形態に係る半導体装置の構造では、図 3 に示すように、左右のソースからドレインに対して導通する電流を均一に制御するために、ゲート電極 11 は 2 本存在する。

【0033】

第 1 乃至第 2 の実施の形態に係る半導体装置と同様に、ドレイン領域 8 を、活性層 4 の表面から埋め込み酸化膜 3 を支持基板 22 に突き抜ける構造として形成することで、耐圧維持が可能となる。支持基板 22 の n 層若しくは p 層の不純物密度及び厚さは、第 1 20
の実施の形態に係る半導体装置と同様、必要な耐圧で決まる設計的事項である。

【0034】

本発明の第 3 の実施の形態に係る半導体装置でのオン抵抗 R_{on} の値としては、例えば、 $120\text{ m}\Omega\text{ cm}^2$ ($V_{ds} = 10\text{ V}$)、 $90\text{ m}\Omega\text{ cm}^2$ ($V_{ds} = 1\text{ V}$) が得られており、 π MOS 以上の低オン抵抗が得られている。素子耐圧も $V_{dss} = 583\text{ V}$ が得られている。

【0035】

(第 4 の実施の形態)

本発明の第 4 の実施の形態に係る半導体装置のユニットセル部分を示す模式的素子断面構造は、図 4 に示すように、グラウンド電極 1 と、グラウンド電極 1 に接触する p⁺ 支持基板 21 と、p⁺ 支持基板 21 上に配置された n⁻ 層若しくは p⁻ 層からなる支持基板 22 30
と、支持基板 22 に接して配置される埋め込み酸化膜 3 と、埋め込み酸化膜 3 上に配置され活性層 4 を構成する n ピラー領域 14 及び p ピラー領域 15 と、p ピラー領域 15 中に配置されるベース領域 5 と、ベース領域 5 中に配置されるバックゲート領域 6 と、同じくベース領域 5 中に配置されるソース領域 7 と、活性層 4 の表面から埋め込み酸化膜 3 表面若しくは内部に至るように活性層 4 の表面に対して垂直方向に形成されたドレイン領域 8 と、バックゲート領域 6 とソース領域 7 とに接触するソース電極 9 と、ドレイン領域 8 の内部においてドレイン領域 8 に接触し、活性層 4 の表面から埋め込み酸化膜 3 内部に至るように、活性層 4 の表面に対して垂直方向に形成されているドレイン電極 10 と、活性層 4 の表面から埋め込み酸化膜 3 内部に至るように、活性層 4 の表面に対して垂直方向に形成されているゲート電極 11 と、活性層 4 の表面から埋め込み酸化膜 3 に至るように活性 40
層 4 とゲート電極 11 との界面に形成されるゲート絶縁膜 12 と、ソース・ドレイン間において活性層 4 の表面に配置された絶縁膜 18 とを備える。

【0036】

本発明の第 2 の実施の形態に係る半導体装置の構造とほぼ同等であるが、ドレイン電極 10 が埋め込み酸化膜 3 中で終端する構造に特徴を有する。本発明の第 4 の実施の形態に係る半導体装置の構造では、第 2 の実施の形態に係る半導体装置ほどの効果は得られないが、活性層 4 途中でドレイン電極 10 を終端させる構造と比較すると、耐圧が向上する。

【0037】

n ピラー領域 14 の不純物密度が高い場合もしくは n ピラー領域 14 の厚さが厚い時に有効であり、ソース電極若しくはドレイン電極近傍の電界集中を緩和し耐圧向上を図るこ 50

とができる。nピラー領域14の条件によれば、活性層4の内部でドレイン電極10を終端させる構造に比較して、200～300Vの耐圧向上効果が得られる。また、図2に示した第2の実施の形態に係る半導体装置の構造と比較して、本発明の第4の実施の形態に係る半導体装置の構造は、作成上は容易である。

【0038】

(その他の実施の形態)

上記のように、本発明は第1乃至第4の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0039】

特に、ゲート構造はMOS構造に限定されるものではなく、MIS構造、ショットキーゲート構造、ヘテロ接合構造或いはpn接合であっても良いことはもちろんである。更にMIS構造とpn接合との複合ゲート構造、BiMOS構造であっても良い。更にベース層にGeを添加した、SiGe構造を備えていても良い。また、デバイス構造としては、絶縁ゲート型バイポーラトランジスタ(IGBT)、注入促進型絶縁ゲートトランジスタ(IEGT)、MOS複合デバイス、或いは化合物半導体デバイスである高電子移動度トランジスタ(HEMT)等であっても良い。又、本発明の第2乃至第4の実施の形態には2層若しくは3層構造からなるスーパージャンクション構造について開示されているが、これに限るものではなく、更に多層構造のスーパージャンクション構造を用いても良い。

【0040】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【0041】

【図1】本発明の第1の実施の形態に係る半導体装置の模式的素子断面構造図。

【図2】本発明の第2の実施の形態に係る半導体装置の模式的素子断面構造図。

【図3】本発明の第3の実施の形態に係る半導体装置の模式的素子断面構造図。

【図4】本発明の第4の実施の形態に係る半導体装置の模式的素子断面構造図。

【図5】従来の半導体装置の模式的素子断面構造図。

【符号の説明】

【0042】

- 1…グラウンド電極
- 2, 21, 22…支持基板
- 3…埋め込み酸化膜(BOX酸化膜)
- 4…活性層
- 5…ベース電極
- 6…バックゲート領域
- 7…ソース領域
- 8…ドレイン領域
- 9…ソース電極
- 10…ドレイン電極
- 11…ゲート電極
- 12…ゲート絶縁膜
- 13…支持基板側ドレイン領域
- 14…nピラー領域
- 15, 16…pピラー領域
- 17…pピラーバックゲート用領域
- 18…絶縁膜

10

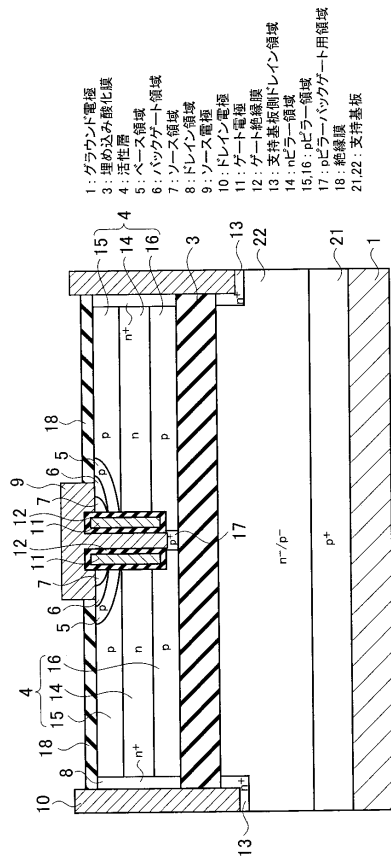
20

30

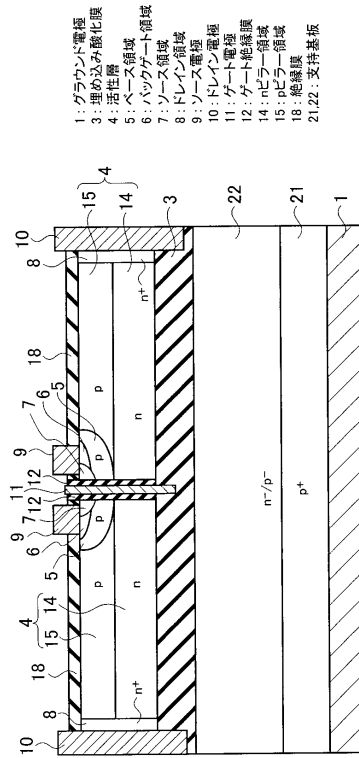
40

50

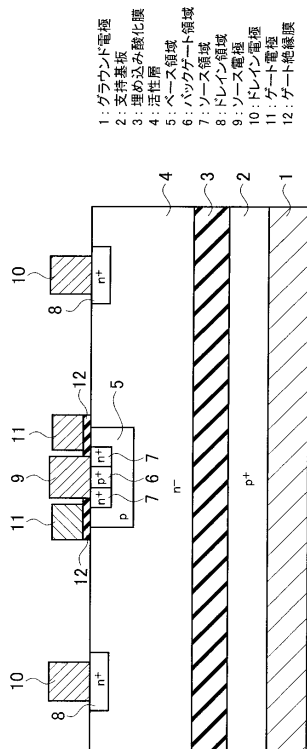
【 図 3 】



【 図 4 】



【 図 5 】



【手続補正書】

【提出日】平成17年4月6日(2005.4.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体装置のユニットセル部分を示す模式的素子断面構造は、図1に示すように、埋め込み酸化膜3と、埋め込み酸化膜3上に配置された活性層(n^- 層)4と、活性層4表面近傍に配置されたベース領域5と、ベース領域5内に配置されたバックゲート領域6と、同じくベース領域5内に配置された第1主電極領域7と、活性層4の表面から埋め込み酸化膜3を突き抜けて形成された第2主電極領域8と、ベース領域5に対してゲート絶縁膜12を介して配置されたゲート電極11と、第1主電極領域7に接触する第1主電極9と、第2主電極領域8の内部において第2主電極領域8に接触する第2主電極10と、グラウンド電極1と、 p^+ 支持基板21および p^- 層若しくは n^- 層からなる支持基板22と、支持基板側ドレイン領域13とを備える。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

特に、ゲート構造はMOS構造に限定されるものではなく、MIS構造、ショットキーゲート構造、ヘテロ接合構造或いはpn接合であっても良いことはもちろんである。更にMIS構造とpn接合との複合ゲート構造、BiMOS構造であっても良い。更にベース層にGeを添加した、SiGe構造を備えていても良い。また、デバイス構造としては、絶縁ゲート型バイポーラトランジスタ(IGBT)、注入促進型絶縁ゲートトランジスタ(IEGT)、MOS複合デバイス、或いは化合物半導体デバイスである高電子移動度トランジスタ(HEMT)等であっても良い。又、本発明の第2乃至第4の実施の形態には2層若しくは3層構造からなるスーパージャンクション構造について開示されているが、これに限るものではなく、更に多層構造のスーパージャンクション構造を用いても良い。

フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 河村 圭子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5F110 AA07 AA11 BB12 CC09 DD05 DD13 DD22 EE22 GG02 GG12

GG36 HJ06 HM02 HM12