

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5430946号
(P5430946)

(45) 発行日 平成26年3月5日(2014.3.5)

(24) 登録日 平成25年12月13日(2013.12.13)

(51) Int. Cl.	F I
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 A
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 R
HO 1 L 23/532 (2006.01)	

請求項の数 5 (全 17 頁)

(21) 出願番号	特願2008-557413 (P2008-557413)	(73) 特許権者	390009531
(86) (22) 出願日	平成19年3月1日(2007.3.1)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2009-528702 (P2009-528702A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成21年8月6日(2009.8.6)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2007/005414		
(87) 国際公開番号	W02008/036115	(74) 代理人	100108501
(87) 国際公開日	平成20年3月27日(2008.3.27)		弁理士 上野 剛史
審査請求日	平成21年11月20日(2009.11.20)	(74) 代理人	100112690
審査番号	不服2013-5187 (P2013-5187/J1)		弁理士 太佐 種一
審査請求日	平成25年3月19日(2013.3.19)		
(31) 優先権主張番号	11/364, 953		
(32) 優先日	平成18年3月1日(2006.3.1)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 相互接続構造体形成方法

(57) 【特許請求の範囲】

【請求項1】

半導体構造体を製造する方法であって、

少なくとも1つの導電性構造部が内部に埋め込まれた第1の誘電体材料を含む下部相互接続レベルと、前記下部相互接続レベルの上に配置された前記少なくとも1つの導電性構造部の一部を露出させる少なくとも1つのビア開口部を有する第2の誘電体材料を含む上部相互接続レベルとを含む初期相互接続構造体を準備するステップであって、前記下部及び上部相互接続レベルは、誘電体キャップ層によって部分的に分離され、前記上部相互接続レベルの表面上にはパターン形成されたハードマスクがある、ステップと、

前記初期相互接続構造体の全ての露出面上に第1のバリア層を形成して前記第2の誘電体材料の側壁を露出させないステップと、

前記ビア開口部の底部に配置された前記少なくとも1つの導電性構造部内に掘られた穴の構造部をスパッタリングにより形成するステップと、

前記掘られた穴の構造部の上に金属界面層を形成するステップと、

前記第2の誘電体材料内に、前記少なくとも1つのビア開口部の上方に延びる少なくとも1つのライン開口部を形成するステップと、

前記少なくとも1つのライン開口部及び前記少なくとも1つのビア開口部からエッチング残留物を除去するステップと、

少なくとも前記少なくとも1つのライン開口部内に、第2の連続的な拡散バリア層を形

10

20

成するステップと、

前記少なくとも1つのライン開口部及び前記少なくとも1つのビア開口部の両方の中に、接着・めっきシード層を形成するステップと、

前記少なくとも1つのライン開口部及び前記少なくとも1つのビア開口部を導電性材料で充填するステップと

を含む前記方法。

【請求項2】

前記金属界面層は、Co、Ru、Ir、Rh、Pt、Pd、Ta、又はそれらの合金の少なくとも1つ又は組み合わせを付着させることによって形成される、請求項1に記載の方法。

10

【請求項3】

前記金属界面層は、PVD、CVD、ALD、電解めっき及び無電解めっきによって形成される、請求項1に記載の方法。

【請求項4】

前記少なくとも1つのライン開口部及び前記少なくとも1つのビア開口部領域からエッチング残留物を除去する前記ステップは、O₂、H₂、N₂、又はNH₃の少なくとも1つ又は組み合わせを含むプラズマによって行われる、請求項1に記載の方法。

【請求項5】

前記少なくとも1つのライン開口部及び前記少なくとも1つのビア開口部領域からエッチング残留物を除去する前記ステップは、HF、HCl、H₂SO₄、又はHNO₃の少なくとも1つ又は組み合わせを含む湿式洗浄によって行われる、請求項1に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体構造体及びこれを製造する方法に関する。より具体的には、本発明は、ビア開口部の上方に配置されたライン開口部内に連続的な拡散バリアを含む相互接続構造体と、このような半導体構造体を製造する方法とに関する。連続的な拡散バリアは、ビア開口部の下方に配置された導電性構造部内にガウジング構造部(gouging feature)を形成した後に形成される。このため、ガウジング構造部の形成中、誘電体材料内に損傷が導入されることはない。

30

【背景技術】

【0002】

一般に、半導体デバイスは、半導体基板上に製造された集積回路を形成する複数の回路を含む。信号経路の複雑なネットワークは、通常、基板表面上に分配された回路素子を接続するようにルートが決定される。デバイスを横断するこれらの信号の効率的なルート決定は、例えば、シングル又はデュアル・ダマシ配線構造体のような多重レベル又は多層構造の形成を必要とする。典型的な相互接続構造体内では、金属ビアが半導体基板に対して垂直に走り、金属ラインは半導体基板に対して平行に走る。

【0003】

何百万というデバイス及び回路が1つの半導体チップ上に詰め込まれるに従って、世代を経るごとに配線密度及び金属レベルの数の両方が増大される。高い信号速度に対して低いRCを提供するために、二酸化シリコンより低い誘電率を有する低k誘電体材料及び銅含有ラインが不可欠なものになりつつある。歩留まり及び信頼性を確実にするために、従来のダマシ・プロセスによって形成された薄い金属配線及びスタッドの品質は、極めて重要である。今日この領域において直面する主要な問題は、低k誘電体材料内に埋め込まれた深いサブミクロンの金属スタッドの機械的完全性が不十分であることであり、このことが、相互接続構造体内に不満足な熱サイクル及びストレス・マイグレーション抵抗を引き起こすことがある。この問題は、新しいメタライゼーション手法又は多孔性低k誘電体材料のいずれかをを用いるときに、より深刻になる。

40

【0004】

50

相互接続構造体内に銅ダマシシ及び低k誘電体材料を用いながら、この弱い機械的強度の問題を解決するために、半導体業界によって、所謂「ピア・パンチスルー」技術が採用された。ピア・パンチスルーは、相互接続構造体内にピア・ガウジング構造部（すなわち、アンカー領域）を提供するものである。このようなピア・ガウジング構造部は、適度なコンタクト抵抗、及び、コンタクト・スタッドの機械的強度の増大を達成することが報告されている。これらの発見は、例えば、非特許文献1、非特許文献2、並びにChang他への特許文献1、Simon他への特許文献2、Geffken他への特許文献3、Uzoh他への特許文献4及びYang他への特許文献5において報告された。

【0005】

しかしながら、従来技術においてピア・ガウジングを生成するのに用いられるアルゴン・スパッタリング技術は、トレンチ（すなわち、ライン開口部）底部から、例えばTaNなどの付着されたライナ材料を除去するだけでなく、低k誘電体材料にも損傷を与える。ガウジング構造部を生成する要件のために、最終的な相互接続構造体は、トレンチ底部におけるライナ被覆率が低いだけでなく、Arスパッタリング・プロセスにより、深刻な損傷が低k誘電体材料に導入された。このことが、高度なチップ製造に関する主な歩留まり低下原因及び信頼性の問題になっている。

【0006】

ピア・ガウジングに関する既存の従来技術の手法の詳細なプロセス・ステップが、図1 - 図5に示され、ここで以下に説明される。最初に、下部相互接続レベル100の上に配置された上部相互接続レベル108のデュアル・ダマシシをパターン形成した後に形成される従来技術の構造体を示す図1を参照する。下部相互接続レベル100は、内部に金属（Cu）の構造部104を含む第1の低k誘電体材料102を含む。下部相互接続レベル100は、キャップ層106によって、上部相互接続レベル108から部分的に分離されている。上部相互接続レベル108は、内部に配置されたライン開口部112及びピア開口部114の両方を含む第2の低k誘電体材料110を含む。図1に示されるように、ピア開口部114の下方にある下部相互接続レベル100の金属構造部104の表面は露出されている。

【0007】

図2は、露出面の全ての上に、例えばTaNなどの拡散バリア116を形成した後の図1の従来技術の構造体を示す。次いで、ピア開口部114内の底部の水平面を洗浄し、かつ、下部相互接続レベル100の金属構造部104内にガウジング構造部（すなわち、アンカー領域）118を形成するために、図3に示されるようなアルゴン・スパッタリングが行われる。ガウジング構造部118は、示される種々の相互接続レベル間の相互接続強度を強化するために用いられる。Arスパッタリング・プロセス中、ライン開口部112の各々の底部から拡散バリア116が除去され、ライン開口部112の各々の底部に、誘電体の損傷120（第2の低k誘電体材料110内の丸印で示される）が形成される。スパッタリング・プロセス中に形成される誘電体の損傷120は、従来技術のスパッタリング・プロセスの固有の攻撃的な性質に起因するものである。

【0008】

図4は、その露出面上に、例えばTa、Ru、Ir、Rh、又はPtなどの金属ライナ層122を形成した後の図3の従来技術の構造体を示す。図5は、ライン開口部112及びピア開口部114を、例えばCuなどの導電性金属124で充填し、平坦化した後の従来技術の構造体を示す。図5に示されるように、従来技術の構造体は、金属充填ラインの底部における拡散バリア116の被覆率（参照符号126で示される）が低く、第2の低k誘電体材料110内に形成された損傷120の結果として構造部の底部が粗い。これらの特性の両方が、拡散バリア116の品質を低減させ、全体的な配線の信頼性を低下させる。さらに、上述の特性の両方により、高レベルの金属間漏れを示す構造体がもたらされる。

【0009】

多孔性超低k誘電体材料（約2.8以下の誘電率を有する）が開発され、層間誘電体の

10

20

30

40

50

1つとして相互接続構造体に用いられてきた。高密度の(すなわち、非多孔性の)低k誘電体と比較すると、アルゴン・スパッタリングによる損傷の影響は、試験された大部分の超低k誘電体材料において著しく高いものであり、このことは、現在のメタライゼーション手法(例えば、図1乃至図5を参照されたい)を超低k誘電体材料と統合することを不可能に近いものにする。その結果、バリアの完全性を試験する間、現在の超低kハードウェアの全てが故障した。超低k誘電体内にCu相互接続部を有する従来技術の相互接続構造体の走査型電子顕微鏡写真(SEM)の断面が、図6に示される。SEM画像に含まれる矢印は、Arスパッタリング中に超低k誘電体材料内に形成された損傷部を指し示す。

【0010】

【特許文献1】米国特許第4,184,909号

10

【特許文献2】米国特許第5,933,753号

【特許文献3】米国特許第5,985,762号

【特許文献4】米国特許第6,429,519号

【特許文献5】米国特許第6,784,105号

【非特許文献1】M. - Si. Liang 著、「Challenges in Cu/Low k Integration」、IEEE Int. Electron Devices Meeting、313(2004年)

【非特許文献2】D. Edelstein 他著、「Comprehensive Reliability Evaluation of a 90nm CMOS Technology with Cu/PECVD Low k BEOL」、IEEE Int. Reliability Physics Symp.、316(2004年)

20

【発明の開示】

【発明が解決しようとする課題】

【0011】

従来技術の相互接続構造体、特に層間誘電体材料の1つとして多孔性超低k誘電体を含む相互接続構造体に関する上記の欠点に鑑みて、誘電体材料(低k及び超低kを含む)内に形成されたライン開口部の水平面から拡散バリアが除去されるのを回避し、そのため、誘電体材料内に損傷を導入しない、新しい改善された統合方法の開発に対する必要性が引き続き存在する。

【課題を解決するための手段】

30

【0012】

本発明は、ビア開口部の底部にガウジング構造部を含む相互接続構造体の形成方法を提供するものであり、この方法は、上を覆うライン開口部内の付着された拡散バリアの被覆率を低下させず、かつ、ビア開口部及びライン開口部を含む誘電体材料内に、Arスパッタリングにより引き起こされる損傷を導入しない。本発明によると、このような相互接続構造体は、ライン開口部を形成し、かつ、ライン開口部内に拡散バリアを付着させる前に、ビア開口部の底部にガウジング構造部を提供することによって達成される。

【0013】

本発明により形成される相互接続構造体のライン領域において拡散バリアの被覆率は連続的であり、相互接続誘電体材料内に損傷が導入されないので、本発明により形成される相互接続構造体は、図1 - 図5に示される処理の流れを用いて製造される従来の相互接続構造体に比べて、配線の信頼性が改善され、金属間の漏れのレベルが低い。

40

【0014】

本発明により製造される半導体構造体は、

少なくとも1つの導電性構造部が内部に埋め込まれた第1の誘電体材料を含む下部相互接続レベルと、

第1の誘電体材料及び少なくとも1つの導電性構造部の全てではなく一部分の上に配置された誘電体キャップ層と、

少なくとも1つの導電的に充填されたビア及び上を覆う導電的に充電されたラインが内部に配置された第2の誘電体材料を含む上部相互接続レベルであって、導電的に充填され

50

たビアは、アンカー領域によって第1の相互接続レベルの少なくとも1つの導電性構造部の露出面と接触している、上部相互接続レベルとを含み、

導電的に充填されたビアは、第1の拡散バリア層によって第2の誘電体材料から分離されており、

導電的に充填されたラインは、第2の連続的な拡散バリア層によって第2の誘電体材料から分離されており、そのため、第2の誘電体材料は導電的に充填されたラインに隣接する領域内に損傷領域を含まない。

【0015】

本発明により形成される好ましい相互接続構造体は、Cu又はCu含有合金で充填されたビア及びラインを含み、第1及び第2の誘電体材料は、約2.8以下の誘電率を有する同じ又は異なる多孔性誘電体材料である。

10

【0016】

本発明により製造される半導体構造体は、

少なくとも1つの導電性構造部が内部に埋め込まれた第1の誘電体材料を含む下部相互接続レベルと、

第1の誘電体材料及び少なくとも1つの導電性構造部の全てではなく一部分の上に配置された誘電体キャップ層と、

少なくとも1つの導電的に充填されたビア及び上を覆う導電的に充電されたラインが内部に配置された第2の誘電体材料を含む上部相互接続レベルであって、導電的に充填されたビアは、アンカー領域によって、少なくとも1つの第1の相互接続レベル内の少なくとも1つの導電性構造部と接触している、上部相互接続レベルとを含み、

20

導電的に充填されたビアは、第1の拡散バリア層によって第2の誘電体材料から分離されており、

導電的に充填されたラインは、第2の連続的な拡散バリア層によって第2の誘電体材料から分離されており、そのため、第2の誘電体材料は、導電的に充填されたラインに隣接した領域内に損傷領域を含まない。

【0017】

本発明は、半導体構造体を製造する方法を提供する。本発明の一実施形態において、方法は、

30

少なくとも1つの導電性構造部が内部に埋め込まれた第1の誘電体層を含む下部相互接続レベルと、下部相互接続レベルの上に配置された少なくとも1つの導電性構造部の一部を露出させる少なくとも1つのビア開口部を有する第2の誘電体とを含む上部相互接続レベルとを含む初期相互接続構造体を準備するステップであって、下部及び上部相互接続レベルは、誘電体キャップ層によって部分的に分離され、上部相互接続レベルの表面上にはパターン形成されたハードマスクがある、ステップと、

初期相互接続構造体の全ての露出面上に第1のバリア層を形成するステップと、

ビア開口部の底部に配置された少なくとも1つの導電性構造部内にパンチスルー・ガウジング構造部をスパッタリングにより形成するステップと、

40

第2の誘電体材料内に、少なくとも1つのビア開口部の上方に延びる少なくとも1つのライン開口部を形成するステップと、

少なくとも少なくとも1つのライン開口部内に第2の連続的な拡散バリア層を形成するステップと、

少なくとも1つのライン開口部及び少なくとも1つのビア開口部の両方の中に、接着・めっきシード層を形成するステップと、

少なくとも1つのライン開口部及び少なくとも1つのビア開口部を導電性材料で充填するステップと、を含む。

【0018】

本発明の好ましい実施形態において、本発明の方法は、Cu又はCu含有合金でビア及

50

びラインを充填するステップと、第1及び第2の誘電体材料の両方として約2.8以下の誘電率を有する多孔性誘電体材料を用いるステップとを含む。

【0019】

本発明の更に別の実施形態において、方法は、

少なくとも1つの導電性構造部が内部に埋め込まれた第1の誘電体層を含む下部相互接続レベルと、下部相互接続レベルの上に配置された少なくとも1つの導電性構造部の一部を露出させる少なくとも1つのビア開口部を有する第2の誘電体を含む上部相互接続レベルとを含む初期相互接続構造体を準備するステップであって、下部及び上部相互接続レベルは、誘電体キャップ層によって部分的に分離され、上部相互接続レベルの表面上にはパターン形成されたハードマスクがある、ステップと、

10

初期相互接続構造体の全ての露出面上に第1のバリア層を形成するステップと、

ビア開口部の底部に配置された少なくとも1つの導電性構造部内にパンチスルー・ガウジング構造部をスパッタリングにより形成するステップと、

ガウジング構造部の上に金属界面層を形成するステップと、

第2の誘電体材料内に、少なくとも1つのビア開口部の上方に延びる少なくとも1つのライン開口部を形成するステップと、

少なくとも1つのライン開口部内に第2の連続的な拡散バリア層を形成するステップと、

少なくとも1つのライン開口部及び少なくとも1つのビア開口部の両方の中に、接着・めっきシード層を形成するステップと、

20

少なくとも1つのライン開口部及び少なくとも1つのビア開口部を導電性材料で充填するステップと、を含む。

【発明を実施するための最良の形態】

【0020】

本発明は、ガウジングされた（掘られた）ビア構造部（すなわち、固定されたビア底部（anchored via bottom））を含む相互接続構造体、及びその製造方法を提供するものであり、ここで以下の議論及び本出願に添付の図面を参照することによってより詳細に説明される。本明細書で以下でより詳細に言及される本出願の図面は、例示目的のために提供されるものであり、一定の縮尺では描かれていない。

【0021】

30

本発明のプロセス・フローは、図7に示される初期相互接続構造体10を準備することから開始する。具体的には、図7に示される初期相互接続構造体10は、誘電体キャップ層14によって部分的に分離される下部相互接続レベル12及び上部相互接続レベル16を含む多重レベル相互接続部を含む。半導体基板（図示せず）の上方に配置することができ、1つ又は複数の半導体デバイスを含む下部相互接続レベル12は、バリア層（図示せず）によって第1の誘電体層18から分離される少なくとも1つの導電性構造部（すなわち、導電性領域）20を有する第1の誘電体材料18を含む。上部相互接続レベル16は、少なくとも1つのビア開口部26が内部に配置された第2の誘電体材料24を含む。示されるように、少なくとも1つのビア開口部26は、導電性構造部20の一部を露出させる。上部相互接続レベル16の上には、パターン形成されたハードマスク28がある。図7

40

に示される構造体は単一のビア開口部26を示すが、本発明は、第2の誘電体材料24内に、第1の誘電体材料18内に存在し得る他の導電性構造部20を露出させる任意の数のこうしたビア開口部を形成することも考慮する。

【0022】

図7に示される初期相互接続構造体10は、当業者には周知の通常の技術を用いて作製される。例えば、初期相互接続構造体は、最初に第1の誘電体材料18を基板（図示せず）の表面に適用することによって形成することができる。図示されていない基板は、半導体材料、絶縁材料、導電性材料、又はそれらのいずれかの組み合わせを含むことができる。基板が半導体材料で構成される場合、Si、SiGe、SiGeC、SiC、Ge合金、GaAs、InAs、InP及びその他のIII/V族又はII/V族化合物半導体

50

のような任意の半導体を用いてもよい。これらの列挙された種類の半導体材料に加えて、本発明は、半導体基板が、例えばSi/SiGe、Si/SiC、シリコン・オン・インシュレータ(SOI)、又はシリコン・ゲルマニウム・オン・インシュレータ(SGOI)のような層状半導体である場合も考慮する。

【0023】

基板が絶縁材料である場合、絶縁材料は、有機絶縁体、無機絶縁体、又は多層構造を含むそれらの組み合わせとすることができる。基板が導電性材料である場合、基板は、例えば、ポリSi、元素金属(elemental metal)、元素金属の合金、金属シリサイド、金属窒化物、又は多層構造を含むそれらの組み合わせを含むことができる。基板が半導体材料を含む場合、例えば、相補型金属酸化膜半導体(CMOS)デバイスのような1つ又は複数の半導体デバイスをその上に製造することができる。

10

【0024】

下部相互接続レベル12の第1の誘電体材料18は、無機誘電体又は有機誘電体を含むどのような層間誘電体又は層内誘電体を含んでいてもよい。第1の誘電体材料18は、多孔性であっても、又は非多孔性であってもよく、本発明の幾つかの実施形態において、多孔性誘電体は、約2.8以下の誘電率を有することが非常に好ましい。第1の誘電体材料18として使用できる好適な誘電体の幾つかの例は、これらに限られるものではないが、SiO₂、シルセスキオキサン、Si、C、O及びH原子を含むCドープ酸化物(すなわち、オルガノシリケート)、熱硬化性ポリアリーレンエーテル、又はそれらの多層構造を含む。「ポリアリーレン」という用語は、本出願においては、結合、縮合環、又は、例えば酸素、硫黄、スルホン、スルホキシド、カルボニルなどのような不活性結合基によって共に連結された、アリーール部分又は不活性置換されたアリーール部分を表すために使用される。

20

【0025】

第1の誘電体材料18は、典型的には約4.0以下の誘電率を有し、2.8以下の誘電率がさらにより典型的である。これらの誘電体は、一般に、誘電率が4.0より高い誘電体材料に比べて寄生クロストークが低い。第1の誘電体材料18の厚さは、使用される誘電体材料、及び下部相互接続レベル12内の誘電体の正確な数に依存して変わり得る。典型的には、通常の相互接続構造体に関して、第1の誘電体材料18は、約200nmから約450nmまでの厚さを有する。

30

【0026】

下部相互接続レベル12は、第1の誘電体材料18内に埋め込まれた(すなわち、第1の誘電体材料18内に配置された)少なくとも1つの導電性構造部20も有する。導電性構造部20は、バリア層(図示せず)によって第1の誘電体材料18から分離される導電性材料を含む。導電性構造部20は、リソグラフィを行い(すなわち、フォトレジストを第1の誘電体材料18の表面に塗布し、そのフォトレジストを所望の放射パターンで露光し、従来のレジスト現像剤を利用して露光されたレジストを現像する)、第1の誘電体材料18内に開口部をエッチング(乾式エッチング又は湿式エッチング)し、そのエッチングされた領域をバリア層で、次いで導電性材料で充填し、導電性領域を形成することによって形成される。バリア層は、Ta、Ta₂N₅、Ti、TiN、Ru、RuN、W、WN、又は導電性材料がバリア層を通して拡散するのを防止するためのバリアとして作用できる他のいずれかの材料を含むことができ、例えば、原子層付着(ALD)、化学気相付着(CVD)、プラズマ強化化学気相付着(PECVD)、物理気相付着(PVD)、スパッタリング、化学溶液付着、又はめっきのような付着プロセスによって形成される。

40

【0027】

バリア層の厚さは、正確な付着プロセス手段並びに使用される材料に応じて変わり得る。典型的には、バリア層は、約4nmから約40nmの厚さを有し、約7nmから約20nmまでの厚さがより典型的である。

【0028】

バリア層の形成に続いて、第1の誘電体材料18内の開口部の残りの領域が、導電性材

50

料で充填され、導電性構造部20を形成する。導電性構造部20を形成するのに使用される導電性材料は、例えば、ポリSi、導電性金属、少なくとも1つの導電性金属を含む合金、導電性金属シリサイド、又はそれらの組み合わせを含む。導電性構造部20を形成するのに使用される導電性材料は、Cu、W、又はAlのような導電性金属であることが好ましく、本発明においては、Cu又はCu合金(AlCuのような)が極めて好ましい。導電性材料は、これらに限られるものではないが、CVD、PECVD、スパッタリング、化学溶液付着、又はめっきを含む従来の付着プロセスを用いて、第1の誘電体材料18内の残りの開口部に充填される。これらの付着の後、例えば、化学機械研磨(CMP)のような従来の平坦化プロセスを用いて、バリア層及び導電性構造部20のそれぞれが第1の誘電体材料18の上面と実質的に同一平面である上面を有する構造体を提供することができる。

10

【0029】

少なくとも1つの導電性構造部20を形成した後、例えば、CVD、PECVD、化学溶液付着、又は蒸着のような従来の付着プロセスを用いて、下部相互接続レベル12の表面上に、ブランケット誘電体キャップ層14が形成される。この誘電体キャップ層14は、例えば、SiC、Si₄NH₃、SiO₂、炭素ドープ酸化物、窒素及び水素ドープ炭化シリコンSiC(N,H)、又はそれらの多層構造のような、任意の好適な誘電体キャップ材料を含む。キャップ層14の厚さは、これを形成するのに使用される技術並びに層の材料構成に応じて変わり得る。典型的には、キャップ層14は、約15nmから約55nmまでの厚さを有し、約25nmから約45nmまでの厚さがより典型的である。

20

【0030】

次に、上部相互接続レベル16が、第2の誘電体材料24をキャップ層14の上方の露出面に塗布することによって形成される。第2の誘電体材料24は、下部相互接続レベル12の第1の誘電体材料18のものと同一又は異なる誘電体材料、好ましくは同じ誘電体材料を含むことができる。第1の誘電体材料18に関する処理技術及び厚さの範囲は、第2の誘電体材料24にも適用可能である。第2の誘電体材料24はまた、2つの異なる材料を含むこともでき、すなわち、最初に1つの誘電体材料を付着させ、続いて異なる誘電体材料を付着させることができる。本発明の一実施形態においては、第2の誘電体材料24は、2つの異なる低k誘電体材料を含み、よって、上部相互接続レベル16は、多孔性誘電体材料内に埋め込まれた、後に充填される導電的充填ラインと、高密度の(すなわち、非多孔性の)誘電体材料内に埋め込まれた、後に充填されるビアとを有するハイブリッド構造体を有する。このような実施形態においては、多孔性低k誘電体は、約2.8以下の誘電率を有し、高密度低k誘電体は、約4.0以下の誘電率を有する。

30

【0031】

次に、少なくとも1つのビア開口部26が、最初に第2の誘電体材料24の上面の上にブランケット・ハードマスク材料を形成することによって、第2の誘電体材料24内に形成される。ブランケット・ハードマスク材料は、酸化物、窒化物、酸窒化物、又はそれらの多層構造を含む任意の組み合わせを含む。典型的には、ハードマスク材料は、SiO₂のような酸化物、又はSi₃N₄のような窒化物である。ブランケット・ハードマスク材料は、例えば、CVD、PECVD、化学溶液付着、又は蒸着のような従来の付着プロセスを用いて形成される。付着されたままのハードマスク材料の厚さは、形成されるハードマスク材料のタイプ、ハードマスク材料を構成する層の数及びこれを形成するのに用いられる付着技術に応じて変わり得る。典型的には、付着されたままのハードマスク材料は、約10nmから約80nmまでの厚さを有し、約20nmから約60nmまでの厚さがさらにより典型的である。

40

【0032】

ハードマスク材料のブランケット層を形成した後、例えば、CVD、PECVD、スピンオン・コーティング、化学溶液付着、又は蒸着のような従来の付着プロセスを用いて、ハードマスク材料の上にフォトレジスト(図示せず)が形成される。フォトレジストは、その各々が当業者には周知のものである、ポジティブ・トーン材料、ネガティブ・トーン

50

材料、又はそれらのハイブリッド材料とすることができる。次いで、フォトレジストを放射パターンに露光し、従来のレジスト現像剤を用いて露光されたレジストを現像することを含むリソグラフィ・プロセスが、フォトレジストに施される。リソグラフィ・ステップは、ハードマスク材料の上に、ビア開口部 26 の幅を定めるパターン形成されたフォトレジストを提供する。

【0033】

パターン形成されたフォトレジストを提供した後、1つ又は複数のエッチング・プロセスを用いて、ハードマスク材料内に、次に引き続いて第2の誘電体材料24内に、ビア・パターンが転写される。ハードマスク内にビア・パターンを転写し、パターン形成されたハードマスク28を形成した直後に、従来の剥離プロセスを用いて、パターン形成されたフォトレジストを剥離することができる。代替的に、第2の誘電体材料24内にビア・パターンを転写した後に、パターン形成されたフォトレジストを剥離してもよい。ビア・パターンを転写するのに用いられるエッチングは、乾式エッチング・プロセス、湿式化学エッチング・プロセス、又はそれらの組み合わせを含むことができる。ここで用いられる「乾式エッチング」という用語は、反応性イオン・エッチング、イオン・ビーム・エッチング、プラズマ・エッチング、又はレーザ・アブレーションのようなエッチング技術を示すために用いられる。

【0034】

図7に示される初期相互接続構造体10を形成した後、次いで、初期相互接続構造体の露出面の全ての上に、拡散バリア材料層(特許請求される発明のためには、第1の拡散バリア層に関する)30が形成され、例えば、図8に示されるような構造体を提供する。示されるように、拡散バリア材料30は、パターン形成されたハードマスク28の露出面、ビア開口部26内の第2の誘電体材料24の側壁、並びに導電性構造部20の露出された部分を覆う。本発明によると、拡散バリア材料30は、その厚さが典型的には約0.5nmから約20nmまでの範囲内にあり、約1nmから約10nmまでの厚さがより典型的である、薄い層である。拡散バリア材料層30は、これらに限られるものではないが、CVD、PVD、ALD、又はスピンオン・コーティングを含む従来の付着プロセスを用いて形成される。拡散バリア材料30は、例えば、Ta₂N₅、Ta₂O₅、Ti₂O₃、TiN、RuTa、RuTa₂N₅、W、Ru、又はIrなどの金属含有材料、例えばSiO₂、Si₃N₄、SiC、SiC(N,H)などの絶縁体、又はそれらの任意の組み合わせを含む。

【0035】

拡散バリア材料30の形成に続いて、次に、図8に示される構造体に、ビアの底部から拡散バリア材料30を除去し、下にある導電性構造部20をパンチスルーする(punch through) Arスパッタリング・プロセスを施し、導電性構造部20内にガウジング構造部(すなわち、アンカー領域)32を生成する。Arスパッタリング・プロセスの際に結果として得られる構造体が、例えば、図9に示される。このスパッタリング・プロセスは、ハードマスク28の水平面上に配置された拡散バリア材料30も除去することが観察される。ハードマスク28によって保護されているので、第2の誘電体材料24は、このプロセス中に損傷を受けない。ガウジング構造部32を形成するのに用いられるArスパッタリング・プロセスは、こうした構造部を形成するために相互接続技術において典型的に用いられる任意の従来のスパッタリング・プロセスを含む。例証として、Arスパッタリングは、次の限定されない条件、すなわち20sccmのArガス流、25°Cの温度、400KHz及び750Wの上部電極バイアス、13.6KHz及び400Wのテーブルバイアス、及び0.6mtorrのプロセス圧力を用いて行なうことができる。例証の目的でArが示されたが、スパッタリング・プロセスのために、He、Ne、Xe、N₂、H₂、NH₃、N₂H₂、又はそれらの混合物のような他の任意のガスを用いることもできる。

【0036】

図10は、金属の界面層34が図9に示される露出面の全ての上に形成される、本発明の随意的な実施形態を示す。金属界面層34は、例えば、CVD、PECVD、化学溶液

10

20

30

40

50

付着、蒸着、有機金属付着、ALD、スパッタリング、PVP、又はめっき（電解又は非電解）を含む、任意の従来の付着プロセスを用いて形成される。金属界面層34の厚さは、使用される正確な金属界面材料、及び、金属界面層を形成するのに用いられた付着技術に応じて変わり得る。典型的には、金属界面層34は、約0.5nmから約40nmまでの厚さを有し、約1nmから約10nmまでの厚さがさらにより典型的である。金属界面層34は、例えば、Co、Ta₂N₅、Ta、Ti、TiN、Ru、Ir、Au、Rh、Pt、Pd、又はAgなどの金属バリア材料を含む。こうした材料の合金も考慮される。

【0037】

次に、平坦化層36が付着され、図9及び図10のいずれの構造体のビア開口部26も充填する。平坦化層36は、例えば、CVD、PECVD、スピノン・コーティング、蒸着、又は化学溶液付着を含む従来の付着プロセスを用いて付着される。平坦化材料は、従来の反射防止コーティング材料、又はスパンガラス材料を含む。図11に示されるように、平坦化層36は、ビア開口部26を完全に充填し、ハードマスク28（図11に示されるような）の露出面上又は金属界面層（図示せず）の上のビア開口部26の上方に延びている。

【0038】

平坦化層36に加えて、図11に示される構造体はまた、平坦化層36の表面上に配置された第2のハードマスク38、及び、第2のハードマスク38の表面上に配置されたパターン形成されたフォトレジスト40も含む。第2のハードマスク38は、ハードマスク28の形成において説明されたものと同じ処理技術を用いて形成され、ハードマスク28と関連して上述されたハードマスク材料の1つから構成される。パターン形成されたフォトレジスト40は、付着及びリソグラフィによって形成され、ライン開口部の幅を有する開口部を含む。

【0039】

次いで、図11に示される構造体に、図12に示される構造体を形成することができる1つ又は複数のエッチング・プロセスが施される。この図に示されるように、1つ又は複数のエッチング・プロセスは、第2の誘電体材料24内にライン開口部42を形成する。本発明によると、ライン開口部42の少なくとも1つは、残りの平坦化層36によって保護されるビア開口部26の上方に配置され、ビア開口部に結合される。1つ又は複数のエッチング・ステップは、第2のハードマスク38の露出された部分、平坦化層36の下にある部分、及び第2の誘電体材料24露出された部分を連続的な順序で除去する。パターン形成されたフォトレジスト40及びパターン形成された第2のハードマスク38は、典型的には、上述のエッチング・ステップの間に消費される。

【0040】

図13は、残りの平坦化層36がビア開口部26内から剥離された後の図12の構造体を示す。残りの平坦化層36の剥離は、化学湿式エッチング・プロセス、又は構造体から平坦化材料を選択的に除去する化学アッシング・プロセスのいずれかを用いて行なわれる。本発明の幾つかの実施形態においては、酸化物又はエッチング残留物44が、ガウジング構造部32内に残ることがある。

【0041】

このような場合、酸化物又はエッチング残留物44は、化学湿式エッチング・プロセス及び/又は少量のAr衝撃（bombardment）を含むことができる表面洗浄プロセスを用いて、ガウジング構造部32から除去することができる。Ar衝撃の条件は、ガウジング構造部32を形成するのに従来技術において用いられるものほど厳しくないため、この場合、損傷は生じない。典型的には、この場合に用いられる表面洗浄だけのためのプロセス時間は、従来技術において用いられる、ガウジング構造部を生成するための10秒以上に比べて、5秒未満である。例証として、Arスパッタリングは、次の限定されない条件、すなわち20sccmのArガス流、25°Cの温度、400kHz及び400Wの上部電極バイアス、13.6MHz及び200Wのテーブルバイアス、及び0.6mtorrのプロセス圧力を用いて行なうことができる。例証のためにArが示されたが、スパッタ

10

20

30

40

50

リング・プロセスのために、He、Ne、Xe、N₂、H₂、NH₃、N₂H₂、又はそれらの混合物のような任意の他のガスを用いることもできる。

【0042】

本発明の幾つかの実施形態において、エッチング残留物が、少なくとも1つのライン開口部及び少なくとも1つのビア開口部領域から除去される。1つの実施形態においては、O₂、H₂、N₂、CO、CO₂、又はNH₃の少なくとも1つ又は組み合わせを含むプラズマ・エッチングが用いられる。別の実施形態においては、エッチング残留物は、HF、HCl、H₂SO₄、又はHNO₃の少なくとも1つ又は組み合わせを含む湿式洗浄によって除去される。図14は、このような洗浄プロセスを行った後の結果として得られる構造体を示す。

10

【0043】

図15及び図16は、次に形成することができる2つの異なる構造体を示す。図15及び図16に示される構造体の両方とも、拡散バリア46（特許請求される発明のためには、拡散バリア46は第2の拡散バリアを表す）を含む。図15に示されるように、拡散バリア46は、ライン開口部42内の露出面だけを覆い、図16においては、拡散バリア46は、ライン開口部42及びビア開口部26の両方の中の露出面を覆う。拡散バリア46の被覆率の程度は、拡散バリアを形成するのに用いられる付着プロセスの条件及び長さによって決定される。本発明のプロセス全体を通して、拡散バリア46は、ライン開口部42内に連続的に存在することが留意される。

【0044】

20

本発明によると、拡散バリア46は、Ta、Ta₂N₅、Ti、TiN、Ru、RuN、RuTa、RuTa₂N₃、W、WN、又は導電性材料が拡散バリアを通して拡散するのを防止するためのバリアとして作用できる他のいずれかの材料を含む。多層構造のスタックされた拡散バリアを形成するのに、これらの材料の組み合わせも考慮される。拡散バリア46は、例えば、原子層付着（ALD）、化学気相付着（CVD）、プラズマ強化化学気相付着（PECVD）、物理気相付着（PVD）、スパッタリング、化学溶液付着、又はめっきなどの付着プロセスを用いて形成される。

【0045】

拡散バリア46の厚さは、バリア内の材料層の数、拡散バリアを形成するのに使用される技術、並びに拡散バリア自体の材料に応じて変わり得る。典型的には、拡散バリア46は、約4nmから約40nmまでの厚さを有し、約7nmから約20nmまでの厚さがさらにより典型的である。

30

【0046】

図17及び図18は、それぞれ図15及び図16に示される構造体から次に形成することができる2つの異なる構造体を示す。図17及び図18に示される構造体の両方とも、接着・めっきシード層48を含む。

【0047】

接着・めっきシード層48は、元素周期表のVIIIA族からの金属又は金属合金から成る。接着・めっきシード層のための好適なVIIIA族元素の例は、これらに限られるものではないが、Ru、TaRu、Ir、Rh、Pt、Pd、及びそれらの合金を含む。幾つかの実施形態においては、層48としてRu、Ir、又はRhを使用することが好ましい。

40

【0048】

接着・めっきシード層48は、例えば、化学気相付着（CVD）、プラズマ強化化学気相付着（PECVD）、原子層付着（ALD）、めっき、スパッタリング、及び物理気相付着（PVD）を含む従来の付着プロセスによって形成される。接着・めっきシード層48の厚さは、例えば、接着・めっきシード層48の組成材料、及び接着・めっきシード層を形成するのに使用された技術を含む多数の要因に応じて変わり得る。典型的には、接着・めっきシード層48は、約0.5nmから約10nmまでの厚さを有し、約6nm未満の厚さがさらにより典型的である。

50

【 0 0 4 9 】

図 1 9 及び図 2 0 は、それぞれ図 1 7 及び図 1 8 に示される構造体から形成することができる異なる相互接続構造体を示す。図 1 9 及び図 2 0 に示される示された構造体の各々は、ビア開口部及びライン開口部並びにガウジング構造部 3 2 を、相互接続導電性材料 5 0 で充填し、平坦化した後のものである。相互接続導電性材料 5 0 は、導電性構造部 2 0 のものと（導電性材料がポリシリコンでないという条件で）同じ又は異なる導電性材料、好ましくは同じ導電性材料を含むことができる。Cu、Al、W、又はそれらの合金が用いられることが好ましく、Cu 又は AlCu が最も好ましい。導電性材料 5 0 は、導電性構造部 2 0 の形成において上述されたものと同じ付着処理を用いて形成され、導電性材料の付着に続いて、構造体に平坦化が施される。平坦化プロセスは、上部相互接続レベル 1 6 の第 2 の低 k 誘電体材料 2 4 の上に配置される種々の材料を除去する。

10

【 0 0 5 0 】

本出願の方法は、図 7 - 図 2 0 に示されるレベルの上に付加的な相互接続レベルを形成するのにも適用可能である。種々の相互接続レベルの各々は、上述されたガウジング構造部を含む。

【 0 0 5 1 】

上述の統合処理スキームのために、ガウジング構造部 3 2 の形成中、第 2 の誘電体材料 2 4 内に損傷領域が形成されない。さらに、本発明の統合プロセスにより、金属ライン領域内に均一の厚さ（すなわち、2 nm 未満の厚さのばらつき）を有する拡散バリア 4 6 の連続的な被覆が可能になる。本発明の相互接続構造体のライン領域において、拡散バリア 4 6 の被覆率は連続的であり、相互接続誘電体材料内に損傷が導入されないので、本発明の相互接続構造体は、図 1 - 図 5 に示される相互接続構造体と比べて、配線の信頼性が改善され、金属間の漏れがより低レベルである。拡散バリア材料 3 0 は、ビア開口部 2 6 の内部にのみ存在し、ライン開口部 4 2 内に存在しないことも留意すべきである。この特徴は、ライン開口部 4 2 の内部の導体 5 0 の体積含有率を減少させることなく、ビア開口部領域の周りの機械的強度及び拡散特性の両方を強化する。幾つかの実施形態においては、第 1 の拡散バリア層 3 0 及び導電的に充填されたビア内の第 2 の連続的な拡散バリア 4 6 の全体の拡散バリア厚は、導電的に充填されたライン内の第 2 の連続的な拡散バリア 4 6 よりも厚いことがさらに留意される。

20

【 0 0 5 2 】

本発明をその好ましい実施形態について特に示し、説明したが、当業者であれば、本発明の精神及び範囲から逸脱することなく、形態及び細部について前述の及び他の変更をなし得ることを理解するであろう。従って、本発明は、記載され図示された通りの正確な形態及び細部に限定されるものではなく、添付の特許請求の範囲内であることが意図される。

30

【 図面の簡単な説明 】

【 0 0 5 3 】

【 図 1 】 相互接続構造体を形成する際に従来技術に用いられる基本的な処理ステップを示す図形的表示（断面図による）である。

【 図 2 】 相互接続構造体を形成する際に従来技術に用いられる基本的な処理ステップを示す図形的表示（断面図による）である。

40

【 図 3 】 相互接続構造体を形成する際に従来技術に用いられる基本的な処理ステップを示す図形的表示（断面図による）である。

【 図 4 】 相互接続構造体を形成する際に従来技術に用いられる基本的な処理ステップを示す図形的表示（断面図による）である。

【 図 5 】 相互接続構造体を形成する際に従来技術に用いられる基本的な処理ステップを示す図形的表示（断面図による）である。

【 図 6 】 超低 k 誘電体内に Cu 相互接続部を有する従来技術の相互接続構造体を示す SEM 画像（断面図による）である。

【 図 7 】 上部相互接続レベルを用いてビア・コンタクト開口部（以下、ビア開口部）を形

50

成した後の、本発明の初期構造体を示す図形的表示（断面図による）である。

【図 8】少なくともビア開口部内に第 1 の拡散バリアを形成した後の、図 7 の構造体を示す図形的表示（断面図による）である。

【図 9】ビア・コンタクト開口部の底部から第 1 の拡散バリアを除去するためのスパッタリング、及び、下にある導電性構造部へのパンチスルーを行って内部にガウジング構造部を形成した後の、図 8 の構造体を示す図形的表示（断面図による）である。

【図 10】図 9 に示される構造体に金属の界面層が形成された、本発明の随意的な実施形態を示す。

【図 11】平坦化層、ハードマスク及びパターン形成されたフォトレジストを形成した後の、図 9 の構造体を示す図形的表示（断面図による）である。

10

【図 12】上部相互接続レベル内に少なくとも 1 つのライン開口部を生成した後の、図 11 の構造体を示す図形的表示（断面図による）である。

【図 13】ライン開口部の形成中にビア開口部を保護した残りの平坦化材料を除去した後の、図 12 の構造体を示す図形的表示（断面図による）である。可能な残留物は、ビア底部に存在するものとして示される。

【図 14】ビア底部の酸化物 / 残留物を除去した後の、図 13 の構造体を示す図形的表示（断面図による）である。

【図 15】第 2 の拡散バリアを形成した後に形成される、図 14 の構造体を示す図形的表示（断面図による）である。

【図 16】第 2 の拡散バリアを形成した後に形成される、図 14 の構造体を示す図形的表示（断面図による）である。

20

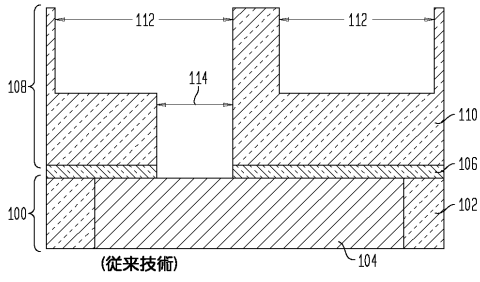
【図 17】接着・めっきシード層を形成した後に形成される、図 15 の構造体を示す図形的表示（断面図による）である。

【図 18】接着・めっきシード層を形成した後に形成される、図 16 の構造体を示す図形的表示（断面図による）である。

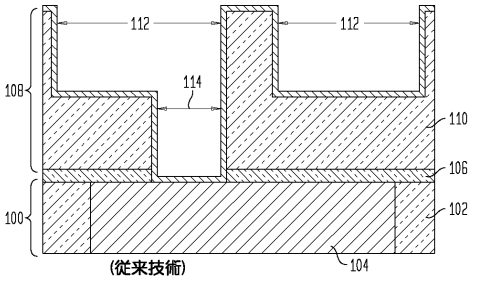
【図 19】金属充填及び平坦化の後に形成される、図 17 の構造体を示す図形的表示（断面図による）である。

【図 20】金属充填及び平坦化の後に形成される、図 18 の構造体を示す図形的表示（断面図による）である。

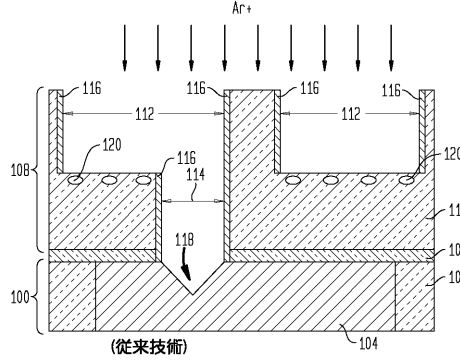
【図1】



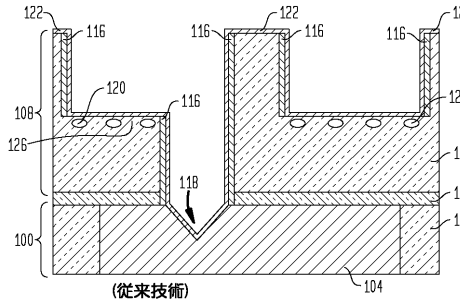
【図2】



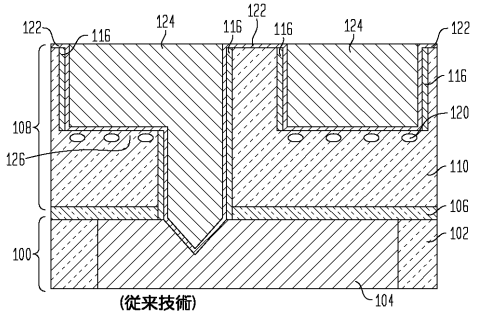
【図3】



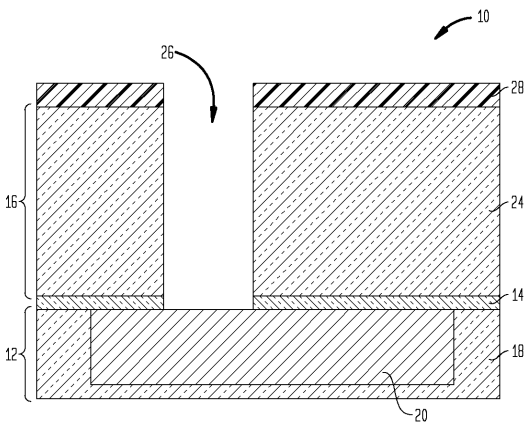
【図4】



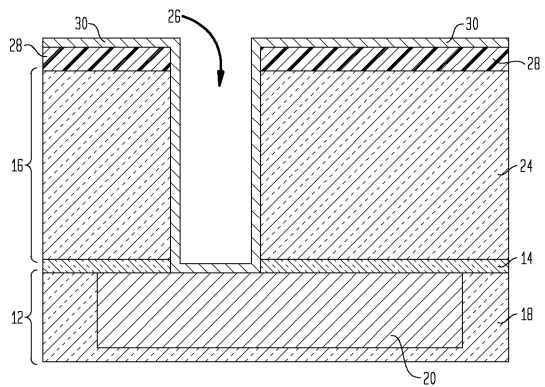
【図5】



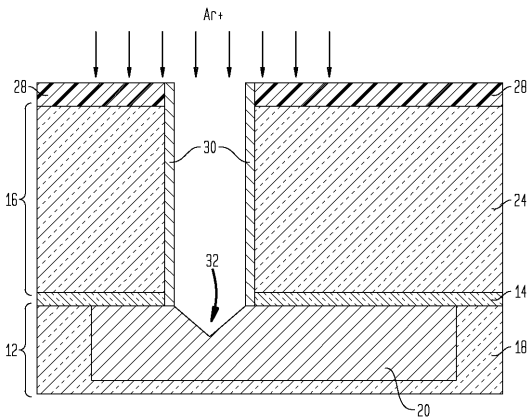
【図7】



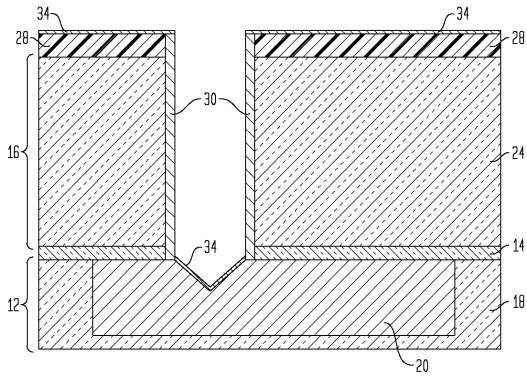
【図8】



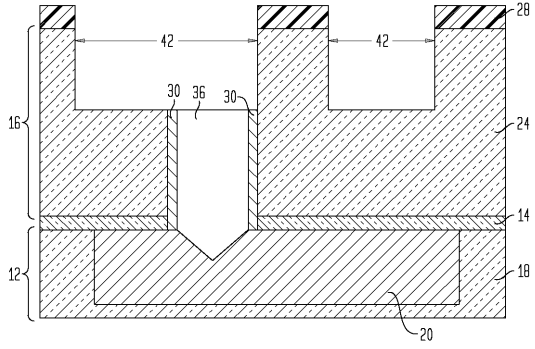
【図9】



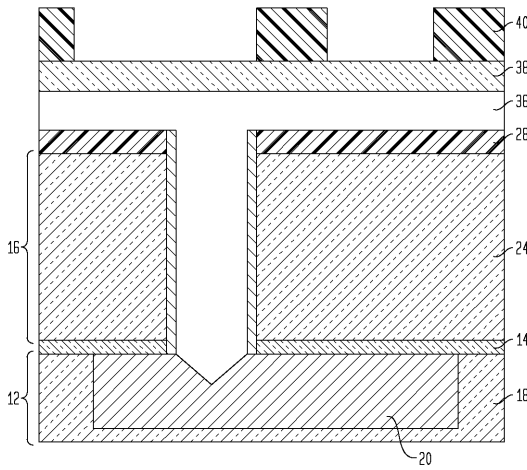
【図10】



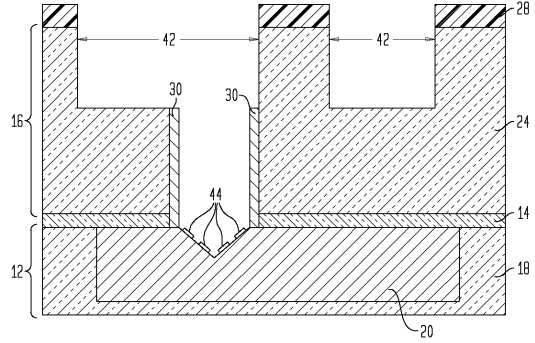
【図12】



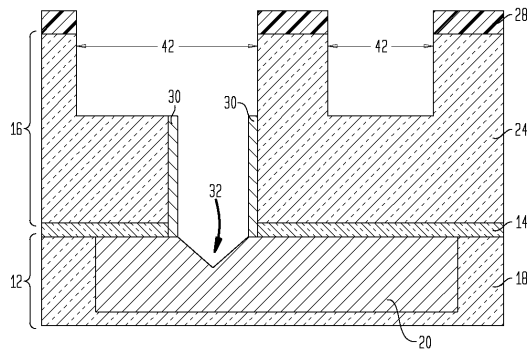
【図11】



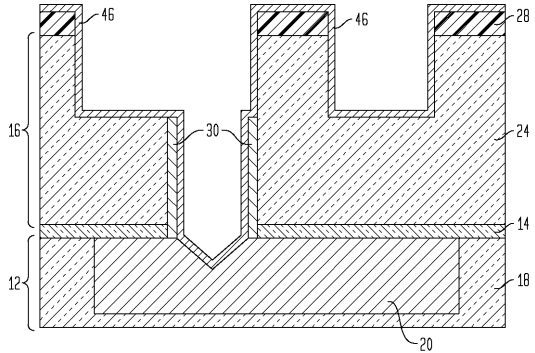
【図13】



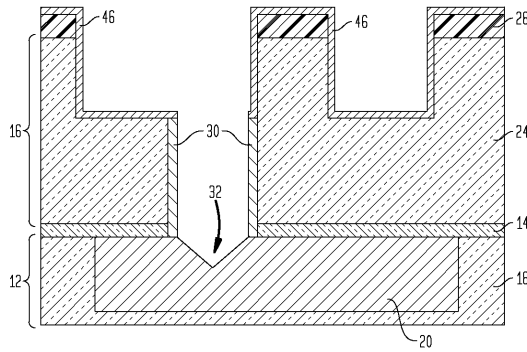
【図14】



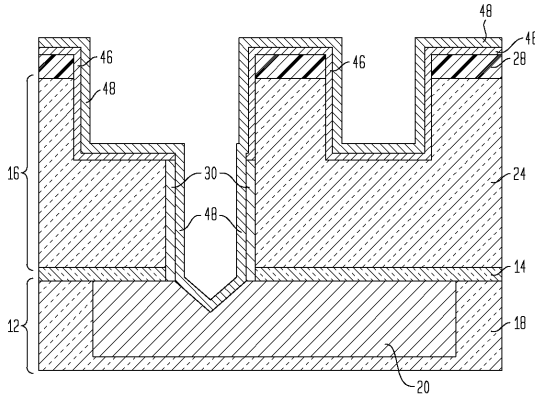
【図16】



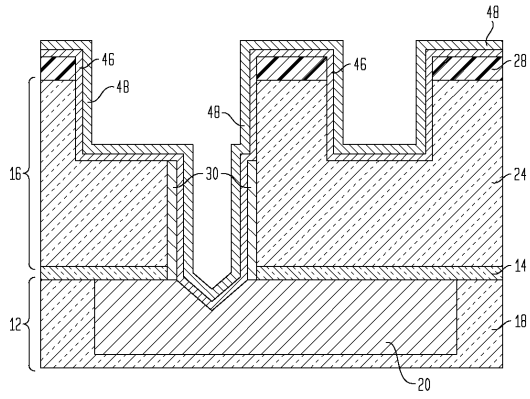
【図15】



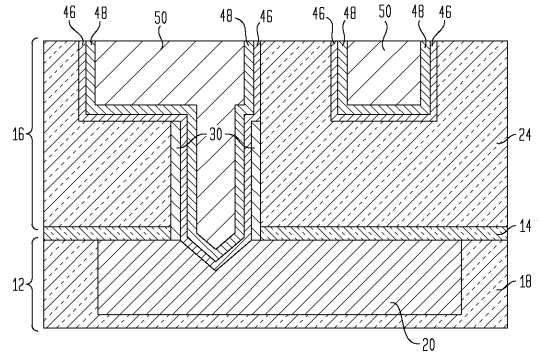
【図17】



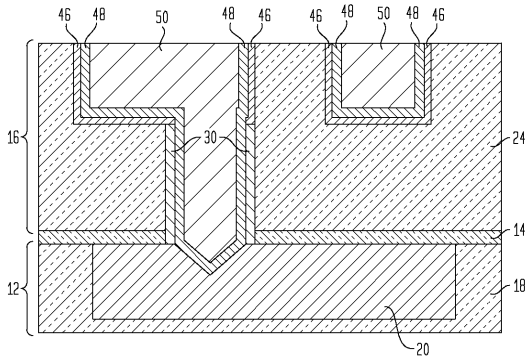
【図18】



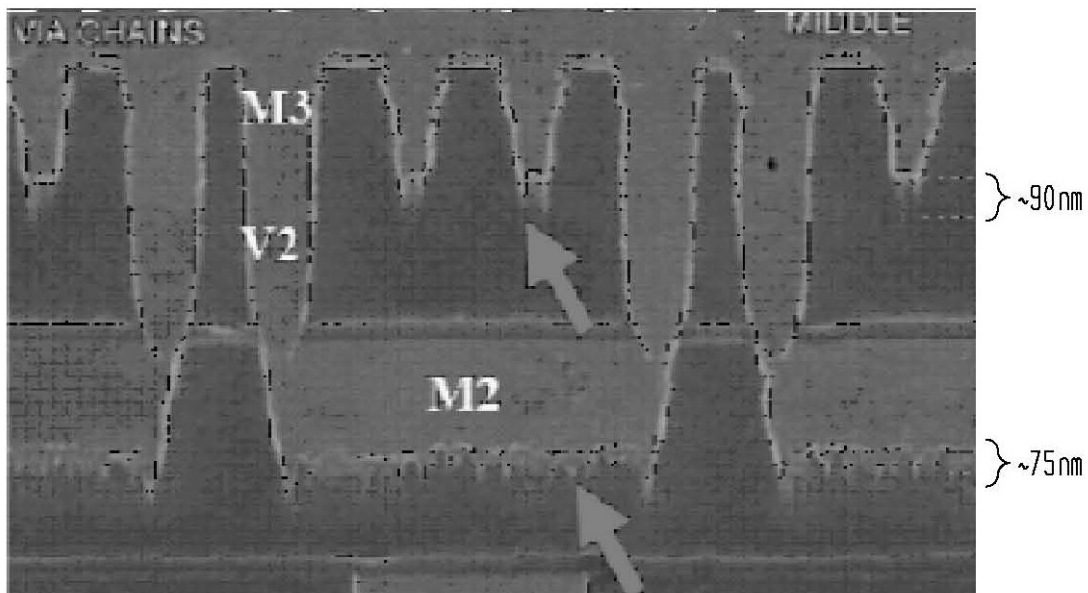
【図20】



【図19】



【図6】



(従来技術)

フロントページの続き

- (72)発明者 ヤン、チーチャオ
アメリカ合衆国 1 2 6 0 3 ニューヨーク州 ポキプシー シーニック・ドライブ 5 6
- (72)発明者 スプーナー、テリー、エー
アメリカ合衆国 0 6 8 1 2 コネチカット州 ニュー・フェアフィールド ローレルウッド・ド
ライブ 2
- (72)発明者 ヴァン、デル、ストラッテン、オスカー
アメリカ合衆国 1 0 5 4 7 ニューヨーク州 モヒガン・レイク ニュー・シャレー・ドライブ
1 7 8

合議体

審判長 鈴木 匡明
審判官 西脇 博志
審判官 早川 朋一

- (56)参考文献 特開2004 - 23030 (JP, A)
特開2004 - 172337 (JP, A)
国際公開第2004 / 53926 (WO, A1)

- (58)調査した分野(Int.Cl. , DB名)
H01L 21/3205
H01L 21/768