(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月24日(24.05.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/092007 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 27/06* (2006.01)
H01L 21/336 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/10* (2006.01)
H01L 21/8242 (2006.01) *H01L 27/108* (2006.01)

(21) 国際出願番号： PCT/IB2017/057026

(22) 国際出願日： 2017年11月10日(10.11.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-224482 2016年11月17日(17.11.2016) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

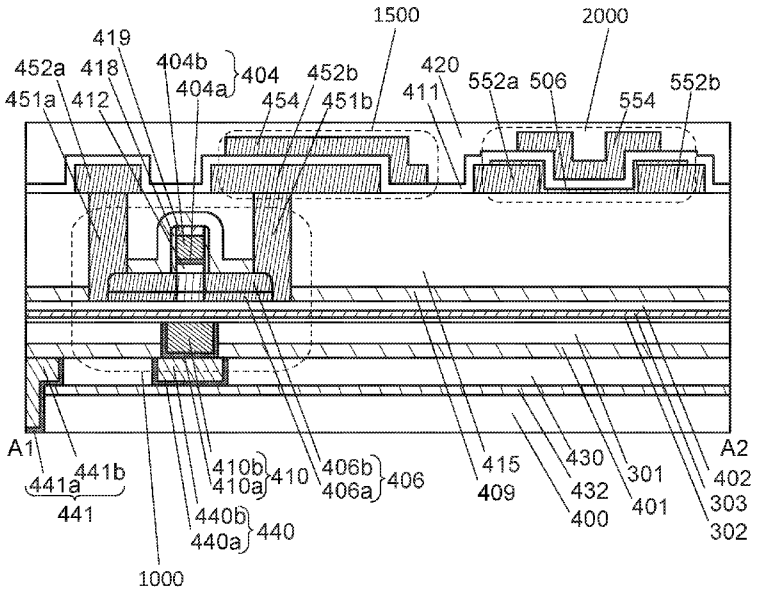
(72) 発明者: 山崎舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 伊藤大吾(ITO, Daigo); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 岡崎豊(OKAZAKI, Yutaka); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 石山貴久(ISHIYAMA, Takahisa); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) **Title:** SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称： 半導体装置、および半導体装置の作製方法

[図01]

(A)



(57) **Abstract:** Provided is a semiconductor device that can store data for a long period of time. The semiconductor device comprises a first transistor, a first insulator that is provided so as to cover the first transistor, and a second transistor that is disposed on the first insulator. The first transistor includes: a first conductor; a second insulator that is disposed on the first conductor; a first oxide that is disposed on the second insulator; a second oxide that is disposed so as to contact at least part of an upper surface of the first oxide; a third insulator that is disposed on the second oxide; a second conductor

WO 2018/092007 A1

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

that is disposed on the third insulator; a third conductor that is disposed on the second conductor; a fourth insulator that is disposed on the second conductor; a fifth insulator that contacts side surfaces of the third insulator, the second conductor, the third conductor and the fourth insulator; and a sixth insulator that is disposed so as to contact an upper surface of the second oxide and side surfaces of the fifth insulator. The source or the drain of the second transistor is electrically connected to the first conductor.

(57) 要約:要約書 長期間においてデータの保持が可能な半導体装置を提供する。 第１のトランジスタと、第１のトランジスタを覆うように設けられた第１の絶縁体と、 第１の絶縁体 上の第２のトランジスタを有し、 第１のトランジスタは、 第１の導電体と、 第１の導電体上の第２の 絶縁体と、 第２の絶縁体上の第１の酸化物と、 第１の酸化物の上面の少なくとも一部に接して配置さ れた第２の酸化物と、 第２の酸化物上の第３の絶縁体と、 第３の絶縁体上の第２の導電体と、 第２の 導電体上の第３の導電体と、 第２の導電体上の第４の絶縁体と、 第３の絶縁体、 第２の導電体、 第３ の導電体、 第４の絶縁体の側面に接する第５の絶縁体と、 第２の酸化物の上面に接し、 かつ第５の絶 縁体の側面に接して配置された第６の絶縁体と、を有し、 第２のトランジスタのソースおよびドレイ ンの一方は、第１の導電体と電気的に接続する。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

［０００１］

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

［０００２］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

［０００３］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

［０００４］

近年、半導体装置の開発が進められ、ＬＳＩやＣＰＵやメモリが主に用いられている。ＣＰＵは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００５］

ＬＳＩやＣＰＵやメモリなどの半導体回路（ＩＣチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００６］

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（ＩＣ）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

［０００７］

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のＣＰＵなどが開示されている（特許文献１参照。）。

［０００８］

また、トランジスタのキャリア移動度の向上を目的として、電子親和力（または伝導帯下端準位）が異なる酸化物半導体層を積層させる技術が開示されている（特許文献２及び特許文献３参照）。

［０００９］

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

［先行技術文献］

［特許文献］

［００１０］

［特許文献１］特開２０１２－２５７１８７号公報

［特許文献２］特開２０１１－１２４３６０号公報

［特許文献３］特開２０１１－１３８９３４号公報

発明の概要

発明が解決しようとする課題

［００１１］

本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

［００１２］

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様には、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

［００１３］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１４］

本発明の一態様は、第１のトランジスタと、第１のトランジスタを覆う絶縁体上に第１のトランジスタと電気特性が異なる第２のトランジスタと、を有する半導体装置である。その際、例えば、第１のトランジスタは第１のしきい値電圧を有し、第２のトランジスタは第２のしきい値電圧を有することが好ましい。また、第１のトランジスタのチャネルが形成される半導体層と、第２のトランジスタのチャネルが形成される半導体層に、それぞれ電子親和力が異なる半導体材料を用いることが好ましい。また、キャリア移動度やオン電流が第２のトランジスタより高い第１のトランジスタと、ゲート電圧が０Ｖの時のドレイン電流が第１のトランジスタより小さい第２のトランジスタと、を有することが好ましい。

［００１５］

また、本発明の一態様は、第１のトランジスタと、第１のトランジスタを覆う絶縁体上に、第１のトランジスタと電気特性が異なる第２のトランジスタと、容量素子と、を有する半導体装置である。また、このとき、容量素子を、第２のトランジスタと同一層に設けることが好ましい。

［００１６］

１つの半導体装置に異なる電気特性を有するトランジスタを設けることで、回路設計の自由度を高めることができる。一方、一つの半導体装置に異なる電気特性を有するトランジスタと、容量を形成

する場合、当該半導体装置の作製工程数が大幅に増加する恐れがある。作製工程数の大幅な増加は、歩留まりの低下を誘発し易く、半導体装置の生産性を著しく低下させる場合がある。本発明の一態様によれば、トランジスタの作成工程と容量素子の作成工程を一部共通とすることで、当該半導体装置の作製工程数が大幅に増加することなく、１つの半導体装置に異なる電気特性を有するトランジスタと容量素子を設けることができる。

［００１７］

第１のトランジスタには、ゲート電極およびゲート絶縁体の側面に接して、絶縁体が配置されている。なお、該絶縁体は、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法で成膜されると好ましい。絶縁体をＡＬＤ法で成膜することで被覆性が良好な膜、あるいは緻密な膜からなる絶縁体が得られる。ゲート絶縁膜の側面に接してこのような絶縁体を設けることで、ゲート絶縁膜中の酸素が外部に拡散することを防ぎ、水または水素などの不純物がゲート絶縁膜中に混入することを防ぐことができる。

［００１８］

本発明の一態様は、第１のトランジスタと、第１のトランジスタを覆うように設けられた第１の絶縁体と、第１の絶縁体上の第２のトランジスタを有し、記第１のトランジスタは、第１の導電体と、第１の導電体上に配置された第２の絶縁体と、第２の絶縁体の上に配置された第１の酸化物と、第１の酸化物の上面の少なくとも一部に接して配置された第２の酸化物と、第２の酸化物の上に配置された第３の絶縁体と、第３の絶縁体の上に配置された第２の導電体と、第２の導電体の上に配置された第３の導電体と、第３の導電体の上に配置された第４の絶縁体と、第３の絶縁体、第２の導電体、第３の導電体、第４の絶縁体の側面に接して配置された第５の絶縁体と、第２の酸化物の上面に接し、かつ第５の絶縁体の側面に接して配置された第６の絶縁体と、を有し、第２のトランジスタのソースおよびドレインの一方は、第１の導電体と電気的に接続する半導体装置である。

［００１９］

また、上記半導体装置において、第２のトランジスタのゲートは、第１の導電体と電気的に接続することが好ましい。

［００２０］

また、上記半導体装置において、第１の絶縁体上に容量素子を有し、容量素子は、第４の導電体と、第５の導電体と、第４の導電体と第５の導電体の間に設けられた第７の絶縁体を有し、第２のトランジスタは、第６の導電体と、第７の導電体と、第６の導電体および前記第７の導電体と電気的に接続する第３の酸化物と、第８の導電体を有し、第４の導電体は第１のトランジスタのソースおよびドレインの一方と電気的に接続し、第３の酸化物と第８の導電体の間に第７の絶縁体が設けられていることが好ましい。

［００２１］

また、上記半導体装置において、第４の導電体、第６の導電体、および第７の導電体は、同じ材料からなることが好ましい。

［００２２］

また、上記半導体装置において、第５の導電体、および第８の導電体は、同じ材料からなることが好ましい。

［００２３］

また、上記半導体装置において、第１の酸化物および第２の酸化物は、それぞれ、Ｉｎと、元素M

（MはＡｌ、Ｇａ、Ｙ、またはＳｎ）と、Ｚｎと、を含むことが好ましい。

［００２４］

また、上記半導体装置において、第３の酸化物は、Ｉｎと、元素Ｍ（MはＡｌ、Ｇａ、Ｙ、またはＳｎ）と、Ｚｎと、を含み、第３の酸化物のＩｎ、Ｍ、およびＺｎの組成は、第１の酸化物および第２の酸化物の一方のＩｎ、Ｍ、およびＺｎの組成と等しくてもよい。

［００２５］

また、上記半導体装置において、第３の酸化物は、Ｉｎと、元素Ｍ（MはＡｌ、Ｇａ、Ｙ、またはＳｎ）と、Ｚｎと、を含み、第３の酸化物のＩｎ、Ｍ、およびＺｎの組成は、第１の酸化物のＩｎ、Ｍ、およびＺｎの組成、および第２の酸化物のＩｎ、Ｍ、およびＺｎの組成のいずれとも異なってもよい。

［００２６］

また、上記半導体装置において、第４の絶縁体は、酸化アルミニウムおよび酸化ハフニウムのいずれかを有することが好ましい。

［００２７］

また、上記半導体装置において、第５の絶縁体は、酸化アルミニウムおよび酸化ハフニウムのいずれかを有することが好ましい。

［００２８］

また、上記半導体装置において、第６の絶縁体は、水素および窒素のいずれか一方または両方を有することが好ましい。

［００２９］

また、本発明の一態様は、第１の絶縁体の上に、第１の酸化膜、および第２の酸化膜を順に形成し、第１の酸化膜および前記第２の酸化膜を島状に加工して、第１の酸化物および第２の酸化物を形成し、第２の酸化物の上に、第１の絶縁膜、第１の導電膜、第２の導電膜、および第２の絶縁膜を順に形成し、第１の絶縁膜、第１の導電膜、第２の導電膜、および第２の絶縁膜を加工して、第２の絶縁体、第１の導電体、第２の導電体、および第３の絶縁体を形成し、第１の絶縁体、第１の酸化物、第２の酸化物、第２の絶縁体、第１の導電体、第２の導電体、および第３の絶縁体を覆うように、第３の絶縁膜を形成し、第３の絶縁膜を加工して、第２の絶縁体、第１の導電体、第２の導電体、および第３の絶縁体の側面に接する、第４の絶縁体を形成し、第１の絶縁体、第１の酸化物、第２の酸化物、第４の絶縁体、および第３の絶縁体を覆うように、第５の絶縁体を形成し、第５の絶縁体の上に第６の絶縁体を形成し、第６の絶縁体上に第３の導電膜を形成し、第３の導電膜を加工して少なくとも第３の導電体、第４の導電体、および第５の導電体を形成し、第４の導電体および第５の導電体と電気的に接続する第３の酸化物を形成し、第３の導電体、第４の導電体、第５の導電体、および第３の酸化物を覆う第７の絶縁体を形成し、第７絶縁体上に第４の導電膜を形成し、第４の導電膜を加工して、第３の導電体の少なくとも一部と重なる第６の導電体と、第３の酸化物の少なくとも一部と重なる第７の導電体を形成する半導体装置の作製方法である。

［００３０］

また、上記作製方法において、第３の絶縁膜は、ＡＬＤ法を用いて形成されることが好ましい。

発明の効果

［００３１］

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一

態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

［００３２］

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、情報の書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

［００３３］

酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

［００３４］

または、新規な半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。

［００３５］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００３６］

［図１］　本発明の一態様に係る半導体装置の断面図。

［図２］　本発明の一態様に係る半導体装置の上面図。

［図３］　本発明の一態様に係る半導体装置の断面図。

［図４］　本発明の一態様に係る半導体装置の断面図。

［図５］　本発明の一態様に係る半導体装置の作製方法を示す断面図。

［図６］　本発明の一態様に係る半導体装置の作製方法を示す断面図。

［図７］　本発明の一態様に係る半導体装置の作製方法を示す断面図。

［図８］　本発明の一態様に係る半導体装置の作製方法を示す断面図。

［図９］　本発明の一態様に係る半導体装置の作製方法を示す断面図。

［図１０］　本発明の一態様に係る半導体装置の作製方法を示す断面図。

［図１１］　本発明の一態様に係る半導体装置の作製方法を示す断面図。

［図１２］本発明に係る金属酸化物の原子数比の範囲を説明する図。

［図１３］　本発明の一態様に係る半導体装置の回路図および断面図。

［図１４］　本発明の一態様に係る半導体装置の断面図。

［図１５］　本発明の一態様に係る半導体装置の断面図。

［図１６］　本発明の一態様に係る記憶装置の構成を示す断面図。

［図１７］　本発明の一態様に係る記憶装置の構成を示す断面図。

［図１８］　本発明の一態様に係る記憶装置の構成例を示すブロック図。

［図１９］　本発明の一態様に係る記憶装置の構成例を示すブロック図、および回路図。

［図２０］　本発明の一態様に係る半導体装置の構成例を示すブロック図。

［図２１］　本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。

［図２２］　本発明の一態様に係る半導体装置の構成例を示すブロック図。

［図２３］　本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。

［図２４］　本発明の一態様に係る半導体装置を示すブロック図。

［図２５］　本発明の一態様に係る半導体装置を示す回路図。

［図２６］　本発明の一態様に係る半導体ウエハの上面図。

［図２７］　電子部品の作製工程例を説明するフローチャートおよび斜視模式図。

［図２８］　本発明の一態様に係る電子機器を示す図。

発明を実施するための形態

［００３７］

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

［００３８］

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

［００３９］

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

［００４０］

また、本明細書等において、第１、第２等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第１の」を「第２の」または「第３の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

［００４１］

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

［００４２］

例えば、本明細書等において、ＸとＹとが直接的に接続されている場合と、ＸとＹとが接続されている、と明示的に記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

［００４３］

ここで、Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［００４４］

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

［００４５］

なお、本明細書などにおいて、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、「実効的なチャネル幅」ともいう。）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

［００４６］

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

［００４７］

また、本明細書では、単にチャネル幅と記載した場合には、見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、などは、断面ＴＥＭ像などを解析することなどによって、値を決定することができる。

［００４８］

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のＤＯＳ（Ｄｅｎｓｉｔｙ　ｏｆ　Ｓｔａｔｅｓ）が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第１族元素、第２族元

素、第１３族元素、第１５族元素などがある。

［００４９］

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

［００５０］

また、本明細書等において、「平行」とは、二つの直線が－１０度以上１０度以下の角度で配置されている状態をいう。したがって、－５度以上５度以下の場合も含まれる。また、「略平行」とは、二つの直線が－３０度以上３０度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０度以上１００度以下の角度で配置されている状態をいう。したがって、８５度以上９５度以下の場合も含まれる。また、「略垂直」とは、二つの直線が６０度以上１２０度以下の角度で配置されている状態をいう。

［００５１］

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

［００５２］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒまたは単にＯＳともいう。）などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、ＯＳ　ＦＥＴあるいはＯＳトランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

［００５３］

また、本明細書等において、ノーマリオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅１μｍあたりの電流が、室温において１×１０$^{-20}$Ａ以下、８５℃において１×１０$^{-18}$Ａ以下、または１２５℃において１×１０$^{-16}$Ａ以下であることをいう。

［００５４］

（実施の形態１）

＜半導体装置の構成例＞

以下では、本発明の一態様に係るトランジスタ１０００およびトランジスタ２０００を有する半導体装置の一例について説明する。

［００５５］

図１（Ａ）および（Ｂ）は、トランジスタ１０００およびトランジスタ２０００を有する半導体装置の断面図であり、図２は該半導体装置の上面図である。ここで、図１（Ａ）は、図２にＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ１０００のチャネル長方向の断面図でもある。また、図１（Ｂ）は、図２にＡ３－Ａ４の一点鎖線で示す部位の断面図であり、トランジスタ１０００のチャネル幅方向の断面図でもある。図２の上面図では、図の明瞭化のために一部の要素を省いて図示している。

［００５６］

基板（図示せず）の上に形成されたトランジスタ１０００およびトランジスタ２０００は、異なる構成を有する。例えば、トランジスタ２０００は、トランジスタ１０００と比較して、ゲート電圧が０Ｖのときのドレイン電流（以下、Ｉｃｕｔと呼ぶ。）が小さい構成とすればよい。トランジスタ２０００をスイッチング素子として、トランジスタ１０００のバックゲートの電位を制御できる構成とする。これにより、トランジスタ１０００のバックゲートと接続するノードを所望の電位にした後、トランジスタ２０００をオフ状態にすることで、トランジスタ１０００のバックゲートと接続するノードの電荷が消失することを抑制することができる。

［００５７］

以下、トランジスタ１０００とトランジスタ２０００の構成についてそれぞれ図１から図４を用いて説明する。なお、トランジスタ１０００とトランジスタ２０００の構成材料の詳細については＜構成材料について＞で説明する。

［００５８］

［トランジスタ１０００］

図１（Ａ）および図１（Ｂ）に示すように、トランジスタ１０００は、基板（図示せず）の上に配置された絶縁体４０１および絶縁体３０１と、絶縁体４０１および絶縁体３０１に埋め込まれるように配置された導電体４１０と、絶縁体３０１と導電体４１０の上に配置された絶縁体３０２と、絶縁体３０２の上に配置された絶縁体３０３と、絶縁体３０３の上に配置された絶縁体４０２と、絶縁体４０２の上に配置された酸化物４０６ａと、酸化物４０６ａの上面の少なくとも一部に接して配置された酸化物４０６ｂと、酸化物４０６ｂの上に配置された絶縁体４１２と、絶縁体４１２の上に配置された導電体４０４ａと、導電体４０４ａの上に配置された導電体４０４ｂと、導電体４０４ｂの上に配置された絶縁体４１９と、絶縁体４１２、導電体４０４ａ、導電体４０４ｂ、および絶縁体４１９の側面に接して配置された絶縁体４１８と、少なくとも酸化物４０６ｂの上面および絶縁体４１８の側面に接して配置された絶縁体４０９と、を有する。ここで、図１（Ａ）に示すように、絶縁体４１８の上面は、絶縁体４１９の上面と略一致することが好ましい。また、絶縁体４０９は、絶縁体４１９、導電体４０４、絶縁体４１８、および酸化物４０６を覆って設けられることが好ましい。

［００５９］

以下において、酸化物４０６ａ、および酸化物４０６ｂをまとめて酸化物４０６という場合がある。また、導電体４０４ａと導電体４０４ｂをまとめて導電体４０４という場合がある。なお、トランジスタ１０００では、導電体４０４ａおよび導電体４０４ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体４０４ｂのみを設ける構成にしてもよい。

［００６０］

また、トランジスタ１０００は、基板の上に絶縁体４００を配置する構成にしてもよい。また、絶縁体４００の上に絶縁体４３２を配置する構成にしてもよい。また、絶縁体４３２の上に配置された絶縁体４３０と、絶縁体４３０に埋め込まれるように配置された導電体４４０と、を有する構成にしてもよい。また、絶縁体４３０の上に絶縁体４０１を配置し、絶縁体４０１の上に絶縁体３０１を配置する構成にしてもよい。

［００６１］

導電体４４０は、絶縁体４３０の開口の内壁に接して導電体４４０ａが形成され、さらに内側に導電体４４０ｂが形成されている。ここで、導電体４４０ａおよび導電体４４０ｂの上面の高さと、絶縁体４３０の上面の高さは同程度にできる。なお、トランジスタ１０００では、導電体４４０ａおよ

び導電体４４０ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体４４０ｂのみを設ける構成にしてもよい。

［００６２］

導電体４１０は、導電体４４０の上に接して設けられ、酸化物４０６および導電体４０４と重なるように配置されることが好ましい。導電体４１０は、絶縁体４０１および絶縁体３０１の開口の内壁に接して導電体４１０ａが形成され、さらに内側に導電体４１０ｂが形成されている。よって、導電体４１０ａは導電体４４０ｂに接する構成が好ましい。ここで、導電体４１０ａおよび導電体４１０ｂの上面の高さと、絶縁体３０１の上面の高さは同程度にできる。なお、トランジスタ１０００では、導電体４１０ａおよび導電体４１０ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体４１０ｂのみを設ける構成にしてもよい。

［００６３］

導電体４０４は、トップゲートとして機能でき、導電体４１０は、バックゲートとして機能できる。バックゲートの電位をトップゲートと連動させず独立して変化させることで、トランジスタ１０００のしきい値電圧を変化させることができる。特に、バックゲートに負の電位を印加することにより、トランジスタ１０００のしきい値電圧を０Ｖより大きくし、オフ電流を低減し、Ｉｃｕｔを非常に小さくすることができる。

［００６４］

導電体４４０は、導電体４０４と同様にチャネル幅方向に延伸されており、導電体４１０、すなわちバックゲートに電位を印加する配線として機能する。ここで、バックゲートの配線として機能する導電体４４０の上に積層して、絶縁体４０１および絶縁体３０１に埋め込まれた導電体４１０を設けることにより、導電体４４０と導電体４０４の間に絶縁体４０１および絶縁体３０１などが設けられ、導電体４４０と導電体４０４の間の寄生容量を低減し、絶縁耐圧を高めることができる。導電体４４０と導電体４０４の間の寄生容量を低減することで、トランジスタのスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体４４０と導電体４０４の間の絶縁耐圧を高めることで、トランジスタ１０００の信頼性を向上させることができる。よって、絶縁体４０１および絶縁体３０１の膜厚を大きくすることが好ましい。なお、導電体４４０の延伸方向はこれに限られず、例えば、トランジスタ１０００のチャネル長方向に延伸されてもよい。

［００６５］

ここで、導電体４１０ａおよび導電体４４０ａは、水または水素などの不純物の透過を抑制する機能を有する（透過しにくい）導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、絶縁体４３２より下層から水素、水などの不純物が導電体４４０および導電体４１０を通じて上層に拡散するのを抑制することができる。なお、導電体４１０ａおよび導電体４４０ａは、水素原子、水素分子、水分子、酸素原子、酸素分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの不純物または、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の透過を抑制する機能を有することが好ましい。また、以下において、不純物の透過を抑制する機能を有する導電性材料について記載する場合も同様である。導電体４１０ａおよび導電体４４０ａが酸素の透過を抑制する機能を持つことにより、導電体４１０ｂおよび導電体４４０ｂが酸化して導電率が低下することを防ぐことができる。

［００６６］

また、導電体４１０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体４１０ｂは積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

［００６７］

また、導電体４４０ｂは、配線として機能するため、導電体４１０ｂより導電性が高い導電体を用いることが好ましく、例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、図示しないが、導電体４４０ｂは積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

［００６８］

また、導電体４４０と同じように導電体４４１を設けてもよい。導電体４４１は、絶縁体４００、絶縁体４３２、および絶縁体４３０に形成された開口の中に設けられている。導電体４４１の絶縁体４３０と同じ層に形成される部分が配線として機能し、導電体４４１の絶縁体４００、および絶縁体４３２と同じ層に形成される部分がプラグとして機能する。導電体４４１は、上記開口の内壁に接して導電体４４１ａが形成され、さらに内側に導電体４４１ｂが形成される。導電体４４１ａは、導電体４４０ａと同様の導電体を用いることができる。また、導電体４４１ｂは、導電体４４０ｂと同様の導電体を用いることができる。また、導電体４４１ａおよび導電体４４１ｂの上面の高さと、絶縁体４３０の上面の高さは同程度にできる。

［００６９］

このような導電体４４１を設けることで、絶縁体４００より下層に位置する配線、回路素子、半導体素子などと接続することができる。また、導電体４４１より上層に同様の配線とプラグを設けることにより、上層に位置する配線、回路素子、半導体素子などと接続することができる。

［００７０］

絶縁体４３２および絶縁体４０１は、下層から水または水素などの不純物がトランジスタに混入するのを防ぐバリア絶縁膜として機能できる。絶縁体４３２および絶縁体４０１は、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体４３２として酸化アルミニウムなどを用い、絶縁体４０１として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体４３２および絶縁体４０１より上層に拡散するのを抑制することができる。なお、絶縁体４３２および絶縁体４０１は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの不純物の少なくとも一の透過を抑制する機能を有することが好ましい。また、以下において、不純物の透過を抑制する機能を有する絶縁性材料について記載する場合も同様である。

［００７１］

また、絶縁体４３２および絶縁体４０１は、酸素（例えば、酸素原子または酸素分子など）の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。これにより、絶縁体４０２などに含まれる酸素が下方拡散するのを抑制することができる。

［００７２］

また、導電体４４０の上に導電体４１０を積層して設ける構成にすることにより、導電体４４０と導電体４１０の間に絶縁体４０１を設けることができる。ここで、導電体４４０ｂに銅など拡散しやすい金属を用いても、絶縁体４０１として窒化シリコンなどを設けることにより、当該金属が絶縁体４０１より上の層に拡散するのを防ぐことができる。

［００７３］

また、絶縁体３０３は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体３０３より下層から水素、水などの不純物が絶縁体３０３より上層に拡散するのを抑制することができる。さらに、絶縁体４０２などに含まれる酸素が下方拡散するのを抑制することができる。

［００７４］

また、絶縁体４０２中の水、水素または窒素酸化物などの不純物濃度が低減されていることが好ましい。例えば、絶縁体４０２の水素の脱離量は、昇温脱離ガス分析法（ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ））において、５０℃から５００℃の範囲において、水素分子に換算した脱離量が、絶縁体４０２の面積当たりに換算して、2×10^{15}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以下、好ましくは1×10^{15}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以下、より好ましくは5×10^{14}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以下であればよい。また、絶縁体４０２は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

［００７５］

絶縁体４１２は、第１のゲート絶縁膜として機能でき、絶縁体３０２、絶縁体３０３、および絶縁体４０２は、第２のゲート絶縁膜として機能できる。なお、トランジスタ１０００では、絶縁体３０２、絶縁体３０３、および絶縁体４０２を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体３０２、絶縁体３０３、および絶縁体４０２のうちいずれか２層を積層した構造にしてもよいし、いずれか１層を用いる構造にしてもよい。

［００７６］

酸化物４０６は、酸化物４０６ａ、および酸化物４０６ｂの順に積層されている。酸化物４０６ｂの側面は、酸化物４０６ａの側面を含む面に含まれていることが好ましい。

［００７７］

酸化物４０６は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。金属酸化物としては、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［００７８］

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

［００７９］

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［００８０］

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有するＩｎ－Ｍ－Ｚｎ酸化物である

場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

［００８１］

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［００８２］

ここで、酸化物４０６ａに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物４０６ｂに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物４０６ａに用いる金属酸化物において、Ｉｎに対する元素Mの原子数比が、酸化物４０６ｂに用いる金属酸化物における、Ｉｎに対する元素Mの原子数比より大きいことが好ましい。また、酸化物４０６ｂに用いる金属酸化物において、元素Mに対するＩｎの原子数比が、酸化物４０６ａに用いる金属酸化物における、元素Mに対するＩｎの原子数比より大きいことが好ましい。

［００８３］

以上のような金属酸化物を酸化物４０６ａとして用いて、酸化物４０６ａの伝導帯下端のエネルギーが、酸化物４０６ｂの伝導帯下端のエネルギーが低い領域における、伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物４０６ａの電子親和力が、酸化物４０６ｂの伝導帯下端のエネルギーが低い領域における電子親和力より小さいことが好ましい。

［００８４］

ここで、酸化物４０６ａ、および酸化物４０６ｂにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物４０６ａと酸化物４０６ｂとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［００８５］

具体的には、酸化物４０６ａと酸化物４０６ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物４０６ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、酸化物４０６ａとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウムなどを用いるとよい。

［００８６］

このとき、キャリアの主たる経路は酸化物４０６ｂに形成されるナローギャップ部分となる。酸化物４０６ａと酸化物４０６ｂとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

［００８７］

ここで、図１（Ａ）に示す酸化物４０６近傍の拡大図を、図３（Ａ）（Ｂ）に示す。図３（Ａ）（Ｂ）に示すように、酸化物４０６は、領域４２６ａ、領域４２６ｂ、および領域４２６ｃを有する。領域４２６ａは、図３（Ａ）（Ｂ）に示すように、領域４２６ｂと領域４２６ｃに挟まれる。領域４２６ｂおよび領域４２６ｃは、絶縁体４０９の成膜により低抵抗化された領域であり、領域４２６ａより

導電性が高い領域となる。領域４２６ｂおよび領域４２６ｃは、絶縁体４０９の成膜雰囲気に含まれる、水素または窒素などの不純物元素が添加される。これにより、酸化物４０６の絶縁体４０９と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込む（すなわち捕獲される）ことで、キャリア密度が高くなり、低抵抗化される。

［００８８］

よって、領域４２６ｂおよび領域４２６ｃは、領域４２６ａより、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）などを用いて測定すればよい。ここで、領域４２６ａの水素または窒素の濃度としては、酸化物４０６ｂの絶縁体４１２と重なる領域の中央近傍（例えば、酸化物４０６ｂの絶縁体４１２のチャネル長方向の両側面からの距離が概略等しい部分）の水素または窒素の濃度を測定すればよい。

［００８９］

なお、領域４２６ｂおよび領域４２６ｃは、酸素欠損を形成する元素、または酸素欠損に捕獲される元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域４２６ｂおよび領域４２６ｃは、上記元素の一つまたは複数を含む構成にすればよい。

［００９０］

また、酸化物４０６ａは、領域４２６ｂおよび領域４２６ｃにおいて、元素Mに対するＩｎの原子数比が、酸化物４０６ｂの元素Mに対するＩｎの原子数比と同程度になることが好ましい。言い換えると、酸化物４０６ａは、領域４２６ｂおよび領域４２６ｃにおける元素Mに対するＩｎの原子数比が、領域４２６ａにおける元素Mに対するＩｎの原子数比より大きいことが好ましい。ここで、酸化物４０６は、インジウムの含有率を高くすることで、キャリア移動度を高くし、低抵抗化を図ることができる。このような構成にすることにより、トランジスタ１０００の作製工程において、酸化物４０６ｂの膜厚が薄くなり、酸化物４０６ｂの電気抵抗が大きくなった場合でも、領域４２６ｂおよび領域４２６ｃにおいて、酸化物４０６ａが十分低抵抗化されており、酸化物４０６の領域４２６ｂおよび領域４２６ｃはソース領域およびドレイン領域として機能させることができる。

［００９１］

図３（Ａ）（Ｂ）に示すように、領域４２６ｂおよび領域４２６ｃは、酸化物４０６の少なくとも絶縁体４０９と接する領域に形成される。ここで、酸化物４０６ｂの領域４２６ｂはソース領域およびドレイン領域の一方として機能でき、酸化物４０６ｂの領域４２６ｃは、ソース領域およびドレイン領域の他方として機能できる。また、酸化物４０６ｂの領域４２６ａはチャネル形成領域として機能できる。

［００９２］

なお、図１（Ａ）および図３（Ａ）（Ｂ）などでは、領域４２６ａ、領域４２６ｂ、および領域４２６ｃが、酸化物４０６ａ、および酸化物４０６ｂに形成されているが、これに限られることなく、例えばこれらの領域は少なくとも酸化物４０６ｂに形成されていればよい。また、図１（Ａ）および図３（Ａ）（Ｂ）などでは、領域４２６ａと領域４２６ｂの境界、および領域４２６ａと領域４２６ｃの境界を酸化物４０６の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域４２６ｂおよび領域４２６ｃが酸化物４０６ｂの表面近傍では導電体４０

４側に張り出し、酸化物４０６ａの下面近傍では、導電体４５１ａ側または導電体４５１ｂ側に後退する形状になる場合がある。

［００９３］

トランジスタ１０００では、図３（Ａ）に示すように、領域４２６ｂおよび領域４２６ｃが、酸化物４０６の絶縁体４０９と接する領域と、絶縁体４１８、および絶縁体４１２の両端部近傍と重なる領域に形成されることが好ましい。このとき、領域４２６ｂおよび領域４２６ｃの導電体４０４と重なる部分は、所謂オーバーラップ領域（Ｌｏｖ領域ともいう）として機能する。Ｌｏｖ領域を有する構造とすることで、酸化物４０６のチャネル形成領域と、ソース領域およびドレイン領域との間に高抵抗領域が形成されないため、トランジスタのオン電流および移動度を大きくすることができる。

［００９４］

ただし、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図３（Ｂ）に示すように、領域４２６ｂおよび領域４２６ｃが、酸化物４０６の絶縁体４０９および絶縁体４１８と重なる領域に形成される構成にしてもよい。なお、図３（Ｂ）に示す構成を別言すると、導電体４０４のチャネル長方向の幅と、領域４２６ａとの幅と、が略一致している構成である。図３（Ｂ）に示す構成とすることで、ソース領域およびドレイン領域との間に高抵抗領域が形成されないため、トランジスタのオン電流を大きくすることができる。また、図３（Ｂ）に示す構成とすることで、チャネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。

［００９５］

このように、領域４２６ｂおよび領域４２６ｃの範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

［００９６］

絶縁体４１２は、酸化物４０６ｂの上面に接して配置されることが好ましい。絶縁体４１２は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。このような絶縁体４１２を酸化物４０６ｂの上面に接して設けることにより、酸化物４０６ｂの領域４２６ａに効果的に酸素を供給することができる。また、絶縁体４０２と同様に、絶縁体４１２中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体４１２の膜厚は、１ｎｍ以上２０ｎｍ以下とするのが好ましく、例えば、１ｎｍ程度の膜厚にすればよい。

［００９７］

絶縁体４１２は酸素を含むことが好ましい。例えば、昇温脱離ガス分光法分析（ＴＤＳ分析）にて、１００℃以上７００℃以下または１００℃以上５００℃以下の表面温度の範囲で、酸素分子の脱離量を絶縁体４１２の面積当たりに換算して、1×10^{14}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以上、好ましくは2×10^{14}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以上、より好ましくは4×10^{14}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以上であればよい。

［００９８］

絶縁体４１２、導電体４０４、および絶縁体４１９は、酸化物４０６ｂと重なる領域を有する。また、絶縁体４１２、導電体４０４ａ、導電体４０４ｂ、および絶縁体４１９の側面は、トランジスタ１０００の上面から見たときに、お互いに略一致することが好ましい。

［００９９］

導電体４０４ａとして、導電性酸化物を用いることが好ましい。例えば、酸化物４０６ａまたは酸

化物４０６ｂとして用いることができる金属酸化物を用いることができる。特に、Ｉｎ－Ｇａ－Ｚｎ系酸化物のうち、導電性が高い、金属の原子数比が［Ｉｎ］：［Ｇａ］：［Ｚｎ］＝４：２：３から４．１、およびその近傍値のものを用いることが好ましい。このような導電体４０４ａを設けることで、導電体４０４ｂへの酸素の透過を抑制し、酸化によって導電体４０４ｂの電気抵抗値が増加することを防ぐことができる。

［０１００］

また、このような導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体４１２に酸素を添加し、酸化物４０６ｂに酸素を供給することが可能となる。これにより、酸化物４０６の領域４２６ａの酸素欠損を低減することができる。

［０１０１］

導電体４０４ｂは、例えばタングステンなどの金属を用いることができる。また、導電体４０４ｂとして、導電体４０４ａに窒素などの不純物を添加して導電体４０４ａの導電性を向上できる導電体を用いてもよい。例えば導電体４０４ｂは、窒化チタンなどを用いることが好ましい。また、導電体４０４ｂを、窒化チタンなどの金属窒化物と、その上にタングステンなどの金属を積層した構造にしてもよい。

［０１０２］

ここで、ゲート電極の機能を有する導電体４０４が、絶縁体４１２を介して、酸化物４０６ｂの領域４２６ａ近傍の上面及びチャネル幅方向の側面を覆うように設けられる。従って、ゲート電極としての機能を有する導電体４０４の電界によって、酸化物４０６ｂの領域４２６ａ近傍の上面及びチャネル幅方向の側面を電気的に取り囲むことができる。導電体４０４の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（ｓ－ｃｈａｎｎｅｌ）構造とよぶ。そのため、酸化物４０６ｂの領域４２６ａ近傍の上面及びチャネル幅方向の側面にチャネルを形成することができるので、ソースードレイン間に大電流を流すことができ、導通時の電流（オン電流）を大きくすることができる。また、酸化物４０６ｂの領域４２６ａ近傍の上面及びチャネル幅方向の側面が、導電体４０４の電界によって取り囲まれていることから、非導通時のリーク電流（オフ電流）を小さくすることができる。

［０１０３］

導電体４０４ｂの上に絶縁体４１９が配置されることが好ましい。また、絶縁体４１２、導電体４０４ａ、導電体４０４ｂ、および絶縁体４１９の側面は、トランジスタ１０００の上面から見たとき、お互いに略一致することが好ましい。絶縁体４１９は、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いて成膜することが好ましい。これにより、絶縁体４１９の膜厚を１ｎｍ以上２０ｎｍ以下程度、好ましくは５ｎｍ以上１０ｎｍ以下程度で成膜することができる。ここで、絶縁体４１９は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。

［０１０４］

絶縁体４１８は、絶縁体４１２、導電体４０４、および絶縁体４１９の側面に接して設けられる。また、絶縁体４１８の上面は、絶縁体４１９の上面に略一致することが好ましい。絶縁体４１８は、ＡＬＤ法を用いて成膜することが好ましい。これにより、絶縁体４１８の膜厚を１ｎｍ以上２０ｎｍ以下程度、好ましくは１ｎｍ以上３ｎｍ以下程度、例えば１ｎｍで成膜することができる。

［０１０５］

ここで、絶縁体４１８は、絶縁体４１９と同様に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体４１２中の酸素が外部に拡散することを防ぐことができる。また、絶縁体４１２の端部などから酸化物４０６に水素、水などの不純物が浸入するのを抑制することができる。

［０１０６］

このように、絶縁体４１８および絶縁体４１９を設けることにより、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で導電体４０４の上面と側面および絶縁体４１２の側面を覆うことができる。これにより、導電体４０４および絶縁体４１２を介して、水または水素などの不純物が酸化物４０６に混入することを防ぐことができる。このように、絶縁体４１８は、ゲート電極およびゲート絶縁膜の側面を保護するサイドバリアとして、絶縁体４１９は、ゲート電極の上面を保護するトップバリアとして、機能する。

［０１０７］

上記の通り、酸化物４０６の領域４２６ｂおよび領域４２６ｃは、絶縁体４０９の成膜で添加された不純物元素によって形成される。トランジスタが微細化され、チャネル長が１０ｎｍ以上３０ｎｍ以下程度に形成されている場合、ソース領域またはドレイン領域に含まれる不純物元素が拡散し、ソース領域とドレイン領域が電気的に導通する恐れがある。これに対して、本実施の形態に示すように、絶縁体４１８および絶縁体４１９を形成することにより、絶縁体４１２および導電体４０４に水素、水などの不純物が混入するのを抑制し、かつ絶縁体４１２中の酸素が外部に拡散することを防ぐことができるので、ソース領域とドレイン領域が、常時電気的に導通することを防ぐことができる。

［０１０８］

また、本実施の形態に示すように、絶縁体４１８を形成することにより、酸化物４０６の絶縁体４０９と接する領域どうしの間の距離を大きくすることができるので、ソース領域とドレイン領域が電気的に導通することを防ぐことができる。さらに、ＡＬＤ法を用いて、絶縁体４１８を形成することで、微細化されたチャネル長と同程度以下の膜厚にし、必要以上にソース領域とドレイン領域の距離が広がって、抵抗が増大することをふせぐことができる。

［０１０９］

絶縁体４１８は、ＡＬＤ法を用いて絶縁膜を成膜してから、異方性エッチングを行って、当該絶縁膜のうち、絶縁体４１２、導電体４０４、および絶縁体４１９の側面に接する部分を残存させて形成することが好ましい。これにより、上記のように膜厚の薄い絶縁体４１８を容易に形成することができる。また、このとき、導電体４０４の上に、絶縁体４１９を設けておくことで、当該異方性エッチングで絶縁体４１９が一部除去されても、絶縁体４１８の絶縁体４１２および導電体４０４に接する部分を十分残存させることができる。

［０１１０］

なお、ＡＬＤ法で用いるプリカーサには炭素などの不純物を含むものがある。このため、絶縁体４１８および／または絶縁体４１９は、炭素などの不純物を含む場合がある。例えば、絶縁体４３２がスパッタリング法で形成され、絶縁体４１８および／または絶縁体４１９がＡＬＤ法で形成される場合、絶縁体４１８および／または絶縁体４１９と絶縁体４３２を酸化アルミニウムで成膜しても、絶縁体４１８および／または絶縁体４１９に含まれる炭素などの不純物が絶縁体４３２より多い場合があ

る。なお、不純物の定量は、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて行うことができる。

［０１１１］

絶縁体４０９は、絶縁体４１９、絶縁体４１８、酸化物４０６および絶縁体４０２を覆って設けられる。ここで、絶縁体４０９は、絶縁体４１９および絶縁体４１８の上面に接し、かつ絶縁体４１８の側面に接して設けられる。絶縁体４０９は、上述の通り、水素または窒素などの不純物を酸化物４０６に添加して、領域４２６ｂおよび領域４２６ｃを形成する。このため、絶縁体４０９は、水素および窒素の少なくとも一方を有することが好ましい。

［０１１２］

また、絶縁体４０９は、酸化物４０６ｂの上面に加えて、酸化物４０６ｂの側面および酸化物４０６ａの側面に接して設けられることが好ましい。これにより、領域４２６ｂおよび領域４２６ｃにおいて、酸化物４０６ａの側面、および酸化物４０６ｂの側面まで低抵抗化することができる。

［０１１３］

また、絶縁体４０９は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体４０９として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体４０９を形成することで、絶縁体４０９を透過して酸素が浸入し、領域４２６ｂおよび領域４２６ｃの酸素欠損に酸素を供給して、キャリア密度が低下するのを防ぐことができる。また、絶縁体４０９を透過して水または水素などの不純物が浸入し、領域４２６ｂおよび領域４２６ｃが過剰に領域４２６ａ側に拡張するのを防ぐことができる。

［０１１４］

絶縁体４０９の上に絶縁体４１５を設けることが好ましい。絶縁体４１５は、絶縁体４０２などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体４１５の上に絶縁体４３２と同様の絶縁体を設けてもよい。

［０１１５］

絶縁体４１５および絶縁体４０９に形成された開口に導電体４５１ａおよび導電体４５１ｂが配置される。導電体４５１ａおよび導電体４５１ｂは、導電体４０４を挟んで対向して設けられることが好ましい。なお、導電体４５１ａおよび導電体４５１ｂの上面の高さは同程度にできる。

［０１１６］

ここで、絶縁体４１５および絶縁体４０９の開口の内壁に接して導電体４５１ａが形成されている。当該開口の底部の少なくとも一部には酸化物４０６の領域４２６ｂが位置しており、導電体４５１ａが領域４２６ｂと接する。同様に、絶縁体４１５および絶縁体４０９の開口の内壁に接して導電体４５１ｂが形成されている。当該開口の底部の少なくとも一部には酸化物４０６の領域４２６ｃが位置しており、導電体４５１ｂが領域４２６ｃと接する。

［０１１７］

導電体４５１ａおよび導電体４５１ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体４５１ａおよび導電体４５１ｂは積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

［０１１８］

導電体４５１ａはトランジスタ１０００のソース領域およびドレイン領域の一方として機能する

領域４２６ｂと接しており、導電体４５１ｂはトランジスタ１０００のソース領域およびドレイン領域の他方として機能する領域４２６ｃと接している。よって、導電体４５１ａはソース電極およびドレイン電極の一方として機能でき、導電体４５１ｂはソース電極およびドレイン電極の他方として機能できる。領域４２６ｂおよび領域４２６ｃは低抵抗化されているので、導電体４５１ａと領域４２６ｂの接触抵抗、および導電体４５１ｂと領域４２６ｃの接触抵抗を低減し、トランジスタ１０００のオン電流を大きくすることができる。

［０１１９］

ここで、図２において、Ａ５－Ａ６の一点鎖線で示す部位の断面図を図４（Ａ）に示す。なお、図４（Ａ）では、導電体４５１ａの断面図を示すが、導電体４５１ｂの構造も同様である。

［０１２０］

図１（Ａ）および図４（Ａ）に示すように、導電体４５１ａ（導電体４５１ｂ）は、少なくとも酸化物４０６の上面と接し、さらに酸化物４０６の側面と接することが好ましい。特に、図４（Ａ）に示すように、導電体４５１ａ（導電体４５１ｂ）は、酸化物４０６のチャネル幅方向のＡ５側の側面およびＡ６側の側面の双方または一方と接することが好ましい。また、図１（Ａ）に示すように、導電体４５１ａ（導電体４５１ｂ）が、酸化物４０６のチャネル長方向のＡ１側（Ａ２側）の側面と接する構成にしてもよい。このように、導電体４５１ａ（導電体４５１ｂ）が酸化物４０６の上面に加えて、酸化物４０６の側面と接する構成にすることにより、導電体４５１ａ（導電体４５１ｂ）と酸化物４０６のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体４５１ａ（導電体４５１ｂ）と酸化物４０６の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

［０１２１］

ここで、酸化物４０６において、導電体４５１ａ（導電体４５１ｂ）は、酸化物４０６ａおよび酸化物４０６ｂに接する。

［０１２２］

また、図４（Ａ）では、絶縁体４１５および絶縁体４０９の開口に設けられる導電体を導電体４５１ａまたは導電体４５１ｂのみとしているが、本実施の形態はこれに限られるものではない。図４（Ｂ）に示すように、絶縁体４１５および絶縁体４０９の開口の内壁に接して導電体４５０が形成され、さらに内側に導電体４５１ａあるいは導電体４５１ｂが形成される構成にしてもよい。よって、導電体４５１ａまたは導電体４５１ｂは、導電体４５０を介して、領域４２６ｂまたは領域４２６ｃと電気的に接続される。

［０１２３］

ここで、導電体４５０は、導電体４１０ａなどと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、絶縁体４１５より上層から水素、水などの不純物が、導電体４５１ａおよび導電体４５１ｂを通じて酸化物４０６に混入するのを抑制することができる。

［０１２４］

導電体４５１ａの上面に接して導電体４５２ａが配置され、導電体４５１ｂの上面に接して導電体４５２ｂが配置されることが好ましい。導電体４５２ａおよび導電体４５２ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電

体４５２ａおよび導電体４５２ｂは積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、導電体４５２ａおよび導電体４５２ｂは、導電体４４０などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

［０１２５］

［トランジスタ２０００］

次に、トランジスタ１０００とは異なる電気特性を有するトランジスタ２０００について説明する。

［０１２６］

図１（Ａ）に示すように、トランジスタ２０００は、絶縁体４１５の上に配置された導電体５５２ａと、導電体５５２ｂと、導電体５５２ａおよび導電体５５２ｂの上面および側面に接して配置された酸化物５０６と、導電体５５２ａ、導電体５５２ｂ、および酸化物５０６を覆うように配置された絶縁体４１１と、絶縁体４１１の上に配置された導電体５５４と、を有する。ここで、絶縁体４１１は、導電体４５２ａおよび導電体４５２ｂも覆うように配置される。

［０１２７］

ここで、トランジスタ２０００を構成する導電体５５２ａおよび導電体５５２ｂは、導電体４５２ａおよび導電体４５２ｂと同じ工程で形成することができる。

［０１２８］

図２に示す上面図において、酸化物５０６は、導電体５５２ａおよび導電体５５２ｂよりチャネル幅方向に広い構成を示しているが、本実施の形態はこれに限らない。酸化物５０６は、導電体５５２ａおよび導電体５５２ｂよりチャネル幅方向に狭い構成としてもよいし、導電体５５２ａおよび導電体５５２ｂと同じ幅としてもよい。

［０１２９］

また、図１４に示すように、トランジスタ２０００は、酸化物５０６の一部を導電体５５２ａおよび導電体５５２ｂが覆う構成、所謂トップコンタクト構造としてもよい。

［０１３０］

導電体５５２ａおよび導電体５５２ｂは、酸化物５０６を挟んで対向して配置されており、トランジスタ２０００のソース領域またはドレイン領域のいずれかとして機能できる。

［０１３１］

酸化物５０６の、導電体５５２ａと導電体５５２ｂに挟まれる領域は、チャネル形成領域として機能する。ここで、導電体５５２ａと導電体５５２ｂとの距離を大きくすることが好ましく、例えば、トランジスタ１０００の導電体４０４のチャネル長方向の長さより大きくすることが好ましい。これにより、トランジスタ２０００のオフ電流を低減することができる。

［０１３２］

トランジスタ２０００の酸化物５０６は、トランジスタ１０００の酸化物４０６ａまたは酸化物４０６ｂに用いることができる金属酸化物を用いることができる。例えば、酸化物５０６として、Ｉｎ－Ｇａ－Ｚｎ酸化物を用いる場合、含まれるＩｎ、Ｇａ、Ｚｎの組成をＩｎ：Ｇａ：Ｚｎ＝１：３：２、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、またはＩｎ：Ｇａ：Ｚｎ＝１：３：４などにすることができる。

［０１３３］

また、酸化物５０６は、トランジスタに用いたとき、酸化物４０６ｂと異なる電気特性を有せしめるものが好ましい。このため、例えば、酸化物５０６と酸化物４０６ｂにおいて、酸化物の材料、酸化

物に含まれる元素の含有比率、酸化物の膜厚、または、酸化物に形成されるチャネル形成領域の幅や長さ、などのいずれかが異なることが好ましい。

［０１３４］

以下では、酸化物５０６に酸化物４０６ａに用いることができる金属酸化物を用いた場合について説明する。例えば、酸化物５０６として、絶縁性が比較的高い、図１２（Ｃ）の領域Ｃで示される原子数比の金属酸化物を用いることが好ましい。酸化物５０６として、このような金属酸化物を用いた場合、酸化物５０６において、構成元素中の元素Ｍの原子数比を、酸化物４０６ｂにおける、構成元素中の元素Ｍの原子数比より大きくすることができる。また、酸化物５０６において、Ｉｎに対する元素Ｍの原子数比を、酸化物４０６ｂにおける、Ｉｎに対する元素Ｍの原子数比より大きくすることができる。これにより、トランジスタ２０００のしきい値電圧を０Ｖより大きくし、オフ電流を低減し、Ｉｃｕｔを非常に小さくすることができる。

［０１３５］

一方、酸化物５０６として、酸化物４０６ｂに用いることができる金属酸化物を用いてもよい。この場合、酸化物５０６の膜厚や、トランジスタ２０００のチャネル長などを調整することで、トランジスタ２０００の電気特性を制御できる。すなわち、酸化物５０６の膜厚およびトランジスタ２０００のチャネル長などの最適化により、トランジスタ１０００に比べ、トランジスタ２０００のオフ電流を低減し、Ｉｃｕｔを非常に小さくすることができる。一方、トランジスタ１０００は、トランジスタ２０００に比べ、キャリア移動度やオン電流が高いトランジスタとすることができる。

［０１３６］

また、トランジスタ２０００のチャネル形成領域として機能する酸化物５０６は、酸素欠損が低減され、水素または水などの不純物が低減されていることが好ましい。これにより、トランジスタ２０００のしきい値電圧を０Ｖより大きくし、オフ電流を低減し、Ｉｃｕｔを非常に小さくすることができる。

［０１３７］

また、酸化物５０６を用いたトランジスタ２０００のしきい値電圧が、バックゲートに負電位を印加していないトランジスタ１０００よりしきい値電圧が大きいことが好ましい。トランジスタ２０００のしきい値電圧をトランジスタ１０００のしきい値電圧より大きくするには、例えば、トランジスタ１０００の酸化物４０６ｂとして図１２（Ａ）の領域Ａで示される原子数比の金属酸化物を用い、トランジスタ２０００の酸化物５０６として図１２（Ｃ）の領域Ｃで示される原子数比の金属酸化物を用いることが好ましい。

［０１３８］

また、トランジスタ２０００の導電体５５４のＡ１－Ａ２方向の長さを、トランジスタ１０００の導電体４０４のＡ１－Ａ２方向の長さより長くすることが好ましい。これにより、トランジスタ２０００のチャネル長をトランジスタ１０００のチャネル長より長くできるので、トランジスタ２０００のしきい値電圧を、バックゲートに負電位を印加していないトランジスタ１０００のしきい値電圧より大きくすることができる。

［０１３９］

また、トランジスタ２０００では、チャネル形成領域が酸化物５０６に形成されるのに対して、トランジスタ１０００では、チャネル形成領域が酸化物４０６ａ、および酸化物４０６ｂに形成される。このため、トランジスタ２０００のチャネル形成領域における酸化物５０６の膜厚は、トランジスタ

１０００のチャネル形成領域における酸化物４０６の膜厚より薄くできる。よって、トランジスタ２０００のしきい値電圧を、バックゲートに負電位を印加していないトランジスタ１０００のしきい値電圧より大きくすることができる。

［０１４０］

絶縁体４１１は、トランジスタ２０００のゲート絶縁膜として機能し、導電体５５４はトランジスタ２０００のゲート電極として機能する。

［０１４１］

また、トランジスタ１０００およびトランジスタ２０００の上に容量素子１５００を設ける構成にしてもよい。本実施の形態では、トランジスタ１０００に電気的に接続された導電体４５２ｂを用いて、容量素子１５００を形成する例について示す。

［０１４２］

導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂを覆う絶縁体４１１として、例えば、酸化アルミニウムまたは酸化窒化シリコンを単層または積層で用いればよい。

［０１４３］

絶縁体４１１の上に、少なくとも一部が導電体４５２ｂと重なるように、導電体４５４が配置されることが好ましい。導電体４５４は、導電体４５２ｂなどと同様に、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体４５４は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、導電体４５４は、導電体４４０などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

［０１４４］

導電体４５２ｂは容量素子１５００の電極の一方として機能し、導電体４５４は容量素子１５００の電極の他方として機能する。絶縁体４１１は容量素子１５００の誘電体として機能する。

［０１４５］

また、絶縁体４１１、導電体４５４、および導電体５５４の上に絶縁体４２０を配置するのが好ましい。絶縁体４２０は、絶縁体４１５に用いることができる絶縁体を用いればよい。

［０１４６］

また、図１５（Ａ）および（Ｂ）に示すように、絶縁体４１１、導電体４５４、および導電体５５４を覆うように絶縁体４２１、および絶縁体４２２を設けてから、絶縁体４２２上に絶縁体４２０を設けてもよい。絶縁体４２１、および絶縁体４２２は、例えば、絶縁体３０３、絶縁体４０１、および絶縁体４３２と同様の材料を用いることができる。

［０１４７］

導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂは、一導電膜を加工することで形成できる。同様に、導電体４５４および導電体５５４は、一導電体を加工することで形成できる。また、トランジスタ２０００のゲート絶縁膜および容量素子１５００の誘電体には、共通の絶縁体として、絶縁体４１１を用いることができる。したがって、トランジスタ２０００と容量素子１５００の作製において、共通の工程を用いることができ、工程数が大幅に増加することはない。

［０１４８］

ここで、本実施の形態に示す半導体装置における、トランジスタ１０００、トランジスタ２０００、および容量素子１５００の接続関係の一例を示した、等価回路図を図１３（Ａ）に示す。また、図１

３（Ａ）に示す配線１６０１から配線１６０４などを図１（Ａ）に対応させた断面図を図１３（Ｂ）に示す。

［０１４９］

図１３（Ａ）（Ｂ）に示すように、トランジスタ１０００は、ゲートが配線１６０１と、ソースおよびドレインの一方が配線１６０２と、ソース及びドレインの他方が容量素子１５００の電極の一方と電気的に接続される。また、容量素子１５００の電極の他方が配線１６０３と電気的に接続される。また、トランジスタ２０００のドレインが配線１６０４と電気的に接続される。また、図１３（Ｂ）に示すように、トランジスタ１０００のバックゲートと、トランジスタ２０００のソース、およびゲートが、配線１６０５、配線１６０６、および配線１６０７を介して電気的に接続される。

［０１５０］

トランジスタ１０００のバックゲートと、トランジスタ２０００のソースを電気的に接続するためには、絶縁体４３２の上に配置された絶縁体４３０と、絶縁体４３０に埋め込まれるように配置された導電体５４０と、絶縁体４０１および絶縁体３０１と、絶縁体４０１および絶縁体３０１に埋め込まれるように配置された導電体５１０と、を有する構成にすることが好ましい。ここで、導電体５１０は、絶縁体４０１および絶縁体３０１の開口の内壁に接して導電体５１０ａが形成され、さらに内側に導電体５１０ｂが形成されている。また、導電体５４０は、絶縁体４３０の開口の内壁に接して導電体５４０ａが形成され、さらに内側に導電体５４０ｂが形成されている。導電体５４０（導電体５４０ａおよび導電体５４０ｂ）は、導電体４４０（導電体４４０ａおよび導電体４４０ｂ）と対応しており、同様の材料を用いて形成することができ、導電体４４０の構成を参酌することができる。また、導電体５４０は導電体４４０と電気的に接続されていることが好ましい。

［０１５１］

また、絶縁体４１５、絶縁体４０９、絶縁体４０２、絶縁体３０３、および絶縁体３０２に形成された開口に導電体５５１が配置される。導電体５５１は、導電体５５２ａと導電体５１０を電気的に接続するように設けられることが好ましい。このような構成にすることで、トランジスタ２０００のソースおよびドレインの一方として機能する導電体５５２ａが導電体５５１、導電体５１０、導電体５４０、および導電体４４０を介して、トランジスタ１０００のバックゲートとして機能する導電体４１０と電気的に接続する。導電体５５１は、導電体４５１ａおよび導電体４５１ｂと対応しており、同様の材料を用いて形成することができ、導電体４５１ａおよび導電体４５１ｂの構成を参酌することができる。また、導電体５４０を設けず、導電体５１０と導電体４１０を電気的に接続し、トランジスタ１０００のバックゲートと、トランジスタ２０００のソースを電気的に接続してもよい。

［０１５２］

ここで、配線１６０１に電位を印加することで、トランジスタ１０００のオン状態、オフ状態を制御することができる。トランジスタ１０００をオン状態として、配線１６０２に電位を印加することで、トランジスタ１０００を介して、容量素子１５００に電荷を供給することができる。また、配線１６０３に接地電位などを印加しておいて、さらにトランジスタ１０００をオフ状態にすることで、容量素子１５００に供給された電荷を保持することができる。また、配線１６０３には、半導体装置の機能や用途に応じて任意の電位を印加できるようにすることが好ましい。また、配線１６０４に負の電位を印加することで、トランジスタ２０００を介して、トランジスタ１０００のバックゲートに負の電位を与え、トランジスタ１０００のしきい値電圧を０Ｖより大きくし、オフ電流を低減し、Ｉｃｕｔを非常に小さくすることができる。

［０１５３］

トランジスタ２０００のゲートをソースとダイオード接続し、トランジスタ２０００のソースとトランジスタ１０００のバックゲートを接続する構成にすることで、トランジスタ２０００によって、トランジスタ１０００のバックゲート電圧を制御することができる。トランジスタ１０００のバックゲートの負電位を保持するとき、トランジスタ２０００のゲートーソース間の電圧は、０Ｖになる。トランジスタ２０００のＩｃｕｔが非常に小さく、しきい値電圧がトランジスタ１０００より大きいので、この構成とすることにより、トランジスタ２０００に電源供給をしなくてもトランジスタ１０００のバックゲートの負電位を長時間維持することができる。

［０１５４］

さらに、トランジスタ１０００のバックゲートの負電位を保持することで、トランジスタ１０００に電源供給をしなくてもトランジスタ１０００のＩｃｕｔを非常に小さくすることができる。つまり、トランジスタ１０００およびトランジスタ２０００に電源供給をしなくても、容量素子１５００に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

［０１５５］

なお、トランジスタ１０００、トランジスタ２０００および容量素子１５００の接続関係は、図１３（Ａ）（Ｂ）に示すものに限定されない。必要な回路構成に応じて適宜接続関係を変更することができる。

［０１５６］

次に、トランジスタ１０００およびトランジスタ２０００の構成材料について説明する。

［０１５７］

＜基板＞

トランジスタ１０００およびトランジスタ２０００を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

［０１５８］

＜絶縁体＞

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

［０１５９］

トランジスタを、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。例えば、絶縁体３０３、絶縁体４０１、絶縁体４３２、絶縁体４２１、および絶縁体４２２として、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

［０１６０］

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

［０１６１］

また、例えば、絶縁体３０３、絶縁体４０１、および絶縁体４３２としては、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。なお、絶縁体３０３、絶縁体４０１、および絶縁体４３２は、酸化アルミニウムまたは酸化ハフニウムなどを有することが好ましい。

［０１６２］

絶縁体４００、絶縁体４３０、絶縁体３０１、絶縁体３０２、絶縁体４０２、絶縁体４１２、および絶縁体４１１としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体４００、絶縁体４３０、絶縁体３０１、絶縁体３０２、絶縁体４０２、絶縁体４１２、および絶縁体４１１としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム、または酸化ハフニウムを有することが好ましい。

［０１６３］

絶縁体３０２、絶縁体３０３、絶縁体４０２、絶縁体４１２、および／または絶縁体４１１は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体３０２、絶縁体３０３、絶縁体４０２、絶縁体４１２、および／または絶縁体４１１は、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを有することが好ましい。または、絶縁体３０２、絶縁体３０３、絶縁体４０２、絶縁体４１２、および／または絶縁体４１１は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、絶縁体４０２および絶縁体４１２において、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを酸化物４０６と接する構造とすることで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、酸化物４０６に混入することを抑制することができる。また、例えば、絶縁体４０２および絶縁体４１２において、酸化シリコンまたは酸化窒化シリコンを酸化物４０６と接する構造とすることで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電

圧をプラス方向に変動させることができる場合がある。

［０１６４］

絶縁体４００、絶縁体４３０、絶縁体３０１、絶縁体４１５、および絶縁体４２０は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体４００、絶縁体４３０、絶縁体３０１、絶縁体４１５、および絶縁体４２０は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体４００、絶縁体４３０、絶縁体３０１、絶縁体４１５、および絶縁体４２０は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

［０１６５］

絶縁体４１８、および絶縁体４１９としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体４１８、および絶縁体４１９としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

［０１６６］

＜導電体＞

導電体４０４ａ、導電体４０４ｂ、導電体４１０ａ、導電体４１０ｂ、導電体５１０ａ、導電体５１０ｂ、導電体４４０ａ、導電体４４０ｂ、導電体５４０ａ、導電体５４０ｂ、導電体４４１ａ、導電体４４１ｂ、導電体４５０、導電体４５１ａ、導電体４５１ｂ、導電体５５１、導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、導電体５５２ｂ、導電体４５４、および導電体５５４としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を１種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０１６７］

また、上記導電体、特に導電体４０４ａ、導電体４１０ａ、導電体５１０ａ、導電体４４０ａ、導電体５４０ａ、導電体４５０として、酸化物４０６に適用可能な金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いてもよい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、酸化物４０６に含まれる

水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

［０１６８］

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０１６９］

なお、トランジスタのチャネル形成領域に酸化物を用いる場合は、ゲート電極として前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

［０１７０］

＜酸化物４０６および酸化物５０６に適用可能な金属酸化物＞

以下に、本発明に係る酸化物４０６および酸化物５０６について説明する。酸化物４０６および酸化物５０６として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

［０１７１］

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［０１７２］

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有するＩｎＭＺｎＯである場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

［０１７３］

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［０１７４］

ここで、金属酸化物が、インジウム、元素M及び亜鉛を有する場合を考える。なお、金属酸化物が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を［Ｉｎ］、[M]、および［Ｚｎ］とする。

［０１７５］

以下に、図１２（Ａ）、図１２（Ｂ）、および図１２（Ｃ）を用いて、酸化物４０６ａおよび酸化物４０６ｂに用いることができる金属酸化物が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明する。なお、図１２（Ａ）、図１２（Ｂ）、および図１２（Ｃ）には、酸素の原子数比については記載しない。また、金属酸化物が有するインジウム、元素M、および亜鉛の原子数比のそれぞれの項を［Ｉｎ］、[M]、および［Ｚｎ］とする。

［０１７６］

図１２（Ａ）、図１２（Ｂ）、および図１２（Ｃ）において、破線は、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:１の原子数比（－１≦α≦１）となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:２の原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:３の原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:４の原子数比となるライン、および［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:５の原子数比となるラインを表す。

［０１７７］

また、一点鎖線は、［Ｉｎ］:[M]:［Ｚｎ］＝５：１：βの原子数比（β≧０）となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝２：１：βの原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝１：１：βの原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝１：２：βの原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝１：３：βの原子数比となるライン、および［Ｉｎ］:[M]:［Ｚｎ］＝１：４：βの原子数比となるラインを表す。

［０１７８］

また、図１２（Ａ）、図１２（Ｂ）、および図１２（Ｃ）に示す、［Ｉｎ］:[M]:［Ｚｎ］＝０：２：１の原子数比、およびその近傍値の金属酸化物は、スピネル型の結晶構造をとりやすい。

［０１７９］

また、金属酸化物中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、原子数比が［Ｉｎ］:[M]:［Ｚｎ］＝０：２：１の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が［Ｉｎ］:[M]:［Ｚｎ］＝１：０：０の近傍値である場合、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。金属酸化物中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界が形成される場合がある。

［０１８０］

図１２（Ａ）に示す領域Ａは、金属酸化物が有する、インジウム、元素M、および亜鉛の原子数比の好ましい範囲の一例について示している。

［０１８１］

金属酸化物は、インジウムの含有率を高くすることで、金属酸化物のキャリア移動度（電子移動度）を高くすることができる。従って、インジウムの含有率が高い金属酸化物はインジウムの含有率が低い金属酸化物と比較してキャリア移動度が高くなる。

［０１８２］

一方、金属酸化物中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が［Ｉｎ］:[M]:［Ｚｎ］＝０：１：０、およびその近傍値である場合（例えば図１２（Ｃ）に示す領域Ｃ）は、絶縁性が高くなる。

［０１８３］

例えば、酸化物４０６ｂに用いる金属酸化物は、キャリア移動度が高い、図１２（Ａ）の領域Ａで

示される原子数比を有することが好ましい。酸化物４０６ｂに用いる金属酸化物は、例えばＩｎ：Ｇａ：Ｚｎ＝４：２：３から４．１、およびその近傍値程度になるようにすればよい。一方、酸化物４０６ａに用いる金属酸化物は、絶縁性が比較的高い、図１２（Ｃ）の領域Ｃで示される原子数比を有することが好ましい。酸化物４０６ａに用いる金属酸化物は、例えばＩｎ：Ｇａ：Ｚｎ＝１：３：４程度になるようにすればよい。なお、酸化物５０６に用いる金属酸化物は、酸化物４０６ａに用いることができる金属酸化物としてもよいし、酸化物４０６ｂに用いることができる金属酸化物としてもよい。

［０１８４］

特に、図１２（Ｂ）に示す領域Ｂでは、領域Ａの中でも、キャリア移動度が高く、信頼性が高い優れた金属酸化物が得られる。

［０１８５］

なお、領域Ｂは、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝４：２：３から４．１、およびその近傍値を含む。近傍値には、例えば、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝５：３：４が含まれる。また、領域Ｂは、［Ｉｎ］：［Ｍ］：［Ｚｎ］＝５：１：６、およびその近傍値、および［Ｉｎ］：［Ｍ］：［Ｚｎ］＝５：１：７、およびその近傍値を含む。

［０１８６］

また、金属酸化物として、Ｉｎ－Ｍ－Ｚｎ酸化物を用いる場合、スパッタリングターゲットとしては、多結晶のＩｎ－Ｍ－Ｚｎ酸化物を含むターゲットを用いると好ましい。なお、成膜される金属酸化物の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。例えば、金属酸化物に用いるスパッタリングターゲットの組成がＩｎ：Ｇａ：Ｚｎ＝４：２：４．１［原子数比］の場合、成膜される金属酸化物の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］の近傍となる場合がある。また、金属酸化物に用いるスパッタリングターゲットの組成がＩｎ：Ｇａ：Ｚｎ＝５：１：７［原子数比］の場合、成膜される金属酸化物の組成は、Ｉｎ：Ｇａ：Ｚｎ＝５：１：６［原子数比］の近傍となる場合がある。

［０１８７］

なお、金属酸化物が有する性質は、原子数比によって一義的に定まらない。同じ原子数比であっても、形成条件により、金属酸化物の性質が異なる場合がある。例えば、金属酸化物をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。また、成膜時の基板温度によっては、ターゲットの［Ｚｎ］よりも、膜の［Ｚｎ］が小さくなる場合がある。従って、図示する領域は、金属酸化物が特定の特性を有する傾向がある原子数比を示す領域であり、領域Ａ乃至領域Ｃの境界は厳密ではない。

［０１８８］

＜金属酸化物の構成＞

以下では、本発明の一態様で開示されるトランジスタに用いることができるＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）－ＯＳの構成について説明する。

［０１８９］

なお、本明細書等において、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）、及びＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）と記載する場合がある。なお、ＣＡＡＣは結晶構造の一例を表し、ＣＡＣは機能、または材料の構成の一例を表す。

［０１９０］

ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅに付与することができる。ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

［０１９１］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

［０１９２］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅにおいて、導電性領域と、絶縁性領域とは、それぞれ０．５ｎｍ以上１０ｎｍ以下、好ましくは０．５ｎｍ以上３ｎｍ以下のサイズで材料中に分散している場合がある。

［０１９３］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、異なるバンドギャップを有する成分により構成される。例えば、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅをトランジスタのチャネル領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

［０１９４］

すなわち、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、マトリックス複合材（ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）、または金属マトリックス複合材（ｍｅｔａｌ　ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）と呼称することもできる。

［０１９５］

＜金属酸化物の構造＞

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、ＣＡＡＣ－ＯＳ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶酸化物半導体、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）および非晶質酸化物半導体などがある。

［０１９６］

ＣＡＡＣ－ＯＳは、ｃ軸配向性を有し、かつａ－ｂ面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

［０１９７］

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

［０１９８］

また、ＣＡＡＣ－ＯＳは、インジウム、および酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛、および酸素を有する層（以下、（Ｍ，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Ｍは、互いに置換可能であり、（Ｍ，Ｚｎ）層の元素Ｍがインジウムと置換した場合、（Ｉｎ，Ｍ，Ｚｎ）層と表すこともできる。また、Ｉｎ層のインジウムが元素Ｍと置換した場合、（Ｉｎ，Ｍ）層と表すこともできる。

［０１９９］

ＣＡＡＣ－ＯＳは結晶性の高い酸化物半導体である。一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。

［０２００］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳや非晶質酸化物半導体と区別が付かない場合がある。

［０２０１］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体である。ａ－ｌｉｋｅ　ＯＳは、鬆または低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳおよびＣＡＡＣ－ＯＳと比べて、結晶性が低い。

［０２０２］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０２０３］

＜酸化物半導体を有するトランジスタ＞

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０２０４］

なお、上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０２０５］

また、トランジスタは、酸化物４０６ｂの領域４２６ａにおけるキャリア密度の低いことが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、酸化物４０６ｂの領域４２６ａにおけるキャリア密度が８×１０^{11}／ｃｍ^{3}未満、好ましくは１×１０^{11}／ｃｍ^{3}未満、さらに好ましくは１×１０^{10}／ｃｍ^{3}未満であり、１×１０^{-9}／ｃｍ^{3}以上とすればよい。

［０２０６］

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０２０７］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０２０８］

従って、トランジスタの電気特性を安定にするためには、酸化物４０６ｂの領域４２６ａ中の不純物濃度を低減することが有効である。また、酸化物４０６ｂの領域４２６ａ中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０２０９］

＜不純物＞

ここで、酸化物半導体中における各不純物の影響について説明する。

［０２１０］

酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物４０６ｂの領域４２６ａにおけるシリコンや炭素の濃度（ＳＩＭＳにより得られる濃度）を、２×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２１１］

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物４０６ｂの領域４２６ａにおいて、アルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、ＳＩＭＳにより得られる酸化物４０６ｂの領域４２６ａ中のアルカリ金属またはアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０２１２］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、ｎ型化しやすい。この結果、酸化物４０６ｂの領域４２６ａに窒素が含まれているトランジスタはノーマリーオン特性となりやすい。従って、酸化物４０６ｂの領域４２６ａにおいて、窒素はできる限り低減されていることが好ましい、例えば、酸化物４０６ｂの領域４２６ａ中の窒素濃度は、ＳＩＭＳにおいて、５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２１３］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、酸化物４０６ｂの領域４２６ａに水素が多く含まれているトランジスタはノーマリーオン特性となりやすい。このため、酸化物４０６ｂの領域４２６ａ中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。

［０２１４］

酸化物４０６ｂの領域４２６ａ中の不純物を十分に低減することで、トランジスタに安定した電気特性を付与することができる。

［０２１５］

＜半導体装置の作製方法＞

次に、本発明に係るトランジスタ１０００およびトランジスタ２０００を有する半導体装置の作製方法を図１および図５乃至図１１を用いて説明する。また、図５乃至図１１において、各図の（Ａ）および（Ｃ）は、図２にＡ１－Ａ２の一点鎖線で示す部位に対応する断面図である。また、各図の（Ｂ）および（Ｄ）は、図２にＡ３－Ａ４の一点鎖線で示す部位に対応する断面図である。

［０２１６］

まず、基板（図示しない）を準備し、当該基板上に絶縁体４００を成膜する。絶縁体４００の成膜は、スパッタリング法、化学気相成長（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、分子線エピタキシー（ＭＢＥ：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法、パルスレーザ堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法またはＡＬＤ法などを用いて行うことができる。

［０２１７］

なお、ＣＶＤ法は、プラズマを利用するプラズマＣＶＤ（ＰＥＣＶＤ：Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＣＶＤ）法、熱を利用する熱ＣＶＤ（ＴＣＶＤ：Ｔｈｅｒｍａｌ　ＣＶＤ）法、光を利用する光ＣＶＤ（Ｐｈｏｔｏ　ＣＶＤ）法などに分類できる。さらに用いる原料ガスによって金属ＣＶＤ（ＭＣＶＤ：Ｍｅｔａｌ　ＣＶＤ）法、有機金属ＣＶＤ（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法に分けることができる。

［０２１８］

プラズマＣＶＤ法は、比較的低温で高品質の膜が得られる。また、熱ＣＶＤ法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導

体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱ＣＶＤ法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱ＣＶＤ法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［０２１９］

また、ＡＬＤ法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ＡＬＤ法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［０２２０］

ＣＶＤ法およびＡＬＤ法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、成膜速度の速いＣＶＤ法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

［０２２１］

ＣＶＤ法およびＡＬＤ法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、ＣＶＤ法およびＡＬＤ法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、ＣＶＤ法およびＡＬＤ法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

［０２２２］

本実施の形態では、絶縁体４００として、ＣＶＤ法によって酸化窒化シリコンを成膜する。

［０２２３］

次に絶縁体４００上に絶縁体４３２を成膜する。本実施の形態では、絶縁体４３２として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体４３２は、多層構造としてもよい。例えばスパッタリング法によって酸化アルミニウムを成膜し、該酸化アルミニウム上にＡＬＤ法によって酸化アルミニウムを成膜する構造としてもよい。または、ＡＬＤ法によって酸化アルミニウムを成膜し、該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

［０２２４］

次に絶縁体４３２上に絶縁体４３０を成膜する。絶縁体４３０の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。本実施の形態では、絶縁体４３０として、ＣＶＤ法によって酸化シリコンを成膜する。

［０２２５］

次に、絶縁体４３０に絶縁体４３２に達する溝、および絶縁体４３０、絶縁体４３２、および絶縁体４００を貫通する溝を形成する。溝とは、たとえば穴や開口部なども含まれる。例えば、デュアルダマシン法を用いて、絶縁体４３０に溝を形成し、絶縁体４３２および絶縁体４００に穴や開口部を

形成する。溝の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体４３２は、絶縁体４３０をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体４３０に酸化シリコン膜を用いた場合は、絶縁体４３２は窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

［０２２６］

溝の形成後に、導電体４４０ａ、および導電体４４１ａとなる導電膜を成膜する。導電体４４０ａ、および導電体４４１ａとなる導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体４４０となる導電体の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２２７］

本実施の形態では、導電体４４０ａ、および導電体４４１ａとなる導電膜として、スパッタリング法によって窒化タンタルまたは、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体４４０ａ、および導電体４４１ａとしてこのような金属窒化物を用いることにより、後述する導電体４４０ｂ、および導電体４４１ｂで銅など拡散しやすい金属を用いても、当該金属が導電体４４０ａ、および導電体４４１ａから外に拡散するのを防ぐことができる。

［０２２８］

次に、導電体４４０ａ、および導電体４４１ａとなる導電膜上に、それぞれ導電体４４０ｂ、および導電体４４１ｂとなる導電膜を成膜する。導電体４４０ｂ、および導電体４４１ｂとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。本実施の形態では、導電体４４０ｂ、および導電体４４１ｂとなる導電膜として、銅などの低抵抗導電性材料を成膜する。

［０２２９］

次に、ＣＭＰ処理を行うことで、導電体４４０ａおよび導電体４４１ａとなる導電膜、および導電体４４０ｂおよび導電体４４１ｂとなる導電膜の絶縁体４３０より上の部分を除去する。その結果、溝部のみに、上記導電体が残存することで上面が平坦な導電体４４０ａおよび導電体４４０ｂを含む導電体４４０、および導電体４４１ａおよび導電体４４１ｂを含む導電体４４１を形成することができる（図５（Ａ）および（Ｂ）参照。）。デュアルダマシン法を用いて形成した絶縁体４３０の溝と、絶縁体４３２および絶縁体４００の開口部に導電体４４１が形成される。

［０２３０］

次に、導電体４４０、導電体４４１、および絶縁体４３０上に絶縁体４０１を成膜する。絶縁体４０１の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。本実施の形態では、絶縁体４０１として、ＣＶＤ法によって窒化シリコンを成膜する。このように、絶縁体４０１として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体４４０ｂや導電体４４１ｂなどに銅など拡散しやすい金属を用いても、当該金属が絶縁体４０１より上の層に拡散するのを防ぐことができる。

［０２３１］

次に絶縁体４０１上に絶縁体３０１を成膜する。絶縁体３０１の成膜は、スパッタリング法、ＣＶ

Ｄ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。本実施の形態では、絶縁体３０１として、ＣＶＤ法によって酸化シリコンを成膜する。

［０２３２］

次に、絶縁体４０１および絶縁体３０１に導電体４４０に達する溝を形成する。溝とは、たとえば穴や開口部なども含まれる。溝の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

［０２３３］

溝の形成後に、導電体４１０ａとなる導電膜を成膜する。導電体４１０ａとなる導電膜は、酸素の透過を抑制する機能を有する材料を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体４１０ａとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２３４］

本実施の形態では、導電体４１０ａとなる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

［０２３５］

次に、導電体４１０ａとなる導電膜上に、導電体４１０ｂとなる導電膜を成膜する。導電体４１０ｂとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２３６］

本実施の形態では、導電体４１０ｂとなる導電膜として、ＣＶＤ法によって窒化チタンを成膜し、該窒化チタン上にＣＶＤ法によってタングステンを成膜する。

［０２３７］

次に、ＣＭＰ処理を行うことで、導電体４１０ａとなる導電膜および導電体４１０ｂとなる導電膜の絶縁体３０１より上の部分を除去する。その結果、溝部のみに、上記導電膜が残存することで上面が平坦な導電体４１０ａおよび導電体４１０ｂを含む導電体４１０を形成することができる（図５（Ａ）および（Ｂ）参照。）。

［０２３８］

次に、絶縁体３０１上および導電体４１０上に絶縁体３０２を成膜する。絶縁体３０２の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２３９］

次に、絶縁体３０２上に絶縁体３０３を成膜する。絶縁体３０３の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２４０］

次に、絶縁体３０３上に絶縁体４０２を成膜する。絶縁体４０２の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。（図５（Ａ）および（Ｂ）参照。）。

［０２４１］

次に、第１の加熱処理を行うと好ましい。第１の加熱処理は、２５０℃以上６５０℃以下、好まし

くは３００℃以上５００℃以下、さらに好ましくは３２０℃以上４５０℃以下で行えばよい。第１の加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上もしくは１０％以上含む雰囲気で行う。第１の加熱処理は減圧状態で行ってもよい。または、第１の加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上または１０％以上含む雰囲気で加熱処理を行ってもよい。第１の加熱処理によって、絶縁体４０２に含まれる水素や水などの不純物を除去することなどができる。または、第１の加熱処理において、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にＲＦ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ）を印加する電源を有してもよい。高密度プラズマを用いることより高密度の酸素ラジカルを生成することができ、基板側にＲＦを印加することで高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体４０２内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。尚、第１の加熱処理は行わなくても良い場合がある。

［０２４２］

また、該加熱処理は、絶縁体３０２成膜後、絶縁体３０３の成膜後および絶縁体４０２の成膜後それぞれに行うこともできる。該加熱処理は、第１の加熱処理条件を用いることができるが、絶縁体３０２成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

［０２４３］

本実施の形態では、第１の加熱処理として、絶縁体４０２成膜後に窒素雰囲気にて４００℃の温度で１時間の処理を行う。

［０２４４］

次に、絶縁体４０２上に酸化物４０６ａとなる酸化膜および酸化物４０６ｂとなる酸化膜を順に成膜する。なお、酸化物４０６ａとなる酸化膜および酸化物４０６ｂとなる酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。この様に成膜することで、酸化物４０６ａ上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化物４０６ａと、酸化物４０６ｂ、との界面近傍を清浄に保つことができる。

［０２４５］

上記酸化膜の成膜はスパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２４６］

例えば、上記酸化膜の成膜をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、酸化物４０６ａとなる酸化膜および酸化物４０６ｂとなる酸化膜の成膜をスパッタリング法によって成膜する場合は、上記のＩｎ－Ｍ－Ｚｎ酸化物ターゲットを用いることができる。

［０２４７］

特に、酸化物４０６ａとなる酸化膜の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体４０２に供給される場合がある。

［０２４８］

なお、酸化物４０６ａとなる酸化膜のスパッタリングガスに含まれる酸素の割合は７０％以上、好

ましくは８０％以上、より好ましくは１００％とすればよい。

［０２４９］

また、酸化物４０６ｂとなる酸化膜をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を１％以上３０％以下、好ましくは５％以上２０％以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られる。

［０２５０］

酸化物４０６ｂとなる酸化膜に酸素欠乏型の酸化物半導体を用いる場合は、酸化物４０６ａとなる酸化膜に過剰酸素を含む酸化膜を用いることが好ましい。また、酸化物４０６ｂとなる酸化膜の成膜後に酸素ドープ処理を行ってもよい。

［０２５１］

本実施の形態では、酸化物４０６ａとなる酸化膜として、スパッタリング法によって、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４［原子数比］のターゲットを用いて成膜し、酸化物４０６ｂとなる酸化膜として、スパッタリング法によって、Ｉｎ：Ｇａ：Ｚｎ＝４：２：４．１［原子数比］のターゲットを用いて成膜する。

［０２５２］

次に、第２の加熱処理を行ってもよい。第２の加熱処理は、第１の加熱処理条件を用いることができる。第２の加熱処理によって、上記酸化膜中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて４００℃の温度で１時間の処理を行なった後に、連続して酸素雰囲気にて４００℃の温度で１時間の処理を行う。

［０２５３］

次に、酸化物４０６ａとなる酸化膜および酸化物４０６ｂとなる酸化膜を島状に加工して、酸化物４０６ａおよび酸化物４０６ｂを形成する（図５（Ｃ）および（Ｄ）参照。）。ここで、酸化物４０６ａおよび酸化物４０６ｂは、少なくとも一部が導電体４１０と重なるように形成する。上記酸化膜の加工はリソグラフィー法を用いて行えばよい。該加工においては、酸化物４０６ａおよび酸化物４０６ｂの断面形状がテーパー形状にしてもよい。該テーパー角度は、例えば、基板底面と平行な面に対して、３０度以上７５度未満、好ましくは３０度以上７０度未満とする。このようなテーパー角度を有することによって、以降の成膜工程における膜の被覆性が向上する。また、該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工および上述のテーパー形状の加工に適している。

［０２５４］

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、ＫｒＦエキシマレーザ光、ＡｒＦエキシマレーザ光、ＥＵＶ（Ｅｘｔｒｅｍｅ　Ｕｌｔｒａｖｉｏｌｅｔ）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェッ

トエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

［０２５５］

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化物４０６ｂとなる酸化膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。上記酸化膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記酸化膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

［０２５６］

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（ＣＣＰ：Ｃａｐａｃｉｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ＩＣＰ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置などを用いることができる。

［０２５７］

これまでのドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物４０６ａおよび酸化物４０６ｂなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

［０２５８］

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理または、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせて行ってもよい。

［０２５９］

ウェット洗浄としては、シュウ酸、リン酸またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

［０２６０］

次に、第３の加熱処理を行っても良い。加熱処理の条件は、上述の第１の加熱処理の条件を用いることができる。なお、第３の加熱処理は行わなくてもよい場合がある。本実施の形態では、第３の加熱処理は行わない。

［０２６１］

次に、絶縁体４０２、酸化物４０６ａ、および酸化物４０６ｂの上に、絶縁体４１２となる絶縁膜、導電体４０４ａとなる導電膜、導電体４０４ｂとなる導電膜、および絶縁体４１９となる絶縁膜を形

成する。

［０２６２］

絶縁体４１２となる絶縁膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２６３］

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、該酸素プラズマに絶縁体４１２となる絶縁膜を曝すことで、絶縁体４１２並びに酸化物４０６へ酸素を導入することができる。また、のちの工程において、絶縁体４１８が形成されたのち、加熱処理を行うことで、絶縁体４１２に含まれる酸素を選択的に酸化物４０６へ拡散させ、酸化物４０６の酸素欠損を低減することができる。

［０２６４］

ここで、第４の加熱処理を行うことができる。加熱処理は、第１の加熱処理条件を用いることができる。該加熱処理によって、絶縁体４１２となる絶縁膜中の水分濃度および水素濃度を低減させることができる。なお、第４の加熱処理は行わなくてもよい場合がある。

［０２６５］

導電体４０４ａとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。該導電膜として上記の導電体４０４ａとして用いることができる導電性酸化物を、スパッタリング法を用いて酸素を含む雰囲気で成膜することで、絶縁体４１２に酸素を添加し、酸化物４０６ｂに酸素を供給することが可能となる。

［０２６６］

導電体４０４ｂとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。該導電膜の成膜をスパッタリング法で行うことで、導電体４０４ａとなる導電膜の電気抵抗値を低下させて導電体とすることができる。これをＯＣ（Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）電極と呼ぶことができる。該ＯＣ電極上の導電体上に、さらに導電体をスパッタリング法などによって成膜してもよい。

［０２６７］

ここで、第５の加熱処理を行うことができる。加熱処理は、第１の加熱処理条件を用いることができる。なお、第５の加熱処理は行わなくてもよい場合がある。本実施の形態では、窒素雰囲気にて４００℃の温度で１時間の処理を行う。

［０２６８］

絶縁体４１９となる絶縁膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができ、特にＡＬＤ法を用いて成膜することが好ましい。該絶縁膜を、ＡＬＤ法を用いて成膜することで、膜厚を１ｎｍ以上２０ｎｍ以下程度、好ましくは５ｎｍ以上１０ｎｍ以下程度にすることができる。ここで、絶縁体４１９となる絶縁膜の膜厚は、絶縁体４１８となる絶縁膜の膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体４１８を形成する際、導電体４０４の上に絶縁体４１９を残存させやすくなる。

［０２６９］

次に、絶縁体４１２となる絶縁膜、導電体４０４ａとなる導電膜、導電体４０４ｂとなる導電膜、および絶縁体４１９となる絶縁膜を、エッチングして、絶縁体４１２、導電体４０４ａ、導電体４０４ｂ、および絶縁体４１９を形成する（図６（Ａ）および（Ｂ）参照。）。絶縁体４１２、導電体４０４ａ、導電体４０４ｂ、および絶縁体４１９は、少なくとも一部が、導電体４１０および酸化物４０

６と重なるように形成する。絶縁体４１２となる絶縁膜、導電体４０４ａとなる導電膜、導電体４０４ｂとなる導電膜、および絶縁体４１９となる絶縁膜の加工はリソグラフィー法を用いて行えばよい。

［０２７０］

ここで、絶縁体４１２、導電体４０４ａ、導電体４０４ｂ、および絶縁体４１９の断面形状が、可能な限りテーパー形状を有しないことが好ましい。これにより、後の工程で絶縁体４１８を形成する際、絶縁体４１８を残存させやすくなる。

［０２７１］

また、該エッチングにより、酸化物４０６ｂの絶縁体４１２と重ならない領域の上部がエッチングされる場合がある。この場合、酸化物４０６ｂの絶縁体４１２と重なる領域の膜厚が、絶縁体４１２と重ならない領域の膜厚より厚くなる。

［０２７２］

次に、絶縁体４０２、酸化物４０６、絶縁体４１２、導電体４０４、および絶縁体４１９を覆って、ＡＬＤ法を用いて、絶縁体４１８となる絶縁膜を成膜する。該絶縁膜を、ＡＬＤ法を用いて成膜することで、膜厚を１ｎｍ以上２０ｎｍ以下程度、好ましくは１ｎｍ以上３ｎｍ以下程度、例えば１ｎｍ程度にすることができる。さらに、該絶縁膜をＡＬＤ法を用いて成膜することで、絶縁体４１２、導電体４０４、および絶縁体４１９からなる構造体のアスペクト比が非常に大きくても、該構造体の上面および側面に、ピンホールが少なく、かつ膜厚が均一な絶縁膜を成膜することができる。本実施の形態では、絶縁体４１８となる絶縁膜として、ＡＬＤ法によって酸化アルミニウムを成膜する。

［０２７３］

次に、絶縁体４１８となる絶縁膜に異方性のエッチング処理を行って、絶縁体４１２、導電体４０４、および絶縁体４１９の側面に接して、絶縁体４１８を形成する（図６（Ｃ）および（Ｄ）参照。）。異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された絶縁体４１８となる絶縁膜を除去して、絶縁体４１８を自己整合的に形成することができる。

［０２７４］

ここで、絶縁体４１９の膜厚を絶縁体４１８となる絶縁膜の膜厚より厚く形成しておくことで、絶縁体４１９および絶縁体４１８の上部が除去されても、絶縁体４１９および絶縁体４１８を残存させることができる。さらに、酸化物４０６の端部をテーパー形状とすることにより、酸化物４０６の側面に接して成膜された絶縁体４１８となる絶縁膜を除去するための時間が短縮され、より容易に絶縁体４１８を形成することができる。

［０２７５］

また、酸化物４０６の側面に接して絶縁体が残存する場合もある。当該絶縁体を酸化物４０６の側面に接して設けることで、酸化物４０６に混入する水または水素などの不純物を低減し、酸化物４０６から酸素が外方拡散するのを防ぐことができる場合がある。

［０２７６］

次に、絶縁体４１２、導電体４０４、絶縁体４１８、絶縁体４１９をマスクとして、酸化物４０６にプラズマ４２３による処理を行う（図７（Ａ）および（Ｂ）参照）。プラズマ処理は、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素を含む雰囲気などで行えばよい。例えば、アルゴンガスと窒素ガスを用いてプラズマ処理を行えばよい。

［０２７７］

また、上記プラズマ処理の代わりにドーパントを添加してもよい。ドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素などと言い換えてもよい。

［０２７８］

ドーパントとしては、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。

［０２７９］

また、上記の通り、酸化物４０６は、インジウムの含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。よって、ドーパントとして酸化物４０６のキャリア密度を向上させるインジウムなどの金属元素を用いることができる。ここで、インジウムが、酸化物４０６ａに濃度のピークを持つように、ドーパントを添加することが好ましい。

［０２８０］

このようにしてインジウムを添加し、酸化物４０６ａの領域４２６ｂおよび領域４２６ｃにおける、元素Ｍに対するインジウムの原子数比が、酸化物４０６ｂの元素Ｍに対するインジウムの原子数比と同程度になることが好ましい。言い換えると、酸化物４０６ａは、領域４２６ｂおよび領域４２６ｃにおける元素Ｍに対するインジウムの原子数比が、領域４２６ａにおける元素Ｍに対するインジウムの原子数比より大きくなることが好ましい。

［０２８１］

このようにインジウムを添加することにより、トランジスタ１０００の作製工程において、酸化物４０６ｂの膜厚が薄くなり、酸化物４０６ｂの電気抵抗が大きくなった場合でも、領域４２６ｂおよび領域４２６ｃにおいて、酸化物４０６ａが十分低抵抗化されており、酸化物４０６の領域４２６ｂおよび領域４２６ｃはソース領域およびドレイン領域として機能させることができる。

［０２８２］

次に、絶縁体４０２、酸化物４０６、絶縁体４１８、および絶縁体４１９を覆って、絶縁体４０９を成膜する（図７（Ｃ）および（Ｄ）参照。）。絶縁体４０９の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２８３］

絶縁体４０９の成膜は、窒素または水素の少なくとも一方を含む雰囲気で行うことが好ましい。このような雰囲気で成膜を行うことで、酸化物４０６ｂの絶縁体４１２と重ならない領域を中心に、酸素欠損を形成し、当該酸素欠損と窒素または水素などの不純物元素を結合させて、キャリア密度を高くすることができる。このようにして、低抵抗化された、領域４２６ｂ及び領域４２６ｃを形成することができる。絶縁体４０９として、例えばＣＶＤ法を用いて、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンを用いることができる。本実施の形態では、絶縁体４０９として、窒化酸化シリコンを用いる。

［０２８４］

このように、本実施の形態に示す半導体装置の作製方法では、チャネル長が１０ｎｍから３０ｎｍ程度に微細化されたトランジスタでも、絶縁体４０９の成膜により、ソース領域およびドレイン領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

［０２８５］

ここで、導電体４０４および絶縁体４１２の上面および側面を、絶縁体４１９および絶縁体４１８で覆っておくことで、窒素または水素などの不純物元素が導電体４０４および絶縁体４１２に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体４０４および絶縁体４１２を通って、チャネル形成領域として機能する領域４２６ａに混入することを防ぐことができる。以上により、良好な電気特性を有するトランジスタ１０００を提供することができる。

［０２８６］

また、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を絶縁体４０９として用いることが好ましい。領域４２６ｂおよび領域４２６ｃの上にこのような絶縁体を設けることにより、水または水素などの不純物、または酸素が領域４２６ｂおよび領域４２６ｃに混入して、キャリア密度が変化することを防ぐことができる。

［０２８７］

なお、上記において、プラズマ４２３による処理と、絶縁体４１９の成膜と、を用いて、領域４２６ｂおよび領域４２６ｃなどを形成したが、本実施の形態はこれに限られるものではない。例えば、いずれか一方のみを用いて、領域４２６ｂおよび領域４２６ｃなどを形成してもよい。

［０２８８］

次に、絶縁体４０９の上に、絶縁膜４１５Ａを成膜する（図８（Ａ）および（Ｂ）参照。）。絶縁膜４１５Ａの成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。または、スピンコート法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法またはカーテンコーター法などを用いて行うことができる。本実施の形態では、絶縁膜４１５Ａとして、酸化窒化シリコンを用いる。

［０２８９］

次に、絶縁膜４１５Ａの一部を除去して、絶縁体４１５を形成する（図８（Ｃ）および（Ｄ）参照。）。絶縁体４１５は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体４１５は、絶縁膜４１５Ａとして成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体４１５は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、ＣＭＰ処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、ＣＭＰ処理を用いる。ただし、絶縁体４１５の上面は必ずしも平坦性を有さなくてもよい。

［０２９０］

次に、絶縁体４１５および絶縁体４０９に、酸化物４０６の領域４２６ｂに達する開口と、酸化物４０６の領域４２６ｃに達する開口を形成する。当該開口の形成は、リソグラフィー法を用いて行えばよい。ここで、導電体４５０ａまたは導電体４５０ｂが酸化物４０６ｂの側面に接して設けられるように、当該開口において、酸化物４０６の側面が露出するように、当該開口を形成する。

［０２９１］

次に、導電体４５１ａ、導電体４５１ｂとなる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。

［０２９２］

次に、ＣＭＰ処理を行うことで、導電体４５１ａ、導電体４５１ｂとなる導電膜の絶縁体４１５より上の部分を除去する。その結果、上記開口のみに、該導電膜が残存することで上面が平坦な導電体４５１ａ、導電体４５１ｂを形成することができる（図９（Ａ）および（Ｂ）参照。）。

［０２９３］

次に、導電膜を成膜して、当該導電膜をフォトリソグラフィー法を用いて加工して、導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂを形成する（図９（Ｃ）および（Ｄ）参照。）。導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂとなる導電膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。また、導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂは、導電体４４０などと同様に、絶縁体に埋め込むように形成してもよい。

［０２９４］

以上により、トランジスタ１０００を有する半導体装置を作製することができる（図９（Ｃ）および（Ｄ）参照。）。

［０２９５］

次に、導電体５５２ａおよび導電体５５２ｂと接するように酸化物５０６を形成する（図１０（Ａ）および（Ｂ）参照。）。酸化物５０６の形成は、絶縁体４１５、導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂを覆うように、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて酸化膜を形成し、当該酸化膜をリソグラフィー法により加工することで行えばよい。酸化物５０６は、酸化物４０６ａや酸化物４０６ｂに用いた酸化物を用いることができる。本実施の形態では、酸化物５０６として、Ｉｎ、Ｇａ、およびＺｎの組成が、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２となる酸化物を用いる。ただし、酸化物５０６に用いることができる酸化物はこれに限らない。酸化物５０６にＩｎ－Ｇａ－Ｚｎ酸化物を用いる場合、Ｉｎ、Ｇａ、およびＺｎの組成はＩｎ：Ｇａ：Ｚｎ＝１：３：２に限らず、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４、１：１：１、あるいは、４：２：３としてもよい。

［０２９６］

ここで、本実施の形態では、トランジスタ２０００の酸化物５０６が導電体５５２ａおよび導電体５５２ｂの上に形成される例を示したが、これに限定されない。図１４に示すように酸化物５０６の上に導電体５５２ａおよび導電体５５２ｂが形成されてもよい。この場合、導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂとなる導電膜の形成前に、酸化物５０６を形成すればよい。

［０２９７］

酸化物５０６となる酸化膜の加工には、ウェットエッチングやドライエッチングを用いることができる。エッチング方法は、該酸化膜のエッチング条件における該酸化膜のエッチングレートだけでなく、絶縁体４１５や、導電体４５１ａおよび導電体４５１ｂのエッチングレートも考慮して決定すればよい。該酸化膜をウェットエッチングで加工する場合は、リン酸、フッ酸、あるいはシュウ酸をエッチャントとして用いることができる。該酸化膜の膜厚や、各エッチャントに対する該酸化膜のエッチン

グレートに応じてエッチャントの濃度や処理時間を決定すればよい。一方、ドライエッチングは、微細加工に適しており、例えば１μｍ以下といった微細なパターンを形成するには、ドライエッチングを用いることが好ましい。

［０２９８］

次に、酸化物５０６、絶縁体４１５、導電体４５２ａ、導電体４５２ｂ、導電体５５２ａ、および導電体５５２ｂを覆うように、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて絶縁体４１１を形成する（図１０（Ｃ）および（Ｄ）参照。）。本実施の形態では、絶縁体４１１として、酸化アルミニウムと酸化窒化シリコンの積層を用いる。酸化アルミニウムは、ＡＬＤ法を用いて形成し、酸化窒化シリコンは、ＣＶＤ法用いて形成するのが好ましい。

［０２９９］

次に、絶縁体４１１上に導電体４５４および導電体５５４を形成する。導電体４５４および導電体５５４の形成は、絶縁体４１１上に、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて導電膜を形成し、当該導電膜をリソグラフィー法により加工することで行えばよい。本実施の形態では、導電膜としてスパッタリング法を用いてタングステンを形成し、当該導電膜をリソグラフィー法により加工することで導電体４５４および導電体５５４を形成する（図１１（Ａ）および（Ｂ）参照。）。

［０３００］

以上の工程により、導電体４５２ｂ、絶縁体４１１、および導電体４５４からなる容量素子１５００と、導電体５５２ａ、導電体５５２ｂ、酸化物５０６、絶縁体４１１、および導電体５５４からなるトランジスタ２０００を形成することができる（図１１（Ｃ）および（Ｄ）参照。）。なお、容量素子１５００において、導電体４５２ｂは第１の電極として機能し、絶縁体４１１は誘電体として機能し、導電体４５４は第２の電極として機能する。また、トランジスタ２０００において、導電体５５２ａはソース電極およびドレイン電極の一方として機能し、導電体５５２ｂはソース電極およびドレイン電極の他方として機能し、酸化物５０６は半導体として機能し、絶縁体４１１はゲート絶縁膜として機能し、導電体５５４はゲート電極として機能する。

［０３０１］

容量素子１５００の第１の電極として機能する導電体４５２ｂ、トランジスタ２０００のソース電極またはドレイン電極として機能する導電体５５２ａ、および導電体５５２ｂを同一工程で形成し、絶縁体４１１を容量素子１５００の誘電体およびトランジスタ２０００のゲート絶縁膜の共通の絶縁体として用い、容量素子１５００の第２の電極として機能する導電体４５４、およびトランジスタ２０００のゲート電極として機能する導電体５５４を同一工程で形成できる。そのため、容量素子１５００とトランジスタ２０００を形成するために工程数が大幅に増加することは無い。

［０３０２］

絶縁体４１１、導電体４５４、および導電体５５４の上に、絶縁体４２０を形成する（図１１（Ｃ）および（Ｄ）参照。）。絶縁体４２０の形成は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法またはＡＬＤ法などを用いて行うことができる。または、スピンコート法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法またはカーテンコーター法などを用いて行うことができる。本実施の形態では、絶縁膜４１５Ａとして、酸化窒化シリコンを用いる。

［０３０３］

絶縁体４２０の形成前に、図１５に示すような絶縁体４２１や絶縁体４２２を形成しても良い。絶縁体４２１として、例えばＡＬＤ法を用いて酸化アルミニウムを形成し、絶縁体４２２として、例えばスパッタリング法を用いて酸化アルミニウムを形成してもよい。

［０３０４］

以上により、トランジスタ１０００、トランジスタ２０００および容量素子１５００を有する半導体装置を作製することができる（図１参照。）。図５乃至図１１に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ２０００と容量素子１５００を並行して作製することができるので、該半導体装置の生産性の向上を図ることができる。また、トランジスタ１０００のチャネル形成領域に用いる酸化物とトランジスタ２０００のチャネル形成領域に用いる酸化物を異なる酸化物材料とすることで、それぞれのトランジスタの特性を異ならせることができる。また、トランジスタ１０００のチャネル形成領域に用いる酸化物とトランジスタ２０００のチャネル形成領域に用いる酸化物を異なる膜厚とすることで、それぞれのトランジスタの特性を異ならせることができる。また、トランジスタ１０００のチャネル長とトランジスタ２０００のチャネル長を異なる長さとすることで、それぞれのトランジスタの特性を異ならせることができる。具体的には、トランジスタ１０００は、トランジスタ２０００に比べキャリア移動度やオン電流が高いトランジスタとすることができ、トランジスタ２０００は、トランジスタ１０００に比べオフ電流やＩｃｕｔが低いトランジスタとすることができる。

［０３０５］

以上のように、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きいトランジスタを提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

［０３０６］

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

［０３０７］

（実施の形態２）

本実施の形態では、半導体装置の一形態を、図１６および図１７を用いて説明する。

［０３０８］

［記憶装置］

図１６に示す半導体装置は、トランジスタ３００と、トランジスタ２００、トランジスタ３４５および容量素子１００を有している。

［０３０９］

トランジスタ２００は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ２００の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることが

できる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

［０３１０］

図１６において、配線３００１はトランジスタ３００のソースと電気的に接続され、配線３００２はトランジスタ３００のドレインと電気的に接続されている。また、配線３００３はトランジスタ２００のソースおよびドレインの一方と電気的に接続され、配線３００４はトランジスタ２００の第１のゲートと電気的に接続され、配線３００６はトランジスタ２００の第２のゲートと電気的に接続されている。そして、トランジスタ３００のゲート、およびトランジスタ２００のソースおよびドレインの他方は、容量素子１００の電極の一方と電気的に接続され、配線３００５は容量素子１００の電極の他方と電気的に接続されている。

［０３１１］

図１６において、配線３００１はトランジスタ３００のソースと電気的に接続され、配線３００２はトランジスタ３００のドレインと電気的に接続されている。また、配線３００３はトランジスタ２００のソースおよびドレインの一方と電気的に接続され、配線３００４はトランジスタ２００のゲートと電気的に接続され、配線３００６はトランジスタ２００のバックゲートと電気的に接続されている。そして、トランジスタ３００のゲート、およびトランジスタ２００のソースおよびドレインの他方は、容量素子１００の電極の一方と電気的に接続され、配線３００５は容量素子１００の電極の他方と電気的に接続されている。配線３００７はトランジスタ３４５のソースと電気的に接続され、配線３００８はトランジスタ３４５のゲートと電気的に接続され、配線３００９はトランジスタ３４５のバックゲートと電気的に接続され、配線３０１０はトランジスタ３４５のドレインと電気的に接続されている。ここで、配線３００６、配線３００７、配線３００８、及び配線３００９が電気的に接続されている。

［０３１２］

先の実施の形態の図１３におけるトランジスタ１０００、トランジスタ２０００および容量素子１５００は、それぞれ、トランジスタ２００、トランジスタ３４５および容量素子１００に相当する。また、図１３における配線１６０５、配線１６０６、および配線１６０７は、それぞれ、配線３００６、配線３００７、および配線３００８に相当する。

［０３１３］

図１６に示す半導体装置は、トランジスタ３００のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

［０３１４］

また、図１６に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、１個のトランジスタ３４５は、複数のトランジスタ２００のバックゲート電圧を制御することができる。そのため、トランジスタ３４５は、トランジスタ２００よりも、少ない個数を設けるとよい。

［０３１５］

情報の書き込みおよび保持について説明する。まず、第４の配線３００４の電位を、トランジスタ２００が導通状態となる電位にして、トランジスタ２００を導通状態とする。これにより、第３の配

線３００３の電位が、トランジスタ３００のゲート、および容量素子１００の電極の一方と電気的に接続するノードＦＧに与えられる。即ち、トランジスタ３００のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Ｌｏｗレベル電荷、Ｈｉｇｈレベル電荷という。）のどちらかが与えられるものとする。その後、第４の配線３００４の電位を、トランジスタ２００が非導通状態となる電位にして、トランジスタ２００を非導通状態とすることにより、ノードＦＧに電荷が保持される（保持）。

［０３１６］

トランジスタ２００のオフ電流が小さい場合、ノードＦＧの電荷は長期間にわたって保持される。

［０３１７］

次に情報の読み出しについて説明する。第１の配線３００１に所定の電位（定電位）を与えた状態で、第５の配線３００５に適切な電位（読み出し電位）を与えると、第２の配線３００２は、ノードＦＧに保持された電荷量に応じた電位をとる。これは、トランジスタ３００をｎチャネル型とすると、トランジスタ３００のゲートにＨｉｇｈレベル電荷が与えられている場合の見かけ上のしきい値電圧V_{th_H}は、トランジスタ３００のゲートにＬｏｗレベル電荷が与えられている場合の見かけ上のしきい値電圧V_{th_L}より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ３００を「導通状態」とするために必要な第５の配線３００５の電位をいうものとする。したがって、第５の配線３００５の電位をV_{th_H}とV_{th_L}の間の電位V_0とすることにより、ノードＦＧに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードＦＧにＨｉｇｈレベル電荷が与えられていた場合には、第５の配線３００５の電位がV_0（＞V_{th_H}）となれば、トランジスタ３００は「導通状態」となる。一方、ノードＦＧにＬｏｗレベル電荷が与えられていた場合には、第５の配線３００５の電位がV_0（＜V_{th_L}）となっても、トランジスタ３００は「非導通状態」のままである。このため、第２の配線３００２の電位を判別することで、ノードＦＧに保持されている情報を読み出すことができる。

［０３１８］

＜記憶装置の構造＞

本発明の一態様の記憶装置は、図１６に示すようにトランジスタ３００、トランジスタ２００、トランジスタ３４５および容量素子１００を有する。トランジスタ２００およびトランジスタ３４５はトランジスタ３００の上方に設けられ、容量素子１００はトランジスタ３００、トランジスタ２００およびトランジスタ３４５の上方に設けられている。

［０３１９］

トランジスタ３００は、基板３１１上に設けられ、導電体３１６、絶縁体３１５、基板３１１の一部からなる半導体領域３１３、およびソース領域またはドレイン領域として機能する低抵抗領域３１４ａ、および低抵抗領域３１４ｂを有する。

［０３２０］

トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

［０３２１］

半導体領域３１３のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域３１４ａ、および低抵抗領域３１４ｂなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウ

ムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはＧａＡｓとＧａＡｌＡｓ等を用いることで、トランジスタ３００をＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０３２２］

低抵抗領域３１４ａ、および低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素、リンなどのｎ型の導電性を付与する元素、またはホウ素などのｐ型の導電性を付与する元素を含む。

［０３２３］

ゲート電極として機能する導電体３１６は、ヒ素、リンなどのｎ型の導電性を付与する元素、もしくはホウ素などのｐ型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

［０３２４］

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０３２５］

なお、図１６に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

［０３２６］

トランジスタ３００を覆って、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６が順に積層して設けられている。

［０３２７］

絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

［０３２８］

絶縁体３２２は、その下方に設けられるトランジスタ３００などによって生じる段差を平坦化する平坦化膜として機能を有していてもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法等を用いた平坦化処理により平坦化されていてもよい。

［０３２９］

また、絶縁体３２４には、基板３１１、またはトランジスタ３００などから、トランジスタ２００が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

［０３３０］

水素に対するバリア性を有する膜の一例として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ２００等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ２００と、トランジスタ３００およびトランジスタ３４５との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０３３１］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ）などを用いて分析することができる。例えば、絶縁体３２４の水素の脱離量は、ＴＤＳ分析において、５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁体３２４の面積当たりに換算して、１０×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは５×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０３３２］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２４の比誘電率は、絶縁体３２６の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０３３３］

また、絶縁体３２０、絶縁体３２２、絶縁体３２４、および絶縁体３２６には容量素子１００、またはトランジスタ２００と電気的に接続する導電体３２８、および導電体３３０等が埋め込まれている。なお、導電体３２８、および導電体３３０はプラグ、または配線として機能を有する。また、プラグまたは配線として機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

［０３３４］

各プラグ、および配線（導電体３２８、および導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０３３５］

絶縁体３２６、および導電体３３０上に、配線層を設けてもよい。例えば、図１６において、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、プラグ、または配線として機能を有する。なお導電体３５６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０３３６］

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００と、トランジスタ２００およびトランジスタ３４５と、は、バリア層により分離することができ、トランジスタ３００からトランジスタ２００およびトランジスタ３４５への水素の拡散を抑制することができる。

［０３３７］

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持した

まま、トランジスタ３００からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構造であることが好ましい。

［０３３８］

絶縁体３５４、および導電体３５６上に、配線層を設けてもよい。例えば、図１６において、絶縁体３５４上には、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６が、順に積層して設けられている。絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

［０３３９］

例えば、絶縁体２１０、および絶縁体２１４には、例えば、基板３１１、またはトランジスタ３００を設ける領域などから、トランジスタ２００またはトランジスタ３４５を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体３２４と同様の材料を用いることができる。

［０３４０］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ２００等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ２００と、トランジスタ３００およびトランジスタ３４５との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０３４１］

また、水素に対するバリア性を有する膜として、例えば、絶縁体２１０、および絶縁体２１４には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０３４２］

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ２００およびトランジスタ３４５への混入を防止することができる。また、トランジスタ２００およびトランジスタ３４５を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ２００およびトランジスタ３４５に対する保護膜として用いることに適している。

［０３４３］

また、例えば、絶縁体２１２、および絶縁体２１６には、絶縁体３２０と同様の材料を用いることができる。また、当該絶縁膜に、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体２１２、および絶縁体２１６として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

［０３４４］

また、絶縁体２１０、絶縁体２１２、絶縁体２１４、および絶縁体２１６には、導電体２１８、及びトランジスタ２００を構成する導電体およびトランジスタ３４５を構成する導電体等が埋め込まれている。なお、導電体２１８は、容量素子１００、またはトランジスタ３００と電気的に接続するプラグ、または配線としての機能を有する。導電体２１８は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０３４５］

特に、絶縁体２１０、および絶縁体２１４と接する領域の導電体２１８は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ３００と、トランジスタ２００およびトランジスタ３４５と、は、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ３００からトランジスタ２００およびトランジスタ３４５への水素の拡散を抑制することができる。

［０３４６］

絶縁体２１６の上方には、トランジスタ２００およびトランジスタ３４５が設けられている。なお、トランジスタ２００およびトランジスタ３４５としては、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。例えば、トランジスタ２００としては、トランジスタ１０００、トランジスタ３４５としては、トランジスタ２０００を用いることができる。図１６では、トランジスタ２００としてトランジスタ１０００を用い、トランジスタ３４５としてトランジスタ２０００を用いる例を示している。また、図１６に示すトランジスタ２００およびトランジスタ３４５は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

［０３４７］

また、絶縁体２１６上および導電体２１８上には、絶縁体２３０および絶縁体２３２が順に積層して設けられている。絶縁体２３０、および絶縁体２３２のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

［０３４８］

例えば、絶縁体２３０、および絶縁体２３２には、例えば、基板３１１、またはトランジスタ３００を設ける領域などから、トランジスタ２００またはトランジスタ３４５を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体３２４と同様の材料を用いることができる。

［０３４９］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ２００等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ２００と、トランジスタ３００およびトランジスタ３４５との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０３５０］

また、絶縁体２３０、および絶縁体２３２には、導電体２１９が埋め込まれている。なお、導電体２１９は、トランジスタ２００のバックゲート電極およびトランジスタ３４５のバックゲート電極と電気的に接続するプラグとしての機能を有し、容量素子１００、またはトランジスタ３００と電気的に接続するプラグ、または配線としての機能を有する。導電体２１９は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０３５１］

トランジスタ２００のバックゲート電極およびトランジスタ３４５のバックゲート電極と、トランジスタ２００のトップゲート電極およびトランジスタ３４５のトップゲート電極と、の間に絶縁体２３０および絶縁体２３２を設けることで、トランジスタ２００のトップゲート電極およびトランジスタ３４５のトップゲート電極と、の寄生容量を低減することができる。

［０３５２］

トランジスタ２００およびトランジスタ３４５の上方には、絶縁体２８０を設ける。絶縁体２８０には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ２００およびトランジスタ３４５に酸化物半導体を用いる場合、トランジスタ２００およびトランジスタ３４５近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ２００およびトランジスタ３４５が有する酸化物の酸素欠損を低減することで、信頼性を向上させることができる。また、トランジスタ２００およびトランジスタ３４５を覆う絶縁体２８０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

［０３５３］

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、ＴＤＳ分析にて、酸素原子に換算しての酸素の脱離量が１．０×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは３．０×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物膜である。なお、上記ＴＤＳ分析時における膜の表面温度としては１００℃以上７００℃以下、または１００℃以上５００℃以下の範囲が好ましい。

［０３５４］

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０３５５］

絶縁体２８０上には、絶縁体２８２が設けられている。絶縁体２８２は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体２８２には、絶縁体２１４と同様の材料を用いることができる。例えば、絶縁体２８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０３５６］

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ２００およびトランジスタ３４５への混入を防止することができる。また、トランジスタ２００およびトランジスタ３４５を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ２００およびトランジスタ３４５に対する保護膜として用いることに適している。

［０３５７］

なお、トランジスタ２００としてトランジスタ１０００を設ける場合およびトランジスタ３４５としてトランジスタ２０００を設ける場合、絶縁体２１４は絶縁体４３２に、導電体２１８は導電体４４０に、絶縁体２１６は絶縁体４３０に、絶縁体２３０は絶縁体４０１に、絶縁体２３２は絶縁体３０１に、絶縁体２２０は絶縁体３０２に、絶縁体２２２は絶縁体３０３に、絶縁体２２４は絶縁体４０２に、絶縁体２２５は絶縁体４０９に、絶縁体２８０は絶縁体４１５に対応する。よって、先の実施の形態に示す対応する構成の記載を参酌することができる。

［０３５８］

また、絶縁体２８２上には、絶縁体２８６が設けられている。絶縁体２８６は、絶縁体３２０と同

様の材料を用いることができる。また、当該絶縁膜に、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体２８６として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

［０３５９］

また、絶縁体２２０、絶縁体２２２、絶縁体２２４、絶縁体２８０絶縁体２８２、および絶縁体２８６には、導電体２４６、および導電体２４８等が埋め込まれている。

［０３６０］

導電体２４６、および導電体２４８は、容量素子１００、トランジスタ２００、トランジスタ３４５、またはトランジスタ３００と電気的に接続するプラグ、または配線として機能を有する。導電体２４６、および導電体２４８は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

［０３６１］

続いて、トランジスタ２００の上方およびトランジスタ３４５の上方には、容量素子１００が設けられている。容量素子１００は、導電体１１０と、導電体１２０、および絶縁体１３０とを有する。

［０３６２］

また、導電体２４６、および導電体２４８上に、導電体１１２を設けてもよい。導電体１１２は、容量素子１００、トランジスタ２００、トランジスタ３４５またはトランジスタ３００と電気的に接続するプラグ、または配線として機能を有する。導電体１１０は、容量素子１００の電極として機能を有する。なお、導電体１１２、および導電体１１０は、同時に形成することができる。

［０３６３］

導電体１１２、および導電体１１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

［０３６４］

図１６では、導電体１１２、および導電体１１０は単層構造を示したが、当該構成に限定されず、２層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０３６５］

また、導電体１１２、および導電体１１０上に、容量素子１００の誘電体として、絶縁体１３０を設ける。絶縁体１３０は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

［０３６６］

例えば、絶縁体１３０には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子１００は、絶縁体１３０を有することで、絶縁耐力が向上し、容量素子１００

の静電破壊を抑制することができる。

［０３６７］

絶縁体１３０上に、導電体１１０と重畳するように、導電体１２０を設ける。なお、導電体１２０は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるＣｕ（銅）やＡｌ（アルミニウム）等を用いればよい。

［０３６８］

導電体１２０、および絶縁体１３０上には、絶縁体１５０が設けられている。絶縁体１５０は、絶縁体３２０と同様の材料を用いて設けることができる。また、絶縁体１５０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

［０３６９］

また、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。例えば、図１６に示す構造５００は、ダイシングライン近傍の断面図を示している。

［０３７０］

例えば、構造５００に示すように、トランジスタ２００、またはトランジスタ３４５を有するメモリセルの外縁に設けられるダイシングラインと重なる領域近傍において、絶縁体２８０、絶縁体２２５、絶縁体２２４、絶縁体２２２、絶縁体２２０、絶縁体２３２、絶縁体２３０及び絶縁体２１６に開口を設ける。また、絶縁体２８０、絶縁体２２５、絶縁体２２４、絶縁体２２２、絶縁体２２０、絶縁体２３２、絶縁体２３０及び絶縁体２１６の側面を覆うように、絶縁体２８２を設ける。

［０３７１］

つまり、該開口部において絶縁体２１４と、絶縁体２８２とが接する。このとき、絶縁体２１４と、絶縁体２８２と、を同材料及び同方法を用いて形成することで、密着性を高めることができる。例えば、酸化アルミニウムを用いることができる。

［０３７２］

当該構造により、絶縁体２１４と、絶縁体２８２で、絶縁体２８０、トランジスタ２００、およびトランジスタ３４５を包み込むことができる。絶縁体２１０、絶縁体２２２、絶縁体２８２は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された基板を複数有する回路領域ごとに、分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ２００、またはトランジスタ３４５に拡散することを防ぐことができる。

［０３７３］

また、当該構造により、絶縁体２８０の過剰酸素が絶縁体２８２、および絶縁体２２２の外部に拡散することを防ぐことができる。従って、絶縁体２８０の過剰酸素は、効率的にトランジスタ２００、またはトランジスタ３４５におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ２００、またはトランジスタ３４５におけるチャネルが形成される酸化物の酸素欠損を低

減することができる。これにより、トランジスタ２００、またはトランジスタ３４５におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ２００、またはトランジスタ３４５の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

［０３７４］

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

［０３７５］

＜メモリセルアレイの構造＞

次に、本実施の形態のメモリセルアレイの一例を、図１７に示す。図１６に示す記憶装置をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、図１７には、図１６に示すトランジスタ３４５は省略する。図１７は、図１６に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

［０３７６］

また、図１７は図１６と、トランジスタ３００の構成が異なる。図１７に示すトランジスタ３００はチャネルが形成される半導体領域３１３（基板３１１の一部）が凸形状を有する。また、半導体領域３１３の側面および上面を、絶縁体３１５を介して、導電体３１６が覆うように設けられている。なお、導電体３１６は仕事関数を調整する材料を用いてもよい。このようなトランジスタ３００は半導体基板の凸部を利用していることからＦＩＮ型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、ＳＯＩ基板を加工して凸形状を有する半導体膜を形成してもよい。

［０３７７］

図１７に示す記憶装置では、メモリセル６００ａとメモリセル６００ｂが隣接して配置されている。メモリセル６００ａおよびメモリセル６００ｂは、トランジスタ３００、トランジスタ２００、および容量素子１００を有し、配線３００１、配線３００２、配線３００３、配線３００４、配線３００５、および配線３００６と電気的に接続される。また、メモリセル６００ａおよびメモリセル６００ｂにおいても、同様にトランジスタ３００のゲートと、容量素子１００の電極の一方と、が電気的に接続するノードを、ノードＦＧとする。なお、配線３００２は隣接するメモリセル６００ａとメモリセル６００ｂで共通の配線である。

［０３７８］

メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイがＮＯＲ型の構成の場合、情報を読み出さないメモリセルのトランジスタ３００を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードＦＧに与えられた電荷によらずトランジスタ３００が「非導通状態」となるような電位、つまり、V_{th_H}より低い電位を、情報を読み出さないメモリセルと接続される第５の

配線３００５に与えればよい。または、例えば、メモリセルアレイがＮＡＮＤ型の構成の場合、情報を読み出さないメモリセルのトランジスタ３００を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードＦＧに与えられた電荷によらずトランジスタ３００が「導通状態」となるような電位、つまり、V_{th_L}より高い電位を、情報を読み出さないメモリセルと接続される第５の配線３００５に与えればよい。

［０３７９］

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

［０３８０］

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

［０３８１］

（実施の形態３）

本実施の形態では、表示コントローラＩＣ、およびソースドライバＩＣなどに用いることができる、本発明の一態様に係る半導体装置を含むフレームメモリについて説明する。

［０３８２］

フレームメモリには、例えば、１Ｔ（トランジスタ）１Ｃ（容量）型のメモリセルを備えたＤＲＡＭ（ダイナミックランダムアクセスメモリ）を適用することができる。また、メモリセルにＯＳトランジスタが用いられるメモリ装置（以下、「ＯＳメモリ」と呼ぶ。）を用いることができる。ここでは、ＯＳメモリの一例として、１Ｔ１Ｃ型のメモリセルを有するＲＡＭについて説明する。ここでは、このようなＲＡＭを、「ＤＯＳＲＡＭ(Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ＲＡＭ、ドスラム)」と呼ぶこととする。図１８に、ＤＯＳＲＡＭの構成例を示す。

［０３８３］

＜＜ＤＯＳＲＡＭ１４００＞＞

ＤＯＳＲＡＭ１４００は、コントローラ１４０５、行回路１４１０、列回路１４１５、メモリセルおよびセンスアンプアレイ１４２０（以下、「ＭＣ－ＳＡアレイ１４２０」と呼ぶ。）を有する。

［０３８４］

行回路１４１０はデコーダ１４１１、ワード線ドライバ回路１４１２、列セレクタ１４１３、センスアンプドライバ回路１４１４を有する。列回路１４１５はグローバルセンスアンプアレイ１４１６、入出力回路１４１７を有する。グローバルセンスアンプアレイ１４１６は複数のグローバルセンスアンプ１４４７を有する。ＭＣ－ＳＡアレイ１４２０はメモリセルアレイ１４２２、センスアンプアレイ１４２３、グローバルビット線ＧＢＬＬ、ＧＢＬＲを有する。

［０３８５］

（ＭＣ－ＳＡアレイ１４２０）

ＭＣ－ＳＡアレイ１４２０は、メモリセルアレイ１４２２をセンスアンプアレイ１４２３上に積層した積層構造をもつ。グローバルビット線ＧＢＬＬ、ＧＢＬＲはメモリセルアレイ１４２２上に積層されている。ＤＯＳＲＡＭ１４００では、ビット線の構造に、ローカルビット線とグローバルビット線

とで階層化された階層ビット線構造が採用されている。

［０３８６］

メモリセルアレイ１４２２は、Ｎ個（Ｎは２以上の整数）のローカルメモリセルアレイ１４２５＜０＞―４２５＜Ｎ－１＞を有する。図１９（Ａ）にローカルメモリセルアレイ１４２５の構成例を示す。ローカルメモリセルアレイ１４２５は、複数のメモリセル１４４５、複数のワード線ＷＬ、複数のビット線ＢＬＬ、ＢＬＲを有する。図１９（Ａ）の例では、ローカルメモリセルアレイ１４２５の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

［０３８７］

図１９（Ｂ）にメモリセル１４４５の回路構成例を示す。メモリセル１４４５はトランジスタＭＷ１、容量素子ＣＳ１、端子Ｂ１、Ｂ２を有する。トランジスタＭＷ１は容量素子ＣＳ１の充放電を制御する機能をもつ。トランジスタＭＷ１のゲートはワード線に電気的に接続され、第１端子はビット線に電気的に接続され、第２端子は容量素子の第１端子に電気的に接続されている。容量素子ＣＳ１の第２端子は端子Ｂ１に電気的に接続されている。端子Ｂ１には、定電圧（例えば、低電源電圧）が入力される。

［０３８８］

トランジスタＭＷ１はバックゲートを備えており、バックゲートは端子Ｂ２に電気的に接続されている。そのため、端子Ｂ２の電圧によって、トランジスタＭＷ１の閾値電圧を変更することができる。例えば、端子Ｂ２の電圧は固定電圧（例えば、負の定電圧）であってもよいし、ＤＯＳＲＡＭ１４００の動作に応じて、端子Ｂ２の電圧を変化させてもよい。

［０３８９］

トランジスタＭＷ１のバックゲートをトランジスタＭＷ１のゲート、ソース、またはドレインに電気的に接続してもよい。あるいは、トランジスタＭＷ１にバックゲートを設けなくてもよい。

［０３９０］

センスアンプアレイ１４２３は、Ｎ個のローカルセンスアンプアレイ１４２６＜０＞―４２６＜Ｎ－１＞を有する。ローカルセンスアンプアレイ１４２６は、１のスイッチアレイ１４４４、複数のセンスアンプ１４４６を有する。センスアンプ１４４６には、ビット線対が電気的に接続されている。センスアンプ１４４６は、ビット線対をプリチャージする機能、ビット線対の電圧差を増幅する機能、この電圧差を保持する機能を有する。スイッチアレイ１４４４は、ビット線対を選択し、選択したビット線対とグローバルビット線対と間を導通状態にする機能を有する。

［０３９１］

ここで、ビット線対とは、センスアンプによって、同時に比較される２本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される２本のグローバルビット線のことをいう。ビット線対を一対のビット線と呼ぶことができ、グローバルビット線対を一対のグローバルビット線と呼ぶことができる。ここでは、ビット線ＢＬＬとビット線ＢＬＲが１組のビット線対を成す。グローバルビット線ＧＢＬＬとグローバルビット線ＧＢＬＲとが１組のグローバルビット線対をなす。以下、ビット線対（ＢＬＬ，ＢＬＲ）、グローバルビット線対（ＢＬＬ，ＢＬＲ）とも表す。

［０３９２］

（コントローラ１４０５）

コントローラ１４０５は、ＤＯＳＲＡＭ１４００の動作全般を制御する機能を有する。コントローラ

１４０５は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路１４１０、列回路１４１５の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

［０３９３］

（行回路１４１０）

行回路１４１０は、ＭＣ－ＳＡアレイ１４２０を駆動する機能を有する。デコーダ１４１１はアドレス信号をデコードする機能を有する。ワード線ドライバ回路１４１２は、アクセス対象行のワード線ＷＬを選択する選択信号を生成する。

［０３９４］

列セレクタ１４１３、センスアンプドライバ回路１４１４はセンスアンプアレイ１４２３を駆動するための回路である。列セレクタ１４１３は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セレクタ１４１３の選択信号によって、各ローカルセンスアンプアレイ１４２６のスイッチアレイ１４４４が制御される。センスアンプドライバ回路１４１４の制御信号によって、複数のローカルセンスアンプアレイ１４２６は独立して駆動される。

［０３９５］

（列回路１４１５）

列回路１４１５は、データ信号WDA［３１：０］の入力を制御する機能、データ信号ＲＤＡ［３１：０］の出力を制御する機能を有する。データ信号WDA［３１：０］は書き込みデータ信号であり、データ信号ＲＤＡ［３１：０］は読み出しデータ信号である。

［０３９６］

グローバルセンスアンプ１４４７はグローバルビット線対（ＧＢＬＬ，ＧＢＬＲ）に電気的に接続されている。グローバルセンスアンプ１４４７はグローバルビット線対（ＧＢＬＬ，ＧＢＬＲ）間の電圧差を増幅する機能、この電圧差を保持する機能を有する。グローバルビット線対（ＧＢＬＬ，ＧＢＬＲ）へのデータの書き込み、および読み出しは、入出力回路１４１７によって行われる。

［０３９７］

ＤＯＳＲＡＭ１４００の書き込み動作の概要を説明する。入出力回路１４１７によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ１４１６によって保持される。アドレスが指定するローカルセンスアンプアレイ１４２６のスイッチアレイ１４４４によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ１４２６は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ１４２５において、行回路１４１０によって、対象行のワード線ＷＬが選択され、選択行のメモリセル１４４５にローカルセンスアンプアレイ１４２６の保持データが書き込まれる。

［０３９８］

ＤＯＳＲＡＭ１４００の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ１４２５の１行が指定される。指定されたローカルメモリセルアレイ１４２５において、対象行のワード線ＷＬが選択状態となり、メモリセル１４４５のデータがビット線に書き込まれる。ローカルセンスアンプアレイ１４２６によって、各列のビット線対の電圧差がデータとして検出され、かつ保持される。スイッチアレイ１４４４によって、ローカルセンスアンプアレイ１４２６の保持データの内、アドレスが指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセ

ンスアンプアレイ１４１６は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ１４１６の保持データは入出力回路１４１７に出力される。以上で、読み出し動作が完了する。

［０３９９］

容量素子ＣＳ１の充放電によってデータを書き換えるため、ＤＯＳＲＡＭ１４００には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル１４４５の回路構成が単純であるため、大容量化が容易である。

［０４００］

トランジスタMW１はＯＳトランジスタである。ＯＳトランジスタはオフ電流が極めて小さいため、容量素子ＣＳ１から電荷がリークすることを抑えることができる。したがって、ＤＯＳＲＡＭ１４００の保持時間はＤＲＡＭに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。そのため、ＤＯＳＲＡＭ１４００をフレームメモリとして用いることで、表示コントローラＩＣ、およびソースドライバＩＣの消費電力を削減することができる。

［０４０１］

ＭＣ－ＳＡアレイ１４２０が積層構造であることよって、ローカルセンスアンプアレイ１４２６の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル１４４５の保持容量を低減することができる。また、ローカルセンスアンプアレイ１４２６にスイッチアレイ１４４４を設けることで、長いビット線の本数を減らすことができる。以上の理由から、ＤＯＳＲＡＭ１４００のアクセス時に駆動する負荷が低減されるので、表示コントローラＩＣ、およびソースドライバＩＣの消費エネルギーを低減できる。

［０４０２］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

［０４０３］

（実施の形態４）

本実施の形態では、本発明の一態様に係る酸化物を半導体に用いたトランジスタ（ＯＳトランジスタ）が適用されている半導体装置装置の一例として、ＦＰＧＡ（フィールドプログラマブルブゲートアレイ）について説明する。本実施の形態のＦＰＧＡは、コンフィギュレーションメモリ、およびレジスタにＯＳメモリが適用されている。ここでは、このようなＦＰＧＡを「ＯＳ－ＦＰＧＡ」と呼ぶ。

［０４０４］

ＯＳメモリは、少なくとも容量素子と、容量素子の充放電を制御するＯＳトランジスタを有するメモリである。ＯＳトランジスタが極小オフ電流のトランジスタであるので、ＯＳメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

［０４０５］

図２０（Ａ）にＯＳ－ＦＰＧＡの構成例を示す。図２０（Ａ）に示すＯＳ－ＦＰＧＡ３１１０は、マルチコンテキスト構造によるコンテキスト切り替え、細粒度パワーゲーティング、ＮＯＦＦ（ノーマリオフ）コンピューティングが可能である。ＯＳ－ＦＰＧＡ３１１０は、コントローラ３１１１、ワードドライバ３１１２、データドライバ３１１３、プログラマブルエリア３１１５を有する。

［０４０６］

プログラマブルエリア３１１５は、２個の入出力ブロック（ＩＯＢ）３１１７、コア３１１９を有す

る。ＩＯＢ３１１７は複数のプログラマブル入出力回路を有する。コア３１１９は、複数のロジックアレイブロック（ＬＡＢ）３１２０、複数のスイッチアレイブロック（ＳＡＢ）３１３０を有する。ＬＡＢ３１２０は複数のＰＬＥ３１２１を有する。図２０（Ｂ）には、ＬＡＢ３１２０を５個のＰＬＥ３１２１で構成する例を示す。図２０（Ｃ）に示すようにＳＡＢ３１３０はアレイ状に配列された複数のスイッチブロック（ＳＢ）３１３１を有する。ＬＡＢ３１２０は自身の入力端子と、ＳＡＢ３１３０を介して４（上下左右）方向のＬＡＢ３１２０に接続される。

［０４０７］

図２１（Ａ）乃至図２１（Ｃ）を参照して、ＳＢ３１３１について説明する。図２１（Ａ）に示すＳＢ３１３１には、ｄａｔａ、ｄａｔａｂ、信号ｃｏｎｔｅｘｔ［１：０］、ｗｏｒｄ［１：０］が入力される。ｄａｔａ、ｄａｔａｂはコンフィギュレーションデータであり、ｄａｔａとｄａｔａｂは論理が相補的な関係にある。ＯＳ－ＦＰＧＡ３１１０のコンテキスト数は２であり、信号ｃｏｎｔｅｘｔ［１：０］はコンテキスト選択信号である。信号ｗｏｒｄ［１：０］はワード線選択信号であり、信号ｗｏｒｄ［１：０］が入力される配線がそれぞれワード線である。

［０４０８］

ＳＢ３１３１は、ＰＲＳ（プログラマブルルーティングスイッチ）３１３３［０］、３１３３［１］を有する。ＰＲＳ３１３３［０］、３１３３［１］は、相補データを格納できるコンフィギュレーションメモリ（ＣＭ）を有する。なお、ＰＲＳ３１３３［０］とＰＲＳ３１３３［１］とを区別しない場合、ＰＲＳ３１３３と呼ぶ。他の要素についても同様である。

［０４０９］

図２１（Ｂ）にＰＲＳ３１３３［０］の回路構成例を示す。ＰＲＳ３１３３［０］とＰＲＳ３１３３［１］とは同じ回路構成を有する。ＰＲＳ３１３３［０］とＰＲＳ３１３３［１］とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号ｃｏｎｔｅｘｔ［０］、ｗｏｒｄ［０］はＰＲＳ３１３３［０］に入力され、信号ｃｏｎｔｅｘｔ［１］、ｗｏｒｄ［１］はＰＲＳ３１３３［１］に入力される。例えば、ＳＢ３１３１において、信号ｃｏｎｔｅｘｔ［０］が“Ｈ”になることで、ＰＲＳ３１３３［０］がアクティブになる。

［０４１０］

ＰＲＳ３１３３［０］は、ＣＭ３１３５、ＳｉトランジスタＭ３１を有する。ＳｉトランジスタＭ３１は、ＣＭ３１３５により制御されるパストランジスタである。ＣＭ３１３５は、メモリ回路３１３７、３１３７Ｂを有する。メモリ回路３１３７、３１３７Ｂは同じ回路構成である。メモリ回路３１３７は、容量素子Ｃ３１、ＯＳトランジスタＭＯ３１、ＭＯ３２を有する。メモリ回路３１３７Ｂは、容量素子ＣＢ３１、ＯＳトランジスタＭＯＢ３１、ＭＯＢ３２を有する。

［０４１１］

ＯＳトランジスタＭＯ３１、ＭＯ３２、ＭＯＢ３１、ＭＯＢ３２はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電気的に接続されている。

［０４１２］

ＳｉトランジスタＭ３１のゲートがノードＮ３１であり、ＯＳトランジスタＭＯ３２のゲートがノードＮ３２であり、ＯＳトランジスタＭＯＢ３２のゲートがノードＮＢ３２である。ノードＮ３２、ＮＢ３２はＣＭ３１３５の電荷保持ノードである。ＯＳトランジスタＭＯ３２はノードＮ３１と信号ｃｏｎｔｅｘｔ［０］用の信号線との間の導通状態を制御する。ＯＳトランジスタＭＯＢ３２はノードＮ３１と低電位電源線ＶＳＳとの間の導通状態を制御する。

［０４１３］

メモリ回路３１３７、３１３７Ｂが保持するデータは相補的な関係にある。したがって、ＯＳトランジスタＭＯ３２またはＭＯＢ３２の何れか一方が導通する。

［０４１４］

図２１（Ｃ）を参照して、ＰＲＳ３１３３［０］の動作例を説明する。ＰＲＳ３１３３［０］にコンフィギュレーションデータが既に書き込まれており、ＰＲＳ３１３３［０］のノードＮ３２は“Ｈ”であり、ノードＮＢ３２は“Ｌ”である。

［０４１５］

信号ｃｏｎｔｅｘ［０］が“Ｌ”である間はＰＲＳ３１３３［０］は非アクティブである。この期間に、ＰＲＳ３１３３［０］の入力端子が“Ｈ”に遷移しても、ＳｉトランジスタＭ３１のゲートは“Ｌ”が維持され、ＰＲＳ３１３３［０］の出力端子も“Ｌ”が維持される。

［０４１６］

信号ｃｏｎｔｅｘ［０］が“Ｈ”である間はＰＲＳ３１３３［０］はアクティブである。信号ｃｏｎｔｅｘ［０］が“Ｈ”に遷移すると、ＣＭ３１３５が記憶するコンフィギュレーションデータによって、ＳｉトランジスタＭ３１のゲートは“Ｈ”に遷移する。

［０４１７］

ＰＲＳ３１３３［０］がアクティブである期間に、入力端子が“Ｈ”に遷移すると、メモリ回路３１３７のＯＳトランジスタＭＯ３２がソースフォロアであるために、ブースティングによってＳｉトランジスタＭ３１のゲート電圧は上昇する。その結果、メモリ回路３１３７のＯＳトランジスタＭＯ３２は駆動能力を失い、ＳｉトランジスタＭ３１のゲートは浮遊状態となる。

［０４１８］

マルチコンテキスト機能を備えるＰＲＳ３１３３において、ＣＭ３１３５はマルチプレサの機能を併せ持つ。

［０４１９］

図２２にＰＬＥ３１２１の構成例を示す。ＰＬＥ３１２１はＬＵＴ（ルックアップテーブル）ブロック３１２３、レジスタブロック３１２４、セレクタ３１２５、ＣＭ３１２６を有する。ＬＵＴブロック３１２３は、入力ｉｎＡ－ｉｎＤに従って内部の１６ビットＣＭ対の出力をマルチプレクスする構成である。セレクタ３１２５は、ＣＭ３１２６が格納するコンフィギュレーションに従って、ＬＵＴブロック３１２３の出力またはレジスタブロック３１２４の出力を選択する。

［０４２０］

ＰＬＥ３１２１は、パワースイッチ３１２７を介して電圧ＶＤＤ用の電源線に電気的に接続されている。パワースイッチ３１２７のオンオフは、ＣＭ３１２８が格納するコンフィギュレーションデータによって設定される。各ＰＬＥ３１２１にパワースイッチ３１２７を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないＰＬＥ３１２１をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

［０４２１］

ＮＯＦＦコンピューティングを実現するため、レジスタブロック３１２４は、不揮発性レジスタで構成される。ＰＬＥ３１２１内の不揮発性レジスタはＯＳメモリを備えるフリップフロップ（以下［ＯＳ－ＦＦ］と呼ぶ）である。

［０４２２］

レジスタブロック３１２４は、ＯＳ－ＦＦ３１４０［1］３１４０［2］を有する。信号ｕｓｅｒ＿ｒｅｓ、ｌｏａｄ、ｓｔｏｒｅがＯＳ－ＦＦ３１４０［1］、３１４０［2］に入力される。クロック信号ＣＬＫ１はＯＳ－ＦＦ３１４０［1］に入力され、クロック信号ＣＬＫ２はＯＳ－ＦＦ３１４０［2］に入力される。図２３（Ａ）にＯＳ－ＦＦ３１４０の構成例を示す。

［０４２３］

ＯＳ－ＦＦ３１４０は、ＦＦ３１４１、シャドウレジスタ３１４２を有する。ＦＦ３１４１は、ノードＣＫ、Ｒ、Ｄ、Ｑ、ＱＢを有する。ノードＣＫにはクロック信号が入力される。ノードＲには信号ｕｓｅｒ＿ｒｅｓが入力される。信号ｕｓｅｒ＿ｒｅｓはリセット信号である。ノードＤはデータ入力ノードであり、ノードＱはデータ出力ノードである。ノードＱとノードＱＢとは論理が相補関係にある。

［０４２４］

シャドウレジスタ３１４２は、ＦＦ３１４１のバックアップ回路として機能する。シャドウレジスタ３１４２は、信号ｓｔｏｒｅに従いノードＱ、ＱＢのデータをそれぞれバックアップし、また、信号ｌｏａｄに従い、バックアップしたデータをノードＱ、ＱＢに書き戻す。

［０４２５］

シャドウレジスタ３１４２は、インバータ回路３１８８、３１８９、ＳｉトランジスタＭ３７、ＭＢ３７、メモリ回路３１４３、３１４３Ｂを有する。メモリ回路３１４３、３１４３Ｂは、ＰＲＳ３１３３のメモリ回路３１３７と同じ回路構成である。メモリ回路３１４３は容量素子Ｃ３６、ＯＳトランジスタＭＯ３５、ＭＯ３６を有する。メモリ回路３１４３Ｂは容量素子ＣＢ３６、ＯＳトランジスタＭＯＢ３５、ＯＳトランジスタＭＯＢ３６を有する。ノードＮ３６、ＮＢ３６はＯＳトランジスタＭＯ３６、ＯＳトランジスタＭＯＢ３６のゲートであり、それぞれ電荷保持ノードである。ノードＮ３７、ＮＢ３７は、ＳｉトランジスタＭ３７、ＭＢ３７のゲートである。

［０４２６］

ＯＳトランジスタＭＯ３５、ＭＯ３６、ＭＯＢ３５、ＭＯＢ３６はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電気的に接続されている。

［０４２７］

図２３（Ｂ）を参照して、ＯＳ－ＦＦ３１４０の動作方法例を説明する。

［０４２８］

（バックアップ）

“Ｈ”の信号ｓｔｏｒｅがＯＳ－ＦＦ３１４０に入力されると、シャドウレジスタ３１４２はＦＦ３１４１のデータをバックアップする。ノードＮ３６は、ノードＱのデータが書き込まれることで、“Ｌ”となり、ノードＮＢ３６は、ノードＱＢのデータが書き込まれることで、“Ｈ”となる。しかる後、パワーゲーティングが実行され、パワースイッチ３１２７をオフにする。ＦＦ３１４１のノードＱ、ＱＢのデータは消失するが、電源オフであっても、シャドウレジスタ３１４２はバックアップしたデータを保持する。

［０４２９］

（リカバリ）

パワースイッチ３１２７をオンにし、ＰＬＥ３１２１に電源を供給する。しかる後、“Ｈ”の信号ｌｏａｄがＯＳ－ＦＦ３１４０に入力されると、シャドウレジスタ３１４２はバックアップしているデ

ータをＦＦ３１４１に書き戻す。ノードＮ３６は“Ｌ”であるので、ノードＮ３７は“Ｌ”が維持され、ノードＮＢ３６は“Ｈ”であるので、ノードＮＢ３７は“Ｈ”となる。よって、ノードＱは“Ｈ”になり、ノードＱＢは“Ｌ”になる。つまり、ＯＳ－ＦＦ３１４０はバックアップ動作時の状態に復帰する。

［０４３０］

細粒度パワーゲーティングと、ＯＳ－ＦＦ３１４０のバックアップ／リカバリ動作とを組み合わせることで、ＯＳ－ＦＰＧＡ３１１０の消費電力を効果的に低減できる。

［０４３１］

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出されるα線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。ＯＳトランジスタを用いたＯＳメモリはソフトエラー耐性が高い。そのたため、ＯＳメモリを搭載することで、信頼性の高いＯＳ－ＦＰＧＡ３１１０を提供することができる。

［０４３２］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

［０４３３］

（実施の形態５）

本実施の形態においては、上述した記憶装置など、本発明の一態様に係る半導体装置を含むＣＰＵの一例について説明する。

［０４３４］

＜ＣＰＵの構成＞

図２４に示す半導体装置５４００は、ＣＰＵコア５４０１、パワーマネージメントユニット５４２１および周辺回路５４２２を有する。パワーマネージメントユニット５４２１は、パワーコントローラ５４０２、およびパワースイッチ５４０３を有する。周辺回路５４２２は、キャッシュメモリを有するキャッシュ５４０４、バスインターフェース（ＢＵＳ　Ｉ／Ｆ）４０５、及びデバッグインターフェース（Ｄｅｂｕｇ　Ｉ／Ｆ）４０６を有する。ＣＰＵコア５４０１は、データバス５４２３、制御装置５４０７、ＰＣ（プログラムカウンタ）４０８、パイプラインレジスタ５４０９、パイプラインレジスタ５４１０、ＡＬＵ（Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ）４１１、及びレジスタファイル５４１２を有する。ＣＰＵコア５４０１と、キャッシュ５４０４等の周辺回路５４２２とのデータのやり取りは、データバス５４２３を介して行われる。

［０４３５］

半導体装置（セル）は、パワーコントローラ５４０２、制御装置５４０７をはじめ、多くの論理回路に適用することができる。特に、スタンダードセルを用いて構成することができる全ての論理回路に適用することができる。その結果、小型の半導体装置５４００を提供できる。また、消費電力低減することが可能な半導体装置５４００を提供できる。また、動作速度を向上することが可能な半導体装置５４００を提供できる。また、電源電圧の変動を低減することが可能な半導体装置５４００を提供できる。

［０４３６］

半導体装置（セル）に、ｐチャネル型Ｓｉトランジスタと、先の実施の形態に記載の酸化物半導体（好ましくはＩｎ、Ｇａ、及びＺｎを含む酸化物）をチャネル形成領域に含むトランジスタとを用い、該半導体装置（セル）を半導体装置５４００に適用することで、小型の半導体装置５４００を提供できる。また、消費電力低減することが可能な半導体装置５４００を提供できる。また、動作速度を向上することが可能な半導体装置５４００を提供できる。特に、Ｓｉトランジスタはｐチャネル型のみとすることで、製造コストを低く抑えることができる。

［０４３７］

制御装置５４０７は、ＰＣ５４０８、パイプラインレジスタ５４０９、パイプラインレジスタ５４１０、ＡＬＵ５４１１、レジスタファイル５４１２、キャッシュ５４０４、バスインターフェース５４０５、デバッグインターフェース５４０６、及びパワーコントローラ５４０２の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

［０４３８］

ＡＬＵ５４１１は、四則演算、論理演算などの各種演算処理を行う機能を有する。

［０４３９］

キャッシュ５４０４は、使用頻度の高いデータを一時的に記憶しておく機能を有する。ＰＣ５４０８は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図２４では図示していないが、キャッシュ５４０４には、キャッシュメモリの動作を制御するキャッシュコントローラが設けられている。

［０４４０］

パイプラインレジスタ５４０９は、命令データを一時的に記憶する機能を有するレジスタである。

［０４４１］

レジスタファイル５４１２は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはＡＬＵ５４１１の演算処理の結果得られたデータ、などを記憶することができる。

［０４４２］

パイプラインレジスタ５４１０は、ＡＬＵ５４１１の演算処理に利用するデータ、またはＡＬＵ５４１１の演算処理の結果得られたデータなどを一時的に記憶する機能を有するレジスタである。

［０４４３］

バスインターフェース５４０５は、半導体装置５４００と半導体装置５４００の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース５４０６は、デバッグの制御を行うための命令を半導体装置５４００に入力するための信号の経路としての機能を有する。

［０４４４］

パワースイッチ５４０３は、半導体装置５４００が有する、パワーコントローラ５４０２以外の各種回路への、電源電圧の供給を制御する機能を有する。上記各種回路は、幾つかのパワードメインにそれぞれ属しており、同一のパワードメインに属する各種回路は、パワースイッチ５４０３によって電源電圧の供給の有無が制御される。また、パワーコントローラ５４０２はパワースイッチ５４０３の動作を制御する機能を有する。

［０４４５］

上記構成を有する半導体装置５４００は、パワーゲーティングを行うことが可能である。パワーゲーティングの動作の流れについて、一例を挙げて説明する。

［０４４６］

まず、ＣＰＵコア５４０１が、電源電圧の供給を停止するタイミングを、パワーコントローラ５４０２のレジスタに設定する。次いで、ＣＰＵコア５４０１からパワーコントローラ５４０２へ、パワーゲーティングを開始する旨の命令を送る。次いで、半導体装置５４００内に含まれる各種レジスタとキャッシュ５４０４が、データの退避を開始する。次いで、半導体装置５４００が有するパワーコントローラ５４０２以外の各種回路への電源電圧の供給が、パワースイッチ５４０３により停止される。次いで、割込み信号がパワーコントローラ５４０２に入力されることで、半導体装置５４００が有する各種回路への電源電圧の供給が開始される。なお、パワーコントローラ５４０２にカウンタを設けておき、電源電圧の供給が開始されるタイミングを、割込み信号の入力に依らずに、当該カウンタを用いて決めるようにしてもよい。次いで、各種レジスタとキャッシュ５４０４が、データの復帰を開始する。次いで、制御装置５４０７における命令の実行が再開される。

［０４４７］

このようなパワーゲーティングは、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において行うことができる。また、短い時間でも電源の供給を停止することができる。このため、空間的に、あるいは時間的に細かい粒度で消費電力の削減を行うことができる。

［０４４８］

パワーゲーティングを行う場合、ＣＰＵコア５４０１や周辺回路５４２２が保持する情報を短期間に退避できることが好ましい。そうすることで、短期間に電源のオンオフが可能となり、省電力の効果が大きくなる。

［０４４９］

ＣＰＵコア５４０１や周辺回路５４２２が保持する情報を短期間に退避するためには、フリップフロップ回路がその回路内でデータ退避できることが好ましい(バックアップ可能なフリップフロップ回路と呼ぶ)。また、ＳＲＡＭセルがセル内でデータ退避できることが好ましい（バックアップ可能なＳＲＡＭセルと呼ぶ)。バックアップ可能なフリップフロップ回路やＳＲＡＭセルは、酸化物半導体（好ましくはＩｎ、Ｇａ、及びＺｎを含む酸化物）をチャネル形成領域に含むトランジスタを有することが好ましい。その結果、トランジスタが低いオフ電流を有することで、バックアップ可能なフリップフロップ回路やＳＲＡＭセルは長期間電源供給なしに情報を保持することができる。また、トランジスタが高速なスイッチング速度を有することで、バックアップ可能なフリップフロップ回路やＳＲＡＭセルは短期間のデータ退避および復帰が可能となる場合がある。

［０４５０］

バックアップ可能なフリップフロップ回路の例について、図２５を用いて説明する。

［０４５１］

図２５に示す半導体装置５５００は、バックアップ可能なフリップフロップ回路の一例である。半導体装置５５００は、第１の記憶回路５５０１と、第２の記憶回路５５０２と、第３の記憶回路５５０３と、読み出し回路５５０４と、を有する。半導体装置５５００には、電位Ｖ１と電位Ｖ２の電位差が、電源電圧として供給される。電位Ｖ１と電位Ｖ２は一方がハイレベルであり、他方がローレベルである。以下、電位Ｖ１がローレベル、電位Ｖ２がハイレベルの場合を例に挙げて、半導体装置５５００の構成例について説明するものとする。

［０４５２］

第１の記憶回路５５０１は、半導体装置５５００に電源電圧が供給されている期間において、データを含む信号Ｄが入力されると、当該データを保持する機能を有する。そして、半導体装置５５００に電源電圧が供給されている期間において、第１の記憶回路５５０１からは、保持されているデータを含む信号Ｑが出力される。一方、第１の記憶回路５５０１は、半導体装置５５００に電源電圧が供給されていない期間においては、データを保持することができない。すなわち、第１の記憶回路５５０１は、揮発性の記憶回路と呼ぶことができる。

［０４５３］

第２の記憶回路５５０２は、第１の記憶回路５５０１に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。第３の記憶回路５５０３は、第２の記憶回路５５０２に保持されているデータを読み込記憶する（あるいは退避する）機能を有する。読み出し回路５５０４は、第２の記憶回路５５０２または第３の記憶回路５５０３に保持されたデータを読み出して第１の記憶回路５５０１に記憶する（あるいは復帰する）機能を有する。

［０４５４］

特に、第３の記憶回路５５０３は、半導体装置５５００に電源電圧が供給されてない期間においても、第２の記憶回路５５０２に保持されているデータを読み込記憶する（あるいは退避する）機能を有する。

［０４５５］

図２５に示すように、第２の記憶回路５５０２はトランジスタ５５１２と容量素子５５１９とを有する。第３の記憶回路５５０３はトランジスタ５５１３と、トランジスタ５５１５と、容量素子５５２０とを有する。読み出し回路５５０４はトランジスタ５５１０と、トランジスタ５５１８と、トランジスタ５５０９と、トランジスタ５５１７と、を有する。

［０４５６］

トランジスタ５５１２は、第１の記憶回路５５０１に保持されているデータに応じた電荷を、容量素子５５１９に充放電する機能を有する。トランジスタ５５１２は、第１の記憶回路５５０１に保持されているデータに応じた電荷を容量素子５５１９に対して高速に充放電できることが望ましい。具体的には、トランジスタ５５１２が、結晶性を有するシリコン（好ましくは多結晶シリコン、更に好ましくは単結晶シリコン）をチャネル形成領域に含むことが望ましい。

［０４５７］

トランジスタ５５１３は、容量素子５５１９に保持されている電荷に従って導通状態または非導通状態が選択される。トランジスタ５５１５は、トランジスタ５５１３が導通状態であるときに、配線５５４４の電位に応じた電荷を容量素子５５２０に充放電する機能を有する。トランジスタ５５１５は、オフ電流が著しく小さいことが望ましい。具体的には、トランジスタ５５１５が、酸化物半導体（好ましくはＩｎ、Ｇａ、及びＺｎを含む酸化物）をチャネル形成領域に含むことが望ましい。

［０４５８］

各素子の接続関係を具体的に説明すると、トランジスタ５５１２のソース及びドレインの一方は、第１の記憶回路５５０１に接続されている。トランジスタ５５１２のソース及びドレインの他方は、容量素子５５１９の一方の電極、トランジスタ５５１３のゲート、及びトランジスタ５５１８のゲートに接続されている。容量素子５５１９の他方の電極は、配線５５４２に接続されている。トランジスタ５５１３のソース及びドレインの一方は、配線５５４４に接続されている。トランジスタ５５１３

のソース及びドレインの他方は、トランジスタ５５１５のソース及びドレインの一方に接続されている。トランジスタ５５１５のソース及びドレインの他方は、容量素子５５２０の一方の電極、及びトランジスタ５５１０のゲートに接続されている。容量素子５５２０の他方の電極は、配線５５４３に接続されている。トランジスタ５５１０のソース及びドレインの一方は、配線５５４１に接続されている。トランジスタ５５１０のソース及びドレインの他方は、トランジスタ５５１８のソース及びドレインの一方に接続されている。トランジスタ５５１８のソース及びドレインの他方は、トランジスタ５５０９のソース及びドレインの一方に接続されている。トランジスタ５５０９のソース及びドレインの他方は、トランジスタ５５１７のソース及びドレインの一方、及び第１の記憶回路５５０１に接続されている。トランジスタ５５１７のソース及びドレインの他方は、配線５５４０に接続されている。また、図２５においては、トランジスタ５５０９のゲートは、トランジスタ５５１７のゲートと接続されているが、トランジスタ５５０９のゲートは、必ずしもトランジスタ５５１７のゲートと接続されていなくてもよい。

［０４５９］

トランジスタ５５１５に先の実施の形態で例示したトランジスタを適用することができる。トランジスタ５５１５のオフ電流が小さいために、半導体装置５５００は、長期間電源供給なしに情報を保持することができる。トランジスタ５５１５のスイッチング特性が良好であるために、半導体装置５５００は、高速のバックアップとリカバリを行うことができる。

［０４６０］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

［０４６１］

（実施の形態６）

本実施の形態では、本発明の一態様に係る半導体装置の一形態を、図２６、および図２７を用いて説明する。

［０４６２］

＜半導体ウエハ、チップ＞

図２６（Ａ）は、ダイシング処理が行なわれる前の基板７１１の上面図を示している。基板７１１としては、例えば、半導体基板（「半導体ウエハ」ともいう。）を用いることができる。基板７１１上には、複数の回路領域７１２が設けられている。回路領域７１２には、本発明の一態様に係る半導体装置などを設けることができる。

［０４６３］

複数の回路領域７１２は、それぞれが分離領域７１３に囲まれている。分離領域７１３と重なる位置に分離線（「ダイシングライン」ともいう。）７１４が設定される。分離線７１４に沿って基板７１１を切断することで、回路領域７１２を含むチップ７１５を基板７１１から切り出すことができる。図２６（Ｂ）にチップ７１５の拡大図を示す。

［０４６４］

また、分離領域７１３に導電層、半導体層などを設けてもよい。分離領域７１３に導電層、半導体層などを設けることで、ダイシング工程時に生じうるＥＳＤを緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に供給しながら行なう。分離領域７１３に導電層、半導体層などを設けることで、当該純水の使用量を削減すること

ができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

［０４６５］

＜電子部品＞

チップ７１５を用いた電子部品の一例について、図２７（Ａ）および図２７（Ｂ）を用いて説明する。なお、電子部品は、半導体パッケージ、またはＩＣ用パッケージともいう。電子部品は、端子取り出し方向、端子の形状などに応じて、複数の規格、名称などが存在する。

［０４６６］

電子部品は、組み立て工程（後工程）において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

［０４６７］

図２７（Ａ）に示すフローチャートを用いて、後工程について説明する。前工程において基板７１１に本発明の一態様に係る半導体装置などを形成した後、基板７１１の裏面（半導体装置などが形成されていない面）を研削する「裏面研削工程」を行なう（ステップＳ７２１）。研削により基板７１１を薄くすることで、電子部品の小型化を図ることができる。

［０４６８］

次に、基板７１１を複数のチップ７１５に分離する「ダイシング工程」を行う（ステップＳ７２２）。そして、分離したチップ７１５を個々のリードフレーム上に接合する「ダイボンディング工程」を行う（ステップＳ７２３）。ダイボンディング工程におけるチップ７１５とリードフレームとの接合は、樹脂による接合、またはテープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップ７１５を接合してもよい。

［０４６９］

次いで、リードフレームのリードとチップ７１５上の電極とを、金属の細線（ワイヤー）で電気的に接続する「ワイヤーボンディング工程」を行う（ステップＳ７２４）。金属の細線には、銀線、金線などを用いることができる。また、ワイヤーボンディングは、例えば、ボールボンディング、またはウェッジボンディングを用いることができる。

［０４７０］

ワイヤーボンディングされたチップ７１５は、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップＳ７２５）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップ７１５とリードを接続するワイヤーを機械的な外力から保護することができ、また水分、埃などによる特性の劣化（信頼性の低下）を低減することができる。

［０４７１］

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップＳ７２６）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップＳ７２７）。

［０４７２］

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップＳ７２８）。そして外観形状の良否、動作不良の有無などを調べる「検査工程」（ステップＳ７２９）を経て、電子部品が完成する。

［０４７３］

また、完成した電子部品の斜視模式図を図２７（Ｂ）に示す。図２７（Ｂ）では、電子部品の一例として、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）の斜視模式図を示している。図２７（Ｂ）に示す電子部品７５０は、リード７５５およびチップ７１５を有する。電子部品７５０は、チップ７１５を複数有していてもよい。

［０４７４］

図２７（Ｂ）に示す電子部品７５０は、例えばプリント基板７５２に実装される。このような電子部品７５０が複数組み合わされて、それぞれがプリント基板７５２上で電気的に接続されることで電子部品が実装された基板（実装基板７５４）が完成する。完成した実装基板７５４は、電子機器などに用いられる。

［０４７５］

（実施の形態７）

＜電子機器＞

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図２８に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

［０４７６］

図２８（Ａ）は、自動車の一例を示す外観図である。自動車２９８０は、車体２９８１、車輪２９８２、ダッシュボード２９８３、およびライト２９８４等を有する。また、自動車２９８０は、アンテナ、バッテリなどを備える。

［０４７７］

図２８（Ｂ）に示す情報端末２９１０は、筐体２９１１に、表示部２９１２、マイク２９１７、スピーカ部２９１４、カメラ２９１３、外部接続部２９１６、および操作スイッチ２９１５等を有する。表示部２９１２には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末２９１０は、筐体２９１１の内側にアンテナ、バッテリなどを備える。情報端末２９１０は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

［０４７８］

図２８（Ｃ）に示すノート型パーソナルコンピュータ２９２０は、筐体２９２１、表示部２９２２、キーボード２９２３、およびポインティングデバイス２９２４等を有する。また、ノート型パーソナルコンピュータ２９２０は、筐体２９２１の内側にアンテナ、バッテリなどを備える。

［０４７９］

図２８（Ｄ）に示すビデオカメラ２９４０は、筐体２９４１、筐体２９４２、表示部２９４３、操作スイッチ２９４４、レンズ２９４５、および接続部２９４６等を有する。操作スイッチ２９４４およびレンズ２９４５は筐体２９４１に設けられており、表示部２９４３は筐体２９４２に設けられている。また、ビデオカメラ２９４０は、筐体２９４１の内側にアンテナ、バッテリなどを備える。そして、筐体２９４１と筐体２９４２は、接続部２９４６により接続されており、筐体２９４１と筐体２９４２の間の角度は、接続部２９４６により変えることが可能な構造となっている。筐体２９４１に対する筐体２９４２の角度によって、表示部２９４３に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行うことができる。

［０４８０］

図２８（Ｅ）にバングル型の情報端末の一例を示す。情報端末２９５０は、筐体２９５１、および表示部２９５２等を有する。また、情報端末２９５０、筐体２９５１の内側にアンテナ、バッテリなどを備える。表示部２９５２は、曲面を有する筐体２９５１に支持されている。表示部２９５２には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末２９５０を提供することができる。

［０４８１］

図２８（Ｆ）に腕時計型の情報端末の一例を示す。情報端末２９６０は、筐体２９６１、表示部２９６２、バンド２９６３、バックル２９６４、操作スイッチ２９６５、入出力端子２９６６などを備える。また、情報端末２９６０、筐体２９６１の内側にアンテナ、バッテリなどを備える。情報端末２９６０は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

［０４８２］

表示部２９６２の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部２９６２はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部２９６２に表示されたアイコン２９６７に触れることで、アプリケーションを起動することができる。操作スイッチ２９６５は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行及び解除、省電力モードの実行及び解除など、様々な機能を持たせることができる。例えば、情報端末２９６０に組み込まれたオペレーティングシステムにより、操作スイッチ２９６５の機能を設定することもできる。

［０４８３］

また、情報端末２９６０は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末２９６０は入出力端子２９６６を備え、他の情報端末とコネクターを介して直接データのやりとりを行うことができる。また入出力端子２９６６を介して充電を行うこともできる。なお、充電動作は入出力端子２９６６を介さずに無線給電により行ってもよい。

［０４８４］

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

［０４８５］

本実施の形態は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

［符号の説明］

［０４８６］

３０１　絶縁体、３０２　絶縁体、３０３　絶縁体、４００　絶縁体、４０１　絶縁体、４０２　絶縁体、４０４　導電体、４０４ａ　導電体、４０４ｂ　導電体、４０６　酸化物、４０６ａ　酸化物、４０６ｂ　酸化物、４０９　絶縁体、４１０　導電体、４１０ａ　導電体、４１０ｂ　導電体、４１１　絶縁体、４１２　絶縁体、４１５　絶縁体、４１５Ａ　絶縁膜、４１８　絶縁体、４１９　絶縁体、４２０　絶縁体、４２１　絶縁体、４２２　絶縁体、４２３　プラズマ、４２６ａ　領域、４２６ｂ　領域、４２６ｃ　領域、４３０　絶

縁体、４３２　絶縁体、４４０　導電体、４４０ａ　導電体、４４０ｂ　導電体、４４１　導電体、４４１ａ　導電体、４４１ｂ　導電体、４５０　導電体、４５０ａ　導電体、４５０ｂ　導電体、４５１ａ　導電体、４５１ｂ　導電体、４５２ａ　導電体、４５２ｂ　導電体、４５４　導電体、５０６　酸化物、５１０　導電体、５１０ａ　導電体、５１０ｂ　導電体、５４０　導電体、５４０ａ　導電体、５４０ｂ　導電体、５５１　導電体、５５２ａ　導電体、５５２ｂ　導電体、５５４　導電体、１０００　トランジスタ、１５００　容量素子、１６０１　配線、１６０２　配線、１６０３　配線、１６０４　配線、１６０５　配線、１６０６　配線、１６０７　配線、２０００　トランジスタ

請求の範囲

［請求項１］

第１のトランジスタと、

前記第１のトランジスタを覆うように設けられた第１の絶縁体と、

前記第１の絶縁体上の第２のトランジスタを有し、

前記第１のトランジスタは、

第１の導電体と、

前記第１の導電体上に配置された第２の絶縁体と、

前記第２の絶縁体の上に配置された第１の酸化物と、

前記第１の酸化物の上面の少なくとも一部に接して配置された第２の酸化物と、

前記第２の酸化物の上に配置された第３の絶縁体と、

前記第３の絶縁体の上に配置された第２の導電体と、

前記第２の導電体の上に配置された第３の導電体と、

前記第３の導電体の上に配置された第４の絶縁体と、

前記第３の絶縁体、前記第２の導電体、前記第３の導電体、前記第４の絶縁体の側面に接して配置された第５の絶縁体と、

前記第２の酸化物の上面に接し、かつ前記第５の絶縁体の側面に接して配置された第６の絶縁体と、を有し、

前記第２のトランジスタのソースおよびドレインの一方は、前記第１の導電体と電気的に接続することを特徴とする半導体装置。

［請求項２］

請求項１において、

前記第２のトランジスタのゲートは、前記第１の導電体と電気的に接続することを特徴とする半導体装置。

［請求項３］

請求項１または請求項２において、

前記第１の絶縁体上に容量素子を有し、

前記容量素子は、

第４の導電体と、

第５の導電体と、

前記第４の導電体と前記第５の導電体の間に設けられた第７の絶縁体を有し、

前記第２のトランジスタは、

第６の導電体と、

第７の導電体と、

前記第６の導電体および前記第７の導電体と電気的に接続する第３の酸化物と、

第８の導電体を有し、

前記第４の導電体は前記第１のトランジスタのソースおよびドレインの一方と電気的に接続し、

前記第３の酸化物と前記第８の導電体の間に前記第７の絶縁体が設けられていることを特徴とする半導体装置。

［請求項４］

請求項３において、前記第４の導電体、前記第６の導電体、および前記第７の導電体は、同じ材料からなることが特徴の半導体装置。

［請求項５］

請求項３において、

前記第５の導電体、および前記第８の導電体は、同じ材料からなることが特徴の半導体装置。

［請求項６］

請求項１において、

前記第１の酸化物および前記第２の酸化物は、それぞれ、Ｉｎと、元素Ｍ（ＭはＡｌ、Ｇａ、Ｙ、またはＳｎ）と、Ｚｎと、を含む、ことを特徴とする半導体装置。

［請求項７］

請求項６において、

前記第３の酸化物は、Ｉｎと、元素Ｍ（ＭはＡｌ、Ｇａ、Ｙ、またはＳｎ）と、Ｚｎと、を含み、

前記第３の酸化物のＩｎ、Ｍ、およびＺｎの組成は、前記第１の酸化物および前記第２の酸化物の一方のＩｎ、Ｍ、およびＺｎの組成と等しいことを特徴とする半導体装置。

［請求項８］

請求項６において、

前記第３の酸化物は、Ｉｎと、元素Ｍ（ＭはＡｌ、Ｇａ、Ｙ、またはＳｎ）と、Ｚｎと、を含み、

前記第３の酸化物のＩｎ、Ｍ、およびＺｎの組成は、前記第１の酸化物のＩｎ、Ｍ、およびＺｎの組成、および前記第２の酸化物のＩｎ、Ｍ、およびＺｎの組成のいずれとも異なることを特徴とする半導体装置。

［請求項９］

請求項１のいずれか一項において、

前記第４の絶縁体は、酸化アルミニウムおよび酸化ハフニウムのいずれかを有する、ことを特徴とする半導体装置。

［請求項１０］

請求項１のいずれか一項において、

前記第５の絶縁体は、酸化アルミニウムおよび酸化ハフニウムのいずれかを有する、ことを特徴とする半導体装置。

［請求項１１］

請求項１のいずれか一項において、

前記第６の絶縁体は、水素および窒素のいずれか一方または両方を有する、ことを特徴とする半導体装置。

［請求項１２］

第１の絶縁体の上に、第１の酸化膜、および第２の酸化膜を順に形成し、

前記第１の酸化膜および前記第２の酸化膜を島状に加工して、第１の酸化物および第２の酸化物を形成し、

前記第２の酸化物の上に、第１の絶縁膜、第１の導電膜、第２の導電膜、および第２の絶縁膜を順に形成し、

前記第１の絶縁膜、前記第１の導電膜、前記第２の導電膜、および前記第２の絶縁膜を加工して、第２の絶縁体、第１の導電体、第２の導電体、および第３の絶縁体を形成し、

前記第１の絶縁体、前記第１の酸化物、前記第２の酸化物、前記第２の絶縁体、前記第１の導電体、前記第２の導電体、および前記第３の絶縁体を覆うように、第３の絶縁膜を形成し、

前記第３の絶縁膜を加工して、前記第２の絶縁体、前記第１の導電体、前記第２の導電体、および前記第３の絶縁体の側面に接する、第４の絶縁体を形成し、

前記第１の絶縁体、前記第１の酸化物、前記第２の酸化物、前記第４の絶縁体、および前記第３の絶縁体を覆うように、第５の絶縁体を形成し、

前記第５の絶縁体の上に第６の絶縁体を形成し、

前記第６の絶縁体上に第３の導電膜を形成し、

前記第３の導電膜を加工して少なくとも第３の導電体、第４の導電体、および第５の導電体を形成し、

前記第４の導電体および前記第５の導電体と電気的に接続する第３の酸化物を形成し、

前記第３の導電体、前記第４の導電体、前記第５の導電体、および前記第３の酸化物を覆う第７の絶縁体を形成し、

前記第７絶縁体上に第４の導電膜を形成し、

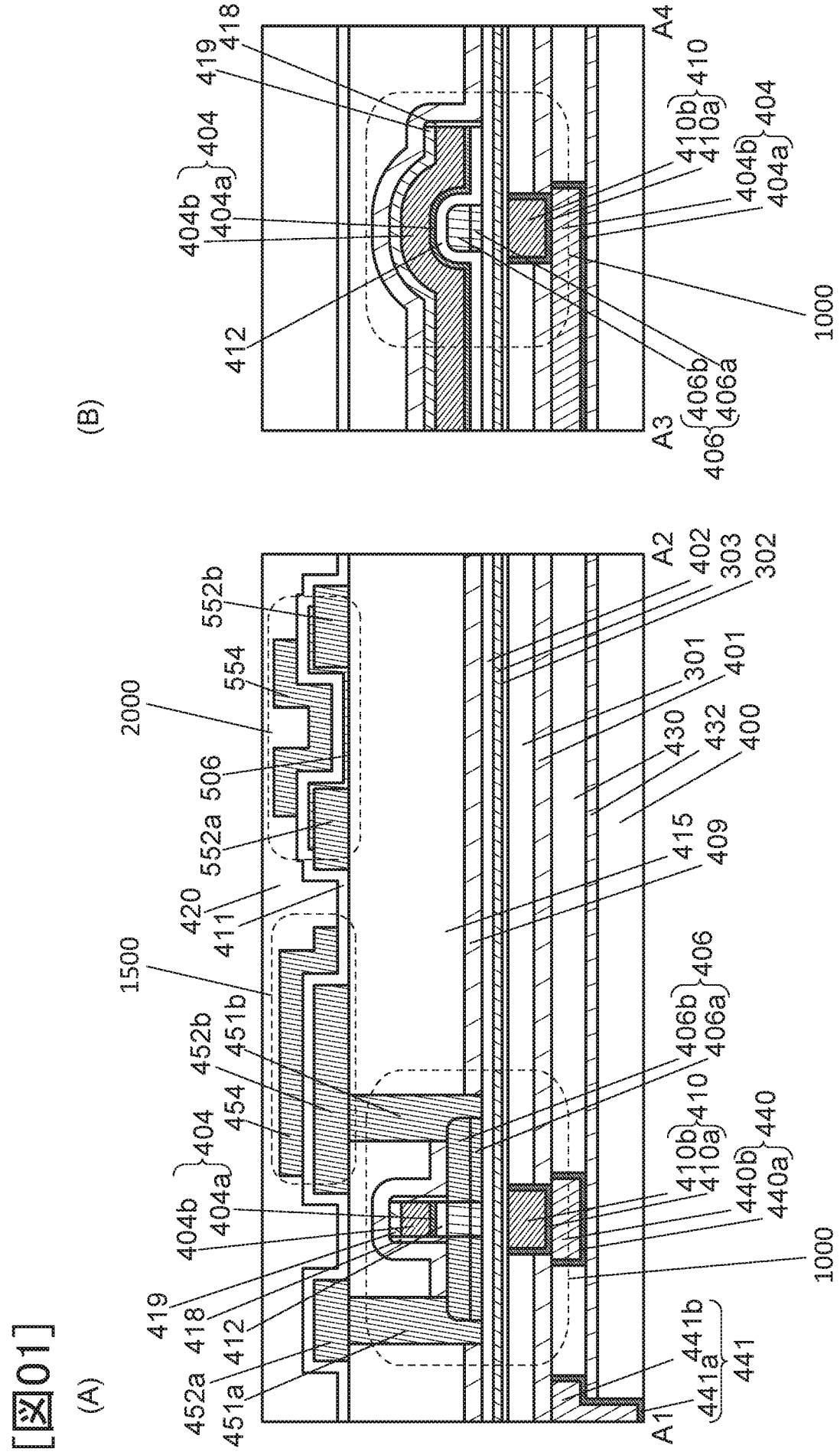
前記第４の導電膜を加工して、前記第３の導電体の少なくとも一部と重なる第６の導電体と、前記第３の酸化物の少なくとも一部と重なる第７の導電体を形成する、ことを特徴とする半導体装置の作製方法。

［請求項１３］

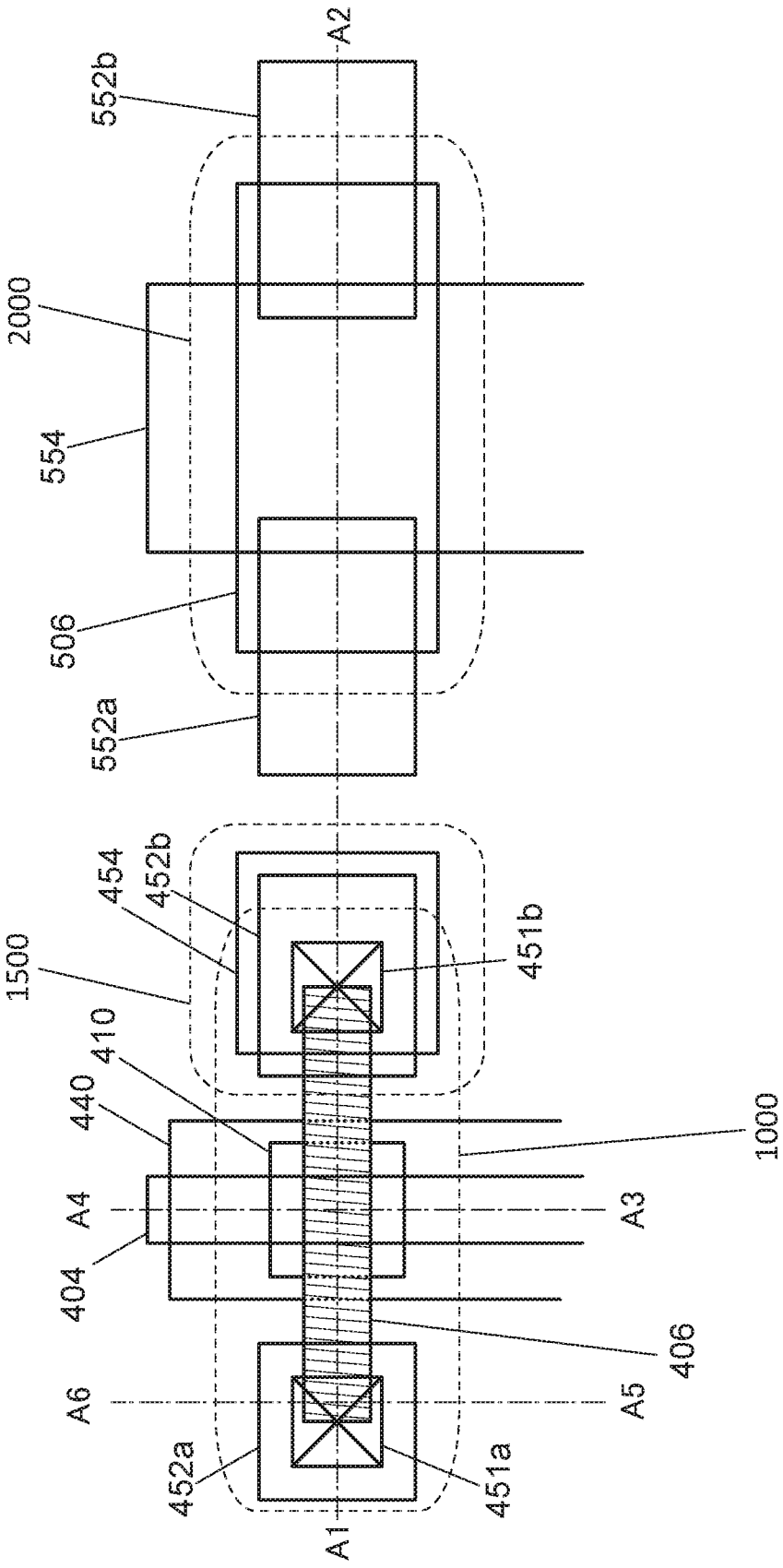
請求項１２において、

前記第３の絶縁膜は、ＡＬＤ法を用いて形成される、ことを特徴とする半導体装置の作製方法。

[図01]

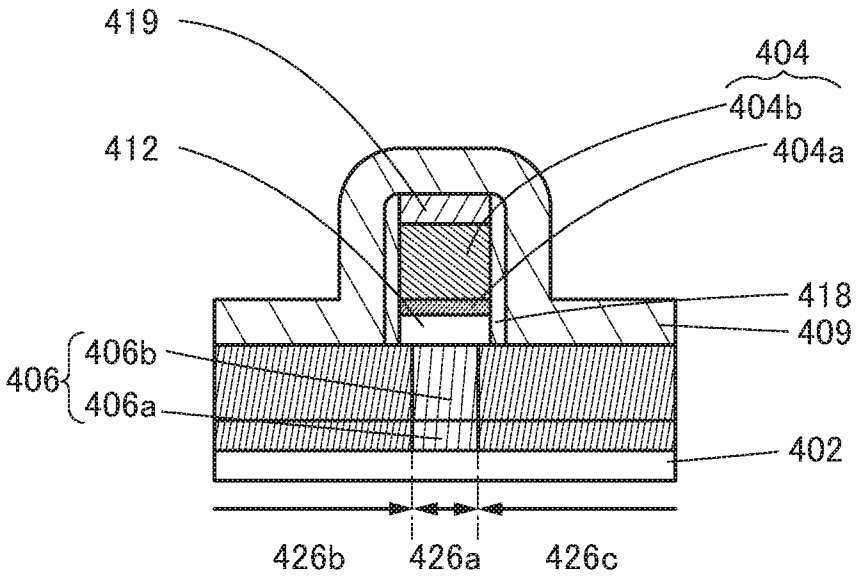

(A)
(B)
A1
A2
A3
A4
1000
1500
2000
301
302
303
400
401
402
404
404a
404b
406
406a
406b
409
410
410a
410b
411
412
415
418
419
420
430
432
440
440a
440b
441
441a
441b
451a
451b
452a
452b
454
506
552a
552b
554

[図02]

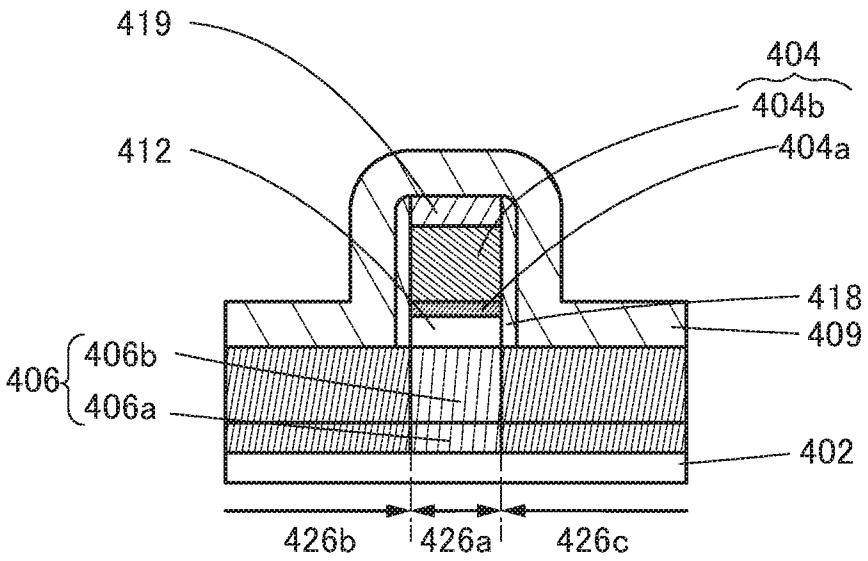

A2
552b
2000
554
506
552a
454
452b
451b
1500
410
440
1000
A4
A3
404
406
A6
A5
452a
451a
A1

[図03]

(A)

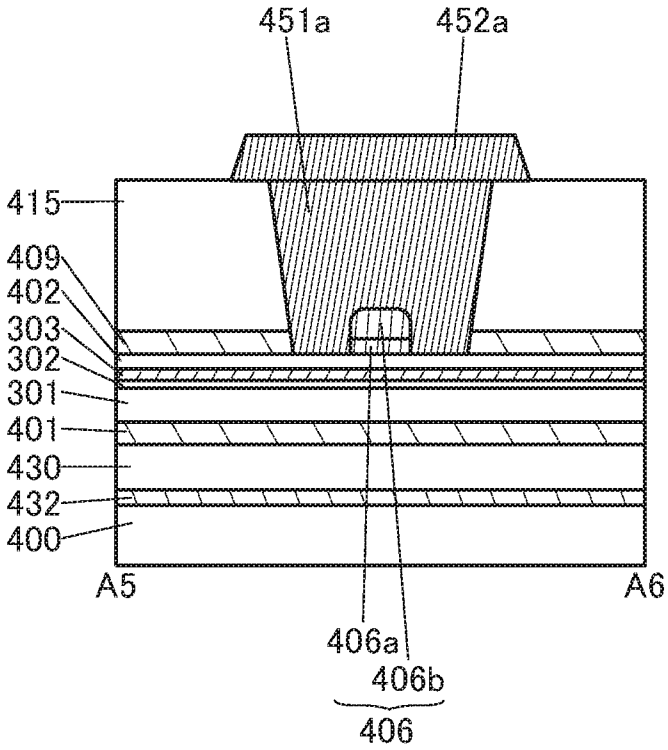

419
404
404b
412
404a
418
409
406
406b
406a
402
426b
426a
426c

(B)

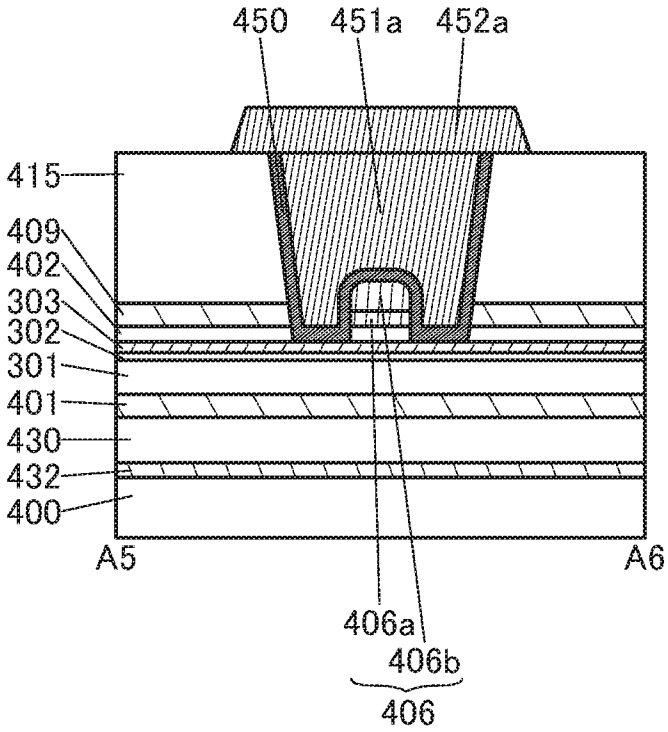

419
404
404b
412
404a
418
409
406
406b
406a
402
426b
426a
426c

[図04]

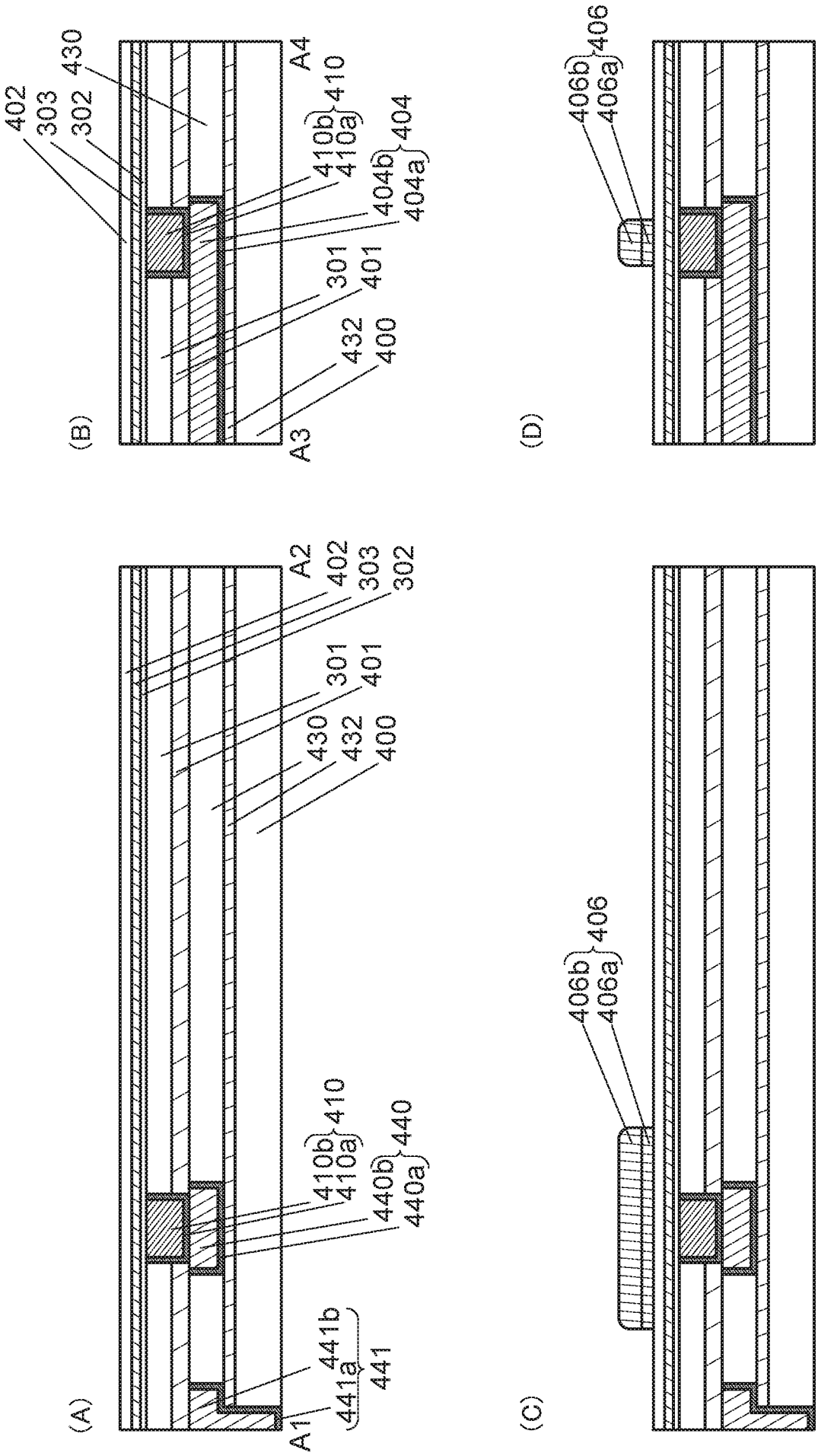
(A)


451a
452a
415
409
402
303
302
301
401
430
432
400
A5
A6
406a
406b
406

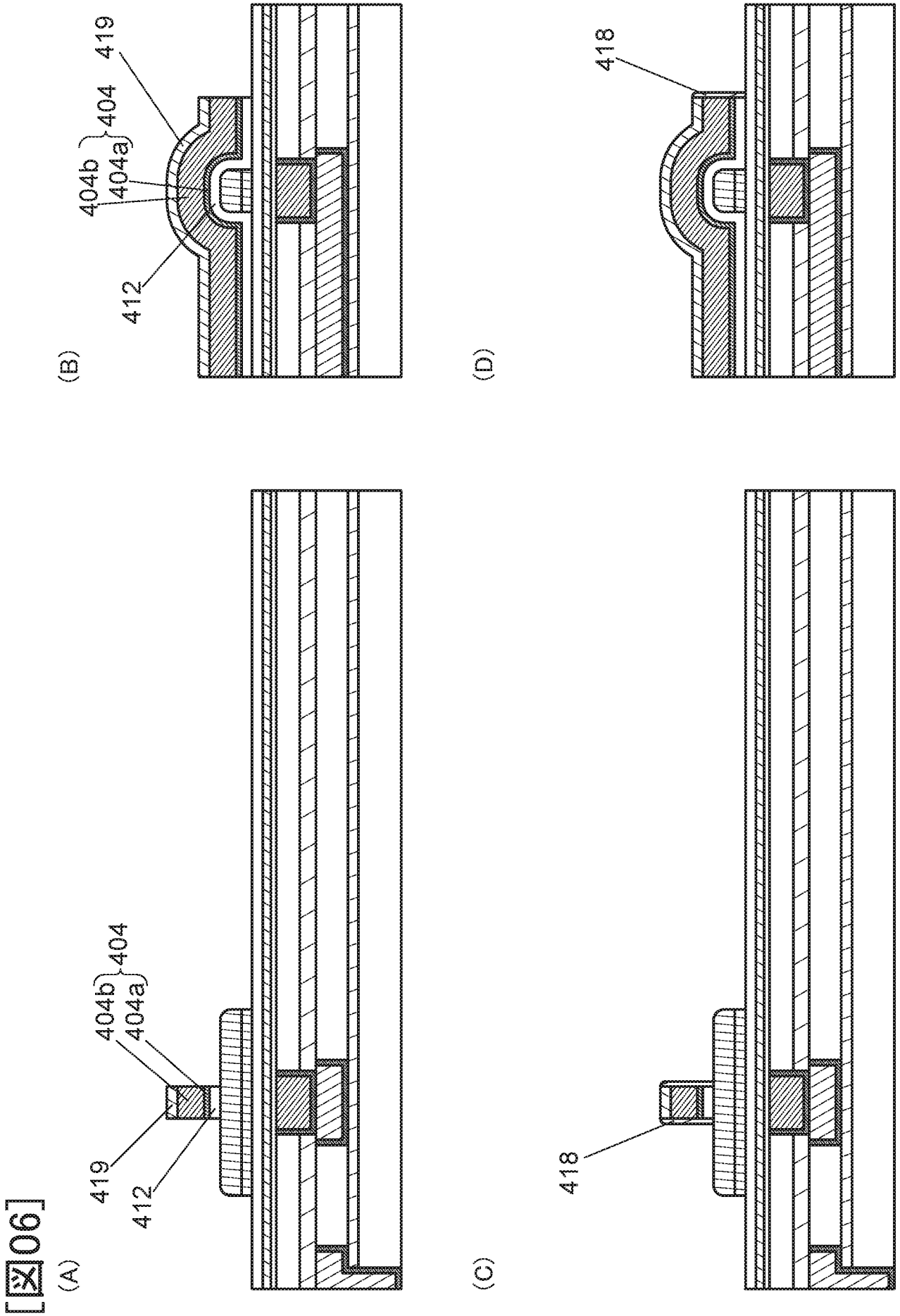
(B)


450
451a
452a
415
409
402
303
302
301
401
430
432
400
A5
A6
406a
406b
406

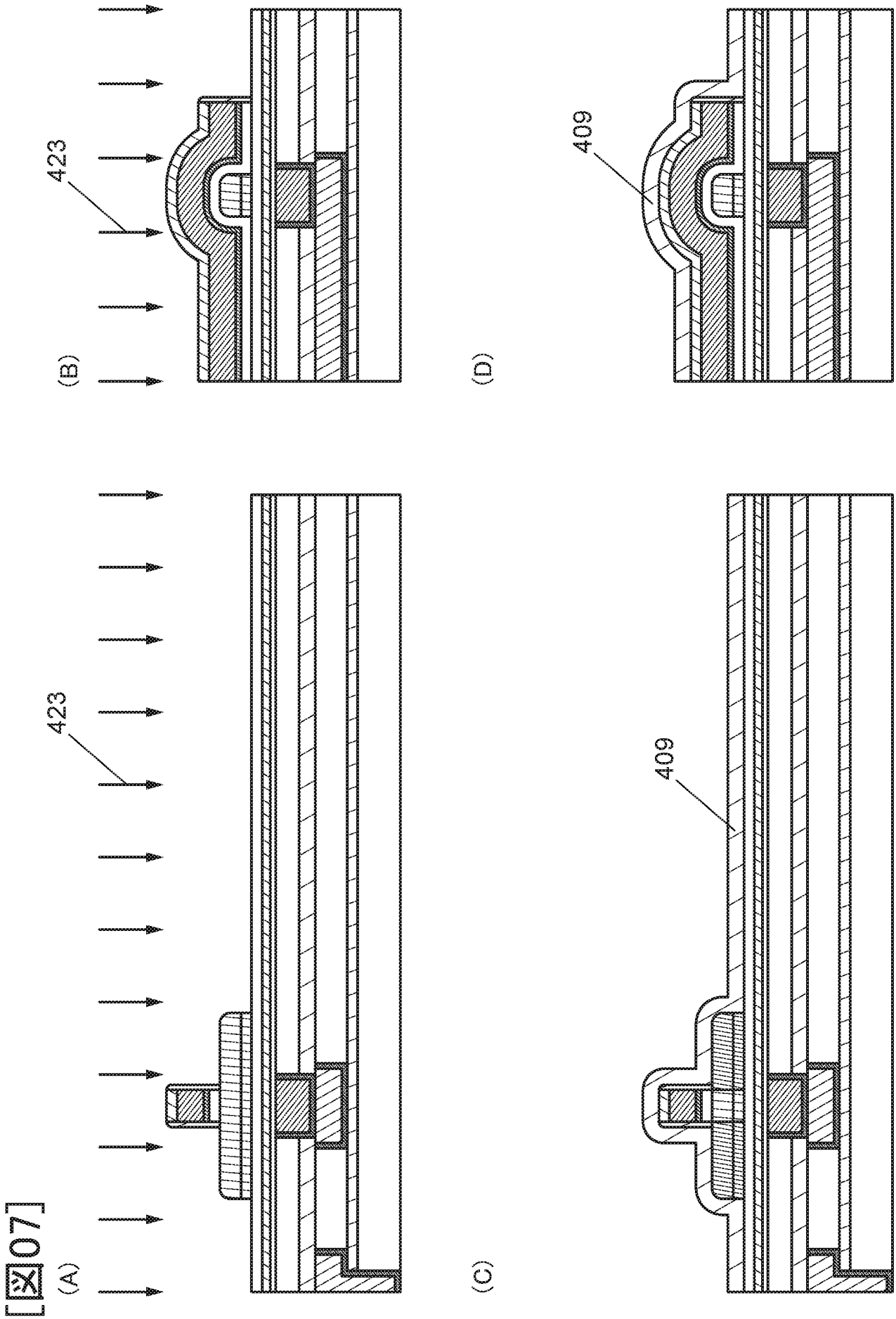
[図05]


(A)
A1
A2
441
441a
441b
410
410a
410b
440
440a
440b
400
430
432
301
401
302
303
402
(B)
A3
A4
404
404a
404b
(C)
406
406a
406b
(D)

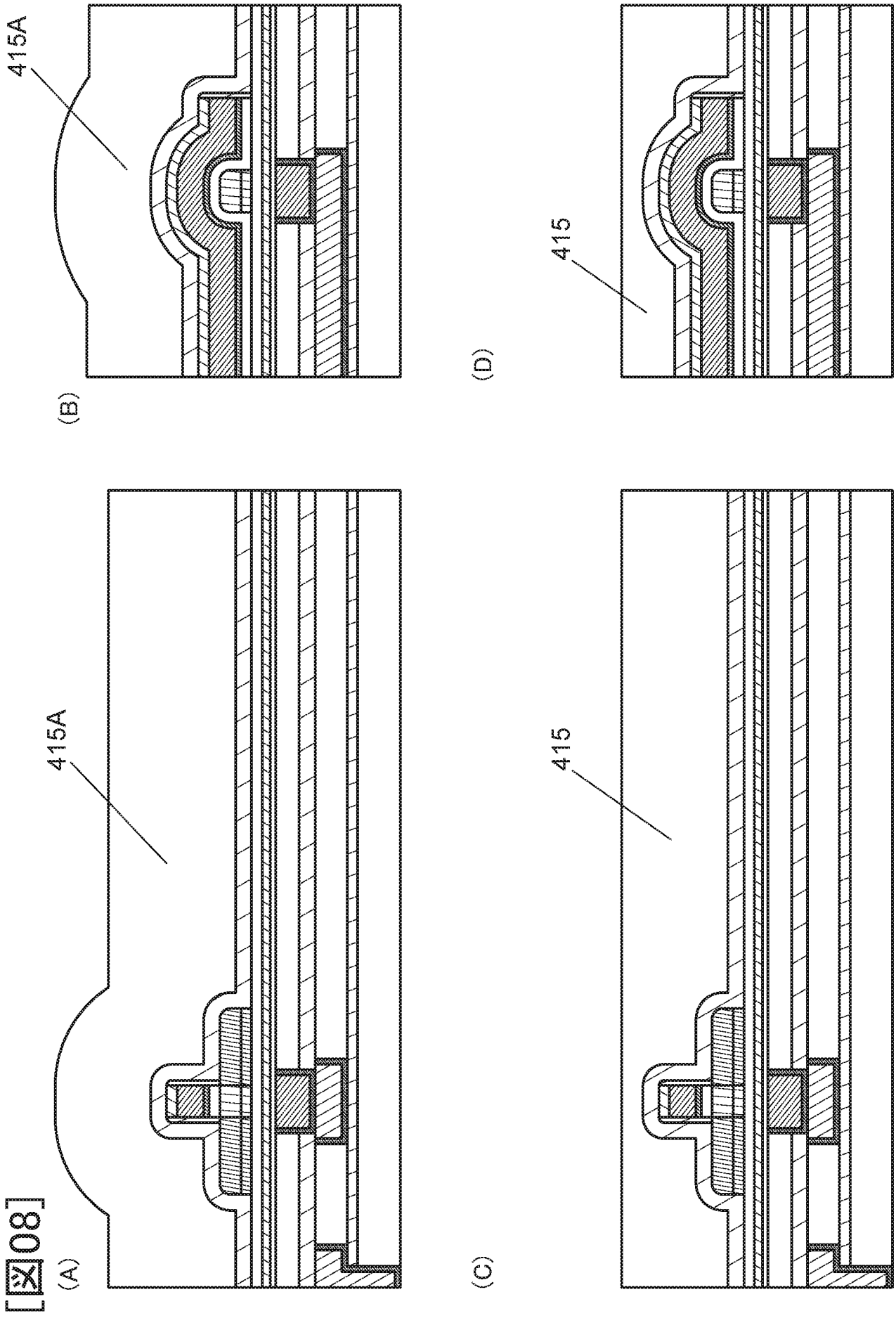
[図06]



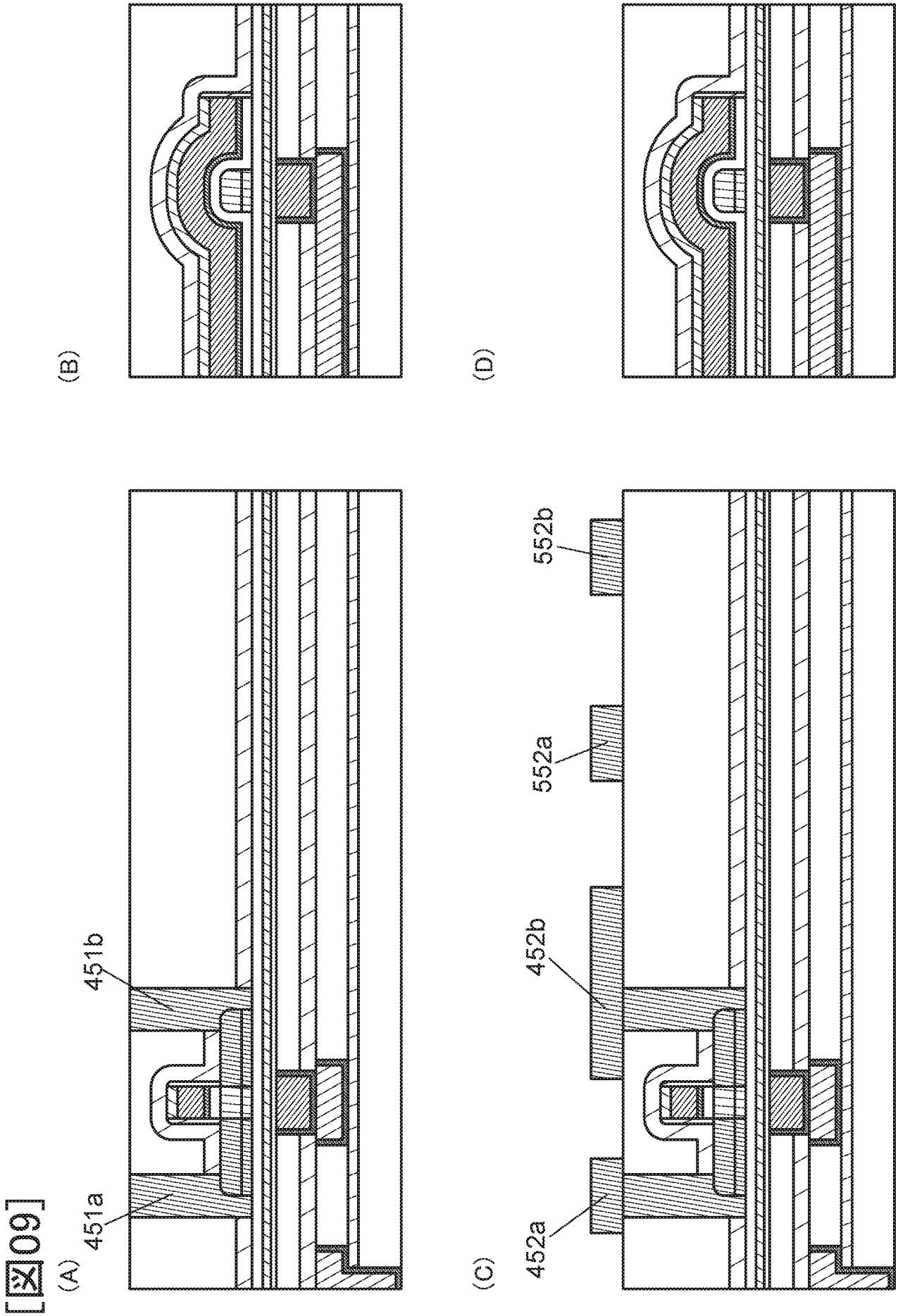
[図07]



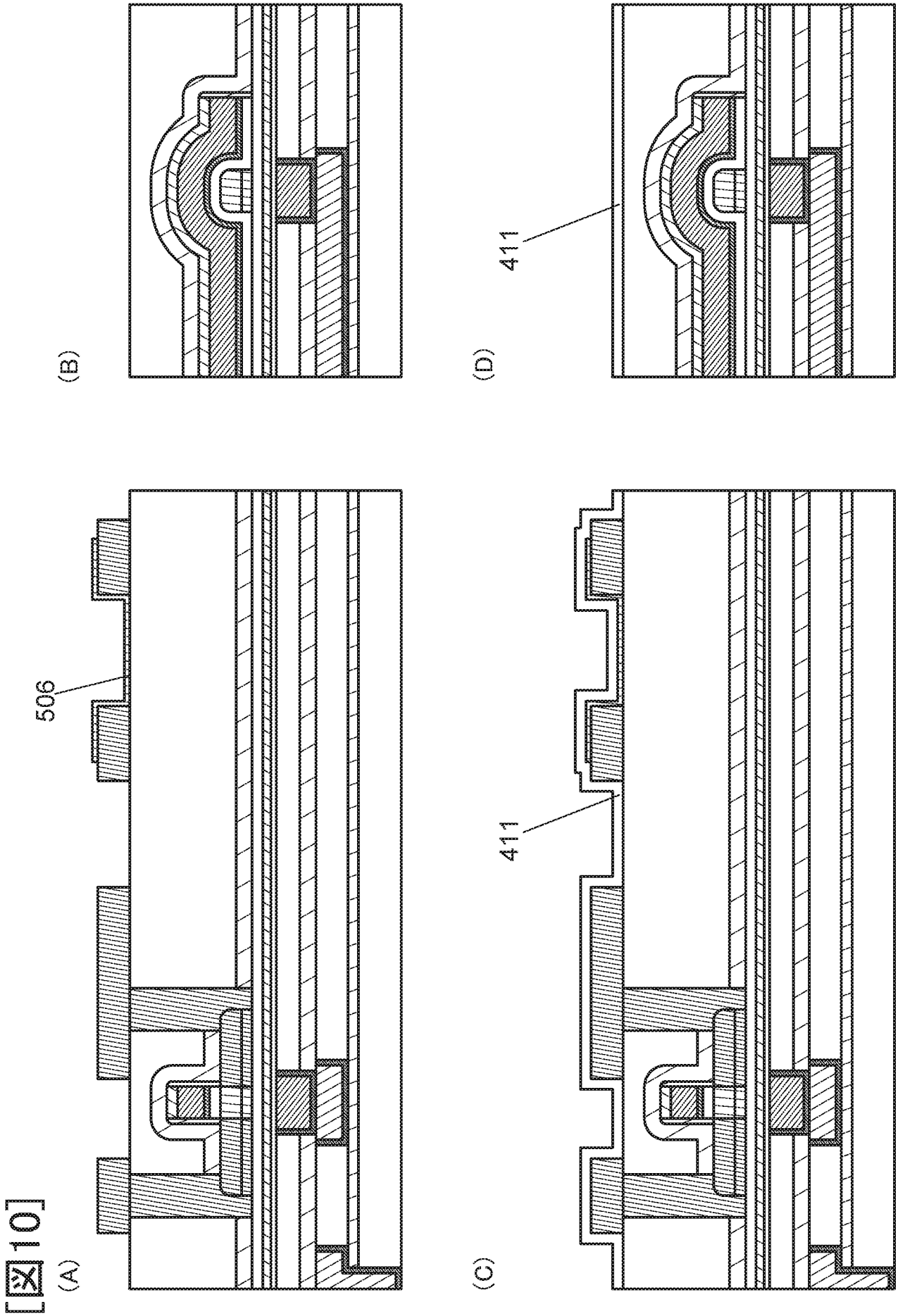
[図08]



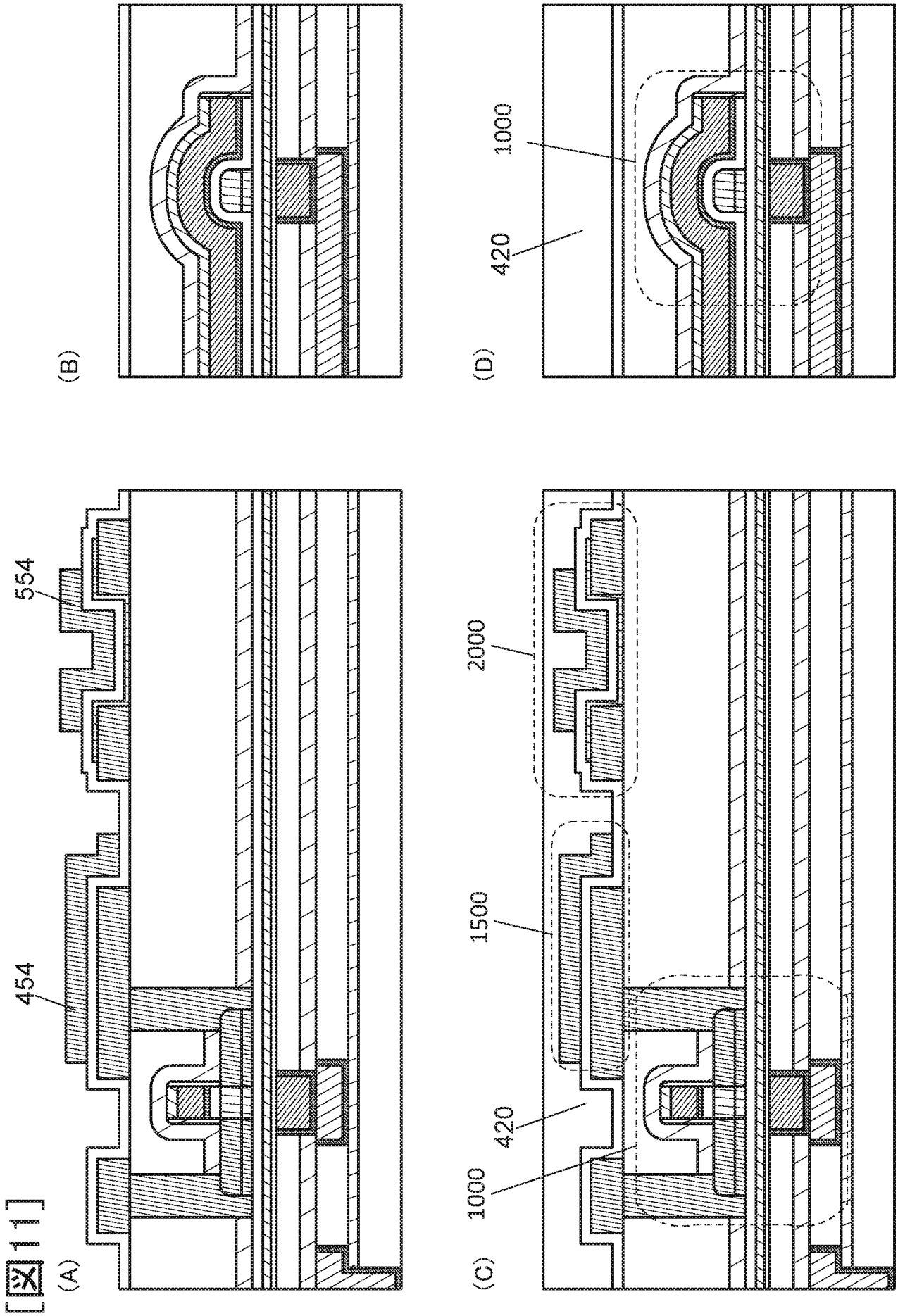
[図09]



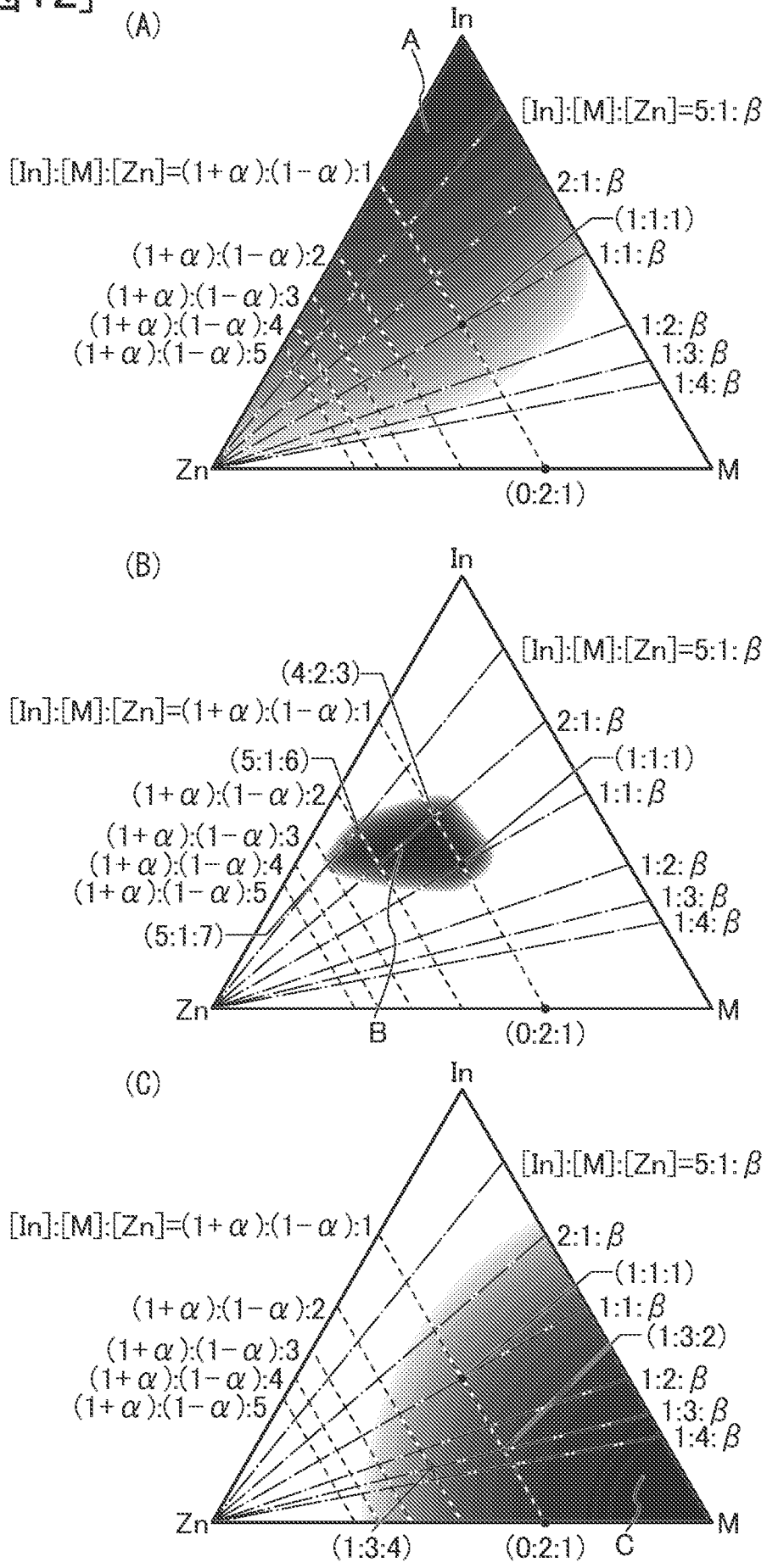
[図10]



[図11]

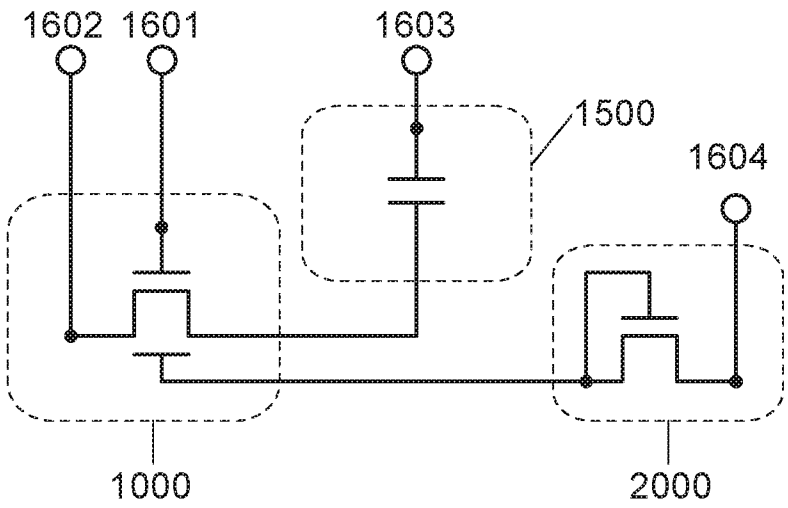


[図12]

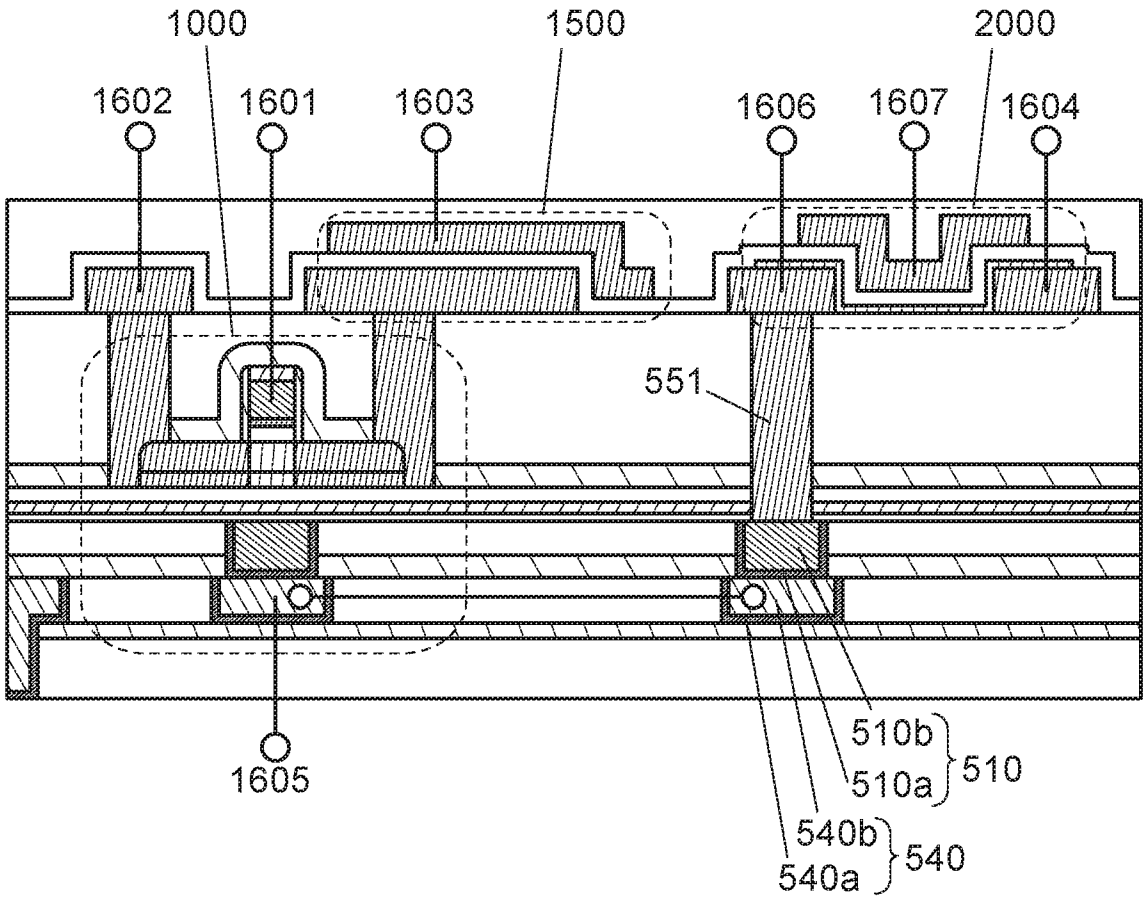

(A)
In
A
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(0:2:1)
(B)
In
[In]:[M]:[Zn]=5:1:β
(4:2:3)
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(5:1:6)
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
(5:1:7)
Zn
B
M
(0:2:1)
(C)
In
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1:3:2)
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(1:3:4)
(0:2:1)
C

[図13]

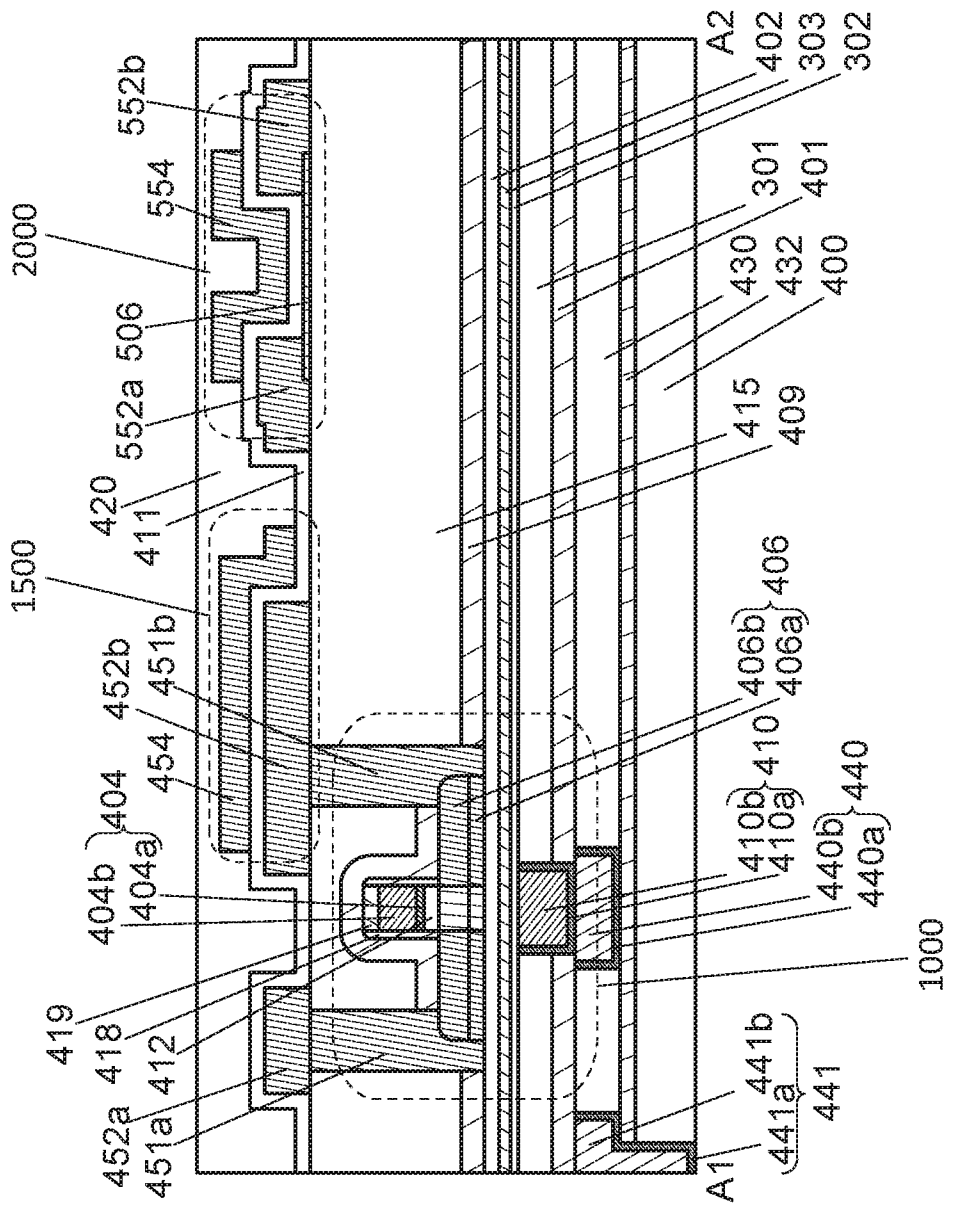
(A)


1602
1601
1603
1500
1604
1000
2000

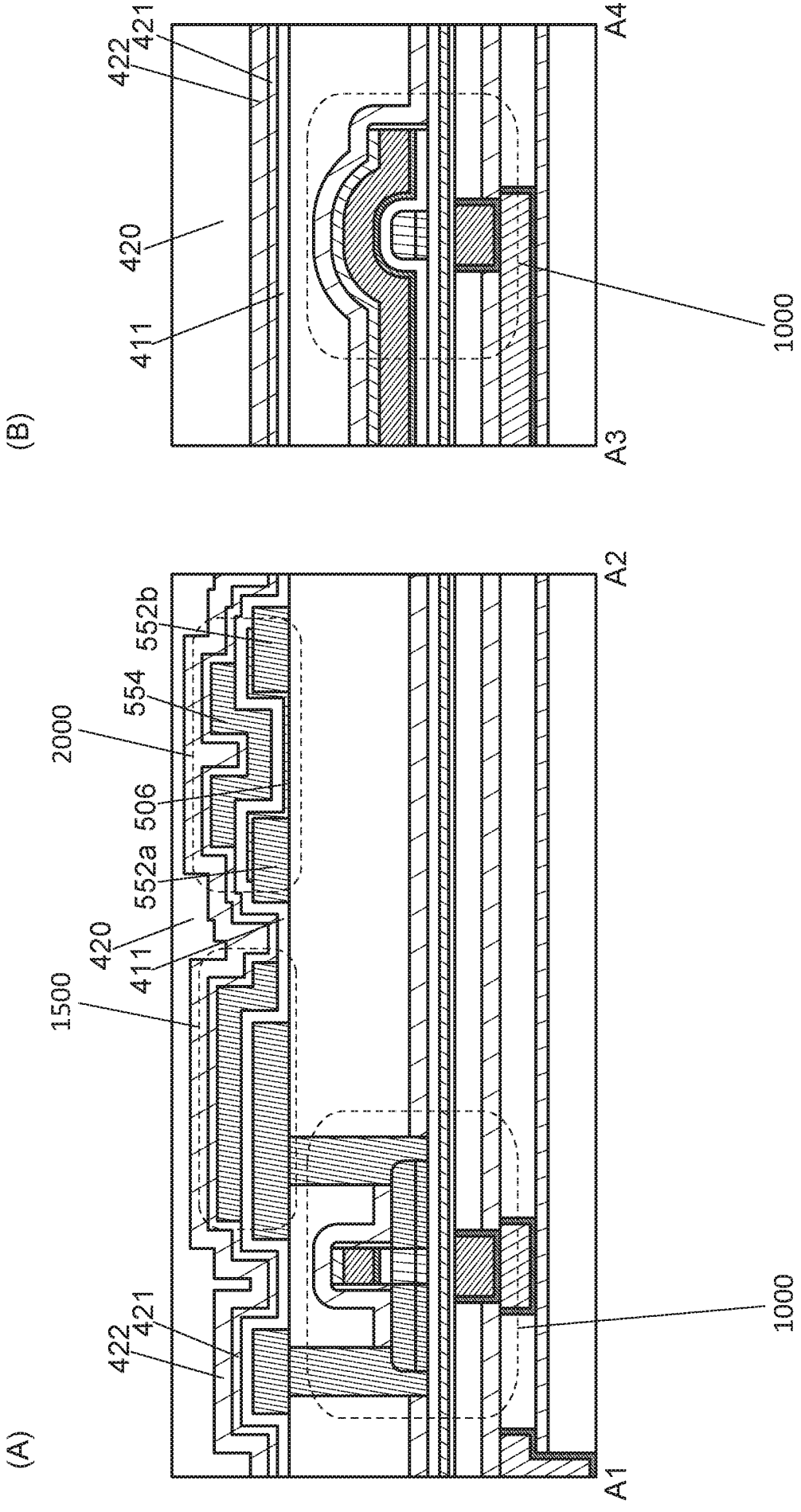
(B)


1000
1500
2000
1602
1601
1603
1606
1607
1604
551
1605
510b
510a
510
540b
540a
540

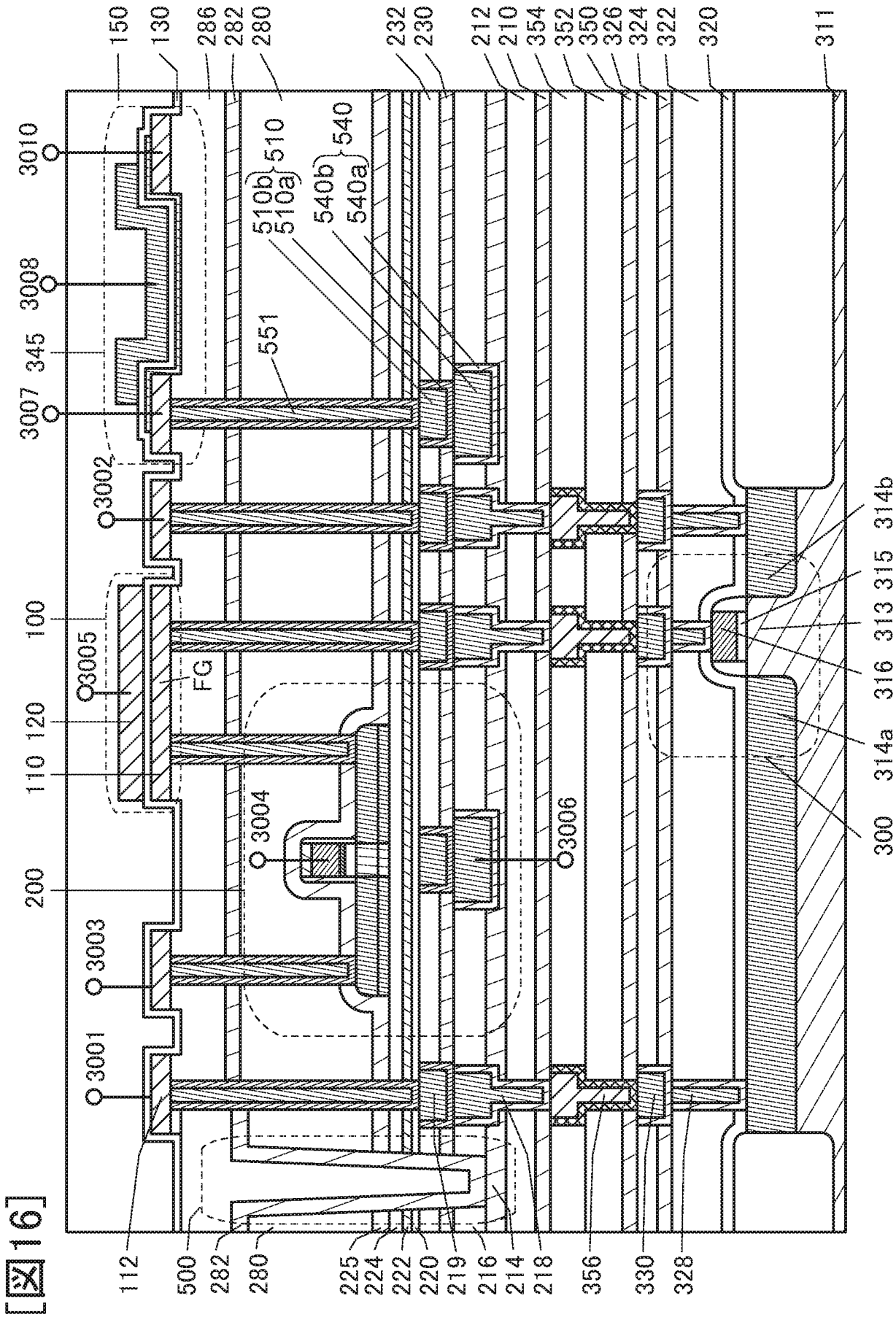
[図14]


A2
402
303
302
552b
554
2000
301
401
506
430
432
400
552a
420
411
415
409
1500
406
406b
406a
451b
452b
454
410
404
410b
410a
440
404b
404a
440b
440a
419
418
412
1000
452a
451a
441b
441a
441
A1

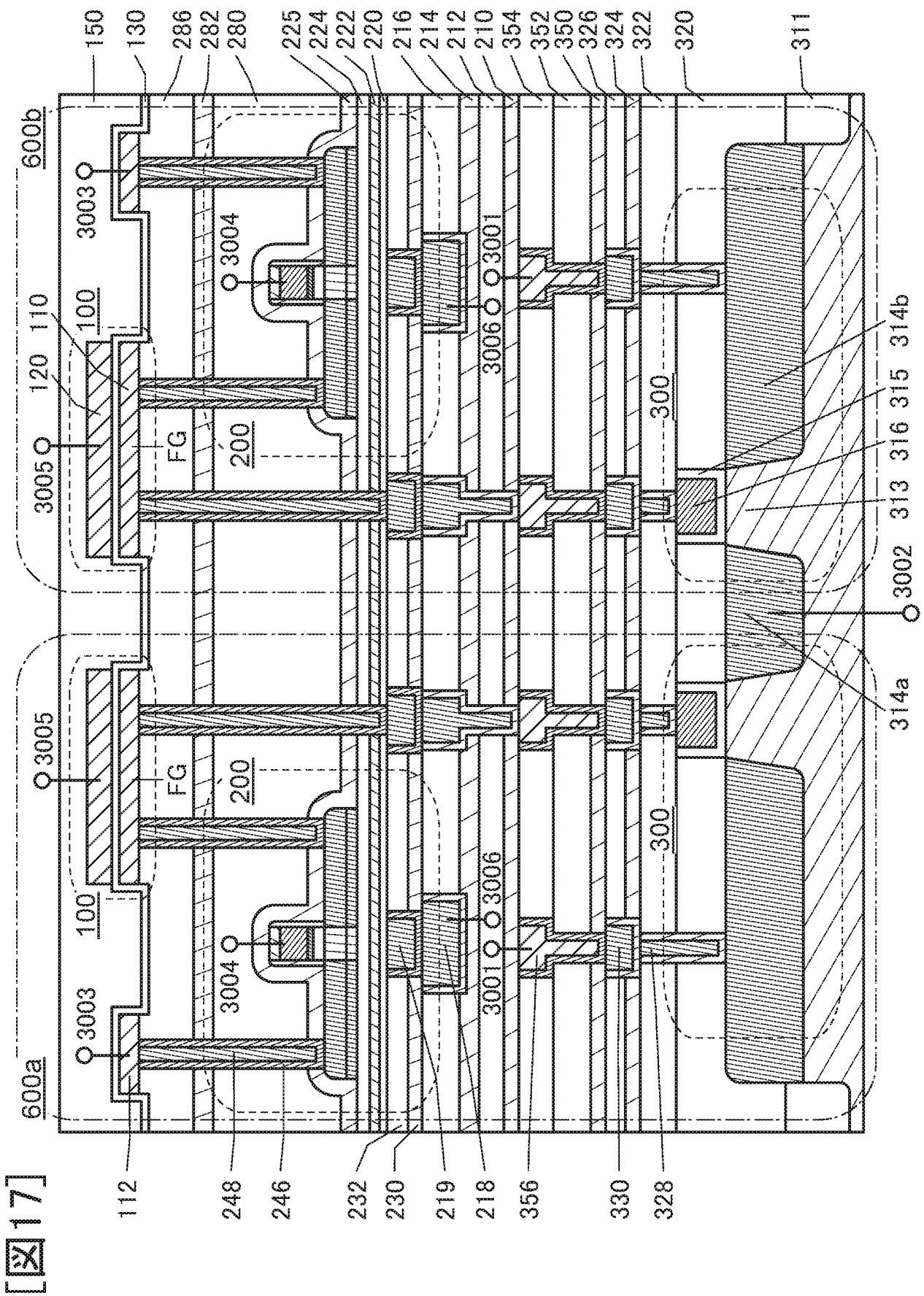
[図15]

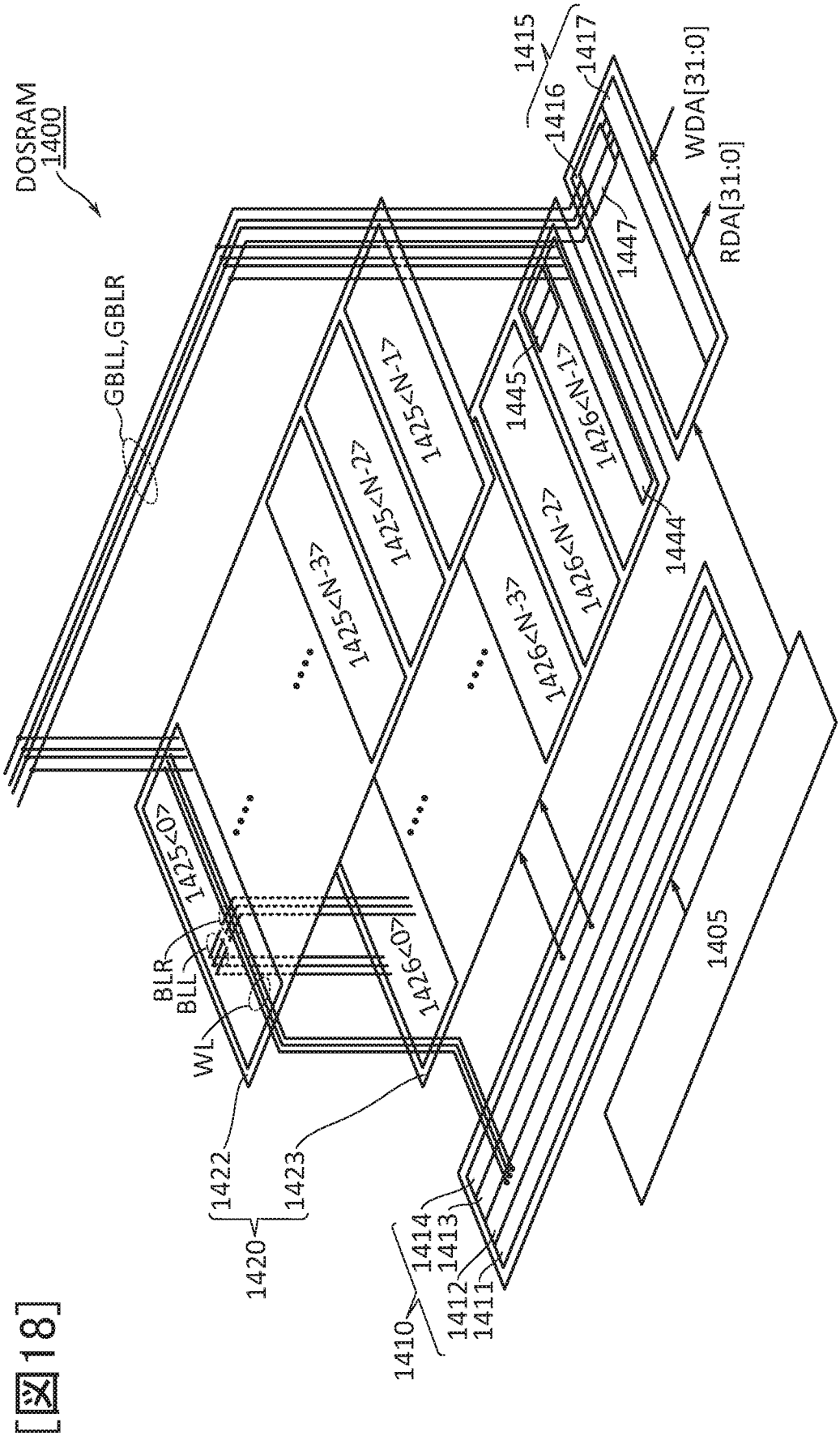

(A)
A1
A2
1000
421
422
1500
411
420
552a
506
2000
554
552b
(B)
A3
A4
1000
411
420
422
421

[図16]


150
130
286
282
280
232
230
212
210
354
352
350
326
324
322
320
311
3010
3008
345
3007
3002
100
3005
120
110
200
3003
3001
510
540
510b
510a
540b
540a
551
FG
3004
3006
314b
315
313
316
314a
300
112
500
282
280
225
224
222
220
219
216
214
218
356
330
328

[図17]

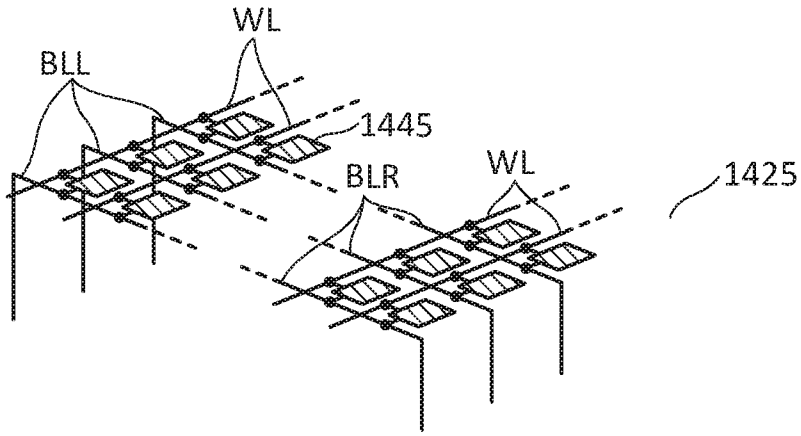

150
130
286
282
280
225
224
222
220
216
214
212
210
354
352
350
326
324
322
320
311
600b
3003
3004
3001
3006
110
100
120
3005
FG
200
300
314b
315
316
313
3002
314a
112
248
246
232
230
219
218
356
330
328
600a


DOSRAM
1400
GBLL,GBLR
1415
1416
1417
WDA[31:0]
RDA[31:0]
1447
1445
1444
1425<N-37>
1425<N-27>
1425<N-17>
1426<N-37>
1426<N-27>
1426<N-17>
1425<0>
1426<0>
BLR
BLL
WL
1422
1423
1420
1414
1413
1412
1411
1410
1405

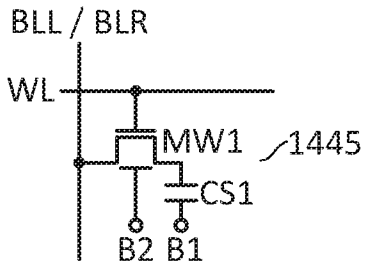
[図18]

[図19]

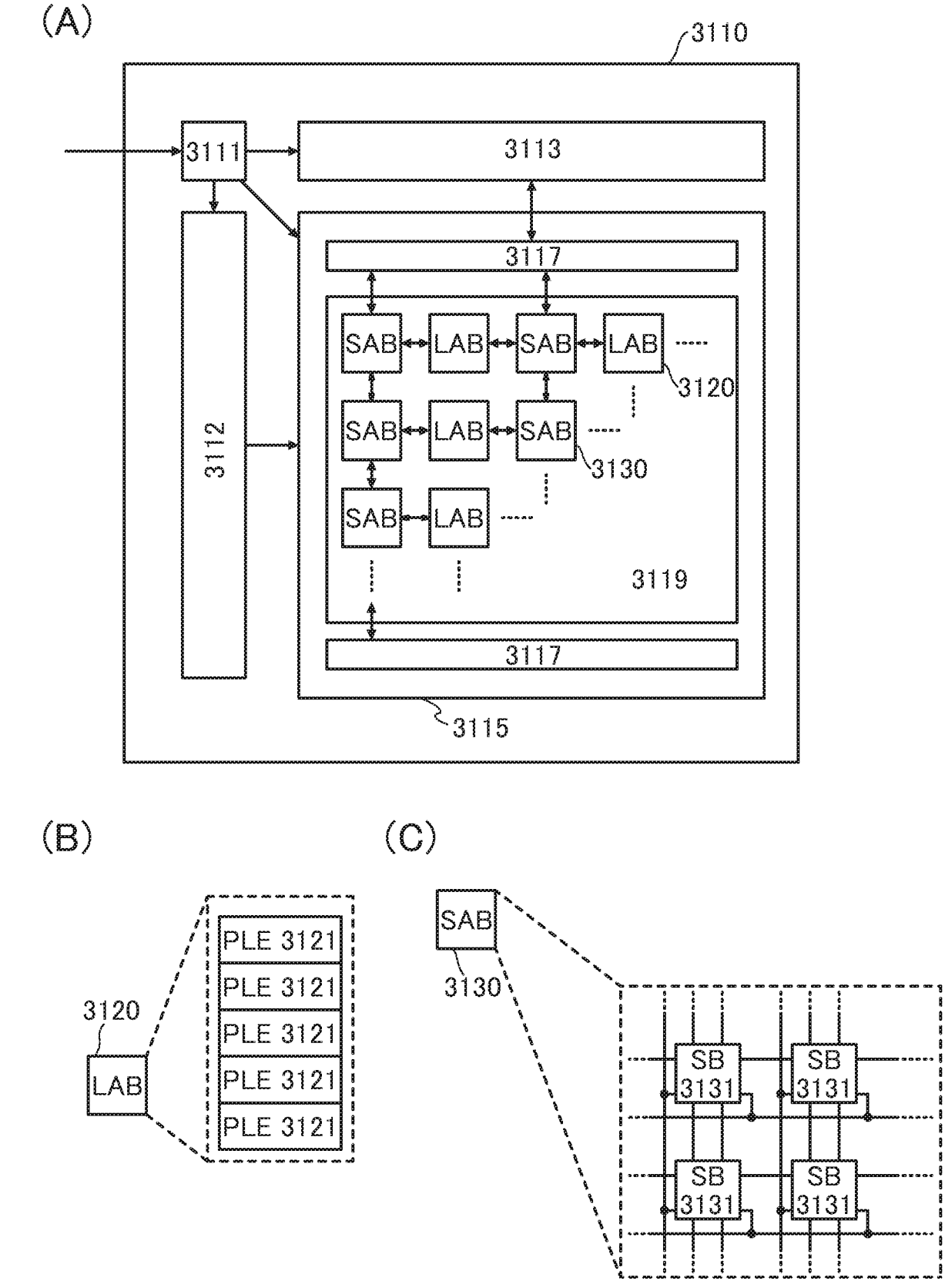
(A)



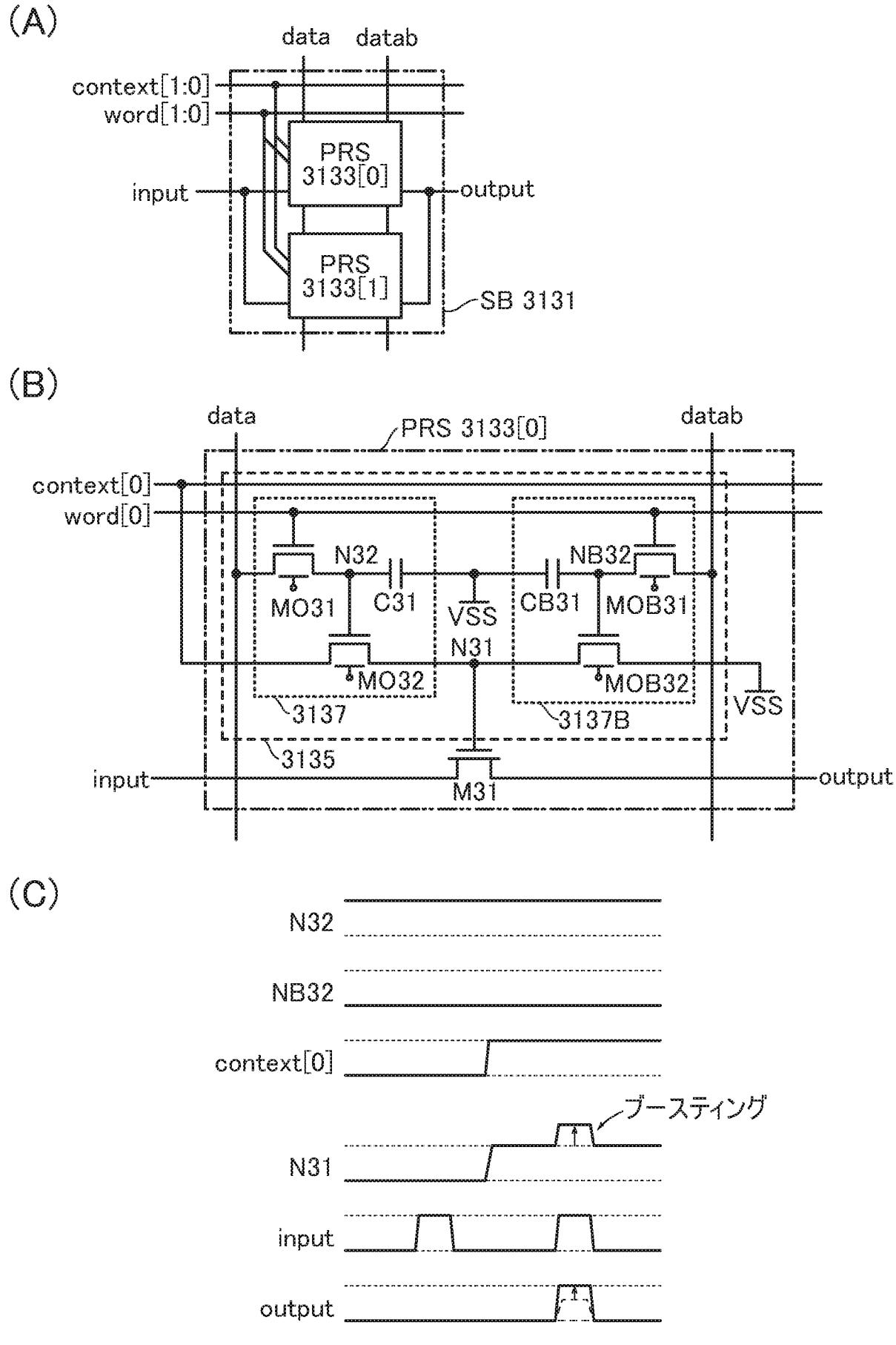
(B)



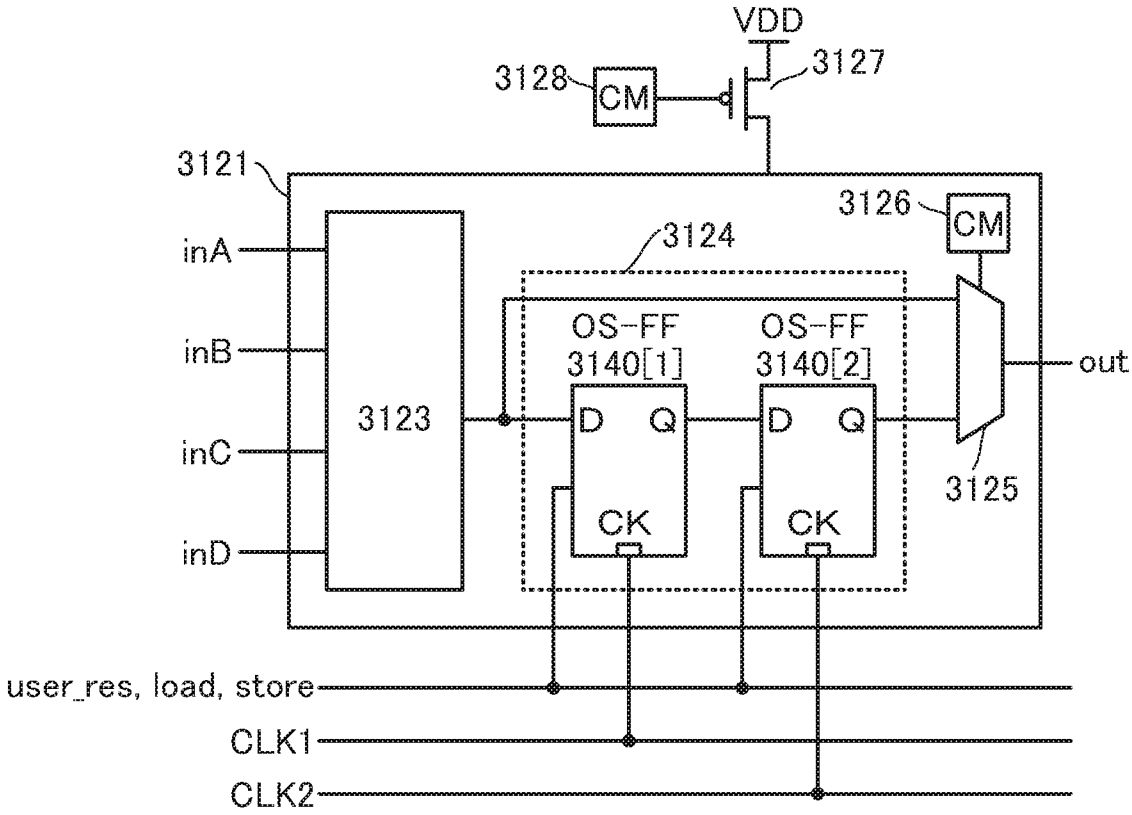
[図20]


(A)
3110
3111
3113
3117
SAB
LAB
3120
3130
3112
3119
3115
(B)
3120
LAB
PLE 3121
(C)
SAB
3130
SB 3131

[図21]

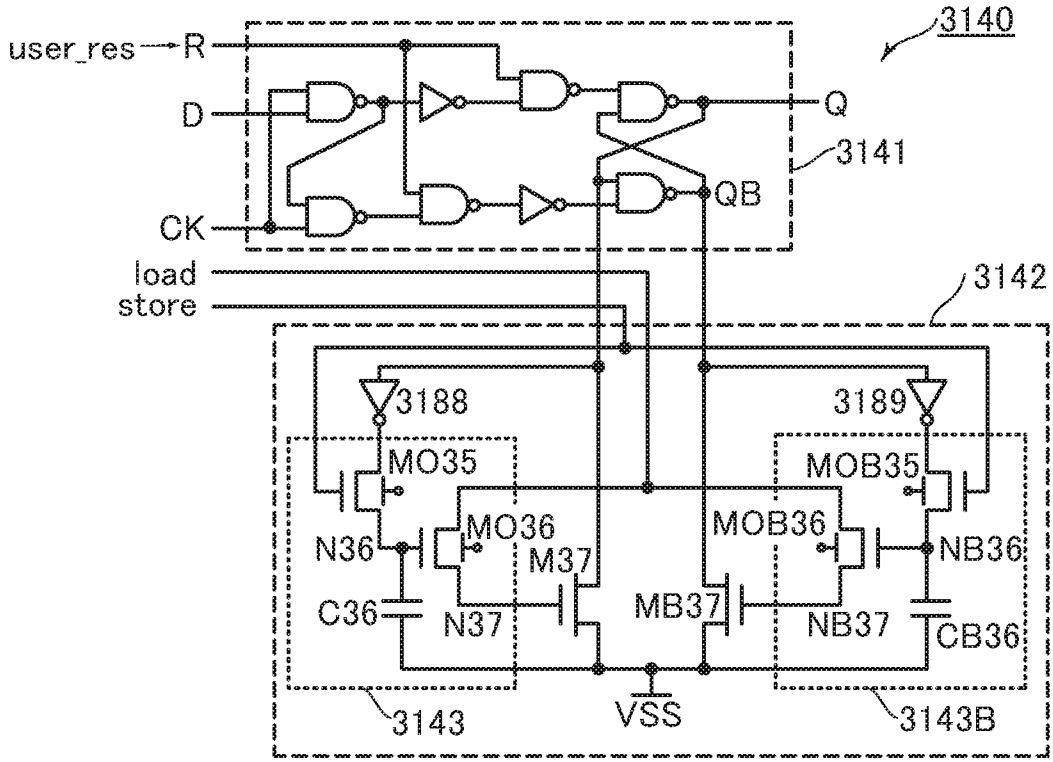

(A)
data
datab
context[1:0]
word[1:0]
input
PRS 3133[0]
PRS 3133[1]
output
SB 3131
(B)
data
PRS 3133[0]
datab
context[0]
word[0]
N32
NB32
MO31
C31
VSS
CB31
MOB31
N31
MO32
MOB32
VSS
3137
3137B
3135
input
M31
output
(C)
N32
NB32
context[0]
ブースティング
N31
input
output

[図22]

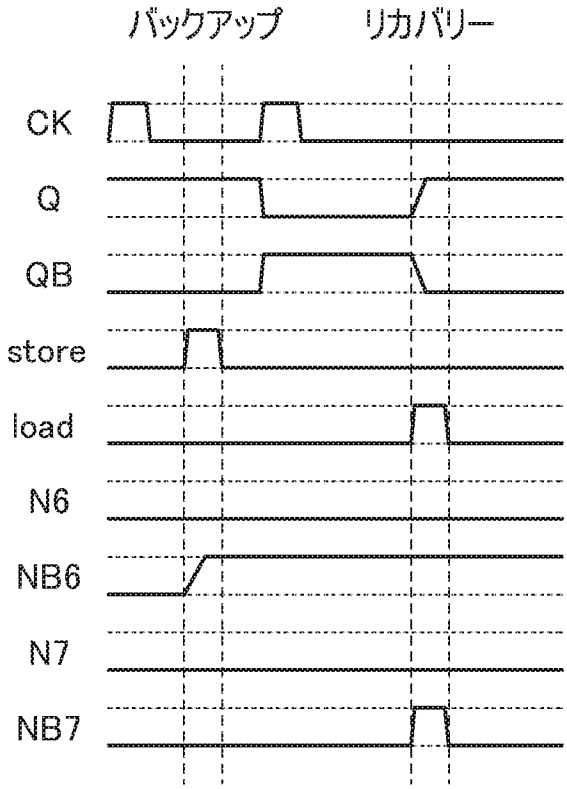

VDD
3127
3128
CM
3121
3126
CM
3124
inA
inB
inC
inD
3123
OS-FF
3140[1]
OS-FF
3140[2]
D
Q
D
Q
out
CK
CK
3125
user_res, load, store
CLK1
CLK2

[図23]

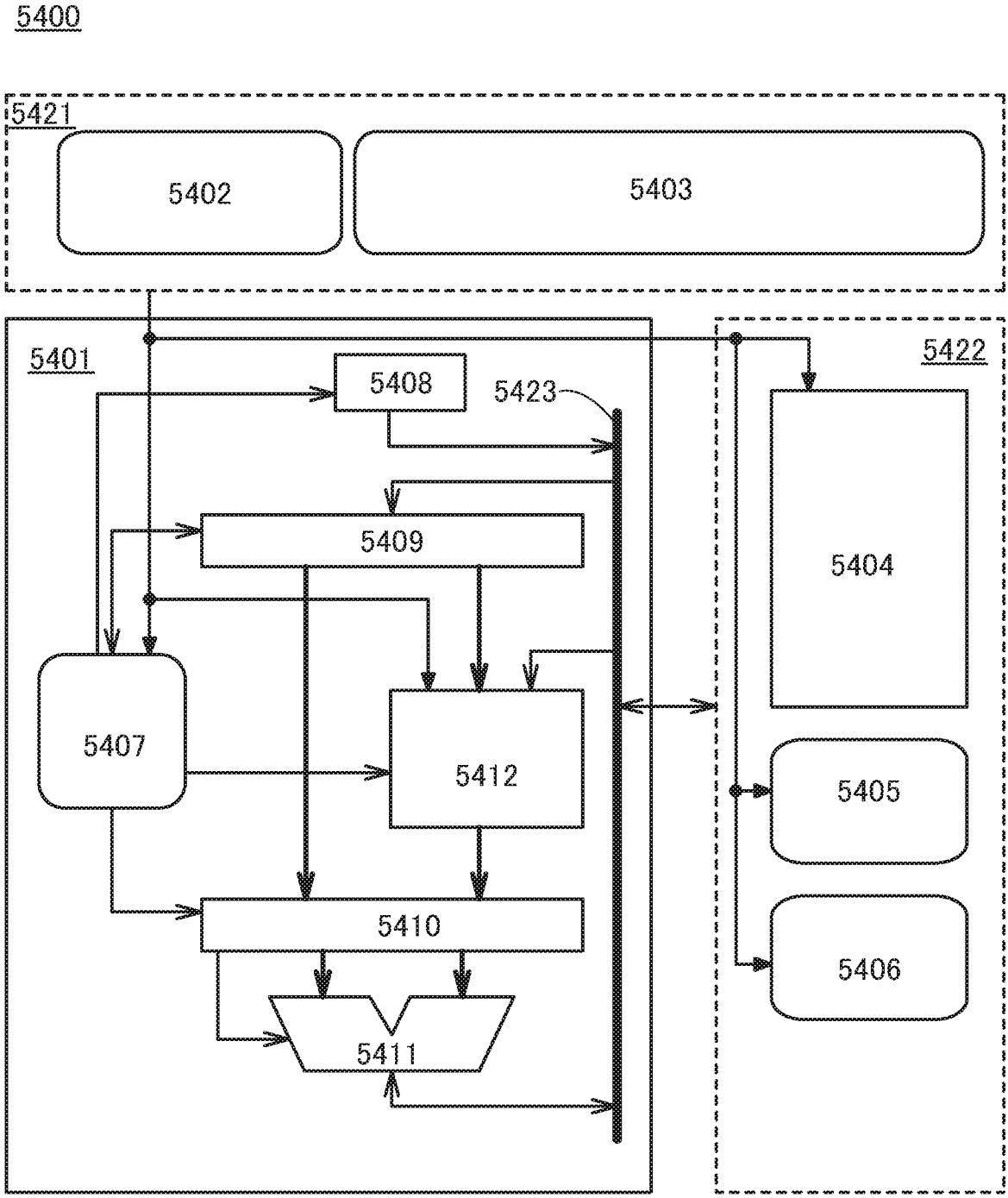
(A)


3140
user_res
R
D
CK
load
store
Q
QB
3141
3142
3188
3189
MO35
MOB35
MO36
MOB36
N36
M37
NB36
C36
N37
MB37
NB37
CB36
VSS
3143
3143B

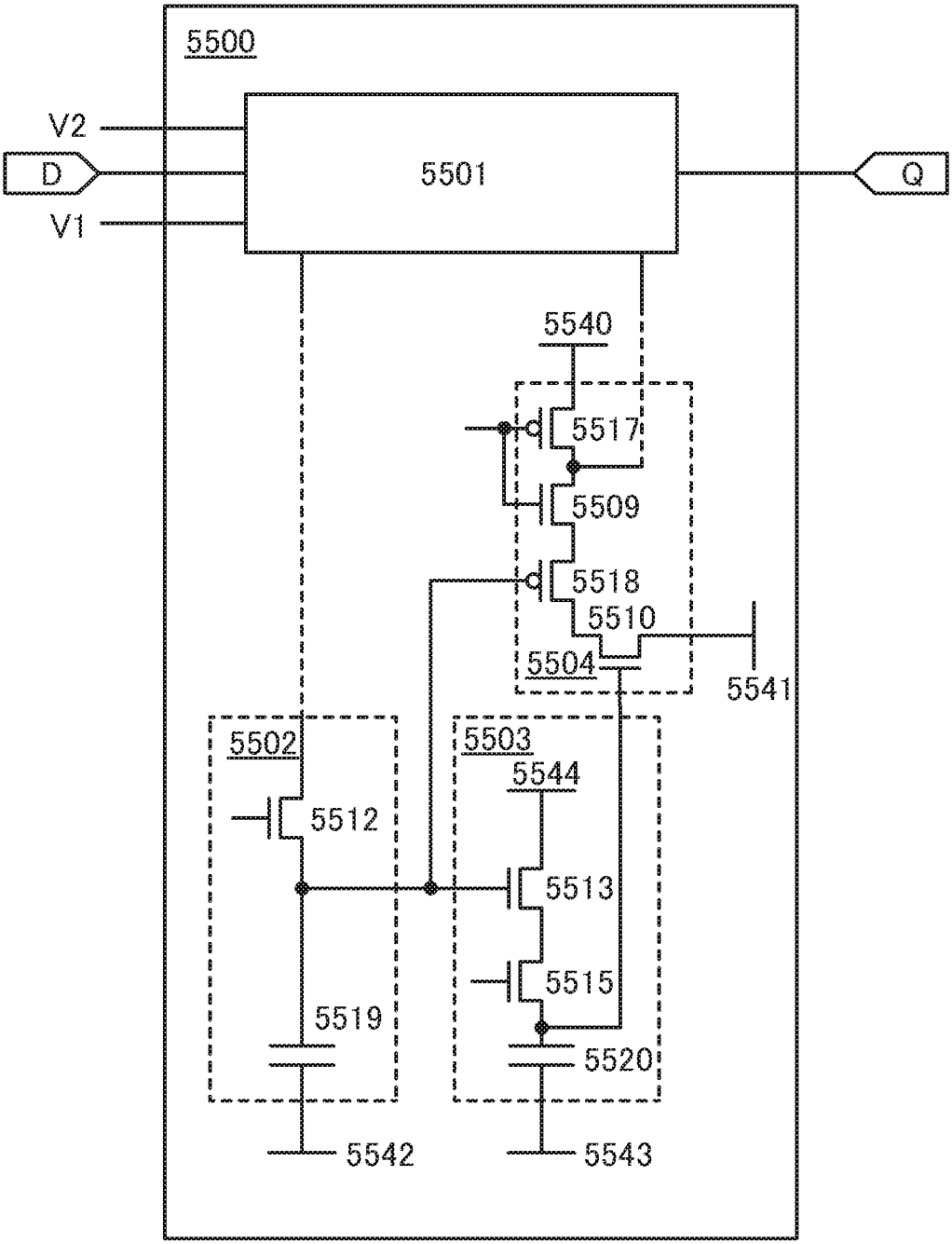
(B)


バックアップ
リカバリー
CK
Q
QB
store
load
N6
NB6
N7
NB7

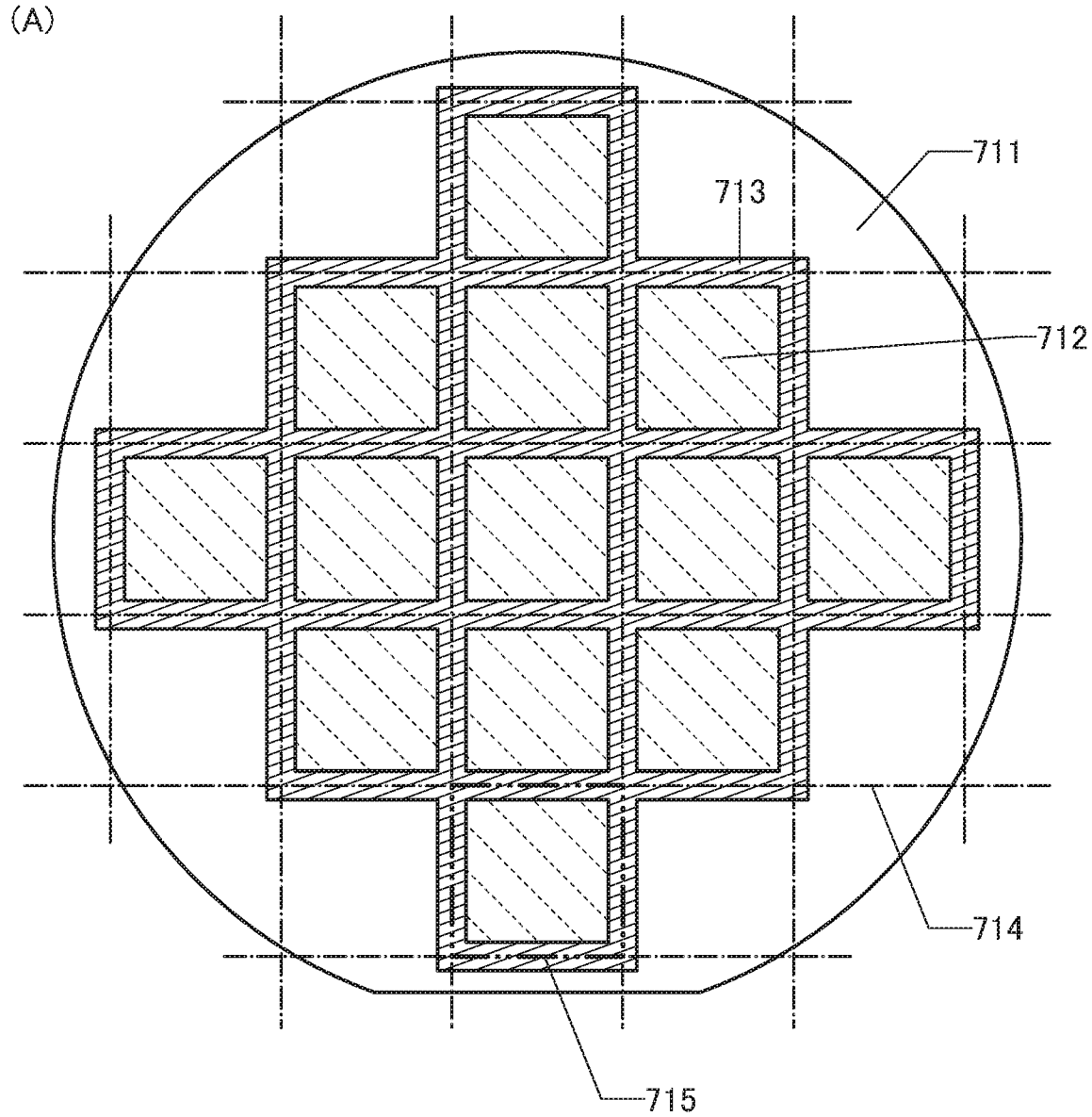
[図24]


5400
5421
5402
5403
5401
5408
5423
5409
5407
5412
5410
5411
5422
5404
5405
5406

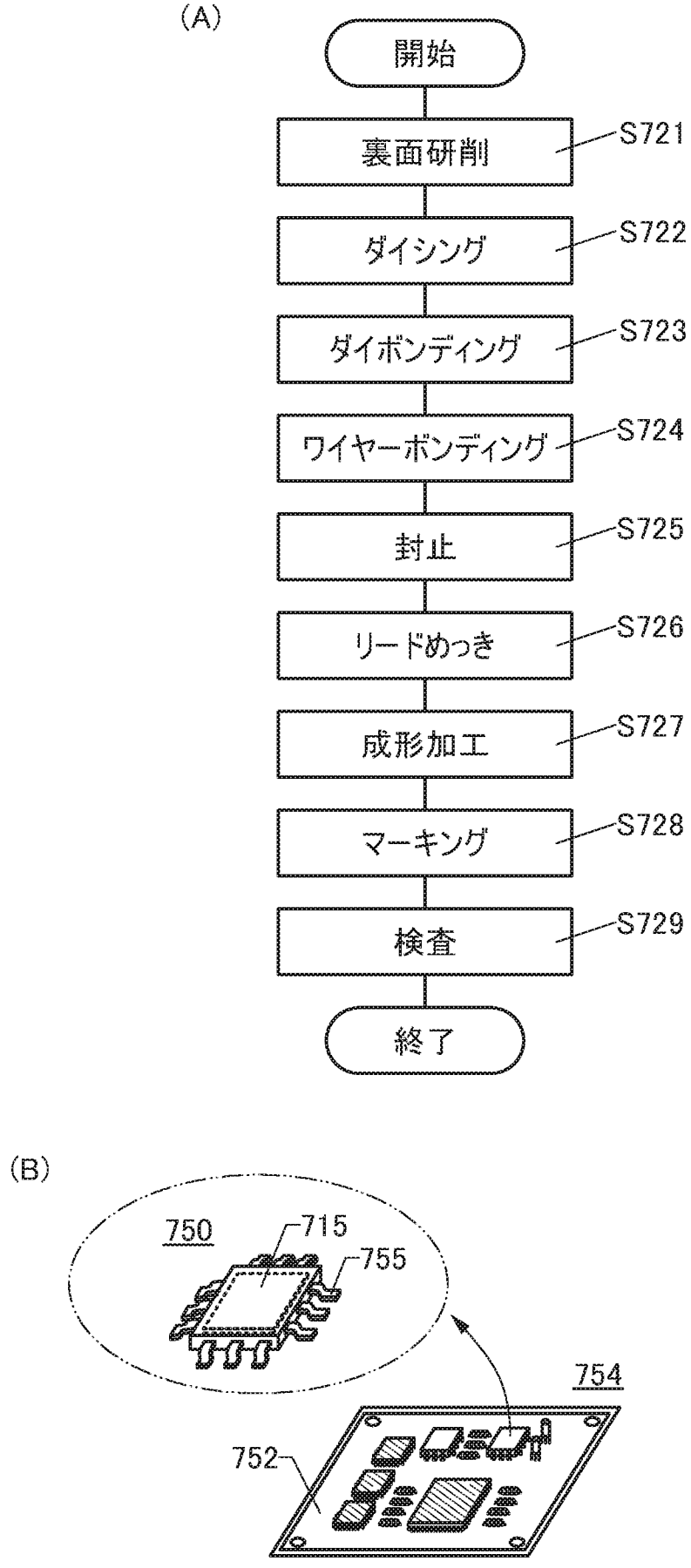
[図25]


5500
V2
D
V1
5501
Q
5540
5517
5509
5518
5510
5504
5541
5502
5503
5544
5512
5513
5515
5519
5520
5542
5543

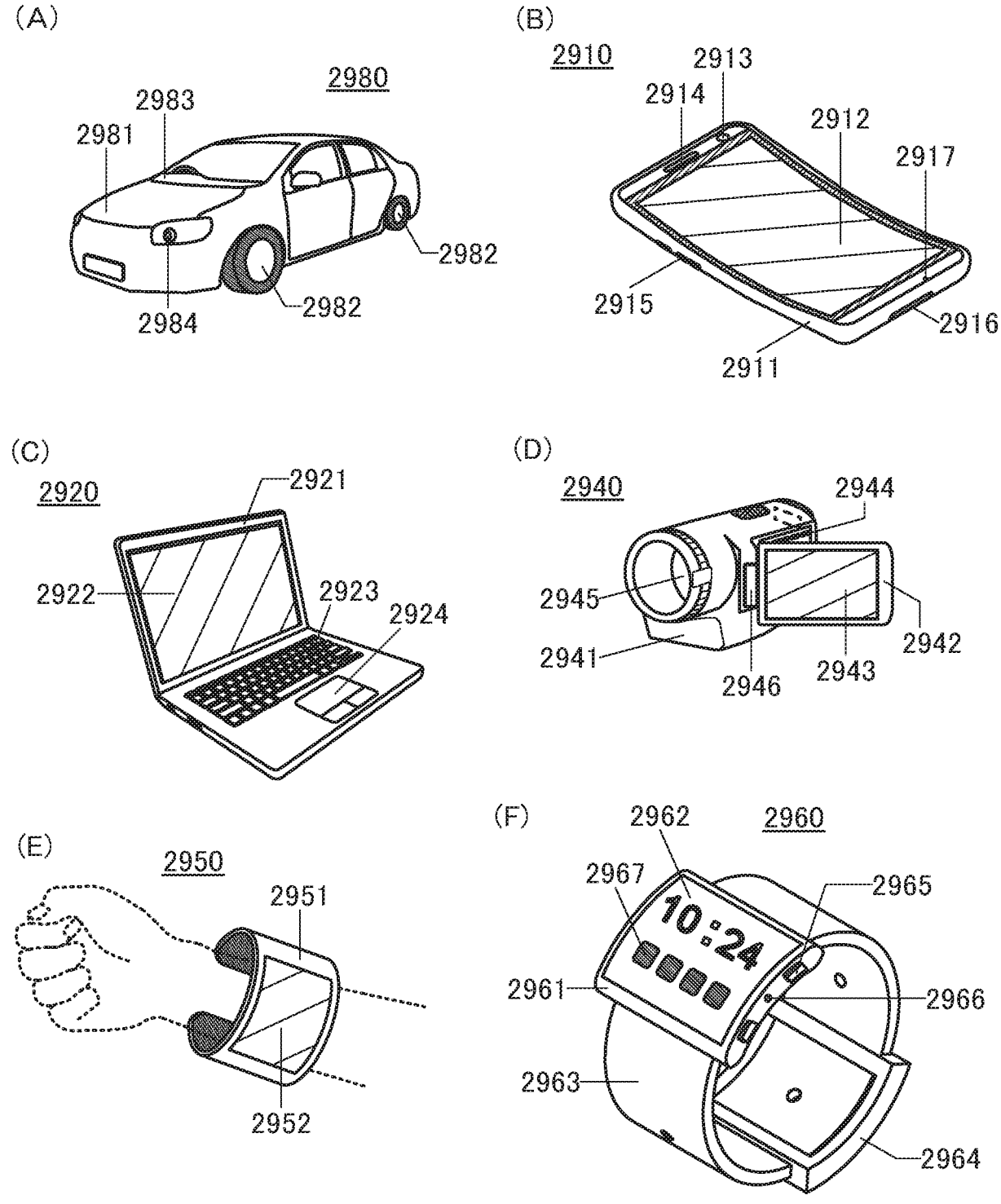
[図26]



[図27]


(A)
開始
裏面研削
S721
ダイシング
S722
ダイボンディング
S723
ワイヤーボンディング
S724
封止
S725
リードめっき
S726
成形加工
S727
マーキング
S728
検査
S729
終了
(B)
750
715
755
754
752

[図28]


(A)
2980
2983
2981
2982
2984
2982
(B)
2910
2913
2914
2912
2917
2915
2916
2911
(C)
2920
2921
2922
2923
2924
(D)
2940
2944
2945
2942
2941
2946
2943
(E)
2950
2951
2952
(F)
2962
2960
2967
2965
10:24
2961
2966
2963
2964

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2017/057026

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/10(2006.01)i, H01L27/108(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L29/786, H01L21/336, H01L21/8234, H01L21/8242, H01L27/06, H01L27/088, H01L27/10, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-181696 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 October 2016, paragraphs [0043]-[0371], fig. 14, 15, 41 & US 2016/0284823 A1, paragraphs [0105]-[0424], fig. 14B, 15A, 41 & KR 10-2016-0114511 A	1-13
Y	JP 2013-175711 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 September 2013, paragraphs [0133]-[0136], fig. 2 & US 2013/0193493 A1, paragraphs [0145]-[0148], fig. 2A-2F	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 25 January 2018 (25.01.2018)	Date of mailing of the international search report 06 February 2018 (06.02.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2017/057026

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-151377 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 August 2011, paragraphs [0094]-[0149], fig. 5 & US 2011/0147737 A1, paragraphs [0109]-[0164], fig. 5A-5E & WO 2011/074392 A1 & CN 102652356 A & TW 201140807 A & KR 10-2012-0101131 A	3-5, 12, 13
A	JP 2015-164386 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 September 2015, fig. 1, 2 & US 2015/0054571 A1, fig. 1C, 2A & KR 10-2015-0021898 A & TW 201521341 A	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１７／０５７０２６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L27/10(2006.01)i, H01L27/108(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, H01L21/336, H01L21/8234, H01L21/8242, H01L27/06, H01L27/088, H01L27/10, H01L27/108

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2016-181696 A (株式会社半導体エネルギー研究所) 2016.10.13, 段落[0043]-[0371], [図14], [図15], [図41] & US 2016/0284823 A1, 段落[0105]-[0424], Figs. 14B, 15A, 41 & KR 10-2016-0114511 A	1-13
Y	JP 2013-175711 A (株式会社半導体エネルギー研究所) 2013.09.05, 段落[0133]-[0136], [図2] & US 2013/0193493 A1, 段落[0145]-[0148], Figs. 2A-2F	1-13

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２５．０１．２０１８	国際調査報告の発送日 ０６．０２．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　３４６４ 脇水　佳弘 電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-151377 A (株式会社半導体エネルギー研究所) 2011.08.04, 段落[0094]-[0149], [図5] & US 2011/0147737 A1, 段落[0109]-[0164], Figs. 5A-5E & WO 2011/074392 A1 & CN 102652356 A & TW 201140807 A & KR 10-2012-0101131 A	3-5, 12, 13
A	JP 2015-164386 A (株式会社半導体エネルギー研究所) 2015.09.10, [図1], [図2] & US 2015/0054571 A1, Figs. 1C, 2A & KR 10-2015-0021898 A & TW 201521341 A	1-13