

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 9 月 6 日 (06.09.2024)



(10) 国际公布号
WO 2024/178673 A1

(51) 国际专利分类号:
G09G 3/32 (2016.01) **H01L 27/12** (2006.01)

(21) 国际申请号: PCT/CN2023/079025

(22) 国际申请日: 2023 年 3 月 1 日 (01.03.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 卢红婷(**LU, Hongting**); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。卢辉(**LU, Hui**); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张云鹏(**ZHANG, Yunpeng**); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司(**BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.**); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) Title: PIXEL DRIVE CIRCUIT, DISPLAY PANEL, AND DISPLAY DEVICE

(54) 发明名称: 像素驱动电路、显示面板及显示装置

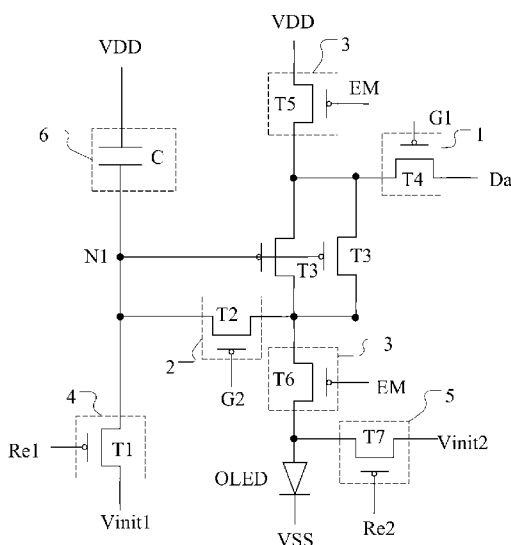


图 1

(57) Abstract: A pixel drive circuit, a display panel, and a display device. The pixel drive circuit comprises a plurality of drive transistors (T3); a second electrode of each drive transistor (T3) is connected to a first electrode of the same light-emitting unit (OLED); and each drive transistor (T3) is used for inputting a drive current to the light-emitting unit (OLED) according to a gate voltage of the drive transistor (T3).

(57) 摘要: 一种像素驱动电路、显示面板及显示装置, 像素驱动电路包括: 多个驱动晶体管(T3), 每个所述驱动晶体管(T3)的第二极均连接同一发光单元(OLED)的第一电极, 每个所述驱动晶体管(T3)用于根据其栅极电压向所述发光单元(OLED)输入驱动电流。

CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

像素驱动电路、显示面板及显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种像素驱动电路、显示面板及显示装置。

5 背景技术

相关技术中，像素驱动电路通常包括有驱动晶体管，驱动晶体管根据其栅极的数据信号向发光单元提供驱动电流，然而，Data Range（数据信号的电压范围）受限于显示面板的芯片，从而导致像素驱动电路无法输出较大的驱动电流。

10 需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

根据本公开的一个方面，提供一种像素驱动电路，其中，所述像素驱动电路包括：多个驱动晶体管，每个所述驱动晶体管的第二极均连接
15 同一发光单元的第一电极，每个所述驱动晶体管用于根据其栅极电压向所述发光单元输入驱动电流。

本公开一种示例性实施例中，每个所述驱动晶体管的栅极均连接第一节点，每个所述驱动晶体管的第一极均连接第一电源端。

20 本公开一种示例性实施例中，所述像素驱动电路还包括：数据写入电路、补偿电路、发光控制电路、第一复位电路、第二复位电路、存储电路。数据写入电路连接数据信号端、每个所述驱动晶体管的第一极、第一栅极驱动信号端，用于响应所述第一栅极驱动信号端的信号以将所述数据信号端的信号传输到每个所述驱动晶体管的第一极；补偿电路连接所述第一节点、每个所述驱动晶体管的第二极、第二栅极驱动信号端，
25 用于响应所述第二栅极驱动信号端的信号以连通所述第一节点和每个所

述驱动晶体管的第二极； 发光控制电路连接所述第一电源端、每个所述驱动晶体管的第一极、使能信号端、每个所述驱动晶体管的第二极、发光单元的第一电极，用于响应所述使能信号端的信号以连通所述第一电源端和每个所述驱动晶体管的第一极，以及用于响应所述使能信号端的信号以连通每个所述驱动晶体管的第二极和所述发光单元的第一电极；
5 第一复位电路连接第一初始信号端、第一复位信号端、所述第一节点，用于响应所述第一复位信号端的信号以将所述第一初始信号端的信号传输到所述第一节点；第二复位电路连接第二初始信号端、第二复位信号端、发光单元的第一电极，用于响应所述第二复位信号端的信号以将所述
10 第二初始信号端的信号传输到所述发光单元的第一电极；存储电路连接于所述第一节点和所述第一电源端之间。

本公开一种示例性实施例中，所述数据写入电路包括：第四晶体管，所述第四晶体管的第一极连接所述数据信号端，第二极连接每个所述驱动晶体管的第一极，栅极连接第一栅极驱动信号端；所述补偿电路包括：
15 第二晶体管，所述第二晶体管的第一极连接所述第一节点，第二极连接每个所述驱动晶体管的第二极，栅极连接所述第二栅极驱动信号端；所述发光控制电路包括：第五晶体管、第六晶体管，第五晶体管的第一极连接所述第一电源端，第二极连接每个所述驱动晶体管的第一极，栅极连接所述使能信号端；第六晶体管的第一极连接每个所述驱动晶体管的
20 第二极，第二极连接所述发光单元的第一电极，栅极连接所述使能信号端；所述第一复位电路包括：第一晶体管，第一晶体管的第一极连接所述第一初始信号端，第二极连接所述第一节点，栅极连接所述第一复位信号端；所述第二复位电路包括：第七晶体管，第七晶体管的第一极连接第二初始信号端，第二极连接所述发光单元的第一电极，栅极连接所
25 述第二复位信号端；所述存储电路包括：电容，电容的第一电极连接所述第一节点，第二电极连接所述第一电源端。

本公开一种示例性实施例中，所述像素驱动电路包括多个子像素驱动电路，每个所述子像素驱动电路均包括至少一个所述驱动晶体管，且每个所述子像素驱动电路连接同一所述发光单元，所述子像素驱动电路
30 用于向所述发光单元提供驱动电流。

本公开一种示例性实施例中，所述子像素驱动电路还包括：数据写入电路、补偿电路、发光控制电路、第一复位电路、第二复位电路、存储电路。数据写入电路连接数据信号端、所述驱动晶体管的第一极、第一栅极驱动信号端，用于响应所述第一栅极驱动信号端的信号以将所述数据信号端的信号传输到所述驱动晶体管的第一极；补偿电路连接所述驱动晶体管的栅极、所述驱动晶体管的第二极、第二栅极驱动信号端，用于响应所述第二栅极驱动信号端的信号以连通所述驱动晶体管的栅极和所述驱动晶体管的第二极；发光控制电路连接第一电源端、所述驱动晶体管的第一极、使能信号端、所述驱动晶体管的第二极、发光单元的第一电极，用于响应所述使能信号端的信号以连通所述第一电源端和所述驱动晶体管的第一极，以及用于响应所述使能信号端的信号以连通所述驱动晶体管的第二极和所述发光单元的第一电极；第一复位电路连接第一初始信号端、第一复位信号端、所述驱动晶体管的栅极，用于响应所述第一复位信号端的信号以将所述第一初始信号端的信号传输到所述驱动晶体管的栅极；第二复位电路连接第二初始信号端、第二复位信号端、发光单元的第一电极，用于响应所述第二复位信号端的信号以将所述第二初始信号端的信号传输到所述发光单元的第一电极；存储电路连接于所述驱动晶体管的栅极和所述第一电源端之间。

本公开一种示例性实施例中，所述数据写入电路包括：第四晶体管，第四晶体管的第一极连接所述数据信号端，第二极连接所述驱动晶体管的第一极，栅极连接第一栅极驱动信号端；所述补偿电路包括：第二晶体管，所述第二晶体管的第一极连接所述驱动晶体管的栅极，第二极连接所述驱动晶体管的第二极，栅极连接所述第二栅极驱动信号端；所述发光控制电路包括：第五晶体管、第六晶体管，第五晶体管的第一极连接所述第一电源端，第二极连接所述驱动晶体管的第一极，栅极连接所述使能信号端；第六晶体管的第一极连接所述驱动晶体管的第二极，第二极连接所述发光单元的第一电极，栅极连接所述使能信号端；所述第一复位电路包括：第一晶体管，第一晶体管的第一极连接所述第一初始信号端，第二极连接所述驱动晶体管的栅极，栅极连接所述第一复位信号端；所述第二复位电路包括：第七晶体管，第七晶体管的第一极连接第

二初始信号端，第二极连接所述发光单元的第一电极，栅极连接所述第二复位信号端；所述存储电路包括：电容，电容的第一电极连接所述驱动晶体管的栅极，第二电极连接所述第一电源端。

5 根据本公开的一个方面，提供一种显示面板，其中，所述显示面板包括上述的像素驱动电路。

根据本公开的一个方面，提供一种显示面板，其中，所述显示面板包括发光单元和用于驱动所述发光单元的像素驱动电路，所述像素驱动电路包括多个驱动晶体管，每个所述驱动晶体管的第二极均连接同一发光单元的第一电极，每个所述驱动晶体管用于根据其栅极电压向所述发
10 光单元输入驱动电流。所述显示面板还包括：衬底基板、有源层，有源层位于所述衬底基板的一侧，所述有源层包括多个第三有源部，所述第三有源部用于形成所述驱动晶体管的沟道区。

本公开一种示例性实施例中，所述有源层还包括第八有源部、第九有源部，同一所述像素驱动电路中的所述第三有源部并联于所述第八有源部和所述第九有源部之间。
15

本公开一种示例性实施例中，所述第八有源部在所述衬底基板上的正投影和所述第九有源部在所述衬底基板上的正投影沿第二方向延伸；同一所述像素驱动电路中多个所述第三有源部在所述衬底基板上的正投影沿所述第二方向间隔分布。

20 本公开一种示例性实施例中，所述显示面板还包括：第一导电层，第一导电层位于所述有源层背离所述衬底基板的一侧，所述第一导电层包括第一导电部，所述第一导电部在所述衬底基板上的正投影覆盖同一所述像素驱动电路每个所述第三有源部在所述衬底基板上的正投影；所述第一导电部的至少部分结构分别用于形成所述驱动晶体管的栅极。

25 本公开一种示例性实施例中，所述像素驱动电路还包括第四晶体管、第五晶体管，所述第四晶体管的第一极连接数据线，所述第四晶体管的第二极连接所述驱动晶体管的第一极，所述第五晶体管的第一极连接第一电源线，所述第五晶体管的第二极连接所述驱动晶体管第一极；所述有源层还包括：第四有源部、第五有源部，第四有源部连接于所述第八有源部的一端，所述第四有源部用于形成所述第四晶体管的沟道区；第
30

五有源部连接于所述第八有源部的另一端，所述第五有源部用于形成所述第五晶体管的沟道区；所述显示面板还包括：第一导电层，第一导电层位于所述有源层背离所述衬底基板的一侧，所述第一导电层包括：第一栅线、使能信号线，所述第一栅线在所述衬底基板上的正投影沿第一方向延伸且覆盖所述第四有源部在所述衬底基板上的正投影，所述第一栅线的部分结构用于形成所述第四晶体管的栅极，所述第一方向和所述第二方向相交；所述使能信号线在所述衬底基板上的正投影沿所述第一方向延伸且覆盖所述第五有源部在所述衬底基板上的正投影，所述使能信号线的部分结构用于形成所述第五晶体管的栅极；所述第三有源部在所述衬底基板上的正投影位于所述第一栅线在所述衬底基板上的正投影和所述使能信号线在所述衬底基板上的正投影之间。

本公开一种示例性实施例中，所述像素驱动电路包括多个子像素驱动电路，多个所述子像素驱动电路在所述衬底基板上的正投影沿第一方向和/或第二方向阵列分布，所述第一方向和所述第二方向相交；每个所述子像素驱动电路均包括所述驱动晶体管，且每个所述子像素驱动电路连接同一所述发光单元，所述子像素驱动电路用于向所述发光单元提供驱动电流。所述显示面板还包括：有源层、第一导电层，有源层位于所述衬底基板的一侧，所述有源层包括多个第三有源部，所述第三有源部用于形成所述驱动晶体管的沟道区；第一导电层位于所述有源层背离所述衬底基板的一侧，所述第一导电层包括多个间隔设置的第一导电部，所述第一导电部和所述第三有源部对应设置，所述第一导电部在所述衬底基板上的正投影覆盖与其对应的所述第三有源部在所述衬底基板上的正投影，所述第一导电部用于形成所述驱动晶体管的栅极。

本公开一种示例性实施例中，所述子像素驱动电路还包括第六晶体管、第七晶体管，所述第六晶体管的第一极连接所述驱动晶体管的第二极，所述第六晶体管的第二极连接所述发光单元的第一电极，所述第七晶体管的第一极连接第二初始信号线，所述第七晶体管的第二极连接所述发光单元的第一电极；所述有源层还包括：第六有源部、第七有源部、第十有源部，第六有源部连接于所述第三有源部，所述第六有源部用于形成所述第六晶体管的沟道区；第七有源部连接于所述第六有源部远离

所述第三有源部的一端，所述第七有源部用于形成所述第七晶体管的沟道区；第十有源部连接于所述第六有源部和所述第七有源部之间。所述显示面板还包括：第四导电层，第四导电层位于所述第一导电层背离所述衬底基板的一侧，所述第四导电部包括第一桥接部，所述第一桥接部分别连接同一所述像素驱动电路中的每一所述第十有源部，且所述第一桥接部连接所述发光单元的第一电极。

本公开一种示例性实施例中，所述子像素驱动电路还包括第一晶体管、第二晶体管、第七晶体管，所述第一晶体管的第一极连接第一初始信号线，所述第一晶体管的第二极连接所述驱动晶体管的栅极，所述第二晶体管的第二极连接所述驱动晶体管的第二极，所述第七晶体管的第一极连接第二初始信号线，所述第七晶体管的第二极连接所述发光单元的第一电极。所述有源层还包括：第一有源部、第二有源部，第一有源部用于形成所述第一晶体管的沟道区；第二有源部用于形成所述第二晶体管的沟道区。

所述第一导电层还包括：第一复位信号线、第一栅线，第一复位信号线在所述衬底基板上的正投影沿所述第一方向延伸，所述第一复位信号线在所述衬底基板上的正投影覆盖所述第一有源部在所述衬底基板上的正投影，所述第一复位信号线的部分结构用于形成所述第一晶体管的栅极；第一栅线在所述衬底基板上的正投影沿所述第一方向延伸，所述第一栅线在所述衬底基板上的正投影覆盖所述第二有源部在所述衬底基板上的正投影，所述第一栅线的部分结构用于形成所述第二晶体管的栅极；所述显示面板还包括第二导电层，所述第二导电层位于所述第一导电层背离所述衬底基板的一侧，所述第二导电层包括：所述第二初始信号线，相邻上一行子像素驱动电路中所述第二初始信号线在所述衬底基板上的正投影位于本行子像素驱动电路中所述第一复位信号线在所述衬底基板上的正投影和本行子像素驱动电路中所述第一栅线在所述衬底基板上的正投影之间。

本公开一种示例性实施例中，所述有源层还包括：第十一有源部，第十一有源部连接于所述第一有源部和所述第二有源部之间。所述第二导电层还包括：第一凸起部，第一凸起部连接于所述第二初始信号线，

所述第一凸起部在所述衬底基板上的正投影沿所述第二方向延伸，且所述
所述第一凸起部在所述衬底基板上的正投影和所述第十一有源部在所述衬
底基板上的正投影至少部分交叠。

本公开一种示例性实施例中，所述第二晶体管为双沟道结构，所述
5 第二晶体管的双沟道包括第一沟道和第二沟道，所述第二有源部包括：
第一子有源部、第二子有源部，第一子有源部用于形成所述第二晶体管的
第一沟道；第二子有源部用于形成所述第二晶体管的第二沟道；所述
有源层还包括：第三子有源部，第三子有源部连接于所述第一子有源部
和所述第二子有源部之间。所述第二导电层还包括：第二凸起部，第二
10 凸起部连接于所述第二初始信号线，所述第二凸起部在所述衬底基板上的
正投影沿所述第二方向延伸，且所述第二凸起部在所述衬底基板上的
正投影和所述第三子有源部在所述衬底基板上的正投影至少部分交叠。

本公开一种示例性实施例中，所述像素驱动电路中的所述子像素驱
动电路至少在所述第二方向上分布，所述子像素驱动电路还包括第一晶
15 体管、第二晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体
管；所述第一晶体管的第一极连接第一初始信号线，第二极连接所述驱
动晶体管的栅极；所述第二晶体管的第一极连接所述驱动晶体管的栅极，
第二极连接所述驱动晶体管的第二极；所述第四晶体管的第一极连接数
据线，第二极连接所述驱动晶体管的第一极；所述第五晶体管的第一极
20 连接第一电源线，第二极连接所述驱动晶体管的第一极；所述第六晶
体管的第一极连接所述驱动晶体管的第二极，第二极连接所述发光单元的
第一电极；所述第七晶体管的第一极连接第一初始信号线，第二极连接
所述发光单元的第一电极。所述第一导电层还包括：第一复位信号线、
第二复位信号线、第一栅线、使能信号线，第一复位信号线在所述衬底
25 基板上的正投影沿所述第一方向延伸，所述第一复位信号线的部分结构
用于形成所述第一晶体管的栅极；第二复位信号线在所述衬底基板上的
正投影沿所述第一方向延伸，所述第二复位信号线的部分结构用于形成
所述第七晶体管的栅极，且相邻下一行子像素驱动电路中所述第一复位
信号线复用为本行子像素驱动电路中的所述第二复位信号线；第一栅线
30 在所述衬底基板上的正投影沿所述第一方向延伸，所述第一栅线的部分

结构用于分别形成所述第二晶体管和第四晶体管的栅极；使能信号线在所述衬底基板上的正投影沿所述第一方向延伸，所述使能信号线的部分结构用于分别形成所述第五晶体管和第六晶体管的栅极；所述显示面板包括多个像素单元，所述像素单元包括在所述第一方向上分布的多个像素驱动电路，同一像素单元中的像素驱动电路形成像素驱动电路组，所述第一方向为行方向；多条所述第一复位信号线中包括第一长复位信号线和第一短复位信号线，所述第一长复位信号线和位于同一行的所述子像素驱动电路对应设置，所述第一长复位信号线连接与其对应的所述子像素驱动电路，所述第一短复位信号线和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述第一短复位信号线连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第一短复位信号线在所述衬底基板上的正投影在行方向上间隔设置；多条所述第一栅线中包括第一长栅线和第一短栅线，所述第一长栅线和位于同一行的所述子像素驱动电路对应设置，所述第一长栅线连接与其对应的所述子像素驱动电路，所述第一短栅线和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述第一短栅线连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第一短栅线在所述衬底基板上的正投影在行方向上间隔设置；多条所述使能信号线中包括长使能信号线和短使能信号线，所述长使能信号线和位于同一行的所述子像素驱动电路对应设置，所述长使能信号线连接与其对应的所述子像素驱动电路，所述短使能信号线和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述短使能信号线连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述短使能信号线在所述衬底基板上的正投影在行方向上间隔设置；所述显示面板还包括：第三导电层，第三导电层位于所述第一导电层背离所述衬底基板的一侧，所述第三导电层包括第一连接线、第二连接线、第三连接线；其中，所述第一连接线、第二连接线、第三连接线在所述衬底基板上的正投影沿所述第二方向延伸，所述第一连接线分别通过过孔连接所述第一长复位信号线和第一短复位信号线，所述第二连接线分别通过过孔连接所述第一长栅线和第一短栅线，所述第三连接线分别通过过孔连接所述长使能

信号线和短使能信号线。

本公开一种示例性实施例中，所述显示面板还包括：第二导电层，第二导电层位于所述第一导电层和所述第三导电层之间，所述第二导电层包括所述第一初始信号线、第二初始信号线，所述5 所述第一初始信号线和所述第二初始信号线在所述衬底基板上的正投影沿所述第一方向延伸；其中，多条所述第一初始信号线中包括第一长初始信号线和第一短初始信号线，所述第一长初始信号线和位于同一行的所述子像素驱动电路对应设置，所述第一长初始信号线连接与其对应的所述子像素驱动电路，所述第一短初始信号线和所述像素驱动电路组中同一行所述子像素驱动10 电路对应设置，所述第一短初始信号线连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第一短初始信号线在所述衬底基板上的正投影在行方向上间隔设置；多条所述第二初始信号线中包括第二长初始信号线和第二短初始信号线，所述第二长初始信号线和位于同一行的所述子像素驱动电路对应设置，所述第二长初始信号线15 连接与其对应的所述子像素驱动电路，所述第二短初始信号线和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述第二短初始信号线连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第二短初始信号线在所述衬底基板上的正投影在行方向上间隔设置；所述第三导电层还包括第四连接线、第五连接线，所述第20 四连接线分别通过过孔连接第一长初始信号线和第一短初始信号线，所述第五连接线分别通过过孔连接所述第二长初始信号线和第二短初始信号线。

本公开一种示例性实施例中，所述像素驱动电路还包括第一晶体管、第七晶体管，所述第一晶体管的第一极连接第一初始信号线，所述第一25 晶体管的第二极连接所述驱动晶体管的栅极，所述第七晶体管的第一极连接第二初始信号线，所述第七晶体管的第二极连接所述发光单元的第一电极；所述显示面板还包括：第二导电层、第三导电层，第二导电层位于所述有源层背离所述衬底基板的一侧，所述第二导电层包括所述第一初始信号线和所述第二初始信号线，所述第一初始信号线在所述衬底30 基板上的正投影和所述第二初始信号线在所述衬底基板上的正投影沿第

一方向延伸；第三导电层位于所述第二导电层背离所述衬底基板的一侧，所述第三导电层包括第一初始连接线和第二初始连接线，所述第一初始连接线在所述衬底基板上的正投影和所述第二初始连接线在所述衬底基板上的正投影沿第二方向延伸，所述第一方向和所述第二方向相交；其中，所述第一初始连接线通过过孔连接与其在所述衬底基板上正投影相交的所述第一初始信号线，所述第二初始连接线通过过孔连接与其在所述衬底基板上正投影相交的所述第二初始信号线。

本公开一种示例性实施例中，所述显示面板包括多个像素单元，所述像素单元包括在所述第一方向上分布的多个像素驱动电路，同一像素单元中的像素驱动电路形成像素驱动电路组；在所述第二方向上分布的一列所述像素驱动电路组对应设置一条所述第一初始连接线和一条第二初始连接线；所述像素驱动电路组在所述衬底基板上的正投影位于与其对应的所述第一初始连接线和所述第二初始连接线在所述衬底基板上的正投影之间。

本公开一种示例性实施例中，所述显示面板的显示区包括正常显示区，所述显示面板还包括：多个像素单元，多个所述像素单元中包括第一像素单元，所述第一像素单元位于所述正常显示区，所述第一像素单元包括在第一方向上分布的多个像素驱动电路，同一所述第一像素单元中的像素驱动电路形成第一像素驱动电路组；所述显示面板还包括：第四导电层，第四导电层位于所述有源层背离所述衬底基板的一侧，所述第四导电层包括第一电源连接线，所述第一电源连接线用于向所述像素驱动电路提供高电平电源信号，所述第一电源连接线在所述衬底基板上的正投影为环形；其中，所述第一电源连接线和所述第一像素驱动电路组对应设置，所述第一像素驱动电路组在所述衬底基板上的正投影位于与其对应的所述第一电源连接线在所述衬底基板上的正投影内。

本公开一种示例性实施例中，所述显示面板还包括：第三导电层，第三导电层位于所述有源层和所述第四导电层之间，所述第三导电层包括电源桥接线，所述电源桥接线在所述衬底基板上的正投影沿第二方向延伸，所述第一方向和所述第二方向相交；其中，所述电源桥接线至少部分结构在所述衬底基板上的正投影位于在所述第一方向上相邻两所述

第一电源连接线在所述衬底基板上的正投影之间，且所述电源桥接线分别通过过孔连接与其相邻的两所述第一电源连接线。

本公开一种示例性实施例中，所述像素驱动电路包括第五晶体管，所述第五晶体管的第一极连接第一电源线，所述第五晶体管的第二极连接所述驱动晶体管的第一极；所述显示面板还包括：第三导电层，第三导电层位于所述有源层和所述第四导电层之间，所述第三导电层包括所述
5 所述第一电源线；其中，所述第一电源线在所述衬底基板上的正投影沿第二方向延伸，所述第一方向和所述第二方向相交，所述第一电源线在所述衬底基板上的正投影和所述第一电源连接线在所述衬底基板上的正投影相交，且所述第一电源线通过过孔连接与其在所述衬底基板上正投影
10 相交的所述第一电源连接线。

本公开一种示例性实施例中，所述像素驱动电路包括多个子像素驱动电路，多个所述子像素驱动电路在所述衬底基板上的正投影沿第一方向
15 和/或第二方向阵列分布，所述第一方向和所述第二方向相交；每个所述子像素驱动电路均包括所述驱动晶体管，且每个所述子像素驱动电路连接同一所述发光单元，所述子像素驱动电路用于向所述发光单元提供驱动电流；所述子像素驱动电路还包括第五晶体管，所述第五晶体管的第一极连接第一电源线子部，所述第五晶体管的第二极连接所述驱动晶体管的第二极；所述第四导电层还包括所述第一电源线子部，所述第一
20 电源线子部在所述衬底基板上的正投影包括沿所述第二方向延伸的部分和沿所述第一方向延伸的部分，所述第一电源线子部和所述像素驱动电路对应设置，所述第一电源线子部连接与其对应的所述像素驱动电路中每个所述第五晶体管的第一极，且所述第一电源线子部连接所述第一电源连接线。

本公开一种示例性实施例中，所述子像素驱动电路还包括第二晶体管，所述第二晶体管的第一极连接所述驱动晶体管的栅极，所述第二晶体管的第二极连接所述驱动晶体管的第二极；所述显示面板还包括：第三导电层，第三导电层位于所述有源层和所述第四导电层之间，所述第三导电层包括第二桥接部，所述第二桥接部连接所述驱动晶体管的栅极
25 和第二晶体管的第二极；所述第一电源线子部包括：多个第二导电部，
30

所述第二导电部和所述子像素驱动电路对应设置，所述第二导电部在所述衬底基板上的正投影和与其对应的所述子像素驱动电路中第二桥接部在所述衬底基板上的正投影至少部分交叠，且所述第二导电部连接与其对应的所述子像素驱动电路中所述第五晶体管的第一极。

5 本公开一种示例性实施例中，所述第四导电层还包括：第一连接部，所述第一连接部在所述衬底基板上的正投影沿所述第二方向延伸，所述第一连接部连接于在所述第二方向上相邻的所述第二导电部和所述第一电源连接线之间。

10 本公开一种示例性实施例中，所述显示面板还包括：第三导电层，所述第三导电层还包括：多个第三桥接部，所述第三桥接部至少部分结构在所述衬底基板上的正投影位于在所述第二方向上相邻的两所述第一电源连接线在所述衬底基板上的正投影之间，所述第三桥接部分别通过过孔连接与其相邻两所述第一电源连接线。

15 本公开一种示例性实施例中，所述第四导电层还包括：第二电源连接线，所述第二电源连接线和所述第一电源连接线对应设置，所述第二电源连接线在所述衬底基板上的正投影为环形，所述第一电源连接线在所述衬底基板上的正投影位于与其对应的所述第二电源连接线在所述衬底基板上的正投影以内；所述显示面板还包括：公共电极层，公共电极层位于所述第四导电层背离所述衬底基板的一侧，所述公共电极层用于形成所述发光单元的第二电极，所述第二电源连接线通过过孔连接所述公共电极层。

20 本公开一种示例性实施例中，所述显示面板的显示区还包括压缩区，所述压缩区位于所述正常显示区在所述第一方向上的一侧；多个所述像素单元中还包括第二像素单元，所述第二像素单元位于所述压缩区，所述第二像素单元包括在第一方向上分布的多个像素驱动电路，同一所述第二像素单元中的像素驱动电路形成第二像素驱动电路组；所述第四导电层还包括：第三电源连接线，所述第三电源连接线用于向所述像素驱动电路提供高电平电源信号，所述第三电源连接线和所述第二像素驱动电路组对应设置，所述第三电源连接线包括第一侧边，所述第一侧边在
30 所述衬底基板上的正投影沿第二方向延伸且位于与其对应的所述第二像

素驱动电路组在所述衬底基板上的正投影在所述第一方向上的一侧，所述
第一方向和所述第二方向相交；其中，所述第一电源连接线在所述衬
底基板上的正投影和所述第一像素驱动电路组在所述衬底基板上的正投
影在所述第一方向上的距离大于所述第一侧边在所述衬底基板上的正投
影和所述第二像素驱动电路组在所述衬底基板上的正投影在所述第一方
向上的距离。

本公开一种示例性实施例中，所述第四导电层还包括：第二电源连
接线、第四电源连接线，所述第二电源连接线和所述第一电源连接线对
应设置，所述第二电源连接线在所述衬底基板上的正投影为环形，所述
第一电源连接线在所述衬底基板上的正投影位于与其对应的所述第二电
源连接线在所述衬底基板上的正投影以内；所述第四电源连接线和所述
第三电源连接线对应设置；所述显示面板还包括：公共电极层，公共电
极层位于所述第四导电层背离所述衬底基板的一侧，所述公共电极层用
于形成所述发光单元的第二电极，所述第二电源连接线和所述第四电源
连接线均通过过孔连接所述公共电极层；所述显示面板还包括：电极层，
电极层位于所述第四导电层和所述公共电极层之间，所述电极层包括第
一电极环和第二电极线；所述第一电极环连接于所述第二电源连接线和
所述公共电极层之间，所述第一电极环在所述衬底基板上的正投影为环
形，所述第一电源连接线在所述衬底基板上的正投影位于所述第一电极
环在所述衬底基板上的正投影内；所述第二电极线连接于所述第四电源
连接线和所述公共电极层之间，所述第二电极线包括第二侧边，所述第
二侧边至少部分结构在所述衬底基板上的正投影位于所述第一侧边在
所述衬底基板上的正投影远离所述第二像素驱动电路组在所述衬底基
板上的正投影的一侧；所述第一侧边在所述衬底基板上的正投影和所述第
二侧边在所述衬底基板上的正投影在所述第一方向上的距离小于所述第
一电源连接线在所述衬底基板上的正投影和所述第一电极环在所述衬底
基板上的正投影在所述第一方向上的距离。

根据本公开的一个方面，提供一种显示装置，其中，包括上述的显
示面板。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解
释性的，并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开像素驱动电路一种示例性实施例的结构示意图；

图 2 为图 1 所示像素驱动电路一种驱动方法中各控制信号的时序图；

图 3 为本公开显示面板一种示例性实施例中的结构版图；

10 图 4 为图 3 中有源层的结构版图；

图 5 为图 3 中第一导电层的结构版图；

图 6 为图 3 中第二导电层的结构版图；

图 7 为图 3 中第三导电层的结构版图；

图 8 为图 3 中第四导电层的结构版图；

15 图 9 为图 3 中有源层、第一导电层的结构版图；

图 10 为图 3 中有源层、第一导电层、第二导电层的结构版图；

图 11 为图 3 中有源层、第一导电层、第二导电层、第三导电层的结构版图；

图 12 为本公开显示面板另一种示例性实施例中的结构版图；

20 图 13 为图 12 中有源层的结构版图；

图 14 为图 12 中第一导电层的结构版图；

图 15 为图 12 中第二导电层的结构版图；

图 16 为图 12 中第三导电层的结构版图；

图 17 为图 12 中第四导电层的结构版图；

25 图 18 为图 12 中电极层和像素界定层的结构板；

图 19 为图 12 中有源层、第一导电层的结构版图；

图 20 为图 12 中有源层、第一导电层、第二导电层的结构版图；

图 21 为图 12 中有源层、第一导电层、第二导电层、第三导电层的结构版图；

30 图 22 为图 12 中有源层、第一导电层、第二导电层、第三导电层、

第四导电层的结构版图；

图 23 为图 12 所示显示面板沿虚线 BB 剖开的部分剖视图；

图 24 为本公开像素驱动电路另一种示例性实施例的结构示意图；

图 25 为本公开显示面板一种示例性实施例中的结构版图；

5 图 26 为图 25 中有源层的结构版图；

图 27 为图 25 中第一导电层的结构版图；

图 28 为图 25 中第二导电层的结构版图；

图 29 为图 25 中第三导电层的结构版图；

图 30 为图 25 中第四导电层的结构版图；

10 图 31 为图 25 中有源层、第一导电层的结构版图；

图 32 为图 25 中有源层、第一导电层、第二导电层的结构版图；

图 33 为图 25 中有源层、第一导电层、第二导电层、第三导电层的结构版图；

图 34 为本公开显示面板另一种示例性实施例中的结构版图；

15 图 35 为图 34 中有源层的结构版图；

图 36 为图 34 中第一导电层的结构版图；

图 37 为图 34 中第二导电层的结构版图；

图 38 为图 34 中第三导电层的结构版图；

图 39 为图 34 中第四导电层的结构版图；

20 图 40 为图 34 中电极层和像素界定层的结构板；

图 41 为图 34 中有源层、第一导电层的结构版图；

图 42 为图 34 中有源层、第一导电层、第二导电层的结构版图；

图 43 为图 34 中有源层、第一导电层、第二导电层、第三导电层的结构版图；

25 图 44 为图 34 中有源层、第一导电层、第二导电层、第三导电层、第四导电层的结构版图；

图 45 为图 34 所示显示面板沿虚线 CC 剖开的部分剖视图；

图 46 为本公开显示面板一种示例性实施例的结构示意图；

图 47 为图 46 中右侧第二像素单元的结构版图；

30 图 48 为图 47 中有源层的结构版图；

图 49 为图 47 中第一导电层的结构版图；

图 50 为图 47 中第二导电层的结构版图；

图 51 为图 47 中第三导电层的结构版图；

图 52 为图 47 中第四导电层的结构版图；

5 图 53 为图 47 中电极层和像素界定层的结构板；

图 54 为图 47 中有源层、第一导电层的结构版图；

图 55 为图 47 中有源层、第一导电层、第二导电层的结构版图；

图 56 为图 47 中有源层、第一导电层、第二导电层、第三导电层的结构版图；

10 图 57 为图 47 中有源层、第一导电层、第二导电层、第三导电层、第四导电层的结构版图。

具体实施方式

现在将参考附图更全面地描述示例实施例。然而，示例实施例能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这
15 些实施例使得本公开将更加全面和完整，并将示例实施例的构思全面地传达给本领域的技术人员。图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

用语“一个”、“一”、“所述”用以表示存在一个或多个要素/组成部分/等；用语“包括”和“具有”用以表示开放式的包括在内的意思并且
20 是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等。

相关技术中，像素驱动电路通常包括有驱动晶体管，驱动晶体管根据其栅极的数据信号向发光单元提供驱动电流，然而，Data Range（数据信号的电压范围）受限于显示面板的芯片，从而导致像素驱动电路无
25 法输出较大的驱动电流。

基于此，本示例性实施例提供一种像素驱动电路，所述像素驱动电路可以包括：多个驱动晶体管，每个所述驱动晶体管的第二极均连接同一发光单元的第一电极，每个所述驱动晶体管用于根据其栅极电压向所述发光单元输入驱动电流。

本示例性实施例提供的像素驱动电路通过并联的多个驱动晶体管向同一发光单元提供驱动电流，从而可以在相同的数据信号作用下向发光单元提供较大的驱动电流。该像素驱动电路可以应用于像素单元布图面积大，驱动电流需求大的显示面板和显示装置，例如，该像素驱动电路可以应用于拼接屏。

如图 1 所示，为本公开像素驱动电路一种示例性实施例的结构示意图。该像素驱动电路包括多个驱动晶体管 T3，每个所述驱动晶体管 T3 的第二极均连接同一发光单元 OLED 的第一电极，每个所述驱动晶体管 T3 用于根据其栅极电压向所述发光单元 OLED 输入驱动电流。如图 1 所示，每个所述驱动晶体管 T3 的栅极均连接第一节点 N1，每个所述驱动晶体管 T3 的第一极均连接第一电源端 VDD。

本示例性实施例中，所述驱动晶体管 T3 的第二极均连接同一发光单元 OLED 的第一电极中的“连接”可以理解为电连接、电耦合等，且“连接”可以为直接连接也可以为间接连接。

如图 1 所示，所述像素驱动电路还包括：数据写入电路 1、补偿电路 2、发光控制电路 3、第一复位电路 4、第二复位电路 5、存储电路 6，数据写入电路 1 连接数据信号端 Da、每个所述驱动晶体管 T3 的第一极、第一栅极驱动信号端 G1，用于响应所述第一栅极驱动信号端 G1 的信号以将所述数据信号端 Da 的信号传输到每个所述驱动晶体管 T3 的第一极；补偿电路 2 连接所述第一节点 N1、每个所述驱动晶体管 T3 的第二极、第二栅极驱动信号端 G2，用于响应所述第二栅极驱动信号端 G2 的信号以连通所述第一节点 N1 和每个所述驱动晶体管 T3 的第二极；发光控制电路 3 连接所述第一电源端 VDD、每个所述驱动晶体管 T3 的第一极、使能信号端 EM、每个所述驱动晶体管 T3 的第二极、发光单元 OLED 的第一电极，用于响应所述使能信号端 EM 的信号以连通所述第一电源端 VDD 和每个所述驱动晶体管 T3 的第一极，以及用于响应所述使能信号端 EM 的信号以连通每个所述驱动晶体管 T3 的第二极和所述发光单元 OLED 的第一电极；第一复位电路 4 连接第一初始信号端 Vinit1、第一复位信号端 Re1、所述第一节点 N1，用于响应所述第一复位信号端 Re1 的信号以将所述第一初始信号端 Vinit1 的信号传输到所述第一节点 N1；第二复位电路 5 连接

第二初始信号端 Vinit2、第二复位信号端 Re2、发光单元 OLED 的第一电极，用于响应所述第二复位信号端 Re2 的信号以将所述第二初始信号端 Vinit2 的信号传输到所述发光单元 OLED 的第一电极；存储电路 6 连接于所述第一节点 N1 和所述第一电源端 VDD 之间。

5 具体实施例中，第一栅极驱动信号端 G1 和第二栅极驱动信号端 G2，可以是同一个信号控制端，也可以是不同的信号控制端；例如，第二栅极驱动信号端 G2 的开启时间长于第一栅极驱动信号端 G1，以使第一栅极驱动信号端 G1 控制下的数据信号可以充分写入驱动晶体管的栅极；又例如第一栅极驱动信号端 G1 和第二栅极驱动信号端 G2 为同一控制信号端，
10 以节约控制信号线。下文中的实施例以第一栅极驱动信号端 G1 和第二栅极驱动信号端 G2 为同一控制信号端，也即是所述补偿电路 2 由第一栅极驱动信号端 G1 进行控制来描述。

如图 1 所示，所述数据写入电路 1 可以包括：第四晶体管 T4，所述第四晶体管 T4 的第一极连接所述数据信号端 Da，第二极连接每个所述驱动晶体管 T3 的第一极，栅极连接第一栅极驱动信号端 G1；所述补偿电路
15 2 可以包括：第二晶体管 T2，所述第二晶体管 T2 的第一极连接所述第一节点 N1，第二极连接每个所述驱动晶体管 T3 的第二极，栅极连接所述第一栅极驱动信号端 G1；所述发光控制电路 3 可以包括：第五晶体管 T5、第六晶体管 T6，所述第五晶体管 T5 的第一极连接所述第一电源端 VDD，
20 第二极连接每个所述驱动晶体管 T3 的第一极，栅极连接所述使能信号端 EM；第六晶体管 T6 的第一极连接每个所述驱动晶体管 T3 的第二极，第二极连接所述发光单元 OLED 的第一电极，栅极连接所述使能信号端 EM；
所述第一复位电路 4 可以包括：第一晶体管 T1，第一晶体管 T1 的第一极连接所述第一初始信号端 Vinit1，第二极连接所述第一节点 N1，栅极连接
25 所述第一复位信号端 Re1；所述第二复位电路 5 可以包括：第七晶体管 T7，第七晶体管 T7 的第一极连接第二初始信号端 Vinit2，第二极连接所述发光单元 OLED 的第一电极，栅极连接所述第二复位信号端 Re2；所述
存储电路 6 可以包括：电容 C，电容 C 的第一电极连接所述第一节点 N1，第二电极连接所述第一电源端 VDD。发光单元 OLED 的第二电极连接第二
30 电源端 VSS。

其中，第一晶体管 T1、第二晶体管 T2、驱动晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 可以为 P 型晶体管。第一电源端 VDD 可以为高电平电源端，第二电源端 VSS 可以为低电平电源端。

5 如图 2 所示，为图 1 所示像素驱动电路一种驱动方法中各控制信号的时序图。其中，G1 表示第一栅极驱动信号端 G1 信号的时序，Re1 表示第一复位信号端 Re1 信号的时序，Re2 表示第二复位信号端 Re2 信号的时序，EM 表示使能信号端 EM 信号的时序。该像素驱动电路的驱动方法可以包括第一复位阶段 t1、数据写入阶段 t2，第二复位阶段 t3、发光阶段 t4。在第一复位阶段 t1：第一复位信号端 Re1 输出低电平信号，第一晶体管 T1 导通，第一初始信号端 Vinit1 向第一节点 N1 输入第一初始信号。在数据写入阶段 t2：第一栅极驱动信号端 G1 输出低电平信号，第四晶体管 T4、第二晶体管 T2，同时数据信号端 Da 输出数据信号以向第一节点 N1 写入电压 $V_{data}+V_{th}$ ，其中 V_{data} 为数据信号的电压， V_{th} 为驱动晶体管 T3 的阈值电压。在第二复位阶段 t3：第二复位信号端输出低电平信号，第七晶体管导通，第二初始信号端 Vinit2 向第六晶体管 T6 的第二极输入第二初始信号。在发光阶段 t4：使能信号端 EM 输出低电平信号，第六晶体管 T6、第五晶体管 T5 导通，多个驱动晶体管 T3 在第一节点 N1 的电压 $V_{data}+V_{th}$ 作用下驱动发光单元发光。本公开像素驱动电路中每个驱动晶体管的输出电流 $I = (\mu W C_{ox} / 2L) (V_{data}+V_{th}-V_{dd}-V_{th})^2$ 。其中， μ 为载流子迁移率； C_{ox} 为单位面积栅极电容量，W 为驱动晶体管沟道的宽度，L 驱动晶体管沟道的长度， V_{gs} 为驱动晶体管栅源电压差， V_{th} 为驱动晶体管阈值电压。该像素驱动电路能够避免驱动晶体管阈值对其输出电流的影响。应该理解的是，在其他示例性实施例中，该像素驱动电路还可以有其他驱动方法，例如，第七晶体管可以在数据写入阶段 t2 导通。

本示例性实施例提供一种显示面板，该显示面板可以包括依次层叠设置的衬底基板、有源层、第一导电层、第二导电层、第三导电层、第四导电层，其中，上述相邻导电层之间可以设置有绝缘层。

如图 3-11 所示，图 3 为本公开显示面板一种示例性实施例中的结构版图，图 4 为图 3 中有源层的结构版图，图 5 为图 3 中第一导电层的结

构版图，图 6 为图 3 中第二导电层的结构版图，图 7 为图 3 中第三导电层的结构版图，图 8 为图 3 中第四导电层的结构版图，图 9 为图 3 中有源层、第一导电层的结构版图，图 10 为图 3 中有源层、第一导电层、第二导电层的结构版图，图 11 为图 3 中有源层、第一导电层、第二导电层、第三导电层的结构版图。该显示面板可以包括多个像素驱动电路，图 3 所示显示面板中像素驱动电路的结构和图 1 所示像素驱动电路的结构仅区别在于图 3 所示显示面板中像素驱动电路包括六个并联的驱动晶体管。

如图 3、4、9 所示，有源层可以包括第一有源部 61、第二有源部 62、多个第三有源部 63、第四有源部 64、第五有源部 65、第六有源部 66、第七有源部 67、第八有源部 68、第九有源部 69、第十有源部 610、第十一有源部 611、第十二有源部 612、第十三有源部 613、第十四有源部 614、第十五有源部 615。其中，第一有源部 61 用于形成第一晶体管 T1 的沟道区，第二有源部 62 用于形成第二晶体管 T2 的沟道区，第二晶体管 T2 为双沟道结构，第二有源部 62 包括第一子有源部 621 和第二子有源部 622，第一子有源部 621 用于形成第二晶体管的第一沟道，第二子有源部 622 用于形成第二晶体管 T2 的第二沟道，有源层还包括第三子有源部 623，第三子有源部 623 连接于第一子有源部 621 和第二子有源部 622 之间；第三有源部 63 可以用于形成驱动晶体管 T3 的沟道区；第四有源部 64 可以用于形成第四晶体管 T4 的沟道区；第五有源部 65 可以用于形成第五晶体管 T5 的沟道区；第六有源部 66 可以用于形成第六晶体管 T6 的沟道区；第七有源部 67 可以用于形成第七晶体管 T7 的沟道区；第八有源部 68 和第九有源部 69 在所述衬底基板上的正投影沿第二方向 Y 延伸，第八有源部 68 连接于第四有源部 64 和第五有源部 65 之间，第九有源部 69 连接于第六有源部 66 和第二有源部 62 之间，多个第三有源部 63 并联于第八有源部 68 和第九有源部 69 之间；第十有源部 610 连接于第六有源部 66 和第七有源部 67 之间；第十一有源部 611 连接于第一有源部 61 和第二有源部 62 之间；第十二有源部 612 连接于第七有源部 67 远离第六有源部 66 的一端；第十三有源部 613 连接于第四有源部 64 远离第三有源部 63 的一端；第十四有源部 614 连接于第一有源部 61 远离第二有源部 62 的一端；第十五有源部 615 连接于第五有源部 65 远离第四

有源部 64 的一端。其中，有源层可以由多晶硅材料形成，相应的，第一晶体管 T1、第二晶体管 T2、驱动晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 可以为 P 型的低温多晶硅薄膜晶体管。

5 如图 3、5、9 所示，第一导电层可以包括：第一导电部 11、第一栅线 G1、使能信号线 EM、第一复位信号线 Re1、第二复位信号线 Re2。第一栅线 G1 在衬底基板上的正投影、使能信号线 EM 在衬底基板上的正投影、第一复位信号线 Re1 在衬底基板上的正投影、第二复位信号线 Re2 在衬底基板上的正投影均可以沿第一方向 X 延伸，第一方向 X 和第二方向 Y 可以相交，例如，第一方向 X 可以为行方向，第二方向 Y 可以为列方向。第一栅线 G1 可以用于提供第一栅极驱动信号端；使能信号线 EM 可以用于提供使能信号端；第一复位信号线 Re1 可以用于提供第一复位信号端；第二复位信号线 Re2 可以用于提供第二复位信号端。其中，第一栅线 G1 在衬底基板上的正投影覆盖第二有源部 62、第四有源部 64 在衬底基板上的正投影，第一栅线 G1 的部分结构用于分别形成第二晶体管 T2 的栅极和第四晶体管的栅极。使能信号线 EM 在衬底基板上的正投影覆盖第五有源部 65 在衬底基板上的正投影、第六有源部 66 在衬底基板上的正投影，使能信号线 EM 的部分结构可以分别用于形成第五晶体管 T5、第六晶体管 T6 的栅极。第一复位信号线 Re1 在衬底基板上的正投影覆盖第一有源部 61 在衬底基板上的正投影，第一复位信号线 Re1 的部分结构用于形成第一晶体管 T1 的栅极。第二复位信号线 Re2 在衬底基板上的正投影可以覆盖第七有源部 67 在衬底基板上的正投影，第二复位信号线 Re2 的部分结构可以用于形成第七晶体管 T7 的栅极。第一导电部 11 在衬底基板上的正投影覆盖所有第三有源部 63 在衬底基板上的正投影，第一导电部 11 可以用于形成多个驱动晶体管 T3 的公共栅极和电容 C 的第一电极。此外，该显示面板可以利用第一导电层为掩膜对有源层进行导体化处理，即有源层中被第一导电层覆盖的区域可以形成晶体管的沟道区，未被第一导电层覆盖的区域形成导体结构。

30 如图 3、6、10 所示，第二导电层可以包括：第一初始信号线 Vinit1、第二初始信号线 Vinit2、第三导电部 23、第四导电部 24。第一初始信号

线 Vinit1 在衬底基板上的正投影、第二初始信号线 Vinit2 在衬底基板上的正投影沿第一方向 X 延伸，第一初始信号线 Vinit1 用于提供第一初始信号端，第二初始信号线 Vinit2 用于提供第二初始信号端。第三导电部 23 在衬底基板上的正投影和第一导电部 11 在所述衬底基板上的正投影至少部分交叠，第三导电部 23 用于形成电容 C 的第二电极。第四导电部 24 在衬底基板上的正投影和第三子有源部 623 在衬底基板上的正投影至少部分交叠。

如图 3、7、11 所示，第三导电层可以包括第一电源线 VDD、数据线 Da、第一初始连接线 3Vinit1、第二桥接部 32、第四桥接部 34、第五桥接部 35、第六桥接部 36、第七桥接部 37、第八桥接部 38。其中，第一电源线 VDD 在衬底基板上的正投影、数据线 Da 在衬底基板上的正投影、第一初始连接线 3Vinit1 在衬底基板上的正投影沿第二方向 Y 延伸，第一电源线 VDD 用于提供第一电源端，数据线 Da 用于提供数据信号端。数据线 Da 可以通过过孔（黑色方块）连接第十三有源部 613，以连接第四晶体管 T4 的第一极。第一电源线 VDD 可以通过过孔连接第十五有源部 615，以连接第五晶体管的第一极。第一初始连接线 3Vinit1 通过过孔连接与其在衬底基板上正投影相交的第一初始信号线 Vinit1，以形成网格结构的第一初始信号线，从而降低第一初始信号线上信号的压降。第二桥接部 32 在衬底基板上的正投影可以沿第二方向 Y 延伸，第二桥接部 32 可以通过在第二方向 Y 上分布的多个过孔连接第一导电部 11，且第二桥接部 32 可以通过过孔连接第十一有源部 611，以连接驱动晶体管 T3 的栅极和第一晶体管 T1 的第二极、第二晶体管 T2 的第一极。第三导电部 23 上可以形成有开口 231，连接于第一导电部 11 和第二桥接部 32 之间的过孔在衬底基板上的正投影可以位于开口 231 在衬底基板上的正投影内，以使连接于第一导电部 11 和第二桥接部 32 之间的过孔和第三导电部 23 绝缘设置。第四桥接部 34 在衬底基板上的正投影可以沿第二方向延伸，第四桥接部 34 可以通过在第二方向上分布的多个过孔连接第九有源部 69，以减小多个驱动晶体管 T3 第二极的电压差。第五桥接部 35 可以通过在第二方向上分布的多个过孔连接第八有源部 68，以减小多个驱动晶体管 T3 第一极的电压差。第六桥接部 36 可以通过过孔连接第十有源部 610，

以连接第六晶体管 T6 的第二极。第七桥接部 37 可以分别通过过孔连接第一初始信号线 Vinit1、第十四有源部，以连接第一初始信号端和第一晶体管的第一极，第七桥接部 37 还可以通过过孔连接第四导电部 24，第四导电部 24 在第一初始信号线 Vinit1 作用下具有稳定电压，第四导电部 24 可以对第三子有源部 623 进行稳压，以改善由于第三子有源部 623 电压波动而导致的向第二晶体管 T2 源漏极漏电的问题。第八桥接部 38 可以分别通过过孔连接第十二有源部 612 和第二初始信号线 Vinit2，以连接第七晶体管 T7 的第一极和第二初始信号端。

如图 3、8 所示，所述第四导电层可以包括第九桥接部 49，第九桥接部 49 可以通过过孔连接第六桥接部 36，第九桥接部 49 可以用于连接发光单元的第一电极，以连接第六晶体管的第二极和发光单元的第一电极。

如图 12-22 所示，图 12 为本公开显示面板另一种示例性实施例中的结构版图，图 13 为图 12 中有源层的结构版图，图 14 为图 12 中第一导电层的结构版图，图 15 为图 12 中第二导电层的结构版图，图 16 为图 12 中第三导电层的结构版图，图 17 为图 12 中第四导电层的结构版图，图 18 为图 12 中电极层和像素界定层的结构板，图 19 为图 12 中有源层、第一导电层的结构版图，图 20 为图 12 中有源层、第一导电层、第二导电层的结构版图，图 21 为图 12 中有源层、第一导电层、第二导电层、第三导电层的结构版图，图 22 为图 12 中有源层、第一导电层、第二导电层、第三导电层、第四导电层的结构版图。

如图 12-22 所示，该显示面板可以包括多个像素单元，多个像素单元可以在第一方向 X 和第二方向 Y 上阵列分布，图 12 示出了一个像素单元的版图结构，每个像素单元可以包括在第一方向 X 上分布的多个像素驱动电路，本示例性实施例中，每个像素单元可以包括在第一方向 X 上分布的三个像素驱动电路。图 12 中像素驱动电路可以包括图 3 所示像素驱动电路的全部结构特征。

如图 12、15、20 所示，绿色发光单元对应的像素驱动电路中的第三导电部 23 异于红色发光单元和蓝色发光单元对应的像素驱动电路中的第三导电部 23，在绿色发光单元对应的像素驱动电路中，第三导电部 23 和第一导电部 11 的交叠面积较大，从而可以增大绿色发光单元对应的像素

驱动电路中电容 C 的容值，进而可以改善绿色发光单元的画质。应该理解的是，在其他示例性实施例中，也可以从其他颜色发光单元的画质要求角度对红色发光单元、蓝色发光单元、绿色发光单元对应像素驱动电路中的电容进行差异化设置，该差异化设置的方式可以如图 20 所示，通过

5 在第三导电部 23 上增加横向连接块以增加第三导电部 23 和第一导电部 11 之间的电容。

如图 12、16、21 所示，同一像素单元中的三个像素驱动电路形成像素驱动电路组。第一初始连接线 3Vinit1 和一系列像素驱动电路组对应设置，第一初始连接线 3Vinit1 通过过孔连接与其在衬底基板上正投影相交的第一初始信号线 Vinit1。第三导电层还可以包括第二初始连接线 3Vinit2，第二初始连接线 3Vinit2 和一系列像素驱动电路组对应设置。第二初始连接线 3Vinit2 通过过孔连接与其在衬底基板上正投影相交的第二初始信号线。像素驱动电路组在所述衬底基板上的正投影位于与其对应的所述第一初始连接线 3Vinit1 和所述第二初始连接线 3Vinit2 在所述衬底基板上的正投影之间。

10 15

如图 12、17、22 所示，第四导电层还可以包括第一电源连接线 4VDD，第一电源连接线 4VDD 在所述衬底基板上的正投影为环形；其中，第一电源连接线 4VDD 和像素驱动电路组对应设置，第一像素驱动电路组在所述衬底基板上的正投影位于与其对应的所述第一电源连接线 4VDD 在所述衬底基板上的正投影内。第一电源连接线 4VDD 可以通过过孔连接像素驱动电路组对应的三条第一电源线 VDD。本示例性实施例中，环形指首尾相连的线形成的图像，环形可以矩形、圆形、三角形、多边形等。

20

如图 12、16、21 所示，第三导电层还包括电源桥接线 3VDD，所述电源桥接线 3VDD 在所述衬底基板上的正投影沿第二方向 Y 延伸。其中，所述电源桥接线 3VDD 至少部分结构在所述衬底基板上的正投影位于在所述第一方向 X 上相邻两所述第一电源连接线 4VDD 在所述衬底基板上的正投影之间，且所述电源桥接线 3VDD 分别通过过孔连接与其相邻的两所述第一电源连接线 4VDD。即所述第一电源连接线 4VDD 至少部分结构在所述衬底基板上的正投影位于在所述第一方向上相邻两个电源桥接线 3VDD 在所述衬底基板上的正投影之间，且所述电源桥接线分别通过过孔连接所述

25 30

第一电源连接线。电源桥接线 3VDD 可以使得在第一方向 X 上分布的第一电源连接线 4VDD 相连接。电源桥接线 3VDD、第一电源连接线 4VDD 可以使得第一电源线 VDD 形成网格结构，以降低第一电源线上电源信号的压降。

5 如图 8、12、17、22 所示，第四导电层还可以包括多个第五导电部 45，第五导电部 45 连接于第一电源连接线 4VDD，第五导电部 45 可以进一步降低第一电源线的压降。

如图 12、18 所示，电极层可以包括多个电极部：第一电极部 G、第二电极部 B、第三电极部 R，各个电极部可以通过过孔连接第九桥接部 49，
10 以连接第六晶体管的第二极。像素界定层上形成有多个像素开口 PH，所述像素开口 PH 与所述电极部对应设置，所述像素开口 PH 在所述衬底基板上的正投影和所述电极部在所述衬底基板上的正投影重合。第一电极部 G 可以用于形成显示面板中绿色发光单元的电极部，第二电极部 B 可以用于形成显示面板中蓝色发光单元的电极部，第三电极部 R 可以用于形成
15 红色发光单元的电极部。电极部还可以和第五导电部 45 对应设置，电极部在衬底基板上的正投影和与其对应的第五导电部 45 在衬底基板上的正投影至少部分交叠，电极部在衬底基板上的正投影和与其对应的第五导电部 45 在衬底基板上的正投影的交叠面积为 S1，电极部在衬底基板上的正投影的面积为 S2， $S1/S2$ 大于等于 80%，例如， $S1/S2$ 可以为 80%、90%、
20 100%。该设置可以提高电极部的平坦度。如图 8 所示，第五导电部 45 上可以形成有多个开口 451，开口 451 能够释放第四导电层和第三导电层之间平坦层的水气。

如图 12、17、22 所示，第四导电层还可以包括第二电源连接线 4VSS，所述第二电源连接线 4VSS 和所述第一电源连接线 4VDD 对应设置，所述
25 第二电源连接线 4VSS 在所述衬底基板上的正投影为环形，所述第一电源连接线 4VDD 在所述衬底基板上的正投影位于与其对应的所述第二电源连接线 4VSS 在所述衬底基板上的正投影内。电极层还可以包括第一电极环 5VSS，第一电极环 5VSS 在衬底基板上的正投影为环形，第一电极环 5VSS 和第二电源连接线 4VSS 对应设置，且连接与其对应的第二电源连接线
30 4VSS。显示面板还可以包括公共电极层，公共电极层位于电极层背离衬

底基板的一侧，公共电极层可以用于形成发光单元的第二电极，第二电源连接线 4VSS 可以通过第一电极环 5VSS 连接公共电极层。第二电源连接线 4VSS、第一电极环 5VSS 可以降低公共电极层上电源信号的压降。

如图 23 所示，为图 12 所示显示面板沿虚线 BB 剖开的部分剖视图。

- 5 该显示面板还可以包括第一绝缘层 92、第二绝缘层 93、介电层 94、钝化层 95、第一平坦层 96、第二平坦层 97、像素界定层 98。其中，衬底基板 91、有源层、第一绝缘层 92、第一导电层、第二绝缘层 93、第二导电层、介电层 94、第三导电层、钝化层 95、第一平坦层 96、第四导电层、第二平坦层 97、电极层、像素界定层 98 依次层叠设置。第一绝缘层 92、
10 第二绝缘层 93 可以包括氧化硅、氮化硅层中的一层或多层；介电层 94 可以包括氮化硅层；第一平坦层 96、第二平坦层 97 的材料可以为有机材料，例如聚酰亚胺 (PI)、聚对苯二甲酸乙二醇酯 (PET)、聚萘二甲酸乙二醇酯 (PEN)、硅-玻璃键合结构 (SOG) 等材料。钝化层 95 可以为氧化硅层。衬底基板 91 可以包括依次层叠设置的玻璃基板、阻挡层、聚酰亚胺层，
15 阻挡层可以为无机材料。第一导电层、第二导电层的材料可以是钼、铝、铜、钛、铌其中之一或者合金，或者钼/钛合金或者叠层等。第三导电层、第四导电层的材料可以包括金属材料，例如可以是钼、铝、铜、钛、铌其中之一或者合金，或者钼/钛合金或者叠层等，或者可以是钛/铝/钛叠层。电极层可以包括氧化铟锡层、银层。第一导电层、第二导电层中任一导电层的方块电阻可以大于第三导电层、第四导电层中任一导电层的方块电阻。
20

- 应该理解的是，在其他示例性实施例中，实现像素驱动电路中驱动晶体管并联还可以有其他方式。如图 24 所示，为本公开像素驱动电路另一种示例性实施例的结构示意图。像素驱动电路可以包括多个子像素驱动电路 pix，每个所述子像素驱动电路 pix 均包括至少一个所述驱动晶体管 T3，且每个所述子像素驱动电路连接同一所述发光单元 OLED，所述子像素驱动电路用于向所述发光单元 OLED 提供驱动电流。
25

- 如图 24 所示，所述子像素驱动电路还包括：数据写入电路 1、补偿电路 2、发光控制电路 3、第一复位电路 4、第二复位电路 5、存储电路 6。
30 数据写入电路 1 连接数据信号端 Da、所述驱动晶体管 T3 的第一极、第一

栅极驱动信号端 G1，用于响应所述第一栅极驱动信号端 G1 的信号以将所述数据信号端 Da 的信号传输到所述驱动晶体管 T3 的第一极；补偿电路 2 连接所述驱动晶体管 T3 的栅极、所述驱动晶体管 T3 的第二极、第一栅极驱动信号端 G1，用于响应所述第一栅极驱动信号端 G1 的信号以连通所述所述驱动晶体管 T3 的栅极和所述驱动晶体管 T3 的第二极；发光控制电路 3 连接所述第一电源端 VDD、所述驱动晶体管 T3 的第一极、使能信号端 EM、所述驱动晶体管 T3 的第二极、发光单元 OLED 的第一电极，用于响应所述使能信号端 EM 的信号以连通所述第一电源端 VDD 和所述驱动晶体管 T3 的第一极，以及用于响应所述使能信号端 EM 的信号以连通所述驱动晶体管 T3 的第二极和所述发光单元 OLED 的第一电极；第一复位电路 4 连接第一初始信号端 Vinit1、第一复位信号端 Re1、所述驱动晶体管 T3 的栅极，用于响应所述第一复位信号端 Re1 的信号以将所述第一初始信号端 Vinit1 的信号传输到所述驱动晶体管 T3 的栅极；第二复位电路 5 连接第二初始信号端 Vinit2、第二复位信号端 Re2、发光单元 OLED 的第一电极，用于响应所述第二复位信号端 Re2 的信号以将所述第二初始信号端 Vinit2 的信号传输到所述发光单元 OLED 的第一电极；存储电路 6 连接于所述驱动晶体管 T3 的栅极和所述第一电源端 VDD 之间。

如图 24 所示，所述数据写入电路 1 包括：第四晶体管 T4，第四晶体管 T4 的第一极连接所述数据信号端 Da，第二极连接所述驱动晶体管 T3 的第一极，栅极连接第一栅极驱动信号端 G1；所述补偿电路 2 包括：第二晶体管 T2，所述第二晶体管 T2 的第一极连接所述驱动晶体管 T3 的栅极，第二极连接所述驱动晶体管 T3 的第二极，栅极连接所述第一栅极驱动信号端 G1；所述发光控制电路 3 包括：第五晶体管 T5、第六晶体管 T6，第五晶体管 T5 的第一极连接所述第一电源端 VDD，第二极连接所述驱动晶体管 T3 的第一极，栅极连接所述使能信号端 EM；第六晶体管 T6 的第一极连接所述驱动晶体管 T3 的第二极，第二极连接所述发光单元 OLED 的第一电极，栅极连接所述使能信号端 EM；所述第一复位电路 4 包括：第一晶体管 T1，第一晶体管 T1 的第一极连接所述第一初始信号端 Vinit1，第二极连接所述驱动晶体管 T3 的栅极，栅极连接所述第一复位信号端 Re1；所述第二复位电路 5 包括：第七晶体管 T7，第七晶体管 T7 的第一

极连接第二初始信号端 Vinit2，第二极连接所述发光单元 OLED 的第一电极，栅极连接所述第二复位信号端 Re2；所述存储电路 6 包括：电容 C，电容 C 的第一电极连接所述驱动晶体管 T3 的栅极，第二电极连接所述第一电源端 VDD。

5 本示例性实施例中，图 24 所示像素驱动电路中各控制信号的时序同样可以如图 2 所示，其中，G1 表示第一栅极驱动信号端 G1 信号的时序，Re1 表示第一复位信号端 Re1 信号的时序，Re2 表示第二复位信号端 Re2 信号的时序，EM 表示使能信号端 EM 信号的时序。该像素驱动电路的驱动方法同样可以包括第一复位阶段 t1、数据写入阶段 t2，第二复位阶段 t3、
10 发光阶段 t4。在第一复位阶段 t1：第一复位信号端 Re1 输出低电平信号，各个子像素驱动电路中第一晶体管 T1 导通，第一初始信号端 Vinit1 向各个子像素驱动电路中驱动晶体管的栅极输入第一初始信号。在数据写入阶段 t2：第一栅极驱动信号端 G1 输出低电平信号，各个子像素驱动电路中第四晶体管 T4、第二晶体管 T2 导通，同时数据信号端 Da 输出数据
15 信号以向各个子像素驱动电路中驱动晶体管的栅极写入电压 $V_{data}+V_{th}$ ，其中 V_{data} 为数据信号的电压， V_{th} 为驱动晶体管 T3 的阈值电压。在第二复位阶段 t3，第二复位信号端输出低电平信号，每个子像素驱动电路中的第七晶体管导通，第二初始信号端 Vinit2 向各个子像素驱动电路中第六晶体管 T6 的第二极输入第二初始信号。在发光阶段 t4：使能信号端
20 EM 输出低电平信号，各个子像素驱动电路中第六晶体管 T6、第五晶体管 T5 导通，多个驱动晶体管 T3 在其栅极的电压 $V_{data}+V_{th}$ 作用下驱动发光单元发光。应该理解的是，在其他示例性实施例中，该像素驱动电路还可以有其他驱动方法，例如，第七晶体管可以在数据写入阶段 t2 导通。

在其他示例性实施例中，单个子像素驱动电路中也可以包括多个并
25 联的驱动晶体管。

本示例性实施例还提供另一种显示面板，该显示面板可以包括依次层叠设置的衬底基板、有源层、第一导电层、第二导电层、第三导电层、第四导电层，其中，上述相邻导电层之间可以设置有绝缘层。

如图 25-33 所示，图 25 为本公开显示面板一种示例性实施例中的结
30 构版图，图 26 为图 25 中有源层的结构版图，图 27 为图 25 中第一导电

层的结构版图，图 28 为图 25 中第二导电层的结构版图，图 29 为图 25 中第三导电层的结构版图，图 30 为图 25 中第四导电层的结构版图，图 31 为图 25 中有源层、第一导电层的结构版图，图 32 为图 25 中有源层、第一导电层、第二导电层的结构版图，图 33 为图 25 中有源层、第一导电层、第二导电层、第三导电层的结构版图。该显示面板可以包括多个像素驱动电路，图 25 所示显示面板中像素驱动电路的结构和图 24 所示像素驱动电路的结构仅区别在于图 25 所示显示面板中像素驱动电路包括 3 乘 3 阵列分布的 9 个子像素驱动电路。

如图 25、26、31 所示，有源层可以包括第一有源部 61、第二有源部 62、多个第三有源部 63、第四有源部 64、第五有源部 65、第六有源部 66、第七有源部 67、第十有源部 610、第十一有源部 611、第十二有源部 612、第十三有源部 613、第十四有源部 614、第十五有源部 615。其中，第一有源部 61 用于形成第一晶体管 T1 的沟道区，第二有源部 62 用于形成第二晶体管 T2 的沟道区，第二晶体管 T2 为双沟道结构，第二有源部 62 包括第一子有源部 621 和第二子有源部 622，第一子有源部 621 用于形成第二晶体管的第一沟道，第二子有源部 622 用于形成第二晶体管 T2 的第二沟道，有源层还包括第三子有源部 623，第三子有源部 623 连接于第一子有源部 621 和第二子有源部 622 之间；第三有源部 63 可以用于形成驱动晶体管 T3 的沟道区；第四有源部 64 可以用于形成第四晶体管 T4 的沟道区；第五有源部 65 可以用于形成第五晶体管 T5 的沟道区；第六有源部 66 可以用于形成第六晶体管 T6 的沟道区；第七有源部 67 可以用于形成第七晶体管 T7 的沟道区；第十有源部 610 连接于第六有源部 66 和第七有源部 67 之间；第十一有源部 611 连接于第一有源部 61 和第二有源部 62 之间；第十二有源部 612 连接于第七有源部 67 远离第六有源部 66 的一端；第十三有源部 613 连接于第四有源部 64 远离第三有源部 63 的一端；第十四有源部 614 连接于第一有源部 61 远离第二有源部 62 的一端；第十五有源部 615 连接于第五有源部 65 远离第四有源部 64 的一端。其中，有源层可以由多晶硅材料形成，相应的，第一晶体管 T1、第二晶体管 T2、驱动晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 可以为 P 型的低温多晶硅薄膜晶体管。

如图 25、27、31 所示，第一导电层可以包括：多个第一导电部 11、第一栅线 G1、使能信号线 EM、第一复位信号线 Re1、第二复位信号线 Re2。第一栅线 G1 在衬底基板上的正投影、使能信号线 EM 在衬底基板上的正投影、第一复位信号线 Re1 在衬底基板上的正投影、第二复位信号线 Re2 在衬底基板上的正投影均可以沿第一方向 X 延伸，第一方向 X 和第二方向 Y 可以相交，例如，第一方向 X 可以为行方向，第二方向 Y 可以为列方向。第一栅线 G1 可以用于提供第一栅极驱动信号端；使能信号线 EM 可以用于提供使能信号端；第一复位信号线 Re1 可以用于提供第一复位信号端；第二复位信号线 Re2 可以用于提供第二复位信号端。其中，第一栅线 G1 在衬底基板上的正投影覆盖第二有源部 62、第四有源部 64 在衬底基板上的正投影，第一栅线 G1 的部分结构用于分别形成第二晶体管 T2 的栅极和第四晶体管的栅极。使能信号线 EM 在衬底基板上的正投影覆盖第五有源部 65 在衬底基板上的正投影、第六有源部 66 在衬底基板上的正投影，使能信号线 EM 的部分结构可以分别用于形成第五晶体管 T5、第六晶体管 T6 的栅极。第一复位信号线 Re1 在衬底基板上的正投影覆盖第一有源部 61 在衬底基板上的正投影，第一复位信号线 Re1 的部分结构用于形成第一晶体管 T1 的栅极。第二复位信号线 Re2 在衬底基板上的正投影可以覆盖第七有源部 67 在衬底基板上的正投影，第二复位信号线 Re2 的部分结构可以用于形成第七晶体管 T7 的栅极。第一导电部 11 和子像素驱动电路对应设置，第一导电部 11 在衬底基板上的正投影覆盖与其对应子像素驱动电路中第三有源部 63 在衬底基板上的正投影，第一导电部 11 可以用于形成多个驱动晶体管 T3 的栅极和电容 C 的第一电极。如图 31 所示，本行像素驱动电路中的第一复位信号线 Re1 可以复用为相邻上一行像素驱动电路中的第二复位信号线 Re2，该设置可以提高像素驱动电路的集成度，以降低像素驱动电路的布图面积。此外，该显示面板可以利用第一导电层为掩膜对有源层进行导体化处理，即有源层中被第一导电层覆盖的区域可以形成晶体管的沟道区，未被第一导电层覆盖的区域形成导体结构。

如图 25、28、32 所示，第二导电层可以包括：第一初始信号线 Vinit1、第二初始信号线 Vinit2、第三导电部 23。第一初始信号线

Vinit1 在衬底基板上的正投影、第二初始信号线 Vinit2 在衬底基板上的正投影沿第一方向 X 延伸，第一初始信号线 Vinit1 用于提供第一初始信号端，第二初始信号线 Vinit2 用于提供第二初始信号端。相邻上一行子像素驱动电路中所述第二初始信号线 Vinit2 在所述衬底基板上的正投影位于本行子像素驱动电路中所述第一复位信号线 Re1 在所述衬底基板上的正投影和本行子像素驱动电路中所述第一栅线 G1 在所述衬底基板上的正投影之间。第三导电部 23 在衬底基板上的正投影和第一导电部 11 在所述衬底基板上的正投影至少部分交叠，第三导电部 23 用于形成电容 C 的第二电极。第二导电层还可以包括：第一凸起部 21、第二凸起部 22，第一凸起部 21 连接于所述第二初始信号线 Vinit2，所述第一凸起部 21 在所述衬底基板上的正投影沿所述第二方向 Y 延伸，且所述第一凸起部 21 在所述衬底基板上的正投影和所述第十一有源部 611 在所述衬底基板上的正投影至少部分交叠。第一凸起部 21 可以对第十一有源部 611 起到稳压作用，从而降低驱动晶体管栅极的电压波动。第二凸起部 22 连接于所述第二初始信号线 Vinit2，所述第二凸起部 22 在所述衬底基板上的正投影沿所述第二方向 Y 延伸，且所述第二凸起部 22 在所述衬底基板上的正投影和所述第三子有源部 623 在所述衬底基板上的正投影至少部分交叠。第二凸起部 22 可以对第三子有源部 623 起到稳压作用，从而可以改善由于第三子有源部 623 电压波动而产生向第二晶体管 T2 源漏极漏电的问题。

如图 25、29、33 所示，第三导电层可以包括数据线 Da、第二桥接部 32、第六桥接部 36、第七桥接部 37、第八桥接部 38、第十桥接部 310。其中，数据线 Da 在衬底基板上的正投影沿第二方向 Y 延伸，数据线 Da 用于提供数据信号端。数据线 Da 可以通过过孔（黑色方块）连接第十三有源部 613，以连接第四晶体管 T4 的第一极。第二桥接部 32 可以分别过孔连接第一导电部 11、第十一有源部 611，以连接驱动晶体管 T3 的栅极和第一晶体管 T1 的第二极、第二晶体管 T2 的第一极。第三导电部 23 上可以形成有开口 231，连接于第一导电部 11 和第二桥接部 32 之间的过孔在衬底基板上的正投影可以位于开口 231 在衬底基板上的正投影内，以使连接于第一导电部 11 和第二桥接部 32 之间的过孔和第三导电部 23 绝

缘设置。第六桥接部 36 可以通过过孔连接第十有源部 610，以连接第六晶体管 T6 的第二极。第七桥接部 37 可以分别通过过孔连接第一初始信号线 Vinit1 和第十四有源部，以连接第一晶体管的第一极和第一初始信号端。第八桥接部 38 可以分别通过过孔连接第十二有源部 612 和第二初始信号线 Vinit2，以连接第七晶体管 T7 的第一极和第二初始信号端。第十桥接部 310 可以分别通过过孔连接第三导电部 23 和第十五有源部 615，以连接电容的第二电极和第五晶体管的第一极。

如图 25、30 所示，所述第四导电层可以包括第一桥接部 41、第一电源线子部 VDD，第一桥接部 41 可以通过过孔连接同一像素驱动电路中的所有第六桥接部 36，第一桥接部 41 可以用于连接发光单元的第一电极，以连接第六晶体管的第二极和发光单元的第一电极。第一电源线子部 VDD 包括在衬底基板上的正投影沿第二方向 Y 延伸的部分和沿第一方向 X 延伸的部分，第一电源线子部 VDD 可以用于提供第一电源端，第一电源线子部 VDD 可以通过过孔连接第十桥接部 310，以连接第一电源端和第五晶体管的第一极、电容的第二电极。第一电源线子部 VDD 包括第二导电部 42。第二导电部 42 可以和所述子像素驱动电路对应设置，所述第二导电部 42 在所述衬底基板上的正投影和与其对应的所述子像素驱动电路中第二桥接部 32 在所述衬底基板上的正投影至少部分交叠，且所述第二导电部 42 通过过孔连接与其对应的所述子像素驱动电路中的第十桥接部 310。第二导电部 42 可以屏蔽其他信号对第二桥接部 32 的噪音干扰，以提高驱动晶体管栅极电压的稳定性。其中，在同一所述像素驱动电路中，在所述第一方向 X 上分布的所述第二导电部 42 可以相连接，相连接的第二导电部 42 可以降低第一电源线子部 VDD 的电压，从而降低第一电源线子部 VDD 上电源信号的压降。

如图 34-44 所示，图 34 为本公开显示面板另一种示例性实施例中的结构版图，图 35 为图 34 中有源层的结构版图，图 36 为图 34 中第一导电层的结构版图，图 37 为图 34 中第二导电层的结构版图，图 38 为图 34 中第三导电层的结构版图，图 39 为图 34 中第四导电层的结构版图，图 40 为图 34 中电极层和像素界定层的结构板，图 41 为图 34 中有源层、第一导电层的结构版图，图 42 为图 34 中有源层、第一导电层、第二导电

层的结构版图，图 43 为图 34 中有源层、第一导电层、第二导电层、第三导电层的结构版图，图 44 为图 34 中有源层、第一导电层、第二导电层、第三导电层、第四导电层的结构版图。

如图 34-44 所示，该显示面板可以包括多个像素单元，多个像素单元可以在第一方向 X 和第二方向 Y 上阵列分布，图 34 示出了一个像素单元的结构版图，每个像素单元可以包括在第一方向 X 上分布的多个像素驱动电路，本示例性实施例中，每个像素单元可以包括在第一方向 X 上分布的三个像素驱动电路。图 34 中像素驱动电路可以包括图 25 所示像素驱动电路的全部结构特征。

如图 27、31、34、36、38、41、42 所示，多条所述第一复位信号线中包括第一长复位信号线 LRe1 和第一短复位信号线 SRe1，所述第一长复位信号线 LRe1 和位于同一行的所述子像素驱动电路对应设置，所述第一长复位信号线 LRe1 连接与其对应的所述子像素驱动电路，所述第一短复位信号线 SRe1 和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述第一短复位信号线 SRe1 连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第一短复位信号线 SRe1 在所述衬底基板上的正投影在行方向上间隔设置。多条所述第一栅线中包括第一长栅线 LG1 和第一短栅线 SG1，所述第一长栅线 LG1 和位于同一行的所述子像素驱动电路对应设置，所述第一长栅线 LG1 连接与其对应的所述子像素驱动电路，所述第一短栅线 SG1 和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述第一短栅线 SG1 连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第一短栅线 SG1 在所述衬底基板上的正投影在行方向上间隔设置。多条所述使能信号线 EM 中包括长使能信号线 LEM 和短使能信号线 SEM，所述长使能信号线 LEM 和位于同一行的所述子像素驱动电路对应设置，所述长使能信号线 LEM 连接与其对应的所述子像素驱动电路，所述短使能信号线 SEM 和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述短使能信号线 SEM 连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述短使能信号线 SEM 在所述衬底基板上的正投影在行方向上间隔设置。第三导电层还包括第一连接线 311、第二连接线

312、第三连接线 313；其中，所述第一连接线 311、第二连接线 312、第三连接线 313 在所述衬底基板上的正投影沿所述第二方向 Y 延伸，所述第一连接线 311 分别通过过孔连接所述第一长复位信号线 LRe1 和第一短复位信号线 SRe1，所述第二连接线 312 分别通过过孔连接所述第一长栅线 LG1 和第一短栅线 SG1，所述第三连接线 313 分别通过过孔连接所述长使能信号线 LEM 和短使能信号线 SEM。

如图 28、33、34、37、39、42、43 所示，多条所述第一初始信号线中包括第一长初始信号线 LVinit1 和第一短初始信号线 SVinit1，所述第一长初始信号线 LVinit1 和位于同一行的所述子像素驱动电路对应设置，

10 所述第一长初始信号线 LVinit1 连接与其对应的所述子像素驱动电路，所述第一短初始信号线 SVinit1 和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述第一短初始信号线 SVinit1 连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第一短初始信号线 SVinit1 在所述衬底基板上的正投影在行方向上间隔设置。

15 多条所述第二初始信号线中包括第二长初始信号线 LVinit2 和第二短初始信号线 SVinit2，所述第二长初始信号线 LVinit2 和位于同一行的所述子像素驱动电路对应设置，所述第二长初始信号线 LVinit2 连接与其对应的所述子像素驱动电路，所述第二短初始信号线 SVinit2 和所述像素驱动电路组中同一行所述子像素驱动电路对应设置，所述第二短初始信号线 SVinit2 连接与其对应的所述子像素驱动电路，且同一行子像素驱动电路对应的多条所述第二短初始信号线 SVinit2 在所述衬底基板上的正投影在行方向上间隔设置。所述第三导电层还包括第四连接线 314、第五连接线 315，所述第四连接线 314 分别通过过孔连接第一长初始信号线 LVinit1 和第一短初始信号线 SVinit1，所述第五连接线 315 分别通过过孔连接所述第二长初始信号线 LVinit2 和第二短初始信号线 Svinit2。

20 25

如图 34、38、43 所示，同一像素单元中的三个像素驱动电路形成像素驱动电路组。第三导电层还可以包括第一初始连接线 3Vinit1、第二初始连接线 3Vinit2。第一初始连接线 3Vinit1、第二初始连接线 3Vinit2 在衬底基板上的正投影沿第二方向 Y 延伸。第一初始连接线 3Vinit1 和

30 一系列像素驱动电路组对应设置，第一初始连接线 3Vinit1 通过过孔连接

与其在衬底基板上正投影相交的第一初始连接线，第一初始连接线 3Vinit1 和第一初始连接线形成网格结构，以降低第一初始信号线上的信号的压降。第二初始连接线 3Vinit2 和一系列像素驱动电路组对应设置，第二初始连接线 3Vinit2 通过过孔连接与其在衬底基板上正投影相交的第二初始连接线，第二初始连接线 3Vinit2 和第二初始连接线形成网格结构，以降低第二初始信号线上的信号的压降。像素驱动电路组在所述衬底基板上的正投影位于与其对应的所述第一初始连接线 3Vinit1 和所述第二初始连接线 3Vinit2 在所述衬底基板上的正投影之间。

如图 30、34、39、44 所示，第四导电层还可以包括第一电源连接线 4VDD，第一电源连接线 4VDD 在所述衬底基板上的正投影为环形；其中，第一电源连接线 4VDD 和像素驱动电路组对应设置，像素驱动电路组在所述衬底基板上的正投影位于与其对应的所述第一电源连接线 4VDD 在所述衬底基板上的正投影内。第一电源连接线 4VDD 可以通过过孔连接像素驱动电路组对应的第一电源线子部 VDD。本示例性实施例中，环形指首尾相连的线形成的图像，环形可以矩形、圆形、三角形、多边形等。第四导电层还可以第一连接部 43，第一连接部 43 在所述衬底基板上的正投影沿所述第二方向 Y 延伸，所述第一连接部 43 连接于在所述第二方向上相邻的所述第二导电部 42 和所述第一电源连接线 4VDD 之间。第一连接部 43 可以进一步降低第一电源线 VDD 上电源信号的压降。

如图 34、38、43 所示，所述第三导电层还可以包括：多个第三桥接部 33，所述第三桥接部 33 至少部分结构在所述衬底基板上的正投影位于在所述第二方向 Y 上相邻的两所述第一电源连接线 4VDD 在所述衬底基板上的正投影之间，所述第三桥接部 33 可以分别通过过孔连接与其相邻两所述第一电源连接线。第三桥接部 33 可以连接在第二方向 Y 上分布的第一电源连接线 4VDD。

如图 34、38、43 所示，第三导电层还包括电源桥接线 3VDD，所述电源桥接线 3VDD 在所述衬底基板上的正投影沿第二方向 Y 延伸。其中，所述电源桥接线 3VDD 至少部分结构在所述衬底基板上的正投影位于在所述第一方向 X 上相邻两所述第一电源连接线 4VDD 在所述衬底基板上的正投影之间，且所述电源桥接线 3VDD 分别通过过孔连接与其相邻的两所述第

一电源连接线 4VDD。电源桥接线 3VDD 可以连接使得在第一方向 X 上分布的第一电源连接线 4VDD 相连接。电源桥接线 3VDD、第一电源连接线 4VDD 可以使得第一电源线 VDD 形成网格结构，以降低第一电源线上电源信号的压降。

5 如图 34、40 所示，电极层可以包括多个电极部：第一电极部 G、第二电极部 B、第三电极部 R，各个电极部可以通过过孔连接第一桥接部 41，以连接第六晶体管的第二极。像素界定层上形成有多个像素开口 PH，所述像素开口 PH 与所述电极部对应设置，所述像素开口 PH 在所述衬底基板上的正投影和所述电极部在所述衬底基板上的正投影重合。第一电极部
10 G 可以用于形成显示面板中绿色发光单元的电极部，第二电极部 B 可以用于形成显示面板中蓝色发光单元的电极部，第三电极部 R 可以用于形成红色发光单元的电极部。

 如图 34、39、40、44 所示，第四导电层还可以包括第二电源连接线 4VSS，所述第二电源连接线 4VSS 和所述第一电源连接线 4VDD 对应设置，
15 所述第二电源连接线 4VSS 在所述衬底基板上的正投影为环形，所述第一电源连接线 4VDD 在所述衬底基板上的正投影位于与其对应的所述第二电源连接线 4VSS 在所述衬底基板上的正投影内。电极层还可以包括第一电极环 5VSS，第一电极环 5VSS 在衬底基板上的正投影为环形，第一电极环 5VSS 和第二电源连接线 4VSS 对应设置，且连接与其对应的第二电源连接
20 线 4VSS。显示面板还可以包括公共电极层，公共电极层位于电极层背离衬底基板的一侧，公共电极层可以用于形成发光单元的第二电极，第二电源连接线 4VSS 可以通过第一电极环 5VSS 连接公共电极层。第二电源连接线 4VSS、第一电极环 5VSS 可以降低公共电极层上电源信号的压降。

 如图 45 所示，为图 34 所示显示面板沿虚线 CC 剖开的部分剖视图。
25 该显示面板还可以包括第一绝缘层 92、第二绝缘层 93、介电层 94、钝化层 95、第一平坦层 96、第二平坦层 97。其中，衬底基板 91、有源层、第一绝缘层 92、第一导电层、第二绝缘层 93、第二导电层、介电层 94、第三导电层、钝化层 95、第一平坦层 96、第四导电层、第二平坦层 97、电极层依次层叠设置。第一绝缘层 92、第二绝缘层 93 可以包括氧化硅、
30 氮化硅层中的一层或多层；介电层 94 可以包括氮化硅层；第一平坦层 96、

第二平坦层 97 的材料可以为有机材料，例如聚酰亚胺 (PI)、聚对苯二甲酸乙二醇酯 (PET)、聚萘二甲酸乙二醇酯 (PEN)、硅-玻璃键合结构 (SOG) 等材料。钝化层 95 可以为氧化硅层。衬底基板 91 可以包括依次层叠设置的玻璃基板、阻挡层、聚酰亚胺层，阻挡层可以为无机材料。第一导电层、第二导电层的材料可以是钼、铝、铜、钛、铌其中之一或者合金，或者钼/钛合金或者叠层等。第三导电层、第四导电层的材料可以包括金属材料，例如可以是钼、铝、铜、钛、铌其中之一或者合金，或者钼/钛合金或者叠层等，或者可以是钛/铝/钛叠层。电极层可以包括氧化铟锡层、银层。第一导电层、第二导电层中任一导电层的方块电阻可以大于第三导电层、第四导电层中任一导电层的方块电阻。

如图 46 所示，为本公开显示面板一种示例性实施例的结构示意图。该显示面板的显示区 AA 可以包括正常显示区 A1、压缩区 A2、集成区 A3，压缩区 A2 位于正常显示区 A1 在第一方向 X 上的一侧，集成区 A3 位于压缩区 A2 远离正常显示区 A1 的一侧。位于正常显示区 A1 中的像素单元为第一像素单元，位于压缩区 A2 中的像素单元为第二像素单元。第一像素单元中的像素驱动电路形成第一像素驱动电路组，第二像素单元中的像素驱动电路形成第二像素驱动电路组。第一像素单元的版图结构可以如图 12 或图 34 所示。该显示面板中的压缩区 A2 可以设置一系列或多列像素单元。集成区 A3 可以用于集成栅极驱动电路 GOA。

如图 47-57 所示，图 47 为图 46 中右侧第二像素单元的结构版图，图 48 为图 47 中有源层的结构版图，图 49 为图 47 中第一导电层的结构版图，图 50 为图 47 中第二导电层的结构版图，图 51 为图 47 中第三导电层的结构版图，图 52 为图 47 中第四导电层的结构版图，图 53 为图 47 中电极层和像素界定层的结构板，图 54 为图 47 中有源层、第一导电层的结构版图，图 55 为图 47 中有源层、第一导电层、第二导电层的结构版图，图 56 为图 47 中有源层、第一导电层、第二导电层、第三导电层的结构版图，图 57 为图 47 中有源层、第一导电层、第二导电层、第三导电层、第四导电层的结构版图。

第二像素单元和第一像素单元主要不同在于：

第二像素单元中没有设置第一初始连接线和第二初始连接线。

第二像素单元靠近集成区 A3 的一侧没有设置电源桥接线 3VDD。

第二像素单元将第一电源连接线 4VDD 替换为第三电源连接线 43VDD，第三电源连接线 43VDD 靠近集成区 A3 的一侧开口。

第二像素单元将第二电源连接线 4VSS 替换为第四电源连接线 44VSS，第四电源连接线 44VSS 在第一方向 X 上的两侧开口。

第三电源连接线 43VDD 包括第一侧边 4VDD1，第一侧边 4VDD1 在所述衬底基板上的正投影沿所述第二方向 Y 延伸且位于与其对应的所述第二像素驱动电路组在所述第一方向 X 上的一侧，其中，第一像素单元中第一电源连接线 4VDD 在所述衬底基板上的正投影和所述第一像素驱动电路组在所述衬底基板上的正投影在所述第一方向 X 上的距离大于所述第一侧边 4VDD1 在所述衬底基板上的正投影和所述第二像素驱动电路组在所述衬底基板上的正投影在所述第一方向 X 上的距离。

第二像素单元将第一电极环 5VSS 替换为第二电极线 52VSS，第二电极线 52VSS 靠近集成区 A3 的一侧开口。

5 第二电极线 52VSS 包括第二侧边 5VSS2，所述第二侧边 5VSS2 至少部分结构在所述衬底基板上的正投影位于所述第一侧边 4VDD1 在所述衬底基板上的正投影远离所述第二像素驱动电路组在所述衬底基板上的正投影的一侧；其中，所述第一侧边 4VDD1 在所述衬底基板上的正投影和所述第二侧边 5VSS2 在所述衬底基板上的正投影在所述第一方向 X 上的距离小于所述第一电极环 5VSS 在所述衬底基板上的正投影和所述第一电源
10 连接线 4VDD 在所述衬底基板上的正投影在所述第一方向 X 上的距离。如图 47 所示，第一侧边 4VDD1 在所述衬底基板上的正投影和所述第二侧边 5VSS2 在所述衬底基板上的正投影相交，第一侧边 4VDD1 在所述衬底基板上的正投影和所述第二侧边 5VSS2 在所述衬底基板上的正投影在第一方
15 向上的距离为 0。

上述区别设置可以降低第二像素单元中像素电路层（包括有源层、第一导电层、第二导电层、第三导电层、第四导电层）在第一方向上的尺寸，从而可以空余出设置栅极驱动电路 GOA 的集成区 A3。其中，集成区 A3 上设置有发光单元。

20 图 46 所示显示面板左侧第二像素单元的版图结构可以和右侧像素单

元的版图结构相同或近似。

需要说明的是，如图 3、11、12、21、22、25、33、34、43、44、47、56、57 所示，画于第三导电层背离衬底基板一侧的黑色方块表示第三导电层连接面向衬底基板一侧的其他层级的过孔；画于第四导电层背离衬底基板一侧的黑色方块表示第四导电层连接面向衬底基板一侧的其他层级的过孔；画于电极层背离衬底基板一侧的黑色方块表示电极层连接面向衬底基板一侧的其他层级的过孔。该黑色方块表示过孔的位置，不同位置黑色方块所表示的不同过孔可以贯穿于不同绝缘层。

需要说明的是，本公开中的附图比例可以作为实际工艺中的参考，但不限于此，例如：沟道的宽长比、各个膜层的厚度和间距、各个信号线的宽度和间距，可以根据实际需要进行调整。显示基板中像素的个数和每个像素中子像素的个数也不是限定为图中所示的数量，本公开中所描述的附图仅是结构示意图。此外，第一、第二等限定词仅用于限定不同的结构名称，其并没有特定顺序和数量的含义。在本示例性实施例中，某一结构在衬底基板上的正投影沿某一方向延伸，可以理解为该结构在衬底基板上的正投影沿该方向直线延伸或弯折延伸。晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极（漏电极端子、漏区域或漏电极）与源极（源电极端子、源区域或源电极）之间具有沟道区，并且电流能够流过漏极、沟道区以及源极。在本示例性实施例中，沟道区是指电流主要流过的区域。在本示例性实施例中，第一极可以为漏极、第二极可以为源极，或者第一极可以为源极、第二极可以为漏极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况下，“源极”及“漏极”的功能有时互相调换。因此，在本示例性实施例中，“源极”和“漏极”可以互相调换。另外，栅极还可以称为控制极。

本示例性实施例还提供一种显示装置，其中，包括上述的显示面板。该显示装置可以为手机、平板电脑、电视等显示装置。

本领域技术人员在考虑说明书及实践这里公开的内容后，将容易想到本公开的其他实施例。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明

书和实施例仅被视为示例性的，本公开的真正范围和精神由权利要求指出。

本公开中的附图只涉及本公开涉及到的结构，其他结构可参考通常设计。在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。本领域的普通技术人员应当理解，可以对本公开的技术方案进行修改或者等同替换，而不脱离本公开技术方案的精神和范围，均应涵盖在本公开的权利要求的范围当中。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限定。

权利要求

1、一种像素驱动电路，其中，所述像素驱动电路包括：

多个驱动晶体管，每个所述驱动晶体管的第二极均连接同一发光单元的第一电极，每个所述驱动晶体管用于根据其栅极电压向所述发光单元输入驱动电流。

2、根据权利要求 1 所述的像素驱动电路，其中，每个所述驱动晶体管的栅极均连接第一节点，每个所述驱动晶体管的第一极均连接第一电源端。

3、根据权利要求 2 所述的像素驱动电路，其中，所述像素驱动电路还包括：

数据写入电路，连接数据信号端、每个所述驱动晶体管的第一极、第一栅极驱动信号端，用于响应所述第一栅极驱动信号端的信号以将所述数据信号端的信号传输到每个所述驱动晶体管的第一极；

补偿电路，连接所述第一节点、每个所述驱动晶体管的第二极、第二栅极驱动信号端，用于响应所述第二栅极驱动信号端的信号以连通所述第一节点和每个所述驱动晶体管的第二极；

发光控制电路，连接所述第一电源端、每个所述驱动晶体管的第一极、使能信号端、每个所述驱动晶体管的第二极、发光单元的第一电极，用于响应所述使能信号端的信号以连通所述第一电源端和每个所述驱动晶体管的第一极，以及用于响应所述使能信号端的信号以连通每个所述驱动晶体管的第二极和所述发光单元的第一电极；

第一复位电路，连接第一初始信号端、第一复位信号端、所述第一节点，用于响应所述第一复位信号端的信号以将所述第一初始信号端的信号传输到所述第一节点；

第二复位电路，连接第二初始信号端、第二复位信号端、发光单元的第一电极，用于响应所述第二复位信号端的信号以将所述第二初始信号端的信号传输到所述发光单元的第一电极；

存储电路，连接于所述第一节点和所述第一电源端之间。

4、根据权利要求 3 所述的像素驱动电路，其中，所述数据写入电路包括：

第四晶体管，所述第四晶体管的第一极连接所述数据信号端，第二极连接每个所述驱动晶体管的第一极，栅极连接第一栅极驱动信号端；

所述补偿电路包括：

第二晶体管，所述第二晶体管的第一极连接所述第一节点，第二极连接每个所述驱动晶体管的第二极，栅极连接所述第二栅极驱动信号端；

所述发光控制电路包括：

第五晶体管，第一极连接所述第一电源端，第二极连接每个所述驱动晶体管的第一极，栅极连接所述使能信号端；

第六晶体管，第一极连接每个所述驱动晶体管的第二极，第二极连接所述发光单元的第一电极，栅极连接所述使能信号端；

所述第一复位电路包括：

第一晶体管，第一极连接所述第一初始信号端，第二极连接所述第一节点，栅极连接所述第一复位信号端；

所述第二复位电路包括：

第七晶体管，第一极连接第二初始信号端，第二极连接所述发光单元的第一电极，栅极连接所述第二复位信号端；

所述存储电路包括：

电容，第一电极连接所述第一节点，第二电极连接所述第一电源端。

5、根据权利要求1所述的像素驱动电路，其中，所述像素驱动电路包括多个子像素驱动电路，每个所述子像素驱动电路均包括至少一个所述驱动晶体管，且每个所述子像素驱动电路连接同一所述发光单元，所述子像素驱动电路用于向所述发光单元提供驱动电流。

6、根据权利要求5所述的像素驱动电路，其中，所述子像素驱动电路还包括：

数据写入电路，连接数据信号端、所述驱动晶体管的第一极、第一栅极驱动信号端，用于响应所述第一栅极驱动信号端的信号以将所述数据信号端的信号传输到所述驱动晶体管的第一极；

补偿电路，连接所述驱动晶体管的栅极、所述驱动晶体管的第二极、第二栅极驱动信号端，用于响应所述第二栅极驱动信号端的信号以连通所述驱动晶体管的栅极和所述驱动晶体管的第二极；

发光控制电路，连接第一电源端、所述驱动晶体管的第一极、使能信号端、所述驱动晶体管的第二极、发光单元的第一电极，用于响应所述使能信号端的信号以连通所述第一电源端和所述驱动晶体管的第一极，以及用于响应所述使能信号端的信号以连通所述驱动晶体管的第二极和所述发光单元的第一电极；

第一复位电路，连接第一初始信号端、第一复位信号端、所述驱动晶体管的栅极，用于响应所述第一复位信号端的信号以将所述第一初始信号端的信号传输到所述驱动晶体管的栅极；

第二复位电路，连接第二初始信号端、第二复位信号端、发光单元的第一电极，用于响应所述第二复位信号端的信号以将所述第二初始信号端的信号传输到所述发光单元的第一电极；

存储电路，连接于所述驱动晶体管的栅极和所述第一电源端之间。

7、根据权利要求6所述的像素驱动电路，其中，所述数据写入电路包括：

第四晶体管，第一极连接所述数据信号端，第二极连接所述驱动晶体管的第一极，栅极连接第一栅极驱动信号端；

所述补偿电路包括：

第二晶体管，所述第二晶体管的第一极连接所述驱动晶体管的栅极，第二极连接所述驱动晶体管的第二极，栅极连接所述第二栅极驱动信号端；

所述发光控制电路包括：

第五晶体管，第一极连接所述第一电源端，第二极连接所述驱动晶体管的第一极，栅极连接所述使能信号端；

第六晶体管，第一极连接所述驱动晶体管的第二极，第二极连接所述发光单元的第一电极，栅极连接所述使能信号端；

所述第一复位电路包括：

第一晶体管，第一极连接所述第一初始信号端，第二极连接所述驱动晶体管的栅极，栅极连接所述第一复位信号端；

所述第二复位电路包括：

第七晶体管，第一极连接第二初始信号端，第二极连接所述发光单

元的第一电极，栅极连接所述第二复位信号端；

所述存储电路包括：

电容，第一电极连接所述驱动晶体管的栅极，第二电极连接所述第一电源端。

5 8、一种显示面板，其中，所述显示面板包括权利要求 1-7 任一项所述的像素驱动电路。

9、一种显示面板，其中，所述显示面板包括发光单元和用于驱动所述发光单元的像素驱动电路，所述像素驱动电路包括多个驱动晶体管，每个所述驱动晶体管的第二极均连接同一发光单元的第一电极，每个所述驱动晶体管用于根据其栅极电压向所述发光单元输入驱动电流；

所述显示面板还包括：

衬底基板；

有源层，位于所述衬底基板的一侧，所述有源层包括多个第三有源部，所述第三有源部用于形成所述驱动晶体管的沟道区。

15 10、根据权利要求 9 所述的显示面板，其中，所述有源层还包括第八有源部、第九有源部，同一所述像素驱动电路中的所述第三有源部并联于所述第八有源部和所述第九有源部之间。

11、根据权利要求 10 所述的显示面板，其中，所述第八有源部在所述衬底基板上的正投影和所述第九有源部在所述衬底基板上的正投影沿第二方向延伸；

同一所述像素驱动电路中多个所述第三有源部在所述衬底基板上的正投影沿所述第二方向间隔分布。

12、根据权利要求 10 所述的显示面板，其中，所述显示面板还包括：

25 第一导电层，位于所述有源层背离所述衬底基板的一侧，所述第一导电层包括第一导电部，所述第一导电部在所述衬底基板上的正投影覆盖同一所述像素驱动电路每个所述第三有源部在所述衬底基板上的正投影；

所述第一导电部的至少部分结构分别用于形成所述驱动晶体管的栅极。

30 13、根据权利要求 11 所述的显示面板，其中，所述像素驱动电路还

包括第四晶体管、第五晶体管，所述第四晶体管的第一极连接数据线，所述第四晶体管的第二极连接所述驱动晶体管的第一极，所述第五晶体管的第一极连接第一电源线，所述第五晶体管的第二极连接所述驱动晶体管第一极；

5 所述有源层还包括：

第四有源部，连接于所述第八有源部的一端，所述第四有源部用于形成所述第四晶体管的沟道区；

第五有源部，连接于所述第八有源部的另一端，所述第五有源部用于形成所述第五晶体管的沟道区；

10 所述显示面板还包括：第一导电层，所述第一导电层位于所述有源层背离所述衬底基板的一侧，所述第一导电层包括：

第一栅线，所述第一栅线在所述衬底基板上的正投影沿第一方向延伸且覆盖所述第四有源部在所述衬底基板上的正投影，所述第一栅线的部分结构用于形成所述第四晶体管的栅极，所述第一方向和所述第二方向相交；

15

使能信号线，所述使能信号线在所述衬底基板上的正投影沿所述第一方向延伸且覆盖所述第五有源部在所述衬底基板上的正投影，所述使能信号线的部分结构用于形成所述第五晶体管的栅极；

20

所述第三有源部在所述衬底基板上的正投影位于所述第一栅线在所述衬底基板上的正投影和所述使能信号线在所述衬底基板上的正投影之间。

14、根据权利要求 9 所述的显示面板，其中，所述像素驱动电路包括多个子像素驱动电路，多个所述子像素驱动电路在所述衬底基板上的正投影沿第一方向和/或第二方向阵列分布，所述第一方向和所述第二方向相交；

25

每个所述子像素驱动电路均包括所述驱动晶体管，且每个所述子像素驱动电路连接同一所述发光单元，所述子像素驱动电路用于向所述发光单元提供驱动电流；

所述显示面板还包括：

30

有源层，位于所述衬底基板的一侧，所述有源层包括多个第三有源

部，所述第三有源部用于形成所述驱动晶体管的沟道区；

第一导电层，位于所述有源层背离所述衬底基板的一侧，所述第一导电层包括多个间隔设置的第一导电部，所述第一导电部和所述第三有源部对应设置，所述第一导电部在所述衬底基板上的正投影覆盖与其对应的所述第三有源部在所述衬底基板上的正投影，所述第一导电部用于形成所述驱动晶体管的栅极。

15、根据权利要求 14 所述的显示面板，其中，所述子像素驱动电路还包括第六晶体管、第七晶体管，所述第六晶体管的第一极连接所述驱动晶体管的第二极，所述第六晶体管的第二极连接所述发光单元的第一电极，所述第七晶体管的第一极连接第二初始信号线，所述第七晶体管的第二极连接所述发光单元的第一电极；

所述有源层还包括：

第六有源部，连接于所述第三有源部，所述第六有源部用于形成所述第六晶体管的沟道区；

15 第七有源部，连接于所述第六有源部远离所述第三有源部的一端，所述第七有源部用于形成所述第七晶体管的沟道区；

第十有源部，连接于所述第六有源部和所述第七有源部之间；

所述显示面板还包括：

20 第四导电层，位于所述第一导电层背离所述衬底基板的一侧，所述第四导电部包括第一桥接部，所述第一桥接部分别连接同一所述像素驱动电路中的每一所述第十有源部，且所述第一桥接部连接所述发光单元的第一电极。

25 16、根据权利要求 14 所述的显示面板，其中，所述子像素驱动电路还包括第一晶体管、第二晶体管、第七晶体管，所述第一晶体管的第一极连接第一初始信号线，所述第一晶体管的第二极连接所述驱动晶体管的栅极，所述第二晶体管的第一极连接所述驱动晶体管的栅极，所述第二晶体管的第二极连接所述驱动晶体管的第二极，所述第七晶体管的第一极连接第二初始信号线，所述第七晶体管的第二极连接所述发光单元的第一电极；

30 所述有源层还包括：

第一有源部，用于形成所述第一晶体管的沟道区；

第二有源部，用于形成所述第二晶体管的沟道区；

所述第一导电层还包括：

第一复位信号线，在所述衬底基板上的正投影沿所述第一方向延伸，

5 所述第一复位信号线在所述衬底基板上的正投影覆盖所述第一有源部在所述衬底基板上的正投影，所述第一复位信号线的部分结构用于形成所述第一晶体管的栅极；

第一栅线，在所述衬底基板上的正投影沿所述第一方向延伸，所述第一栅线在所述衬底基板上的正投影覆盖所述第二有源部在所述衬底基板上的正投影，所述第一栅线的部分结构用于形成所述第二晶体管的栅极；

所述显示面板还包括第二导电层，所述第二导电层位于所述第一导电层背离所述衬底基板的一侧，所述第二导电层包括：

15 所述第二初始信号线，相邻上一行子像素驱动电路中所述第二初始信号线在所述衬底基板上的正投影位于本行子像素驱动电路中所述第一复位信号线在所述衬底基板上的正投影和本行子像素驱动电路中所述第一栅线在所述衬底基板上的正投影之间。

17、根据权利要求 16 所述的显示面板，其中，所述有源层还包括：

第十一有源部，连接于所述第一有源部和所述第二有源部之间；

20 所述第二导电层还包括：

第一凸起部，连接于所述第二初始信号线，所述第一凸起部在所述衬底基板上的正投影沿所述第二方向延伸，且所述第一凸起部在所述衬底基板上的正投影和所述第十一有源部在所述衬底基板上的正投影至少部分交叠。

25 18、根据权利要求 16 所述的显示面板，其中，所述第二晶体管为双沟道结构，所述第二晶体管的双沟道包括第一沟道和第二沟道，所述第二有源部包括：

第一子有源部，用于形成所述第二晶体管的第一沟道；

第二子有源部，用于形成所述第二晶体管的第二沟道；

30 所述有源层还包括：

第三子有源部，连接于所述第一子有源部和所述第二子有源部之间；
所述第二导电层还包括：

第二凸起部，连接于所述第二初始信号线，所述第二凸起部在所述衬底基板上的正投影沿所述第二方向延伸，且所述第二凸起部在所述衬底基板上的正投影和所述第三子有源部在所述衬底基板上的正投影至少部分交叠。

19、根据权利要求 9 所述的显示面板，其中，所述显示面板的显示区包括正常显示区，所述显示面板还包括位于所述正常显示区的：

第四导电层，位于所述有源层背离所述衬底基板的一侧，所述第四导电层包括第一电源连接线，所述第一电源连接线用于向所述像素驱动电路提供高电平电源信号，所述第一电源连接线在所述衬底基板上的正投影为环形。

20、根据权利要求 19 所述的显示面板，其中，所述显示面板还包括：

第三导电层，位于所述有源层和所述第四导电层之间，所述第三导电层包括电源桥接线，所述电源桥接线在所述衬底基板上的正投影沿第二方向延伸；

其中，所述第一电源连接线至少部分结构在所述衬底基板上的正投影位于在第一方向上相邻两个电源桥接线在所述衬底基板上的正投影之间，且所述电源桥接线分别通过过孔连接所述第一电源连接线，所述第一方向和所述第二方向相交。

21、根据权利要求 19 所述的显示面板，其中，所述像素驱动电路包括第五晶体管，所述第五晶体管的第一极连接第一电源线，所述第五晶体管的第二极连接所述驱动晶体管的第一极；

所述显示面板还包括：

第三导电层，位于所述有源层和所述第四导电层之间，所述第三导电层包括所述第一电源线；

其中，所述第一电源线在所述衬底基板上的正投影沿第二方向延伸，所述第一电源线在所述衬底基板上的正投影和所述第一电源连接线在所述衬底基板上的正投影至少部分交叠，且所述第一电源线通过过孔连接所述第一电源连接线。

22、根据权利要求 19 所述的显示面板，其中，所述像素驱动电路包括多个子像素驱动电路，多个所述子像素驱动电路在所述衬底基板上的正投影沿第一方向和/或第二方向阵列分布，所述第一方向和所述第二方向相交；

5 每个所述子像素驱动电路均包括所述驱动晶体管，且每个所述子像素驱动电路连接同一所述发光单元，所述子像素驱动电路用于向所述发光单元提供驱动电流；

所述子像素驱动电路还包括第五晶体管，所述第五晶体管的第一极连接第一电源线子部，所述第五晶体管的第二极连接所述驱动晶体管的第一极；

所述第四导电层还包括所述第一电源线子部，所述第一电源线子部在所述衬底基板上的正投影包括沿所述第二方向延伸的部分和沿所述第一方向延伸的部分，所述第一电源线子部和所述像素驱动电路对应设置，所述第一电源线子部连接与其对应的所述像素驱动电路中每个所述第五晶体管的

15 第一极，且所述第一电源线子部连接所述第一电源连接线。

23、根据权利要求 22 所述的显示面板，其中，所述子像素驱动电路还包括第二晶体管，所述第二晶体管的第一极连接所述驱动晶体管的栅极，所述第二晶体管的第二极连接所述驱动晶体管的第二极；

所述显示面板还包括：

20 第三导电层，位于所述有源层和所述第四导电层之间，所述第三导电层包括第二桥接部，所述第二桥接部连接所述驱动晶体管的栅极和第二晶体管的第二极；

所述第一电源线子部包括：

多个第二导电部，所述第二导电部和所述子像素驱动电路对应设置，

25 所述第二导电部在所述衬底基板上的正投影和与其对应的所述子像素驱动电路中第二桥接部在所述衬底基板上的正投影至少部分交叠，且所述第二导电部连接与其对应的所述子像素驱动电路中所述第五晶体管的第一极。

24、根据权利要求 23 所述的显示面板，其中，所述第四导电层还包括：

第一连接部，所述第一连接部在所述衬底基板上的正投影沿所述第二方向延伸，所述第一连接部连接于在所述第二方向上相邻的所述第二导电部和所述第一电源连接线之间。

5 25、根据权利要求 19 所述的显示面板，其中，所述第四导电层还包括：

第二电源连接线，所述第一电源连接线在所述衬底基板上的正投影位于与其对应的所述第二电源连接线在所述衬底基板上的正投影以内；

所述显示面板还包括：

10 公共电极层，位于所述第四导电层背离所述衬底基板的一侧，所述公共电极层用于形成所述发光单元的第二电极，所述第二电源连接线通过过孔连接所述公共电极层。

26、根据权利要求 19 所述的显示面板，其中，所述显示面板的显示区还包括压缩区，所述压缩区位于所述正常显示区在第一方向上的一侧；

15 所述显示面板还包括：

多个像素单元，多个所述像素单元中包括第一像素单元和第二像素单元，所述第一像素单元位于所述正常显示区，所述第一像素单元包括在第一方向上分布的多个像素驱动电路，同一所述第一像素单元中的像素驱动电路形成第一像素驱动电路组，所述第二像素单元位于所述压缩区，所述第二像素单元包括在第一方向上分布的多个像素驱动电路，同一所述第二像素单元中的像素驱动电路形成第二像素驱动电路组；

所述第四导电层还包括：

25 第三电源连接线，所述第三电源连接线用于向所述像素驱动电路提供高电平电源信号，所述第三电源连接线和所述第二像素驱动电路组对应设置，所述第三电源连接线包括第一侧边，所述第一侧边在所述衬底基板上的正投影沿第二方向延伸且位于与其对应的所述第二像素驱动电路组在所述衬底基板上的正投影在所述第一方向上的一侧，所述第一方向和第二方向相交；

30 其中，所述第一电源连接线在所述衬底基板上的正投影和所述第一像素驱动电路组在所述衬底基板上的正投影在所述第一方向上的距离大

于所述第一侧边在所述衬底基板上的正投影和所述第二像素驱动电路组在所述衬底基板上的正投影在所述第一方向上的距离。

27、根据权利要求 26 所述的显示面板，其中，所述第四导电层还包括：

5 第二电源连接线，所述第一电源连接线在所述衬底基板上的正投影位于与其对应的所述第二电源连接线在所述衬底基板上的正投影以内；

 第四电源连接线，所述第四电源连接线和所述第三电源连接线对应设置；

 所述显示面板还包括：

10 公共电极层，位于所述第四导电层背离所述衬底基板的一侧，所述公共电极层用于形成所述发光单元的第二电极，所述第二电源连接线和所述第四电源连接线均与所述公共电极层电连接；

 电极层，位于所述第四导电层和所述公共电极层之间，所述电极层包括第一电极环和第二电极线；

15 所述第一电极环连接于所述第二电源连接线和所述公共电极层之间，所述第一电极环在所述衬底基板上的正投影为环形，所述第一电源连接线在所述衬底基板上的正投影位于所述第一电极环在所述衬底基板上的正投影内；

 所述第二电极线连接于所述第四电源连接线和所述公共电极层之间，
20 所述第二电极线包括第二侧边，所述第二侧边至少部分结构在所述衬底基板上的正投影位于所述第一侧边在所述衬底基板上的正投影远离所述第二像素驱动电路组在所述衬底基板上的正投影的一侧；

 所述第一侧边在所述衬底基板上的正投影和所述第二侧边在所述衬底基板上的正投影在所述第一方向上的距离小于所述第一电源连接线在
25 所述衬底基板上的正投影和所述第一电极环在所述衬底基板上的正投影在所述第一方向上的距离。

28、一种显示装置，其中，所述显示装置包括权利要求 9-27 任一项所述的显示面板。

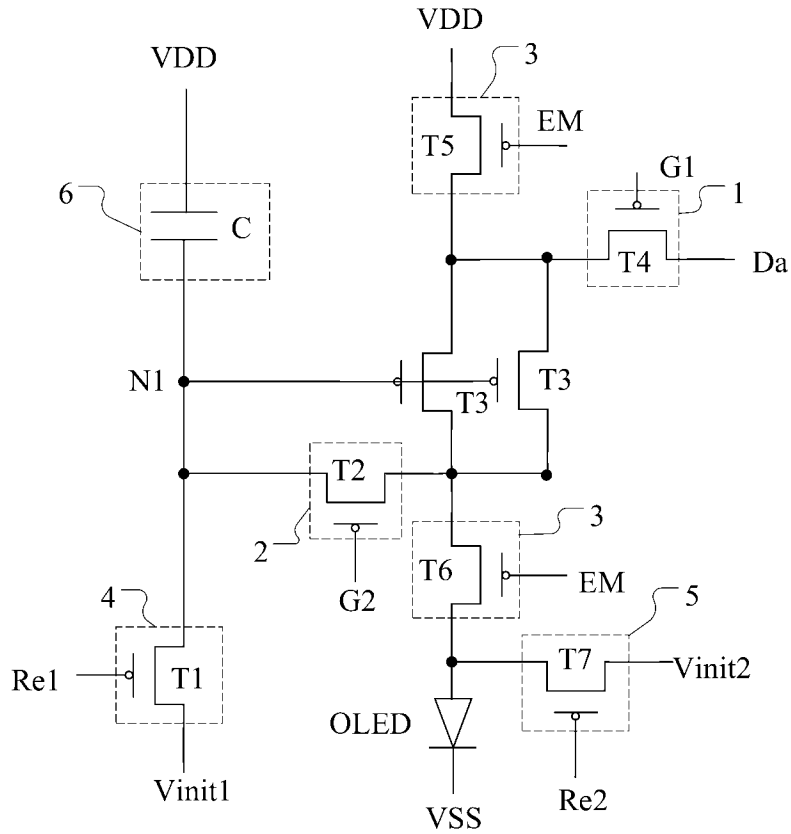


图 1

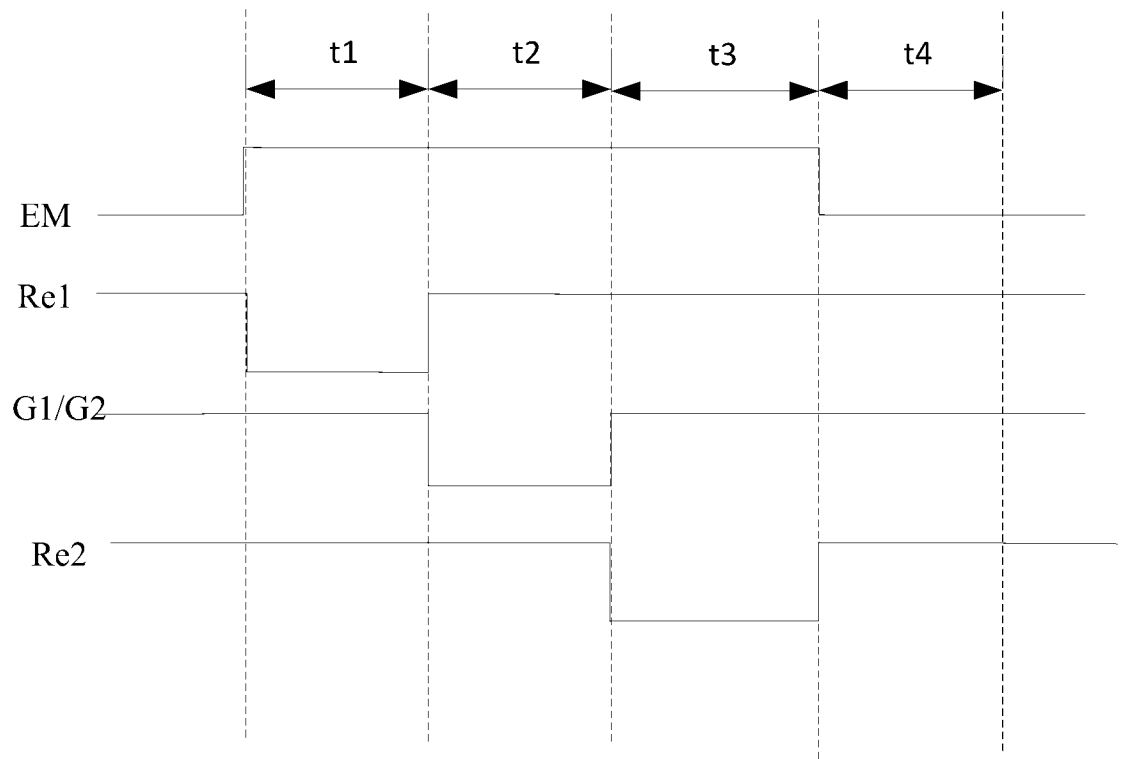


图 2

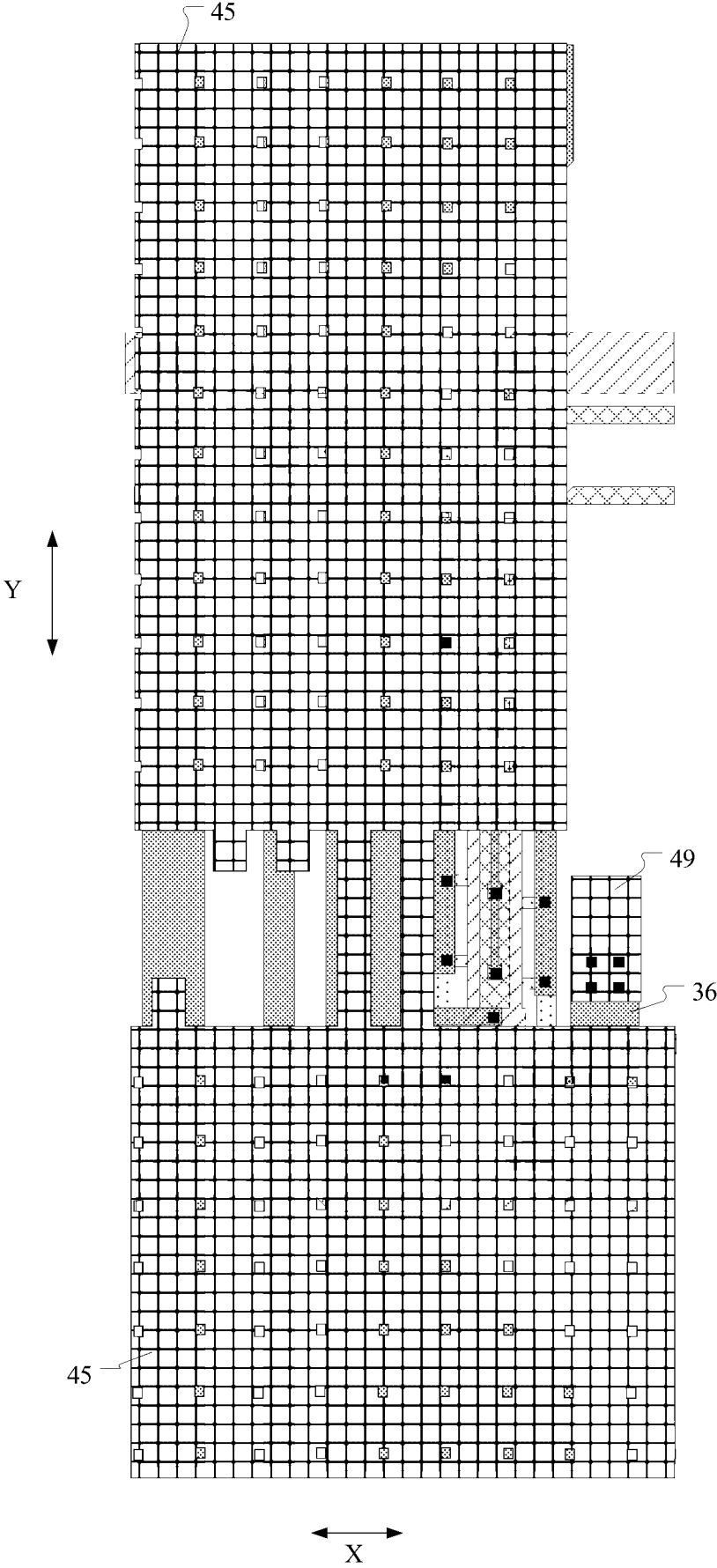


图 3

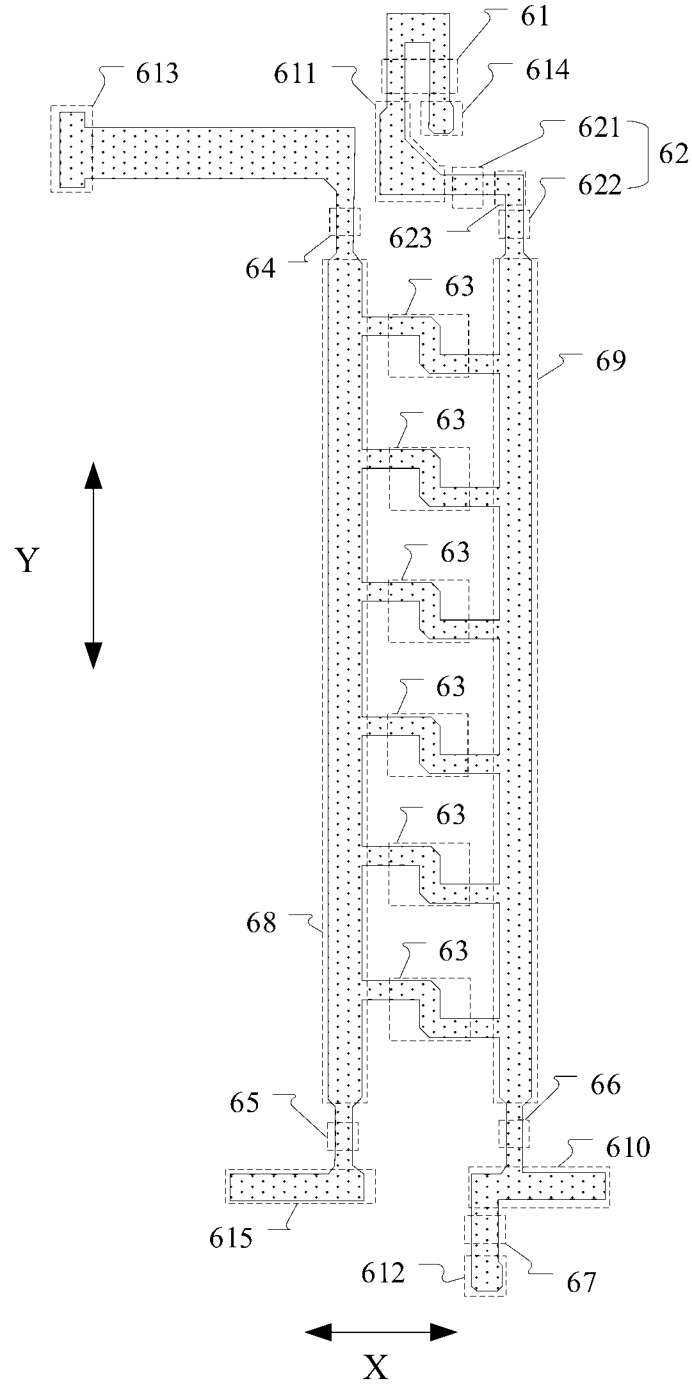


图 4

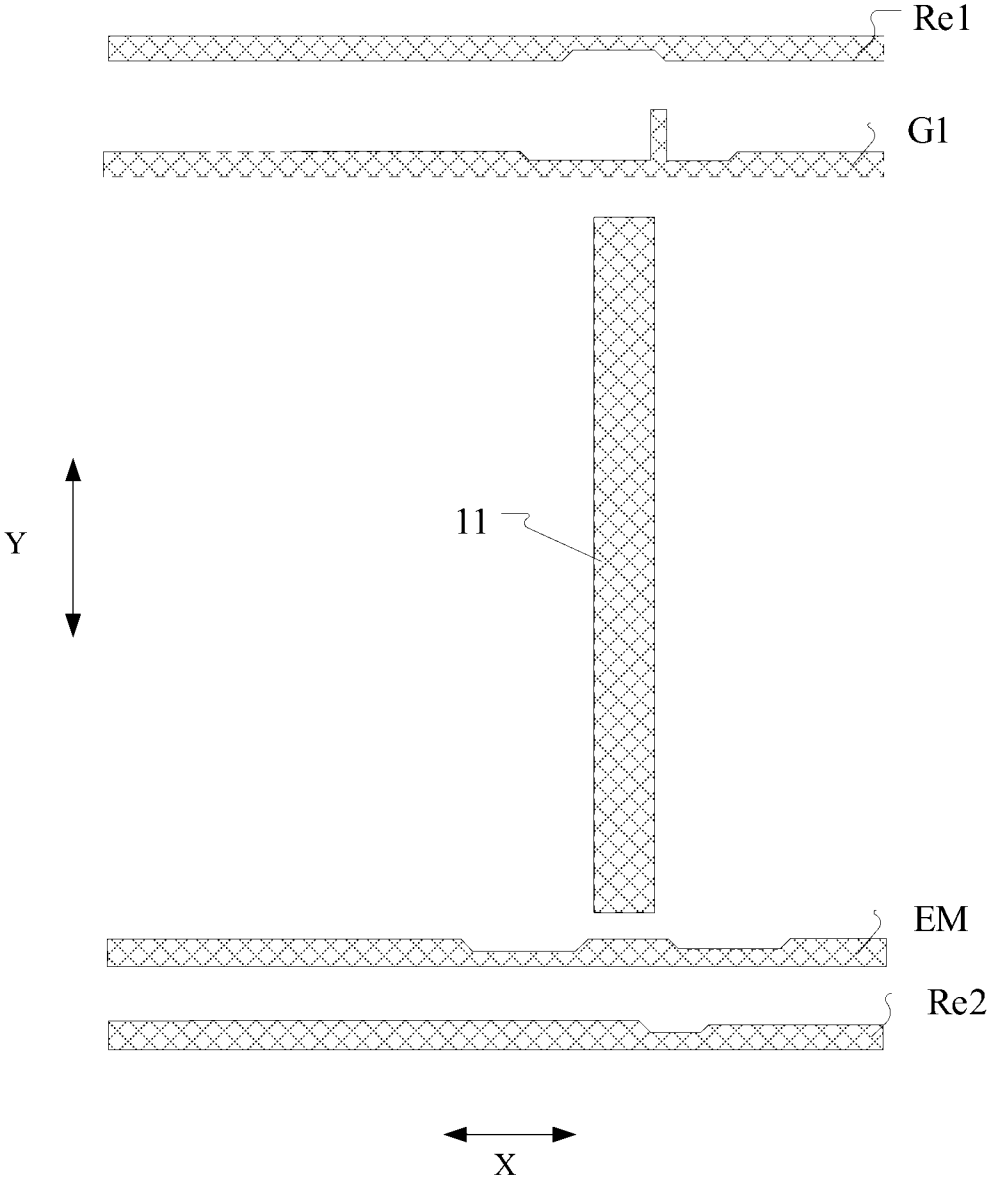


图 5

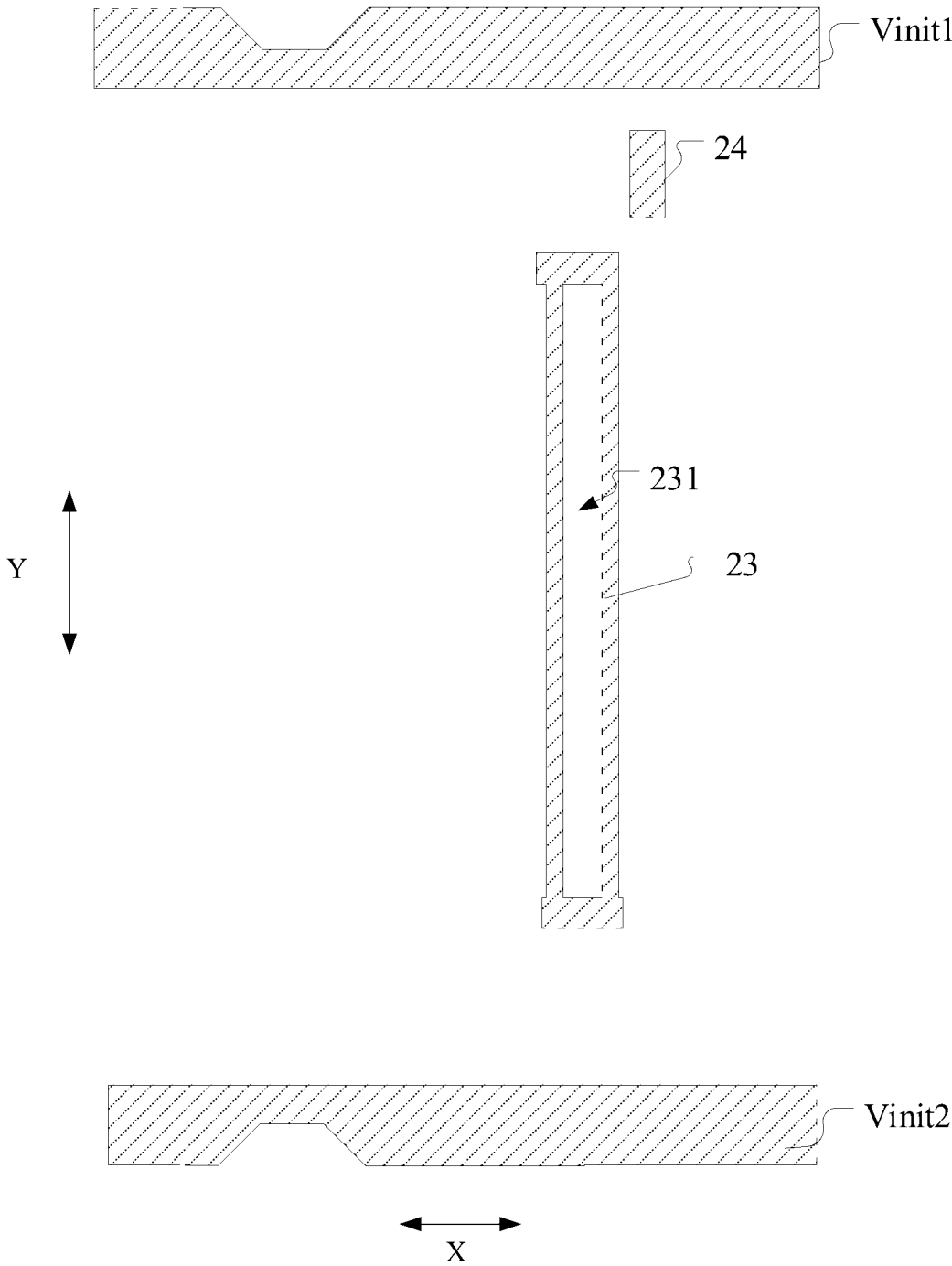


图 6

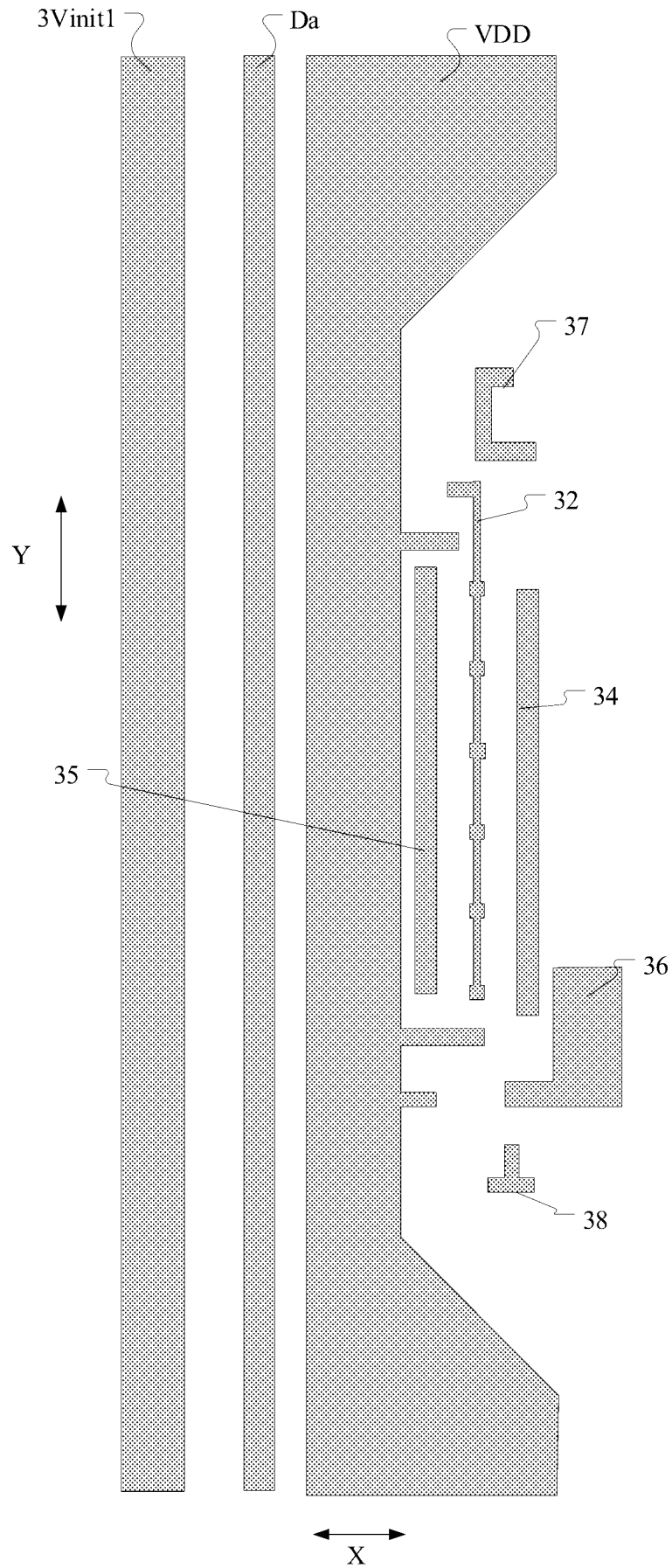


图 7

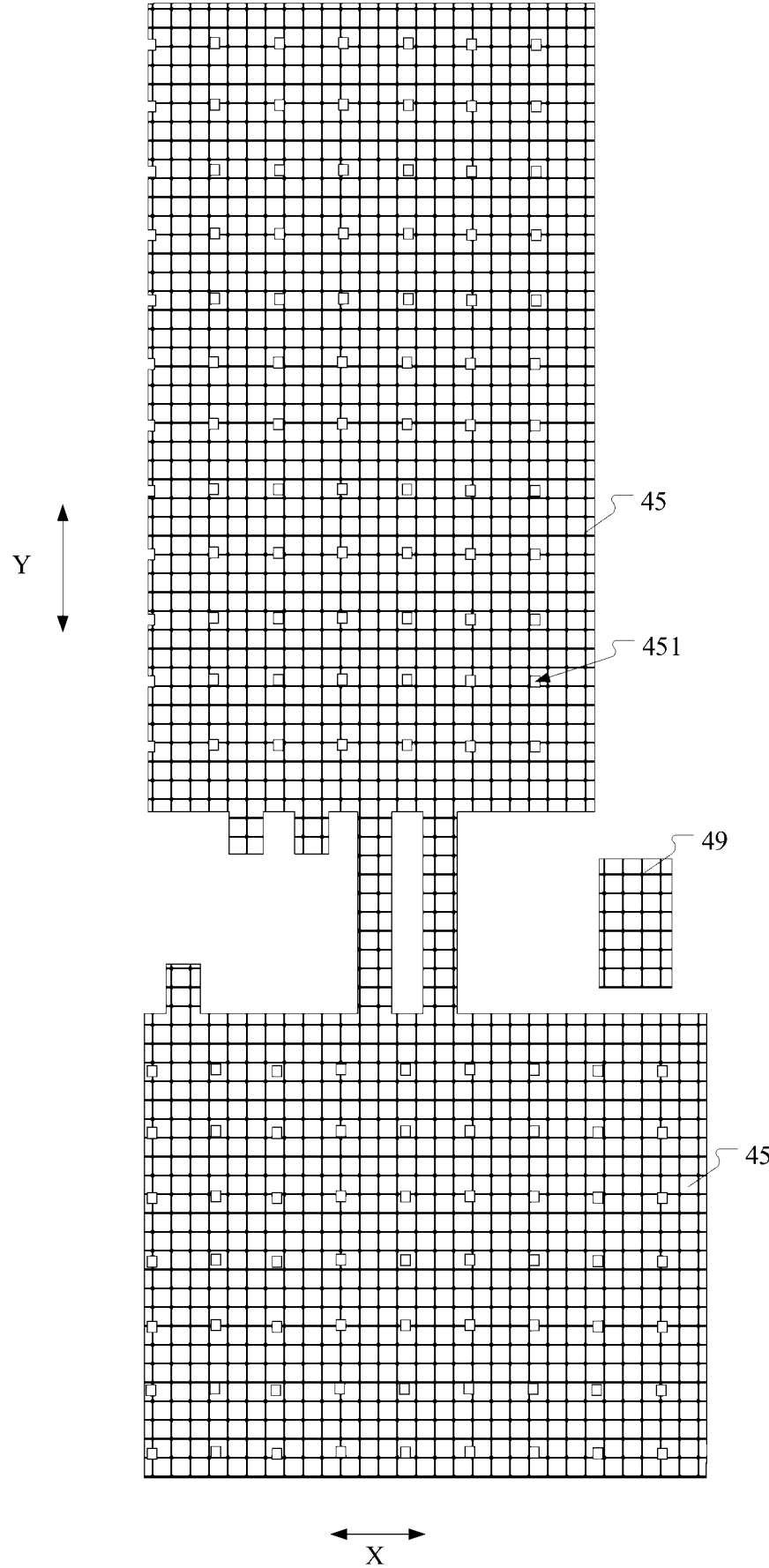


图 8

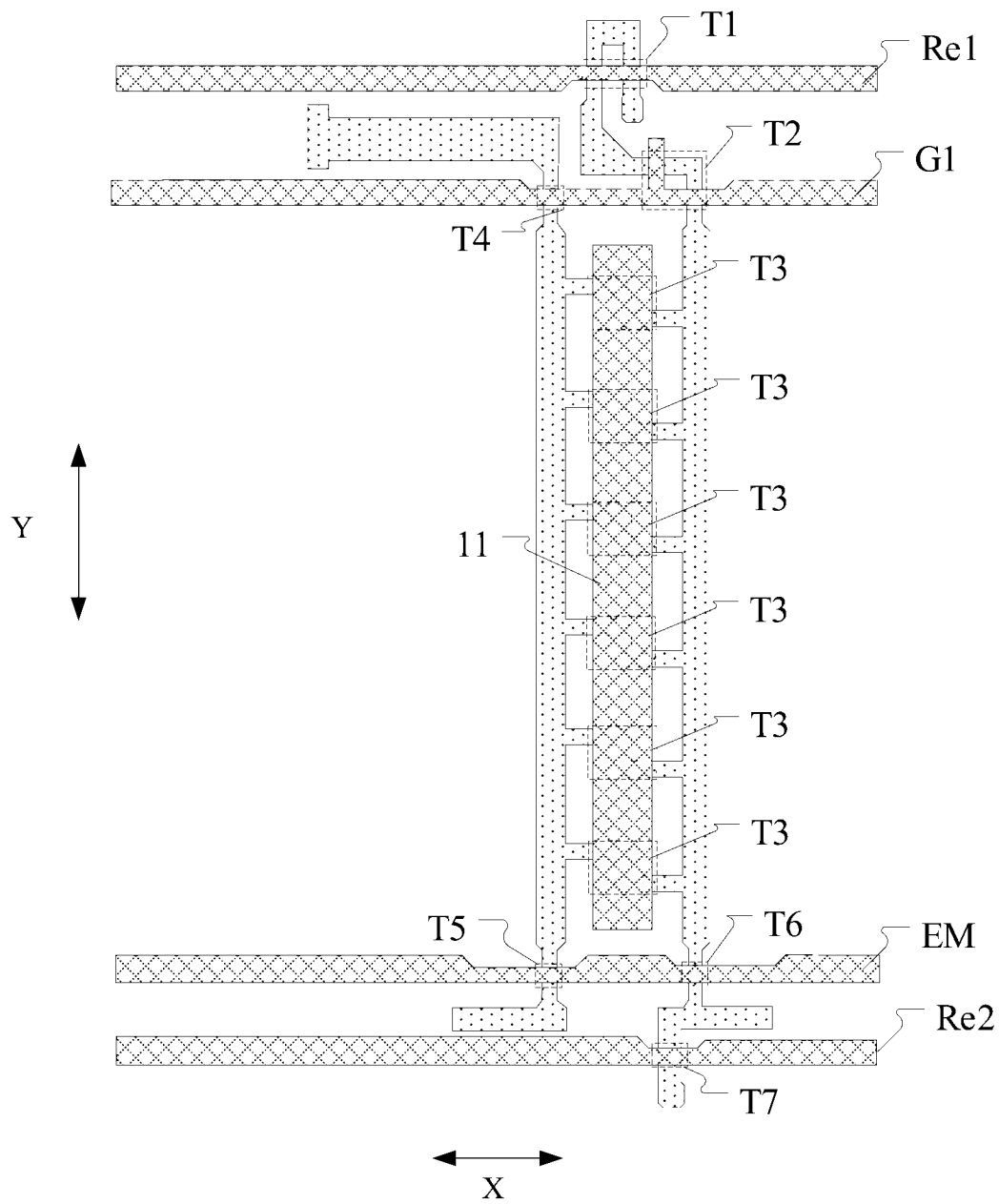


图 9

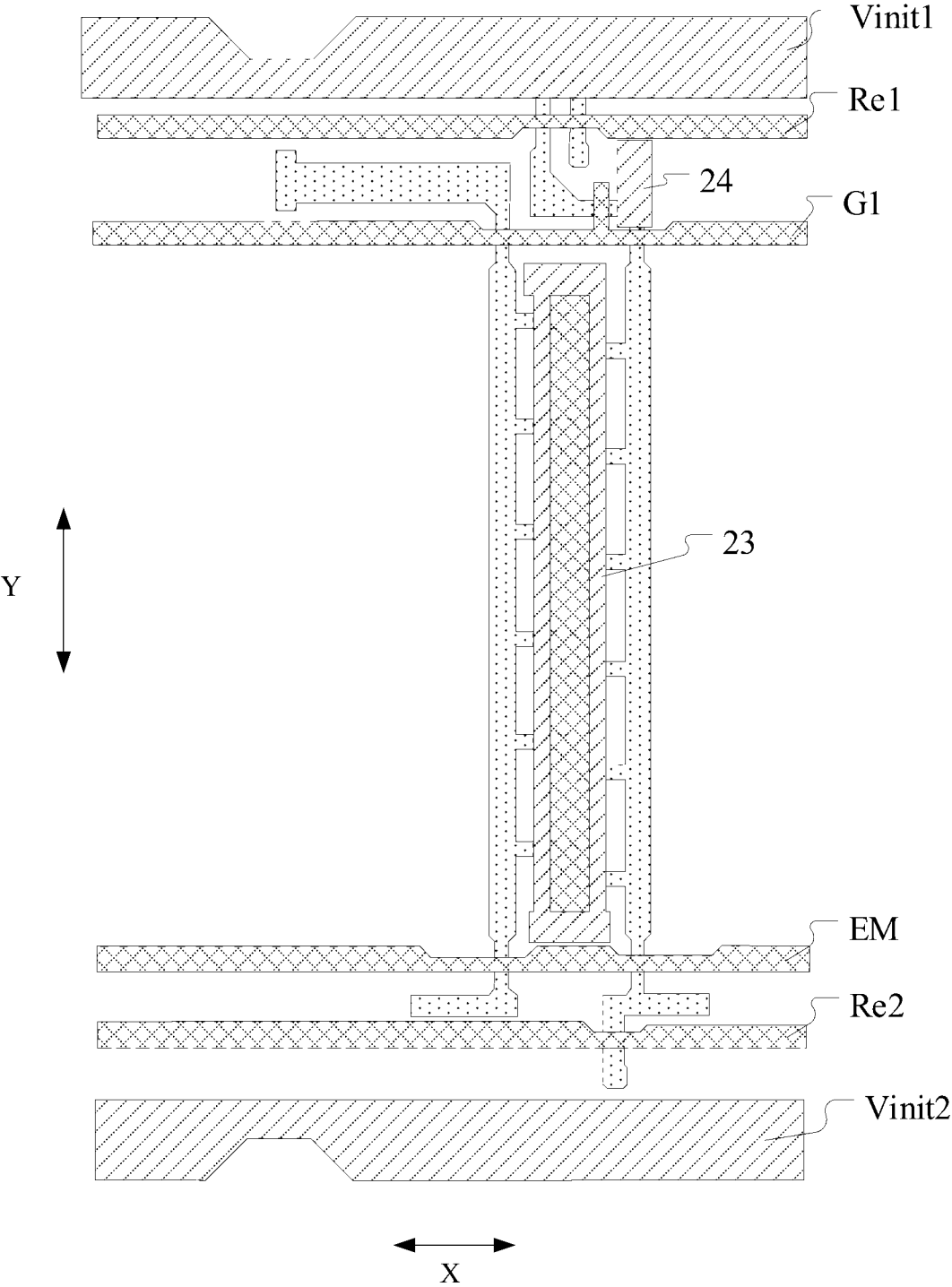


图 10

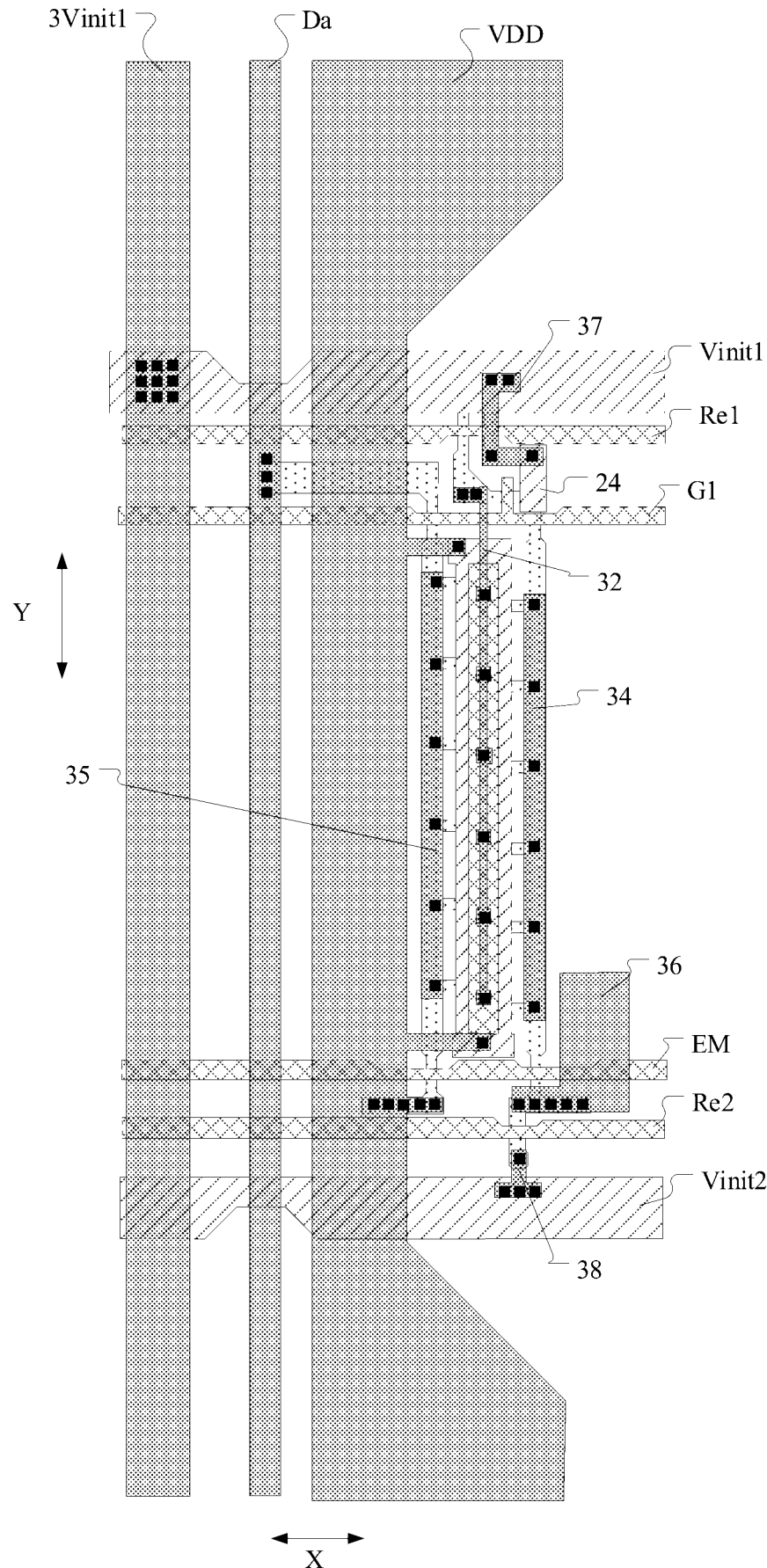


图 11

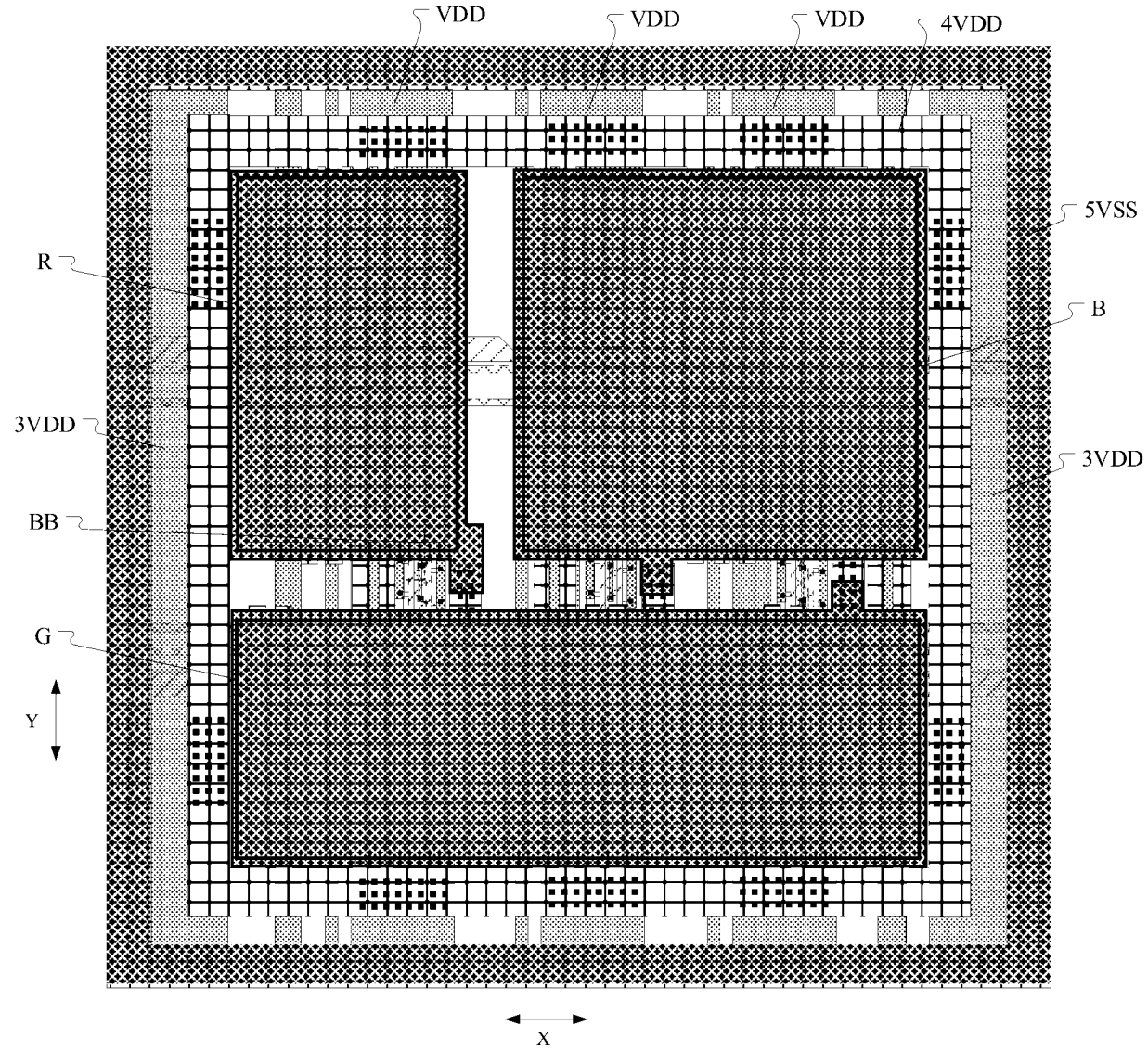


图 12

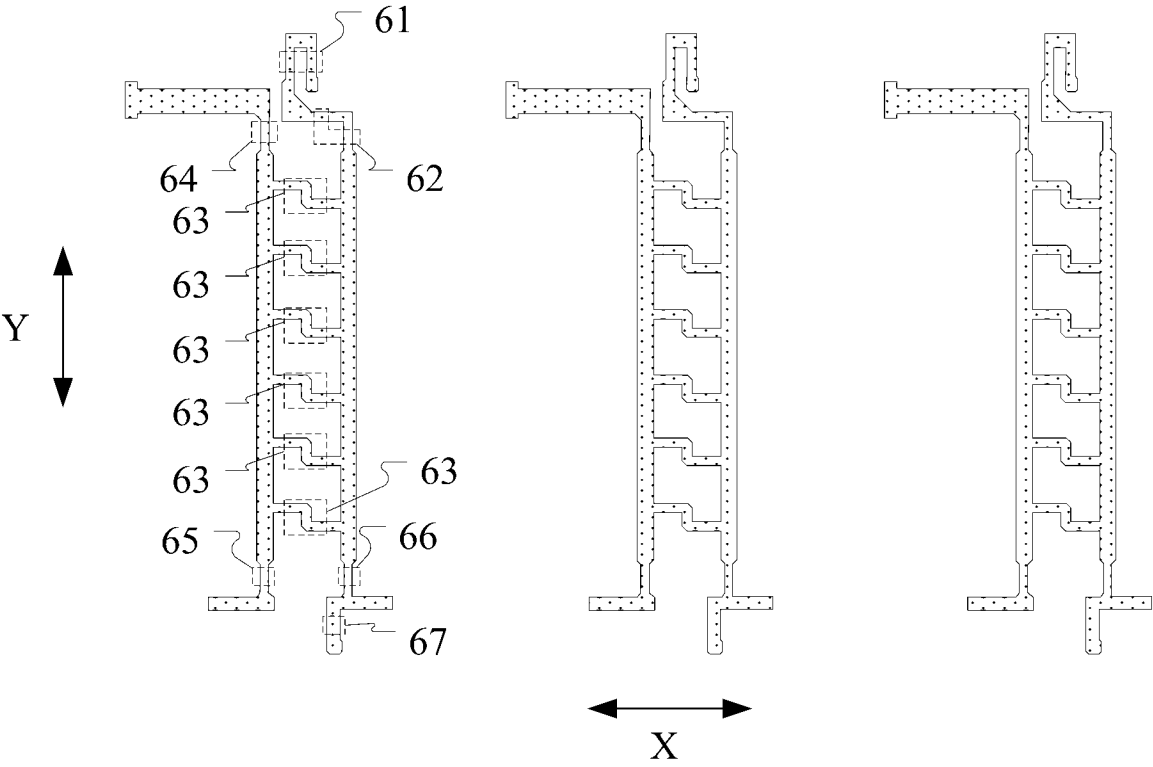


图 13

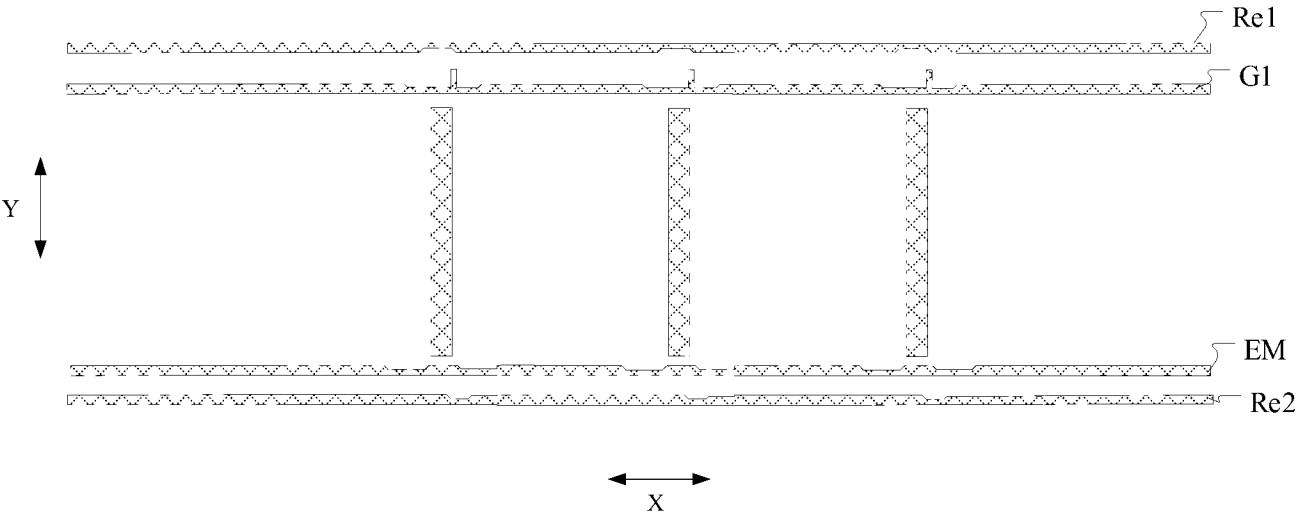


图 14

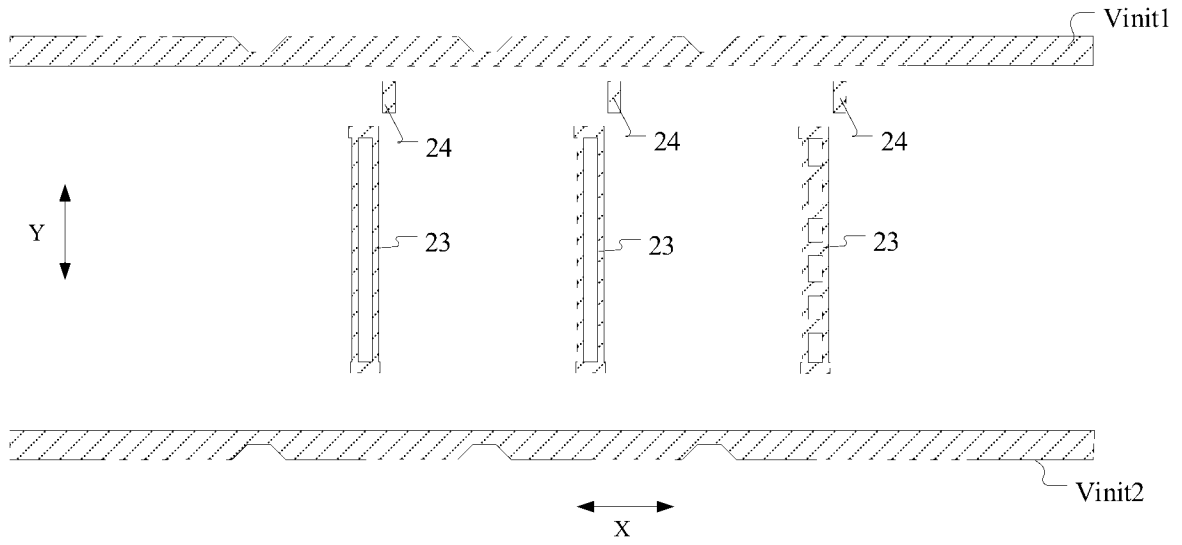


图 15

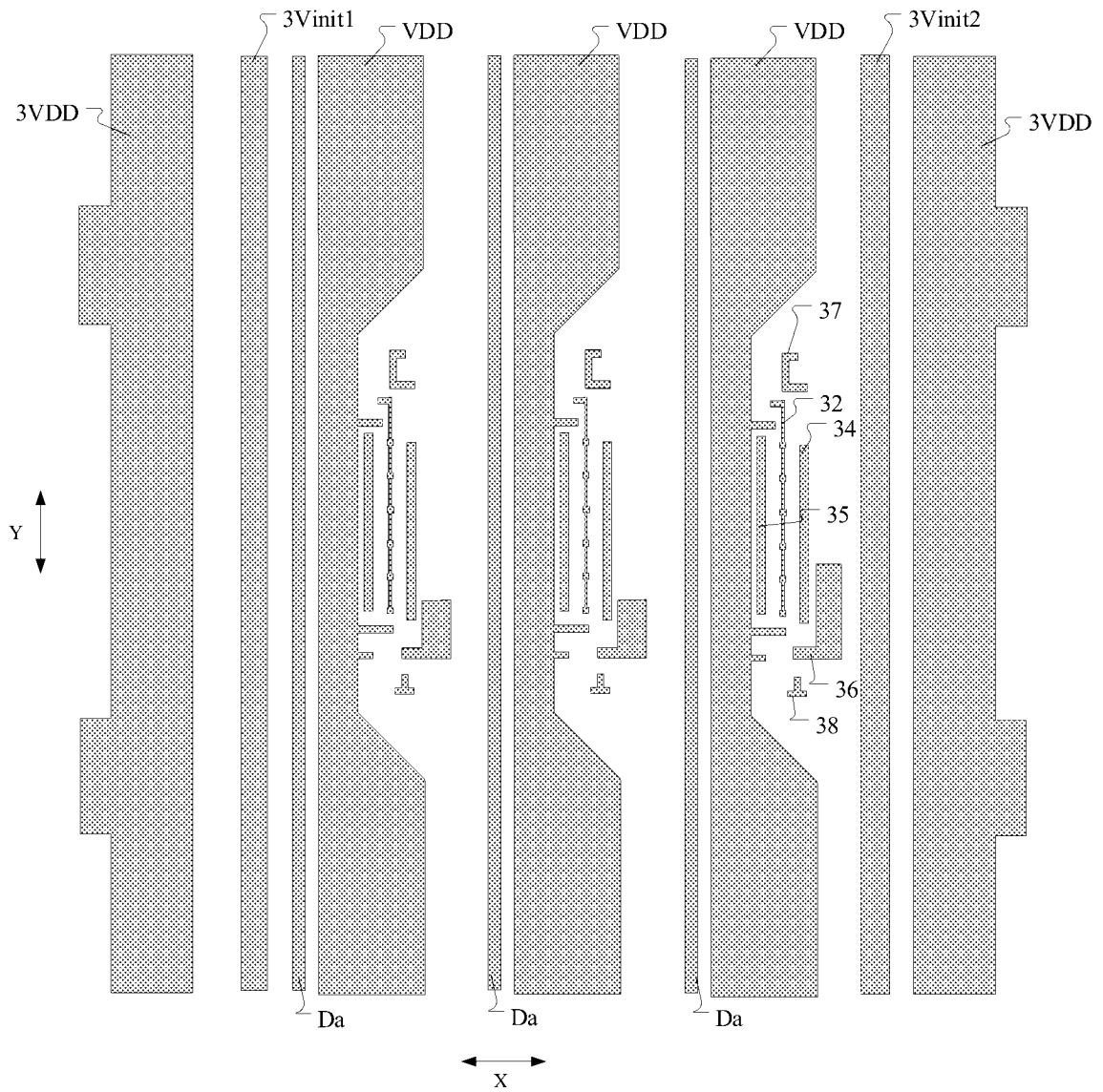


图 16

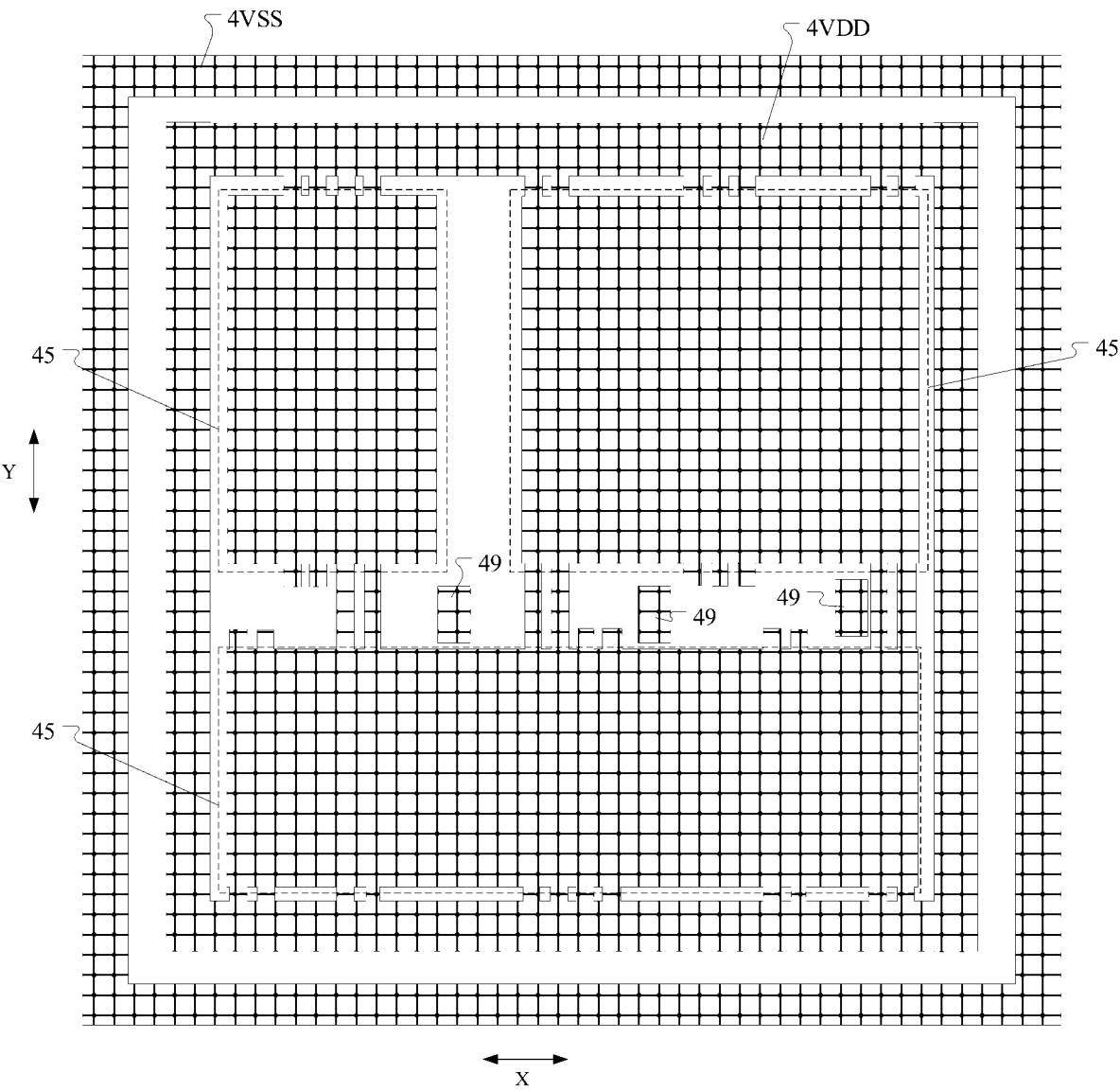


图 17

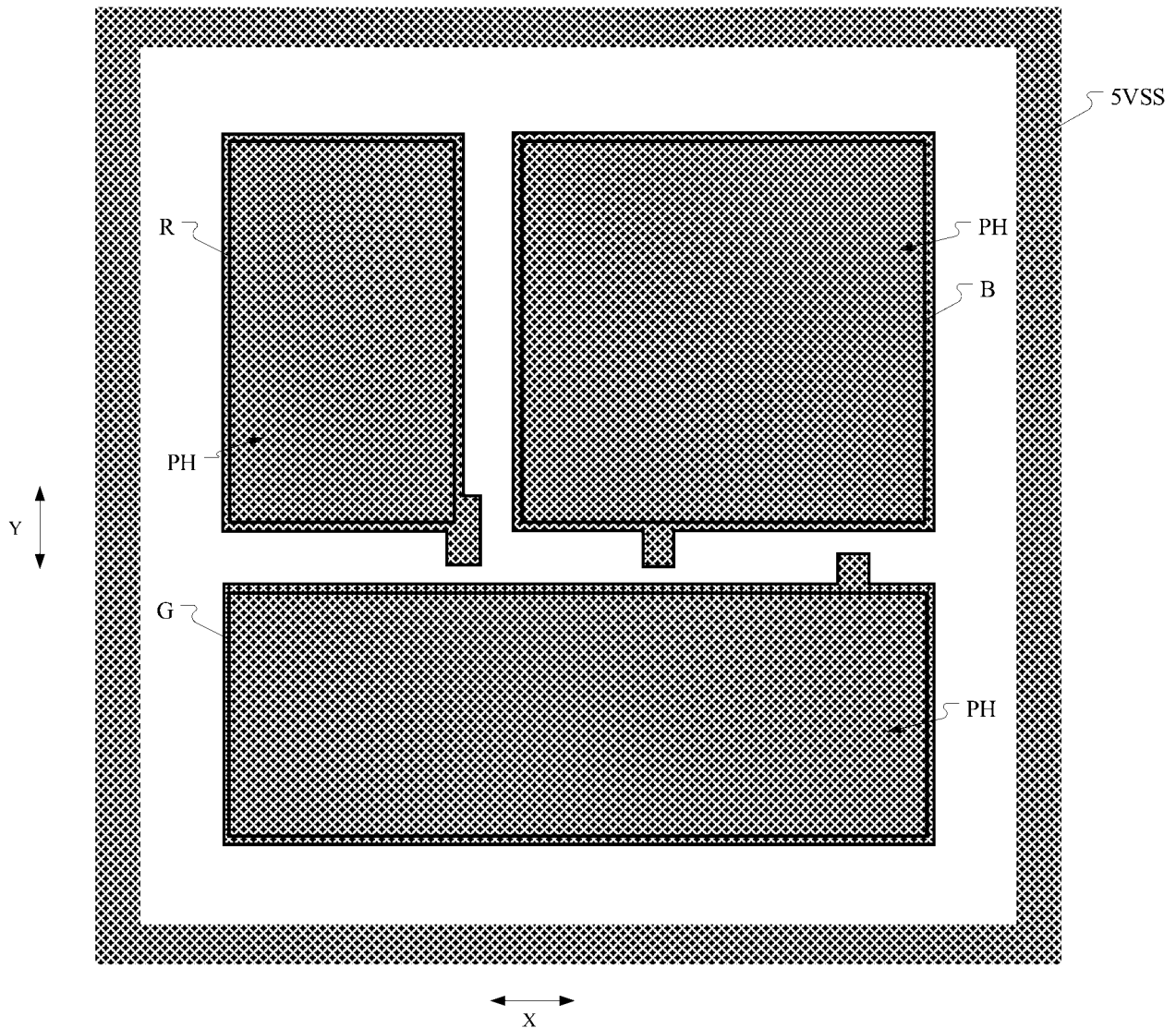


图 18

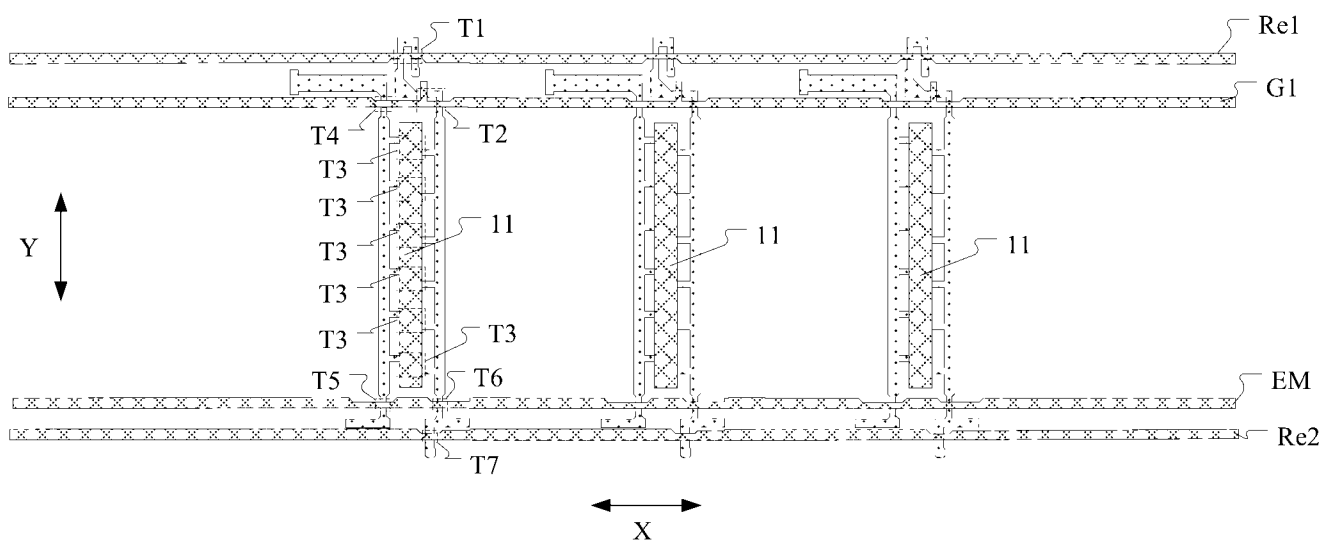


图 19

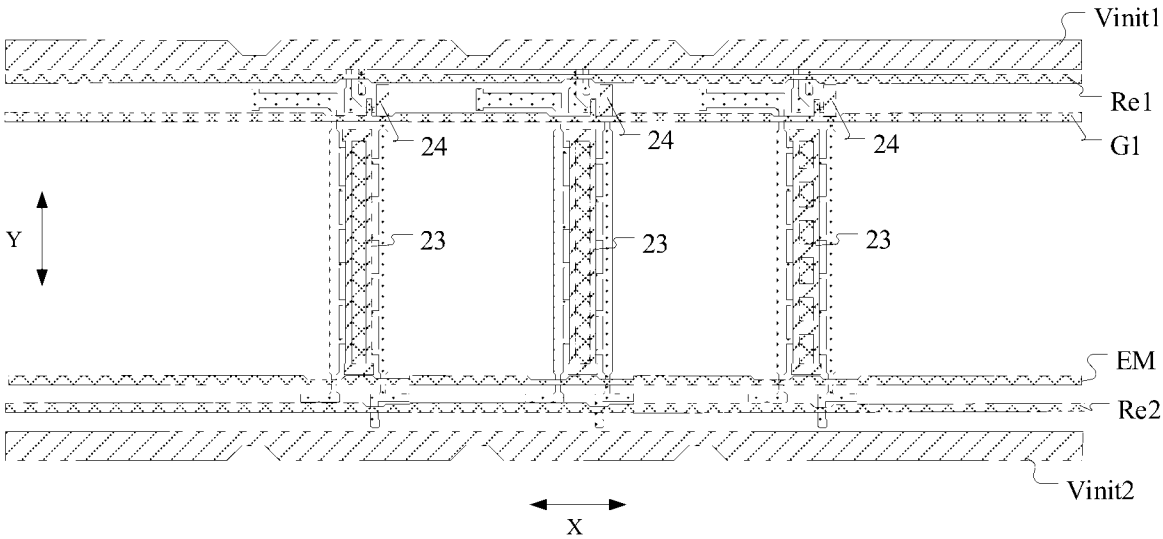


图 20

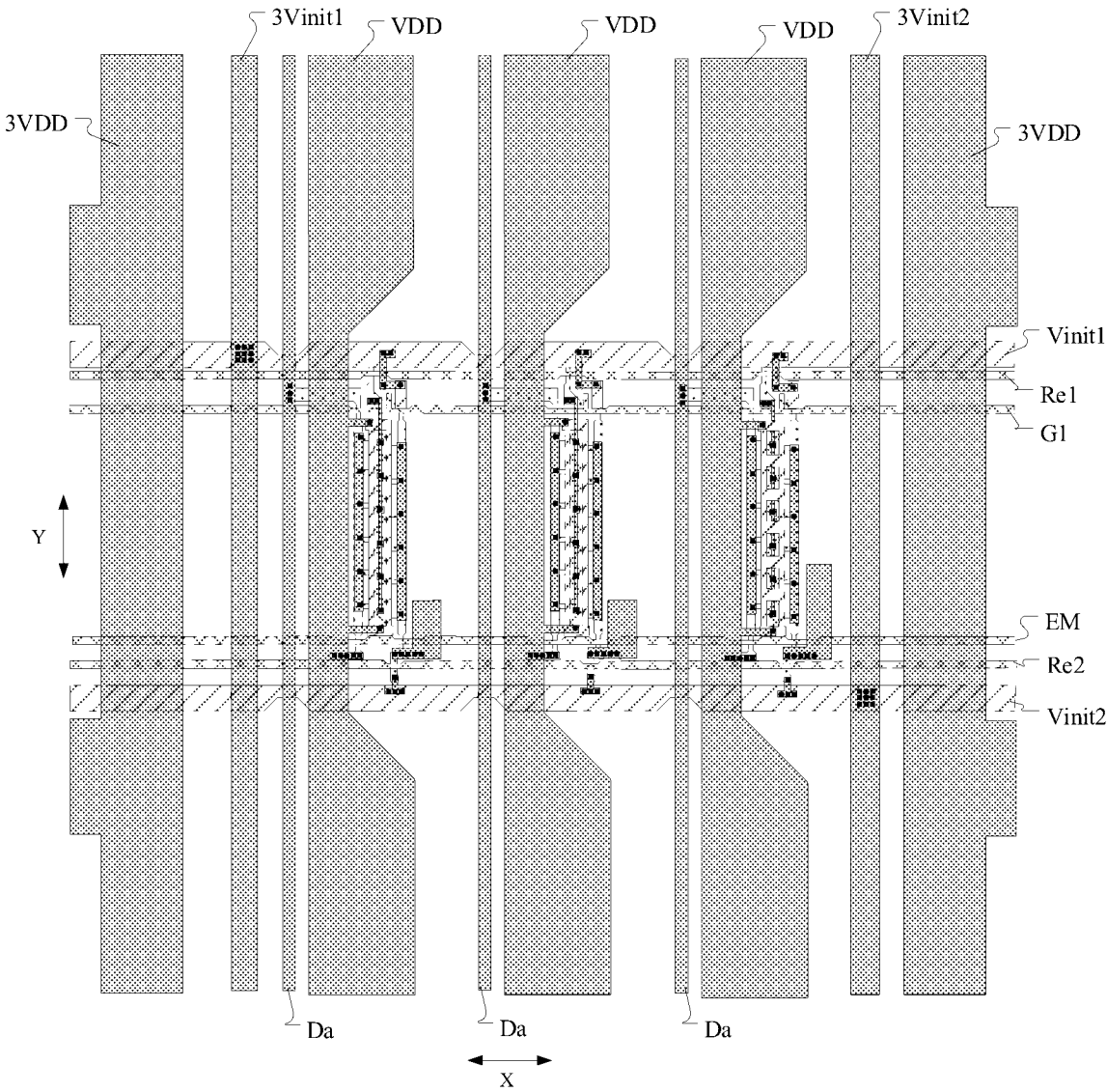


图 21

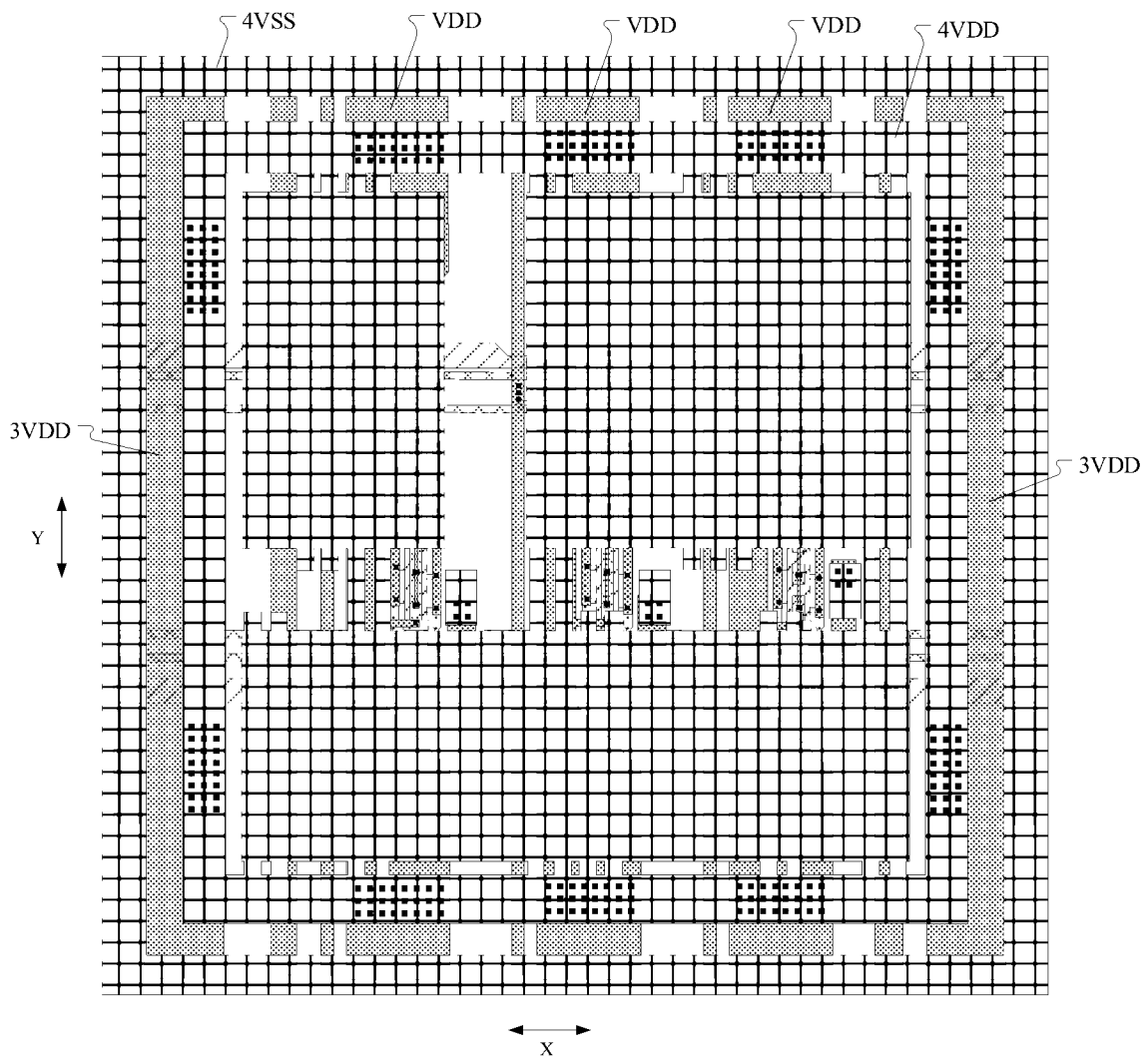


图 22

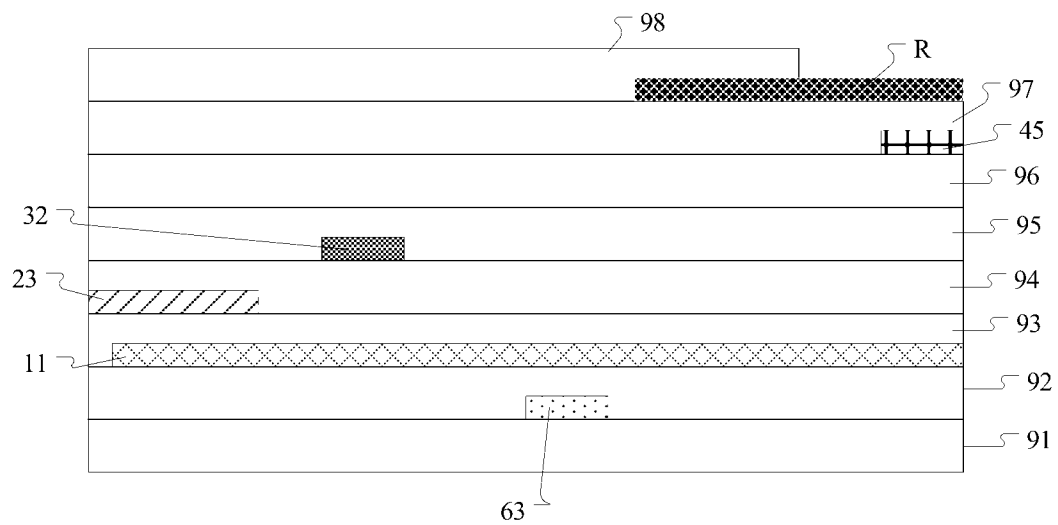


图 23

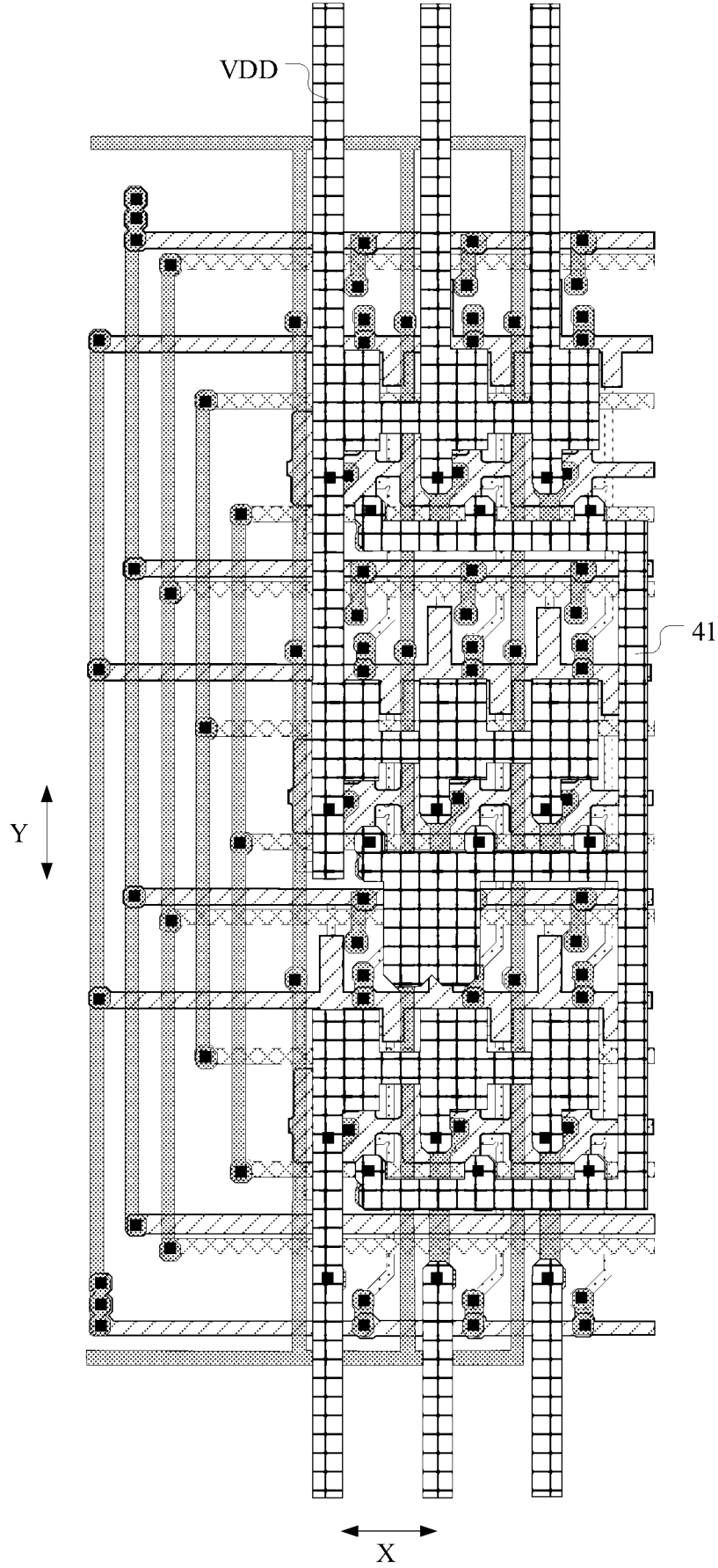


图 25

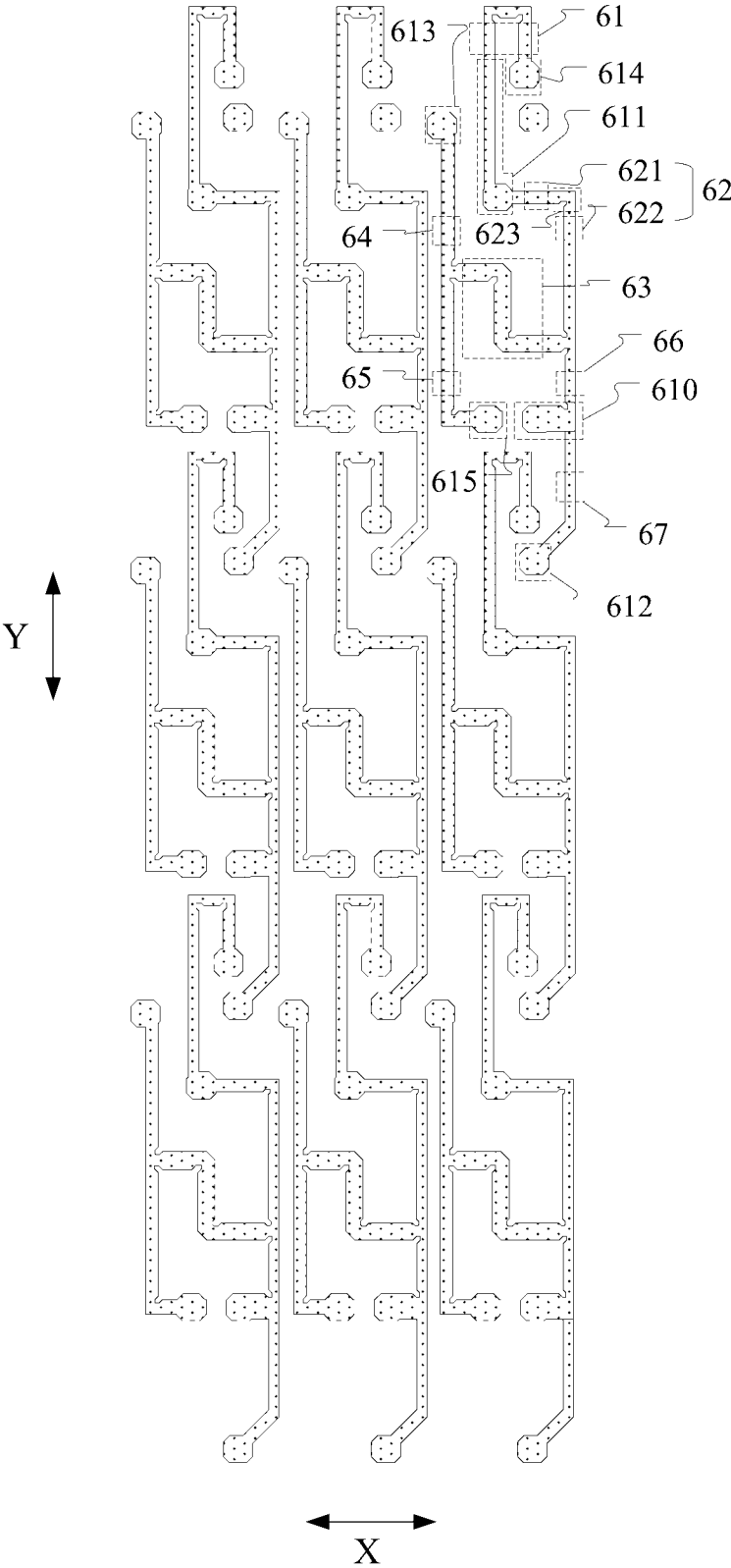


图 26

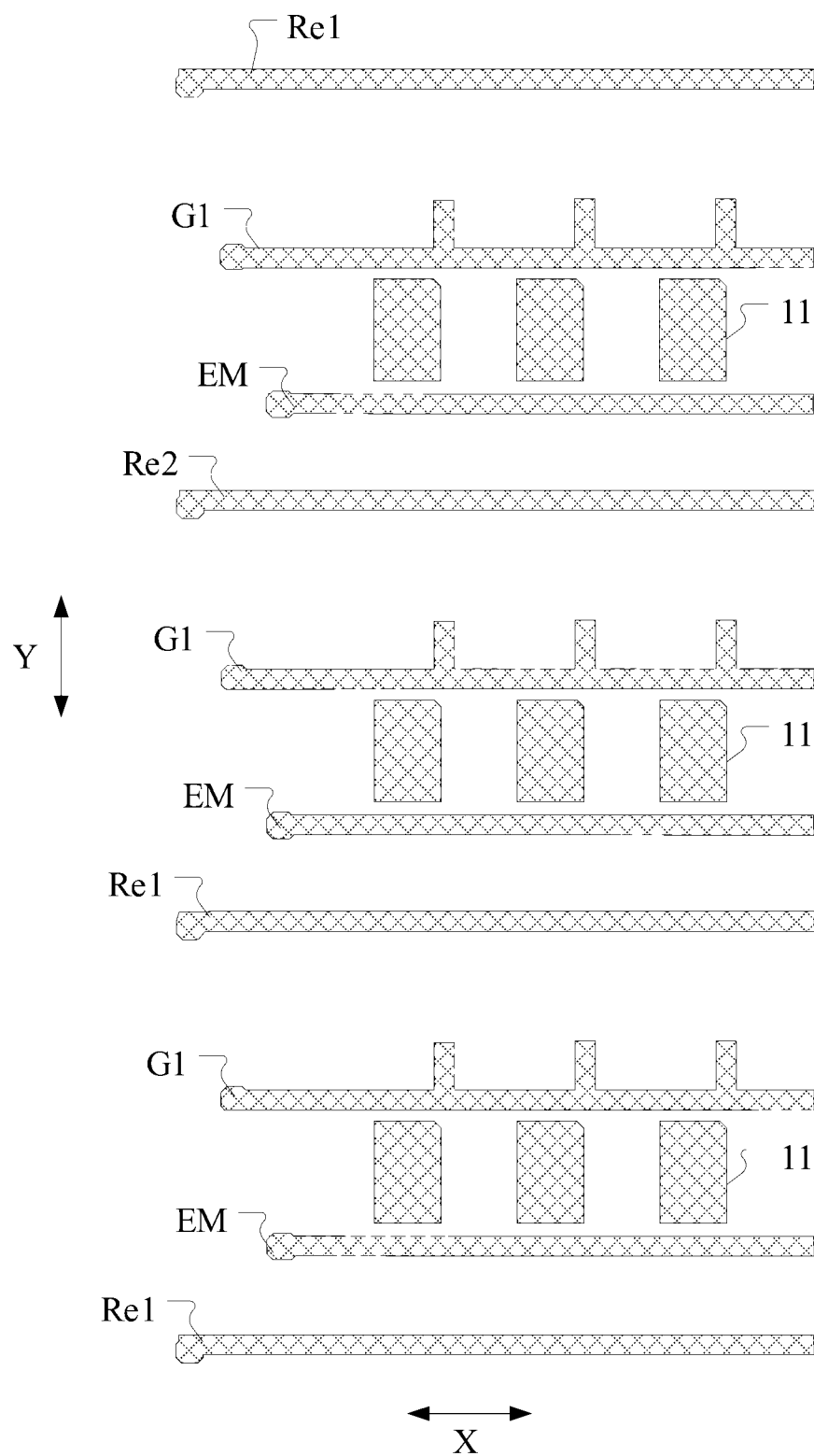


图 27

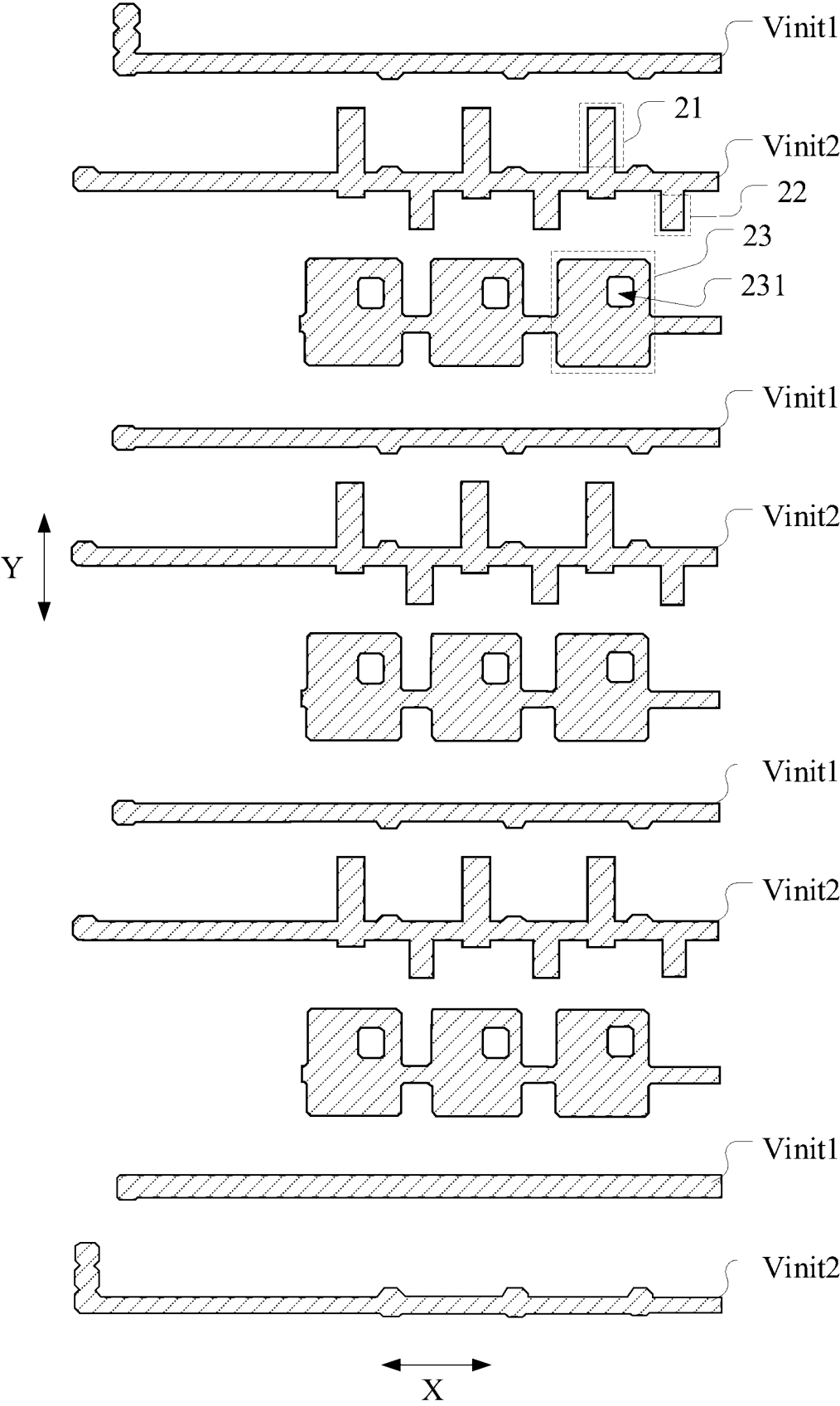


图 28

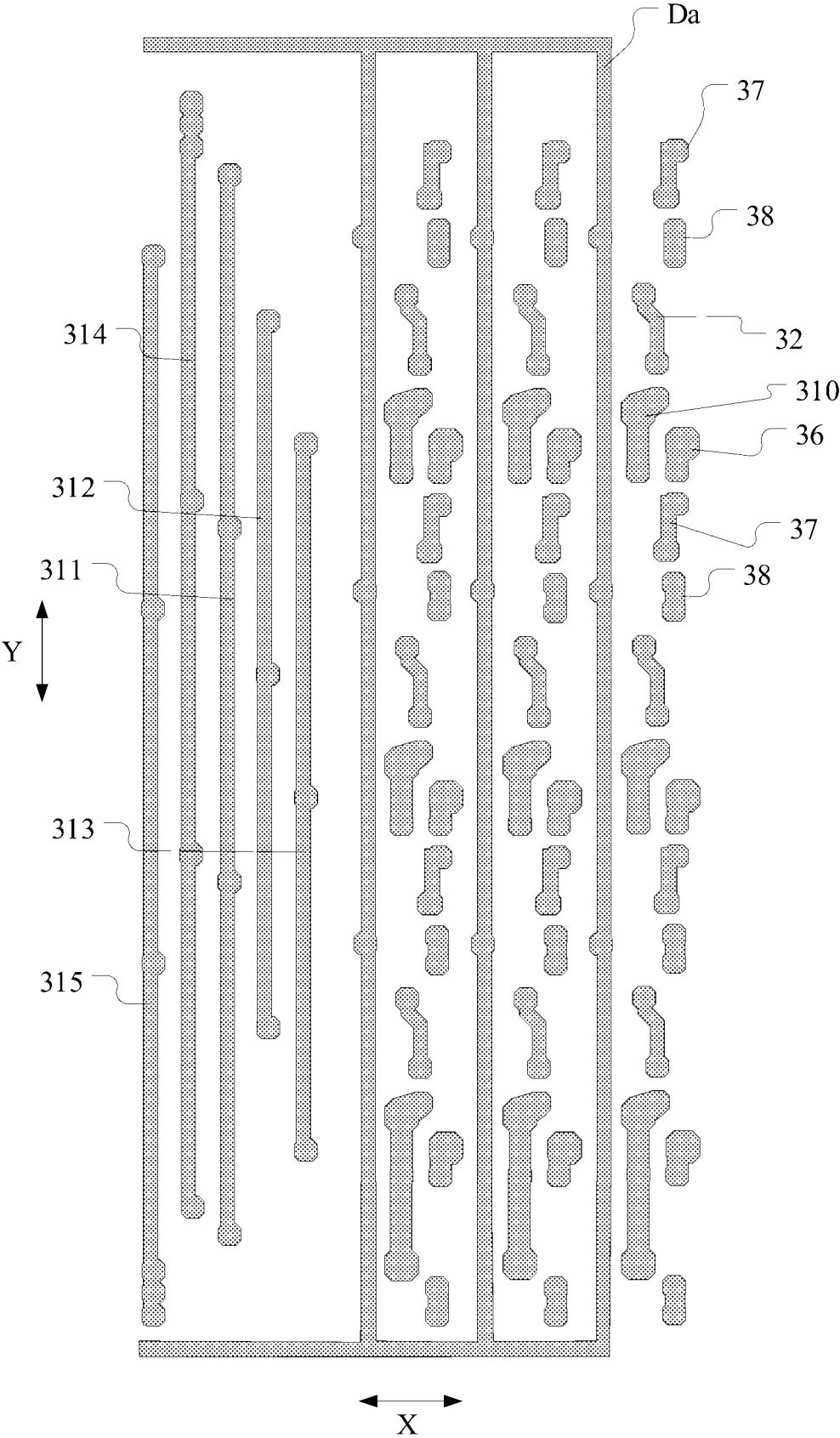


图 29

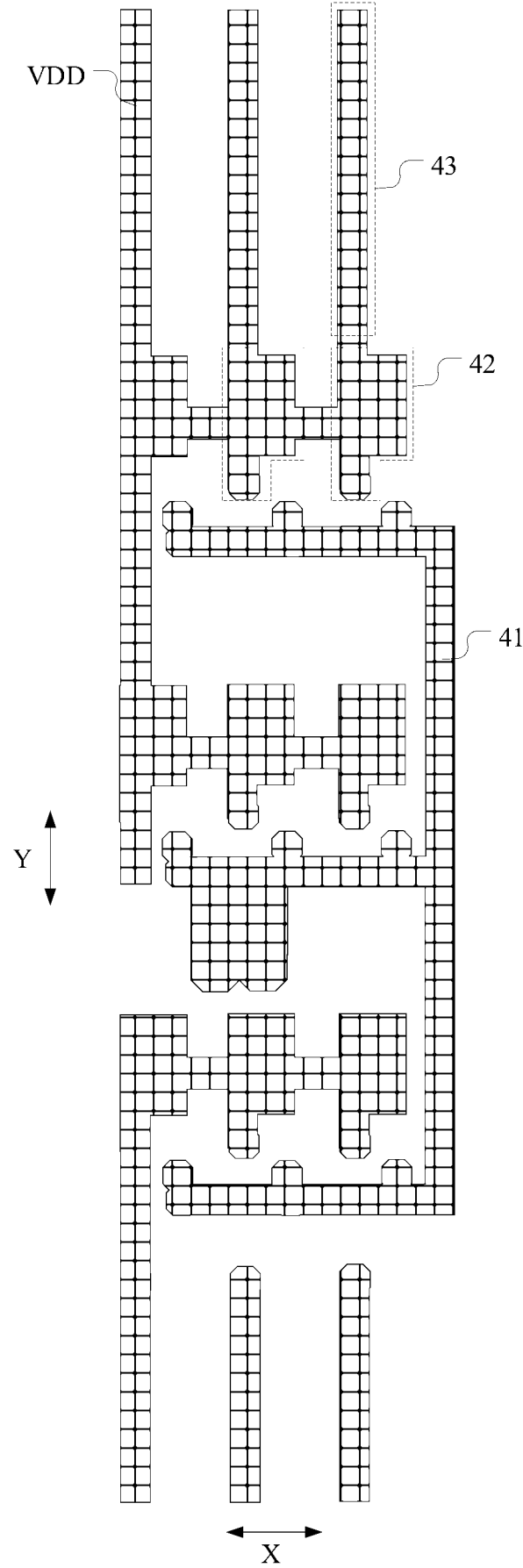


图 30

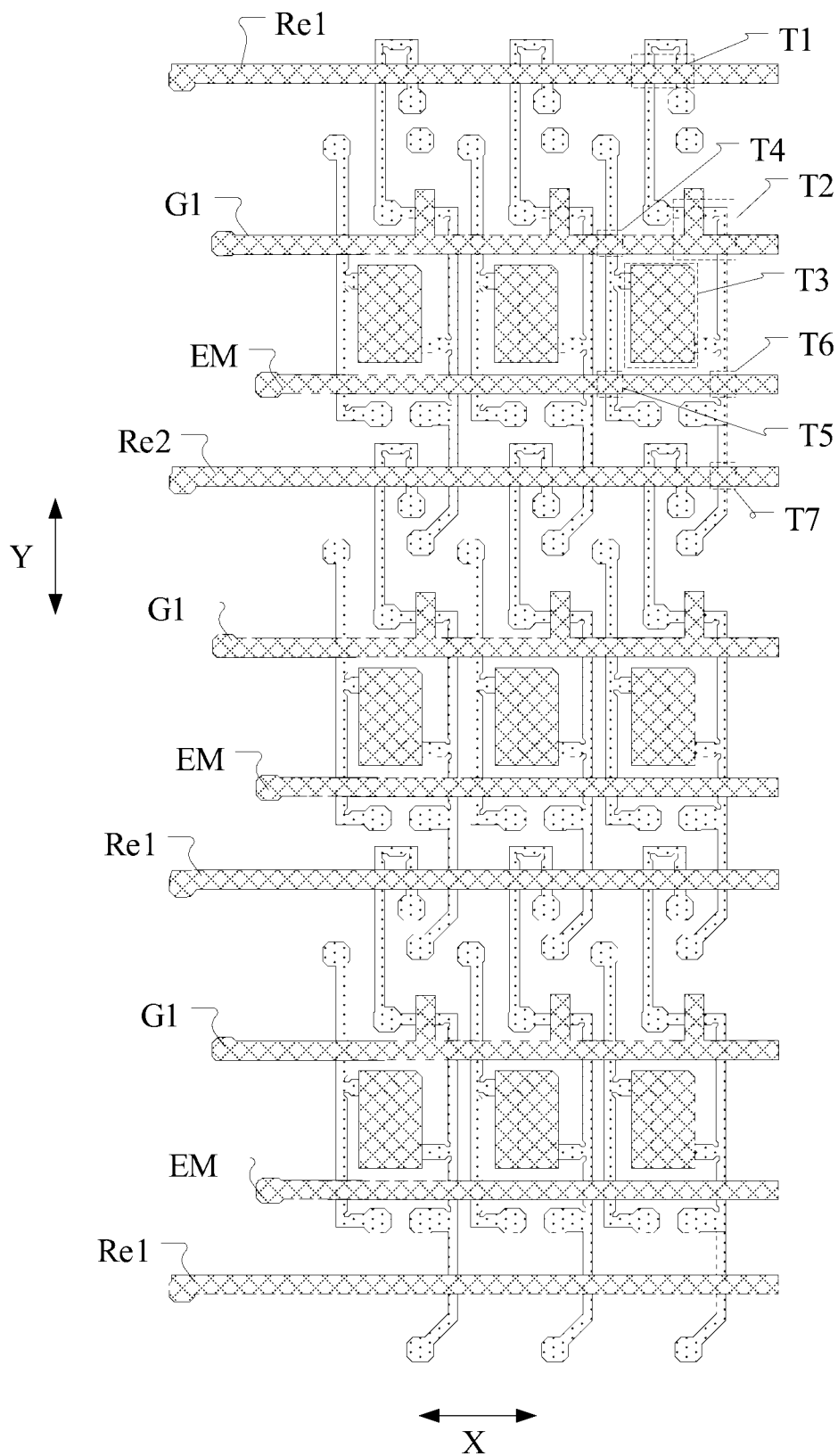


图 31

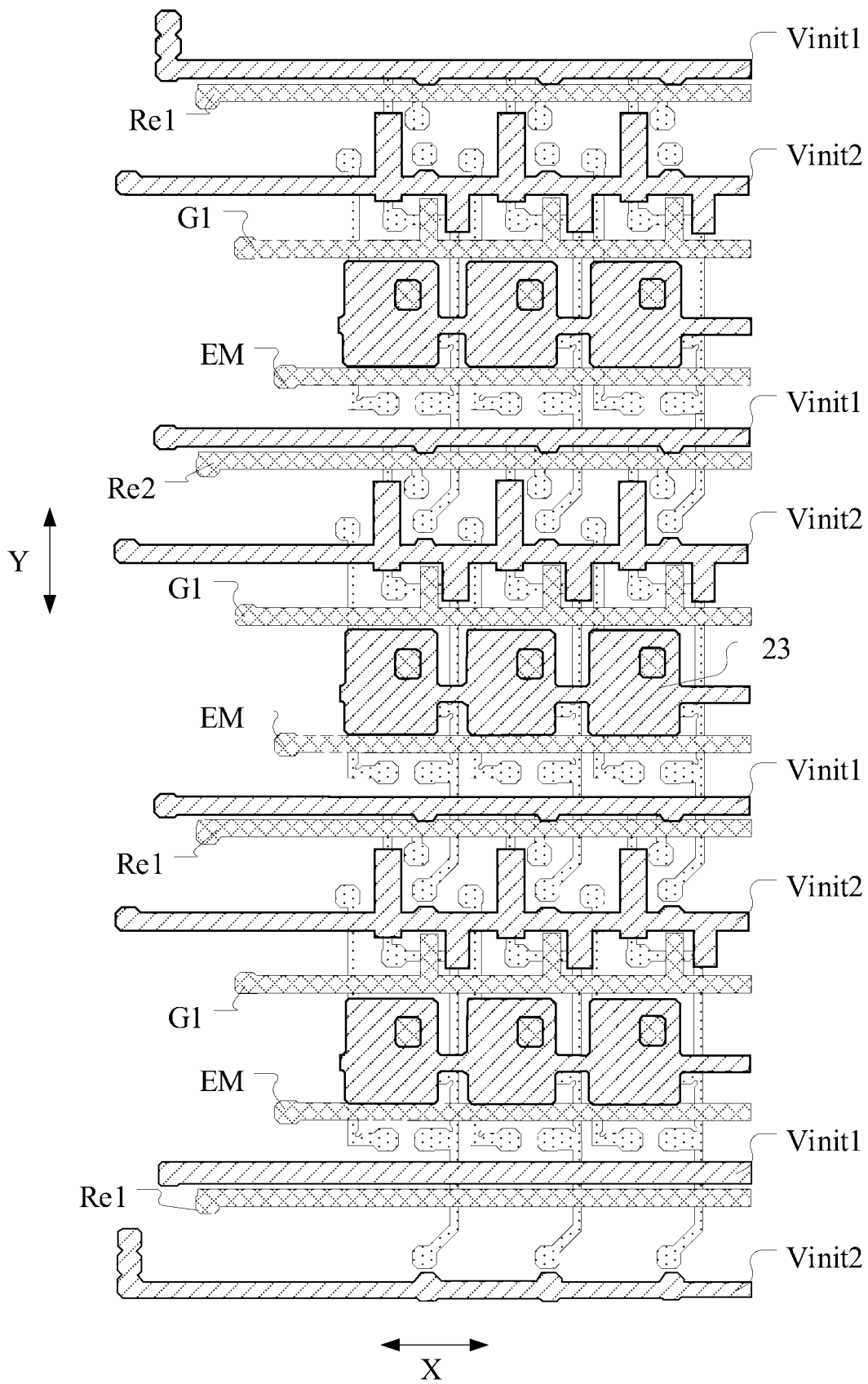


图 32

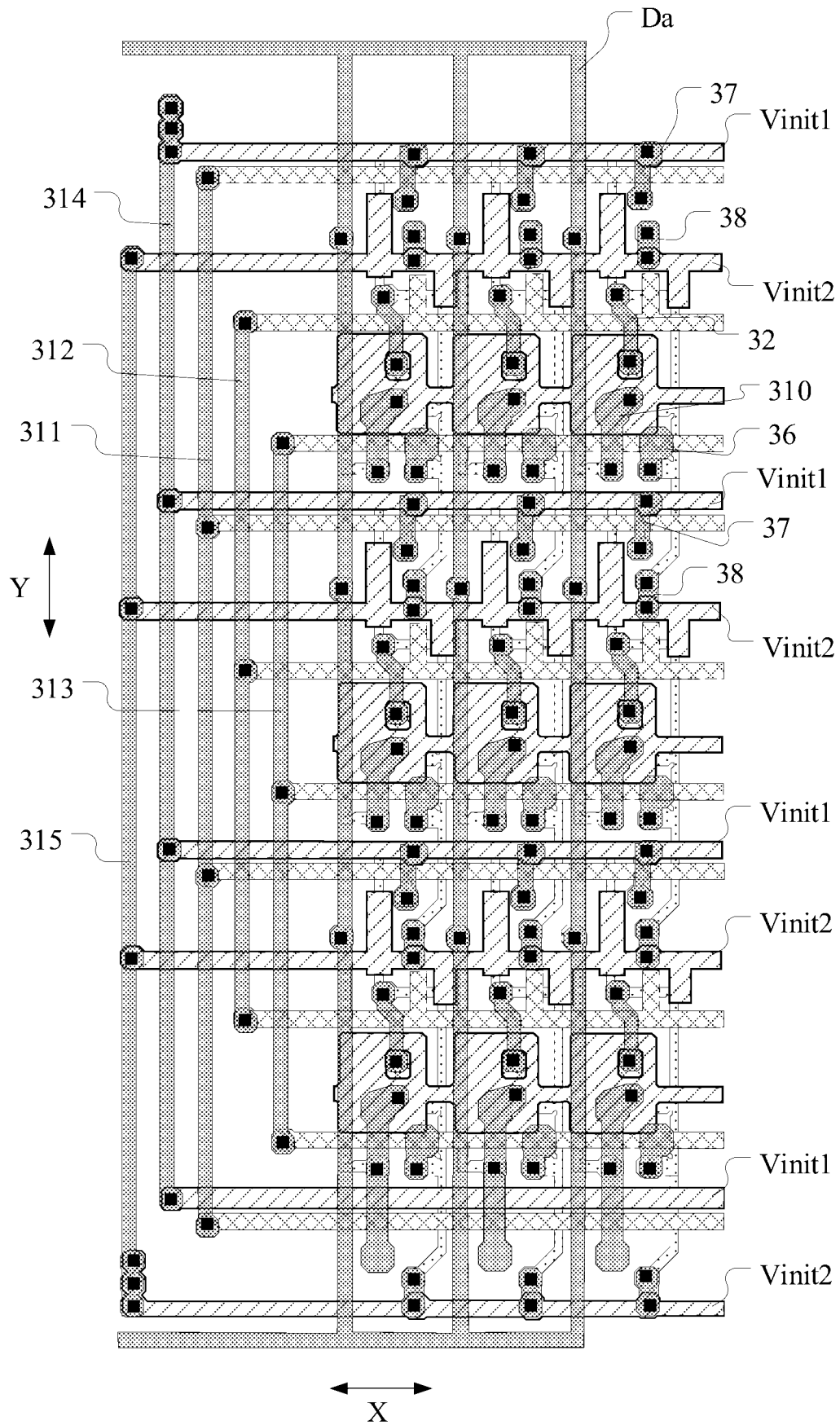


图 33

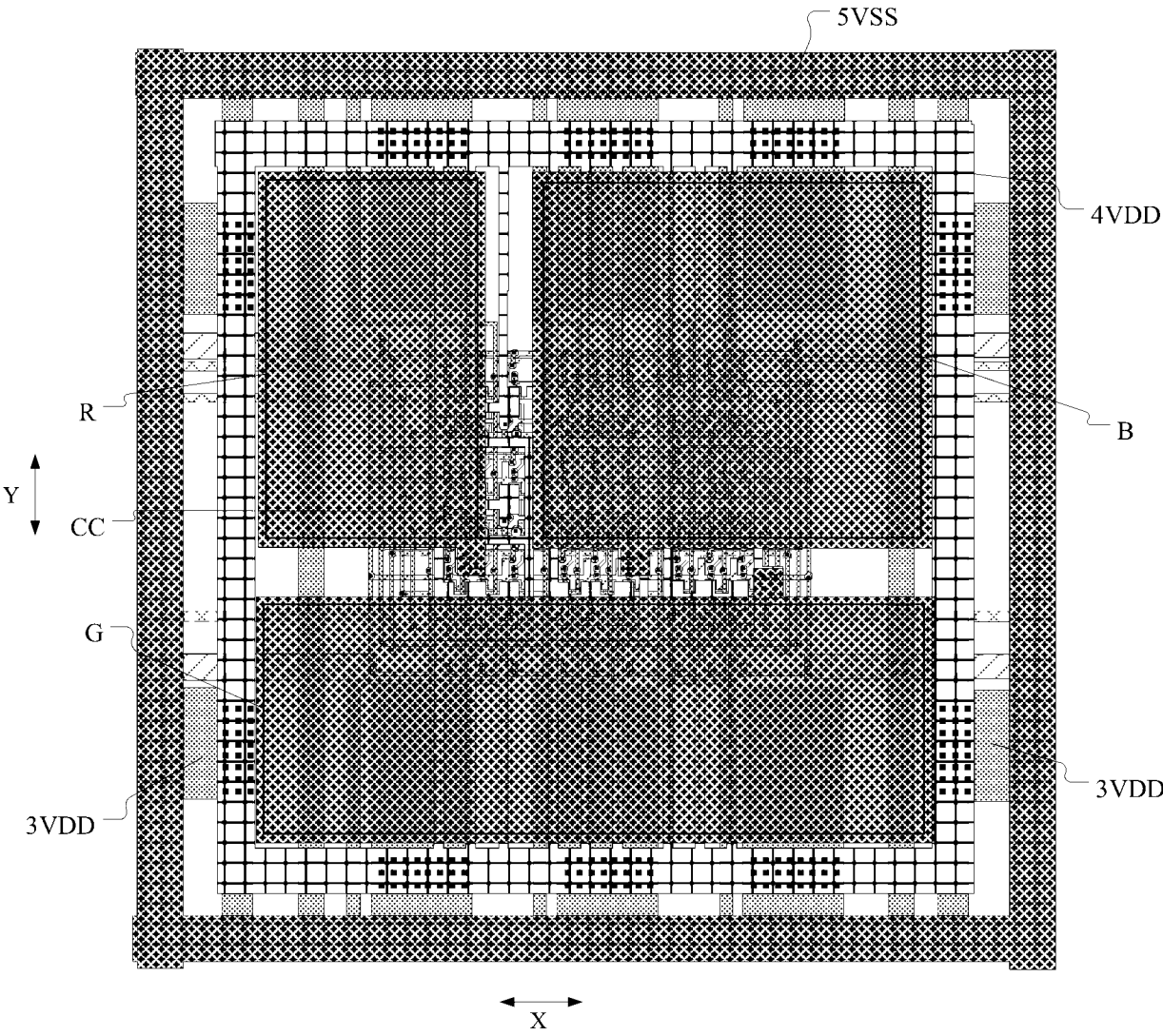


图 34

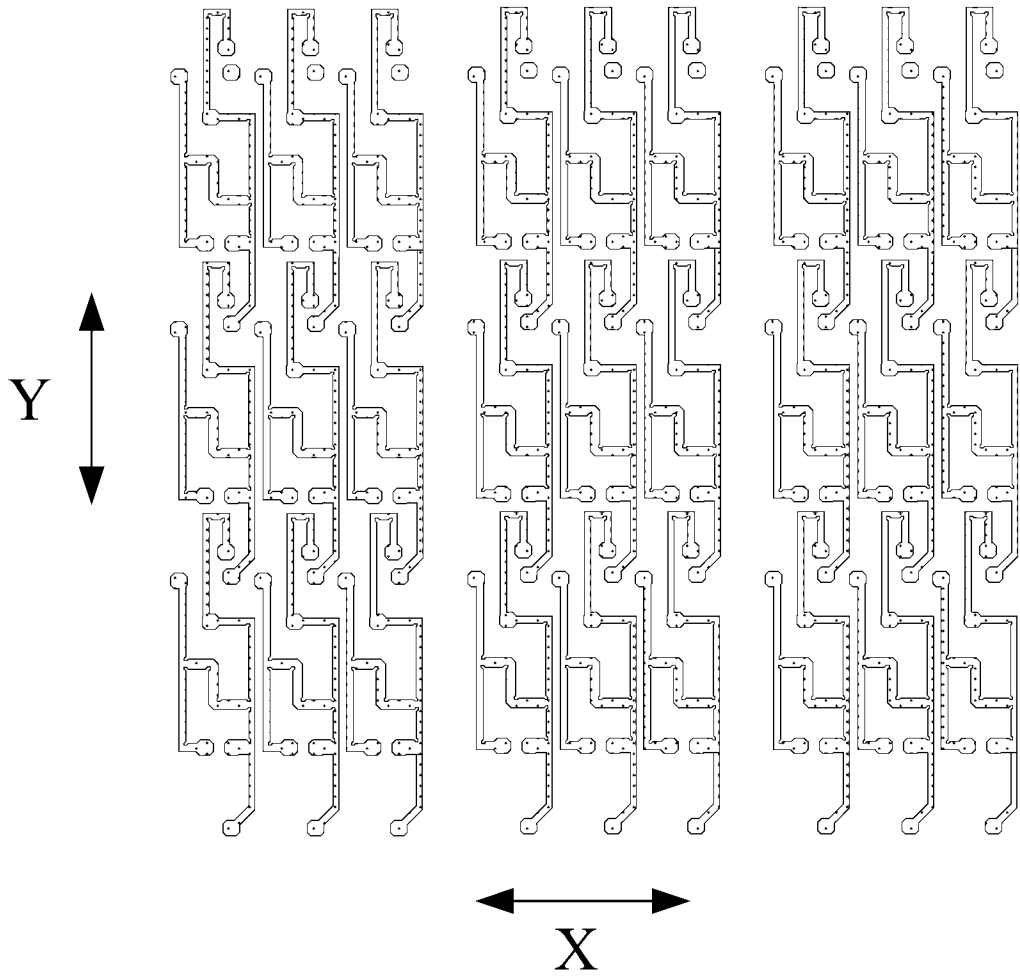


图 35

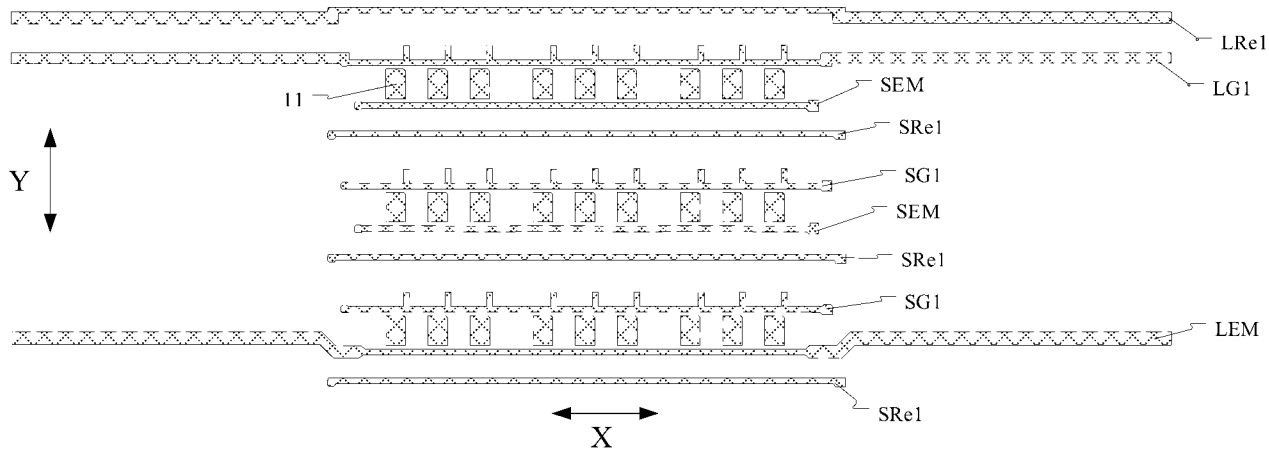


图 36

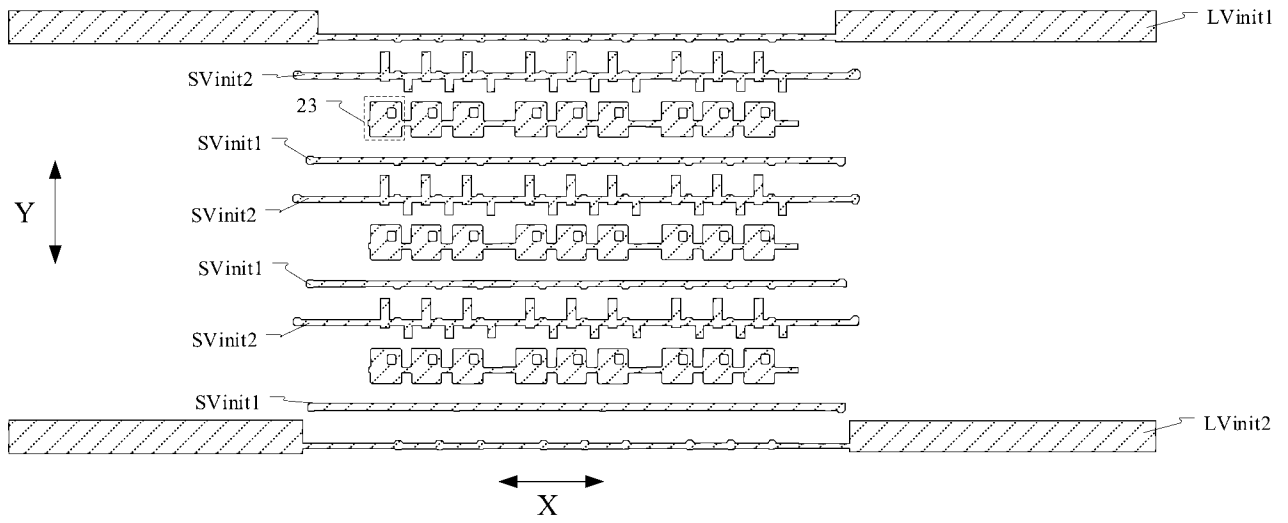


图 37

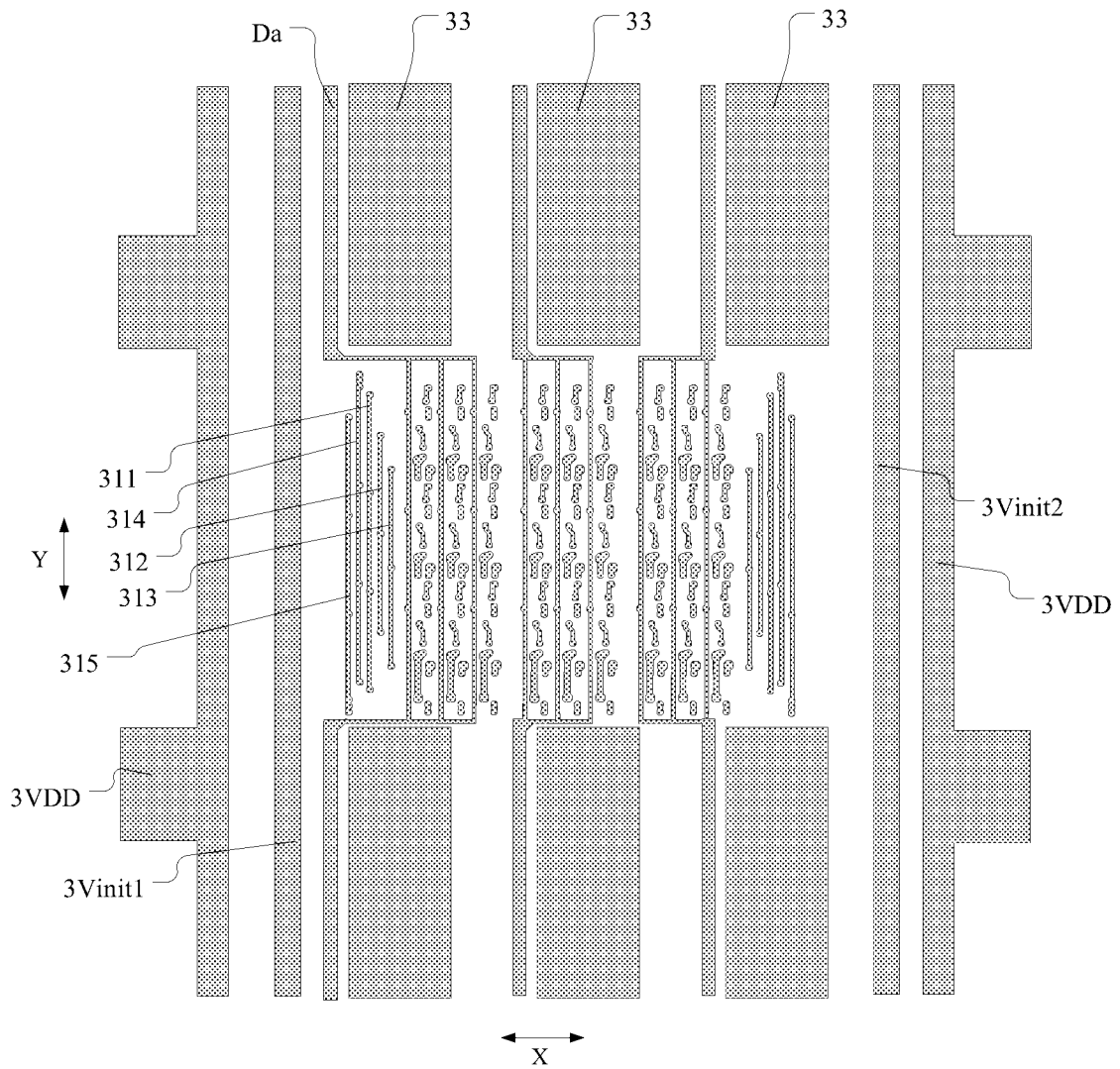


图 38

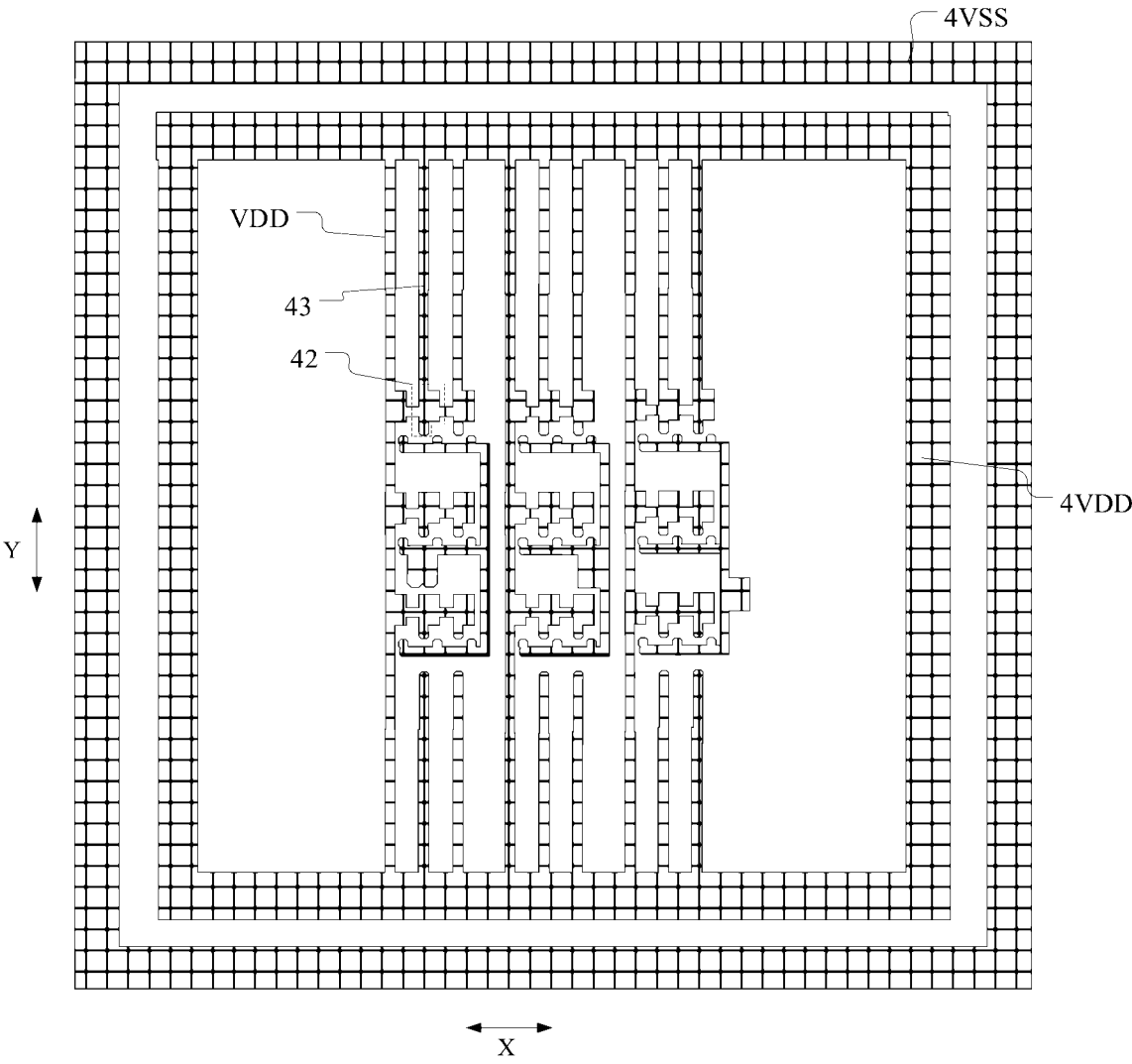


图 39

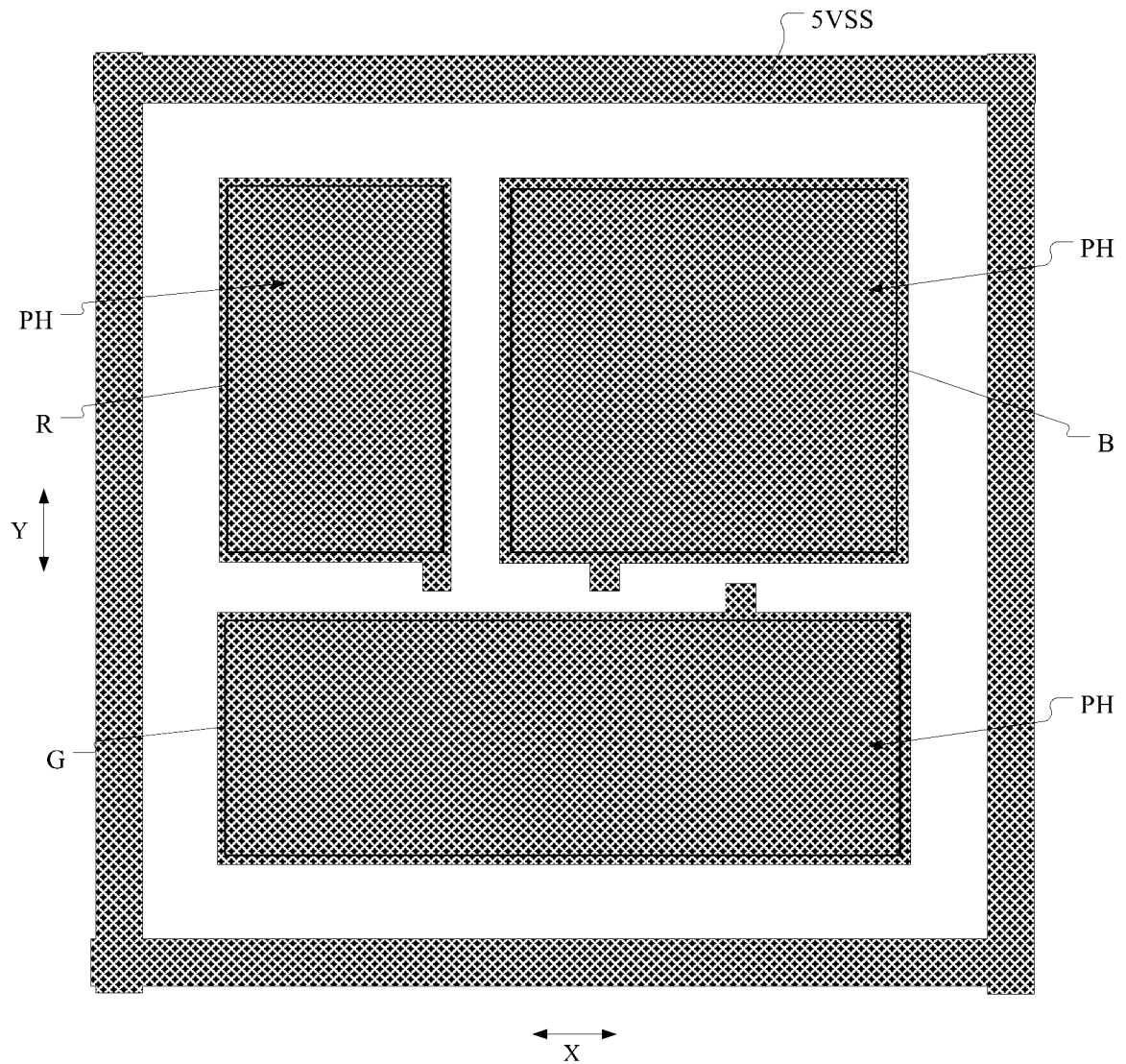


图 40

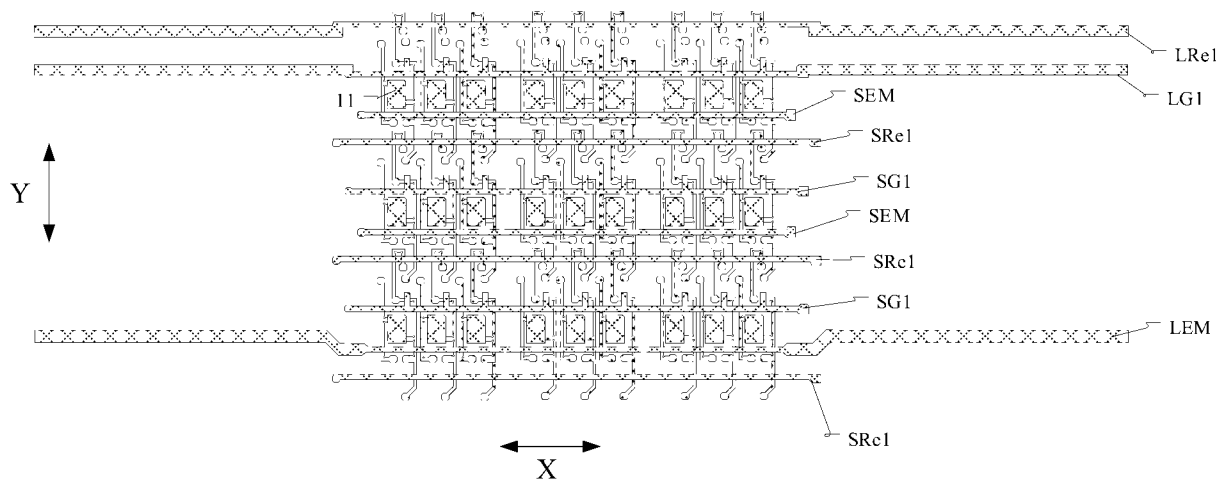


图 41

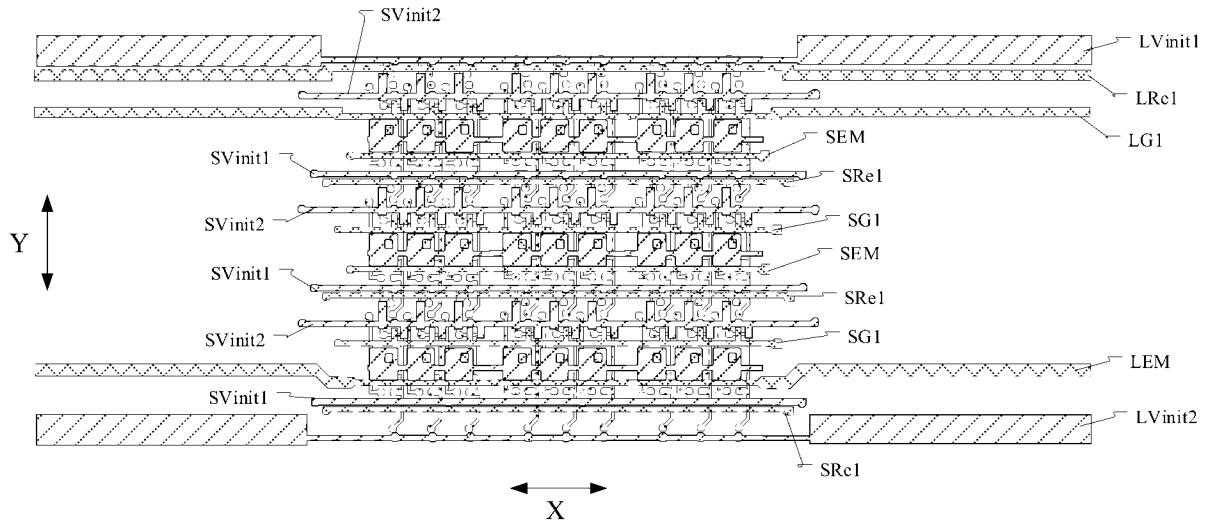


图 42

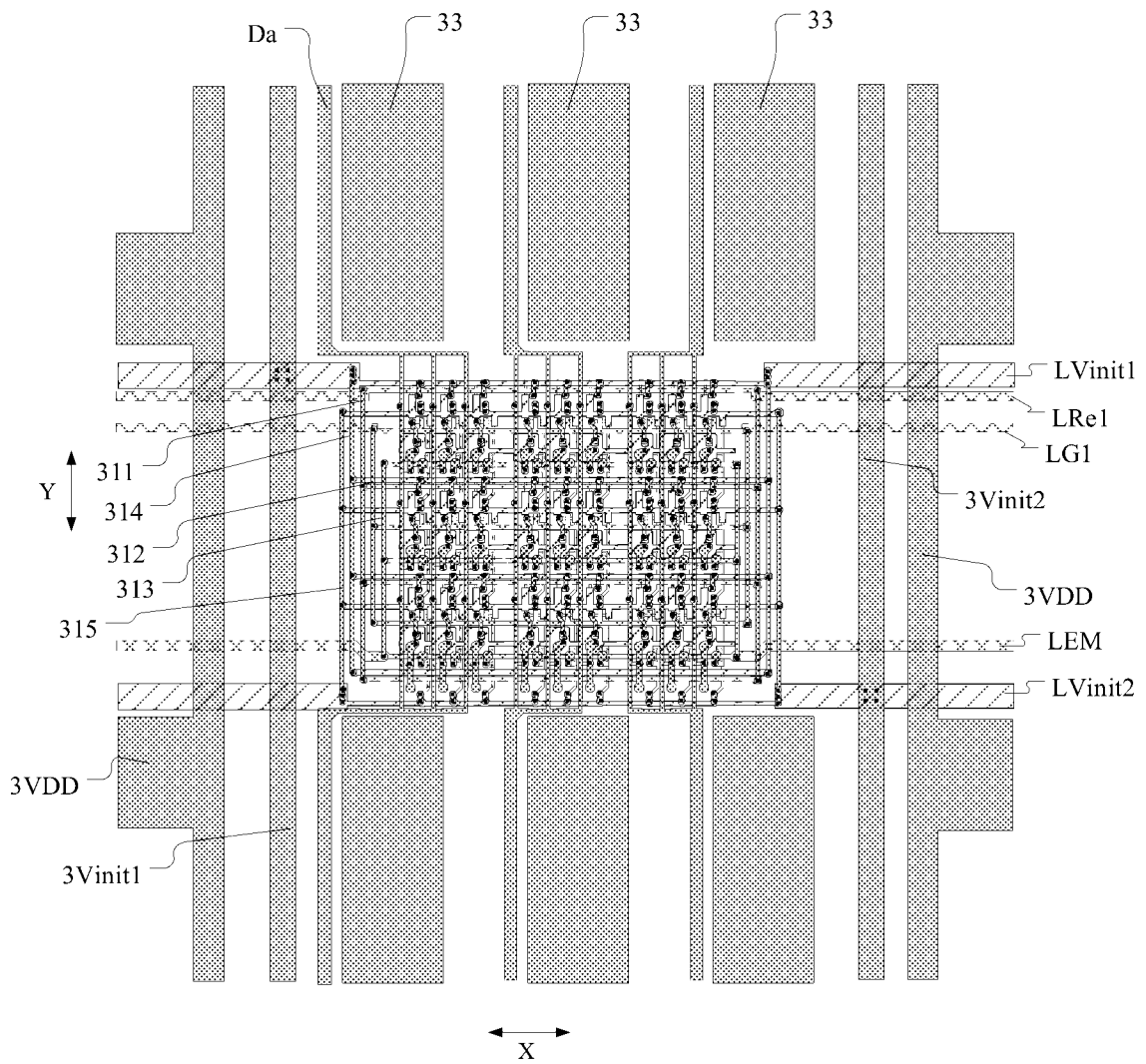


图 43

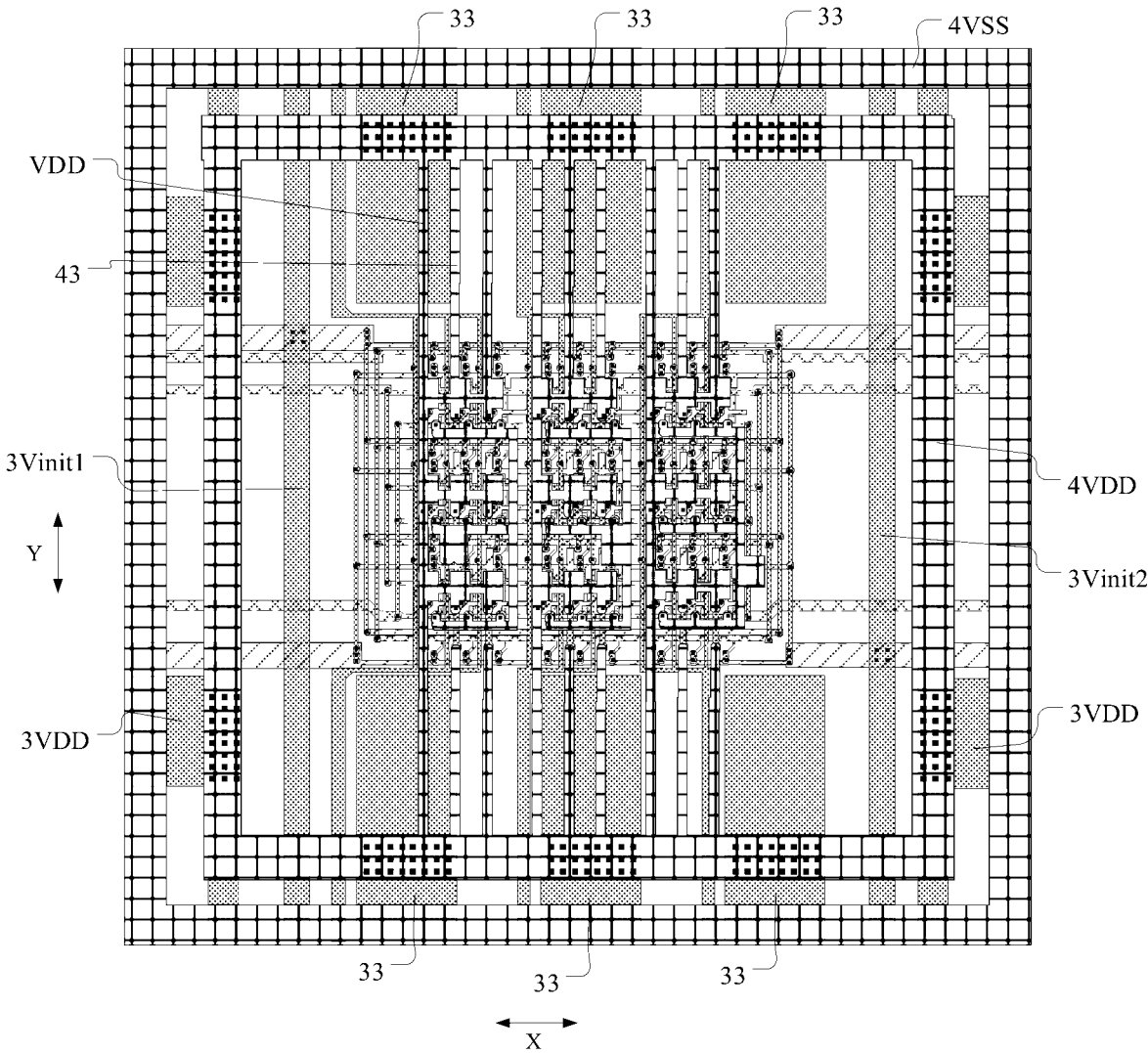


图 44

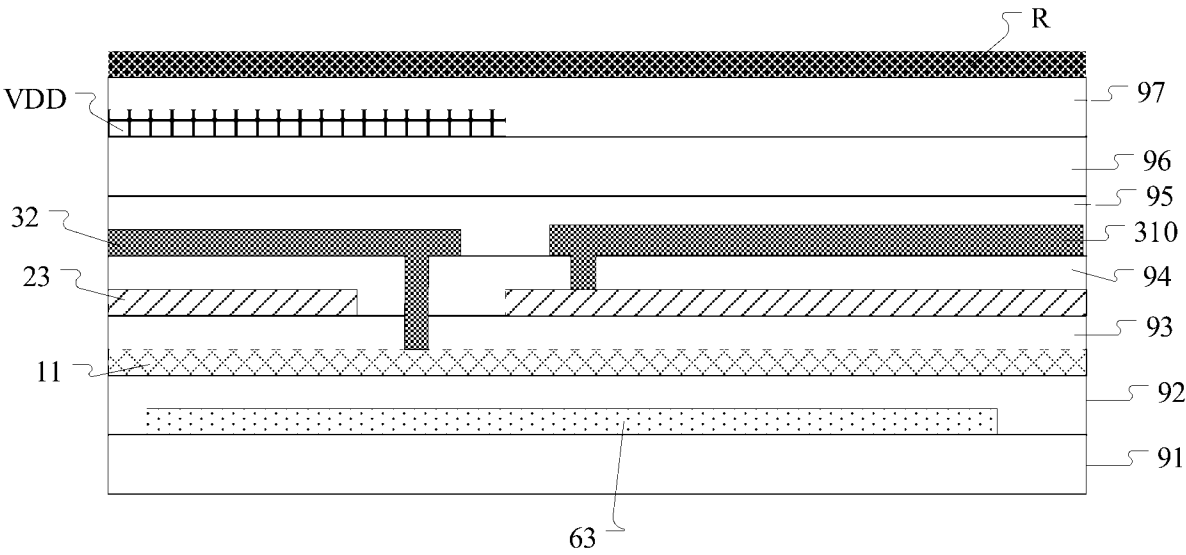


图 45

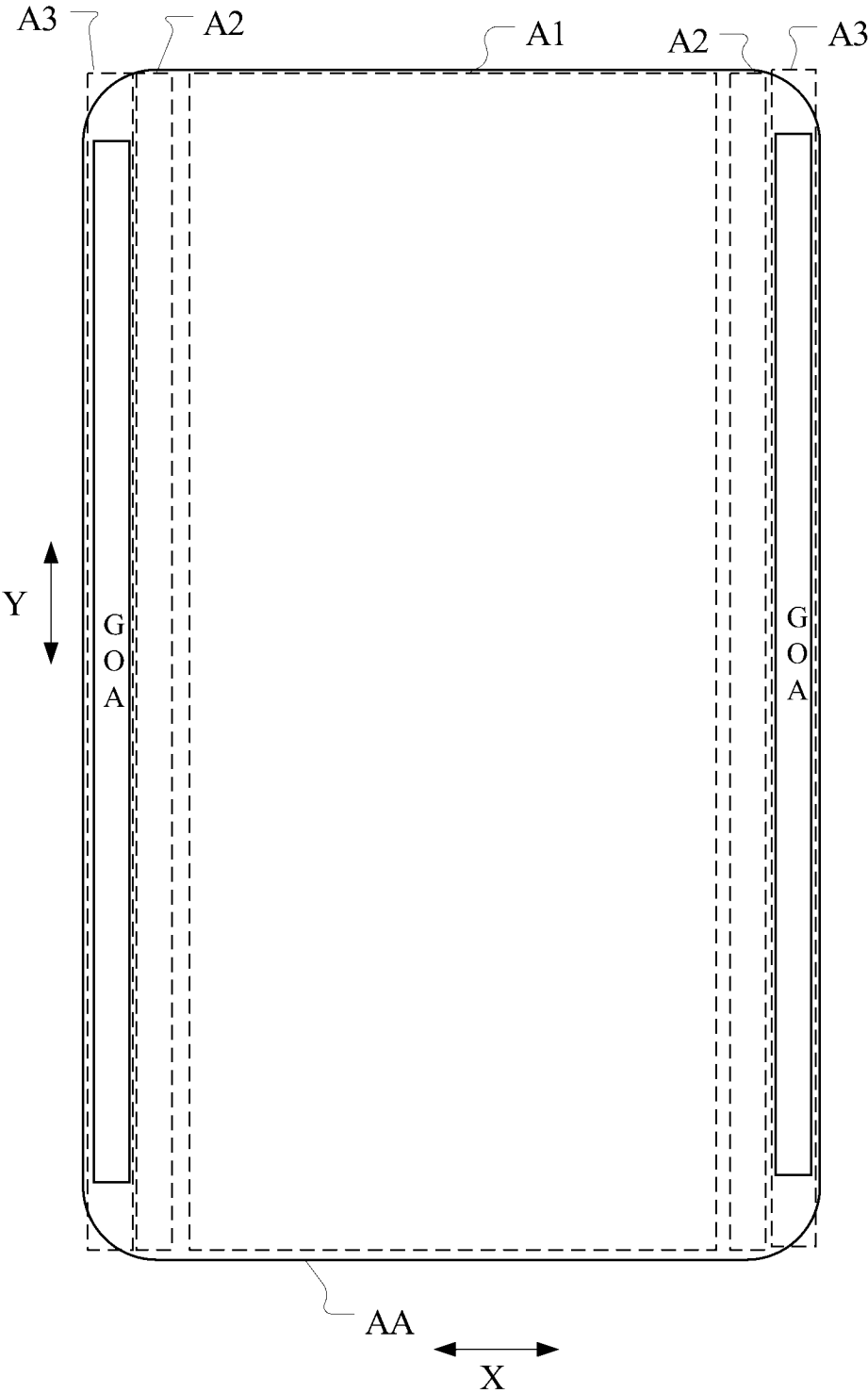


图 46

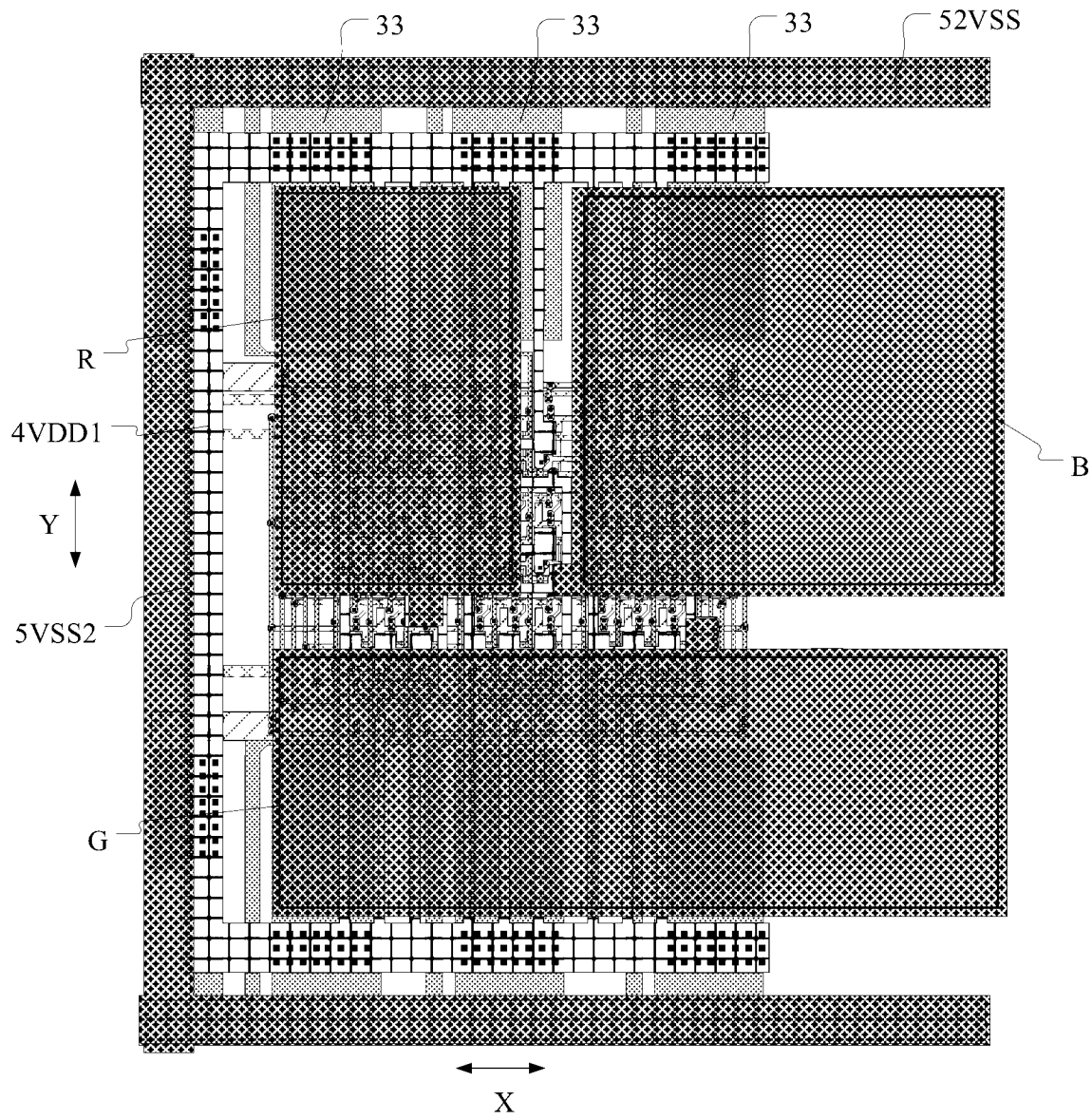


图 47

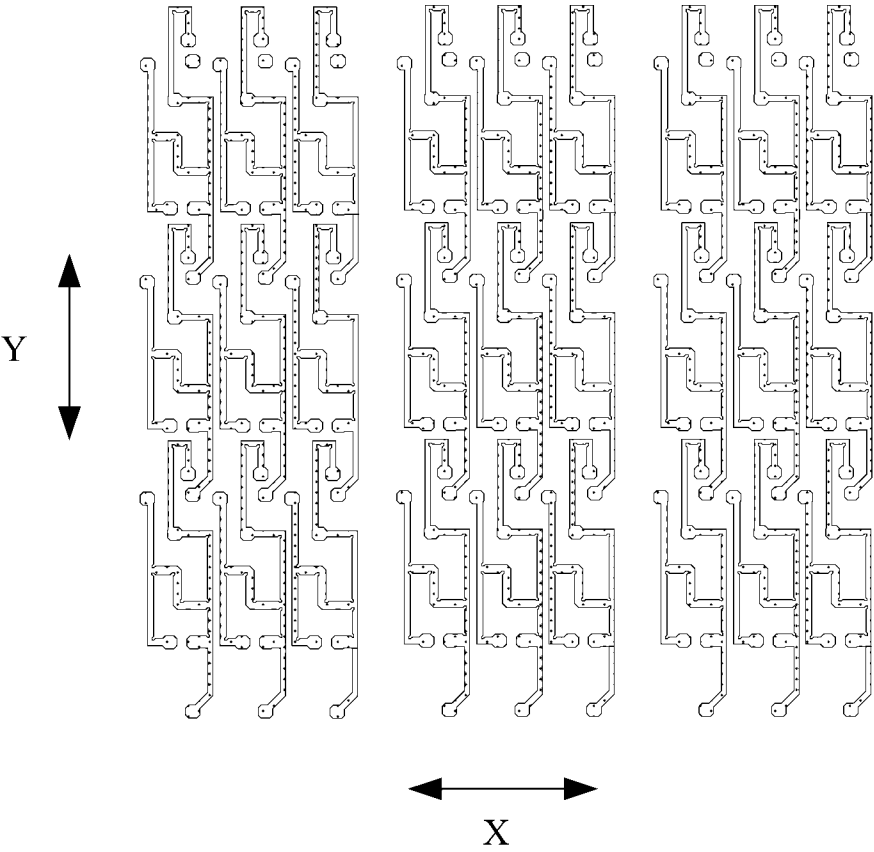


图 48

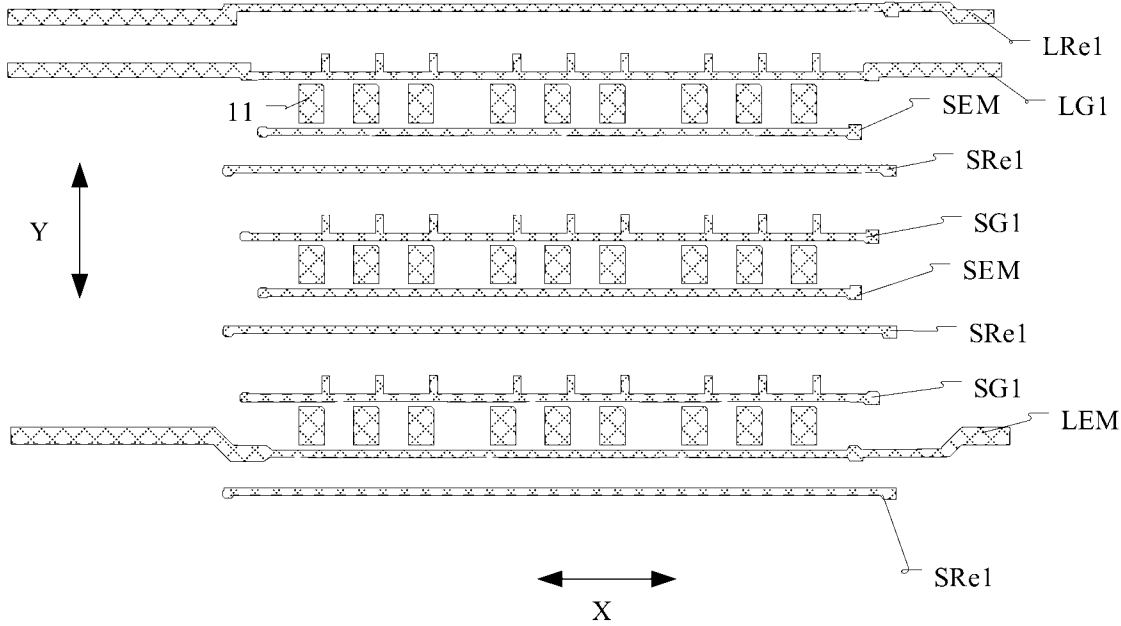


图 49

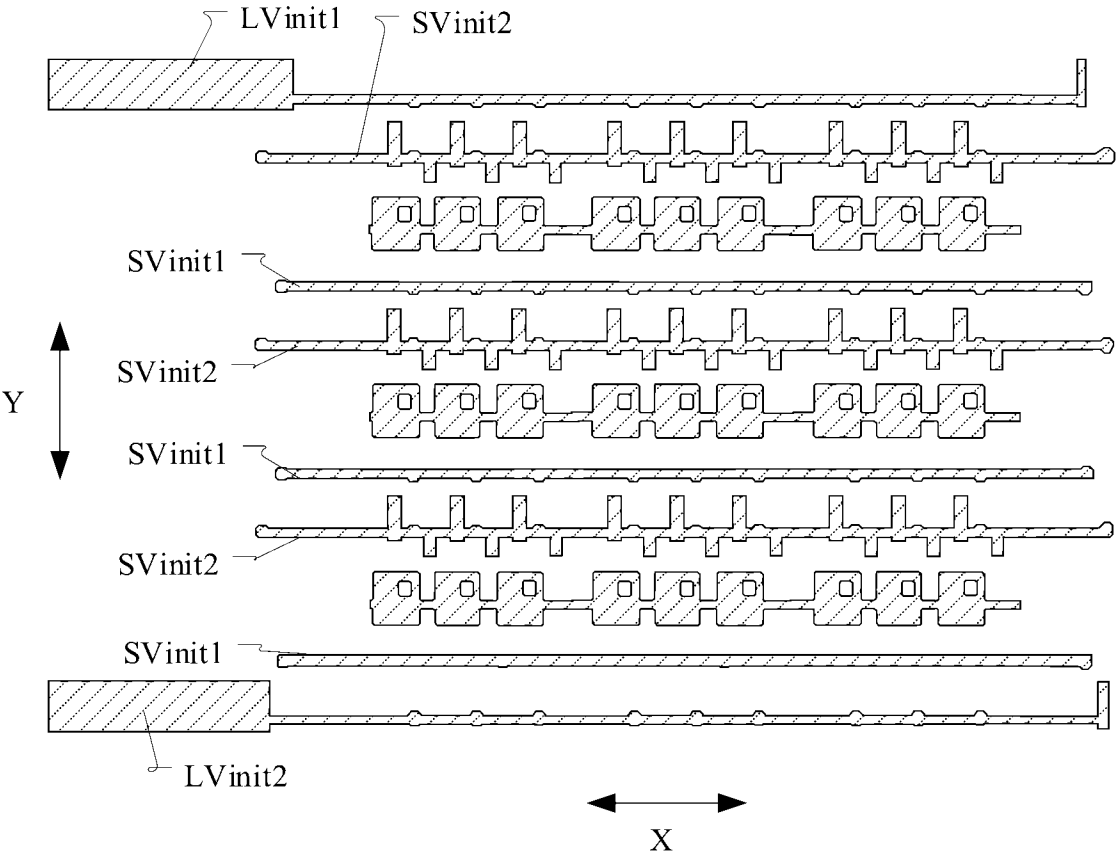


图 50

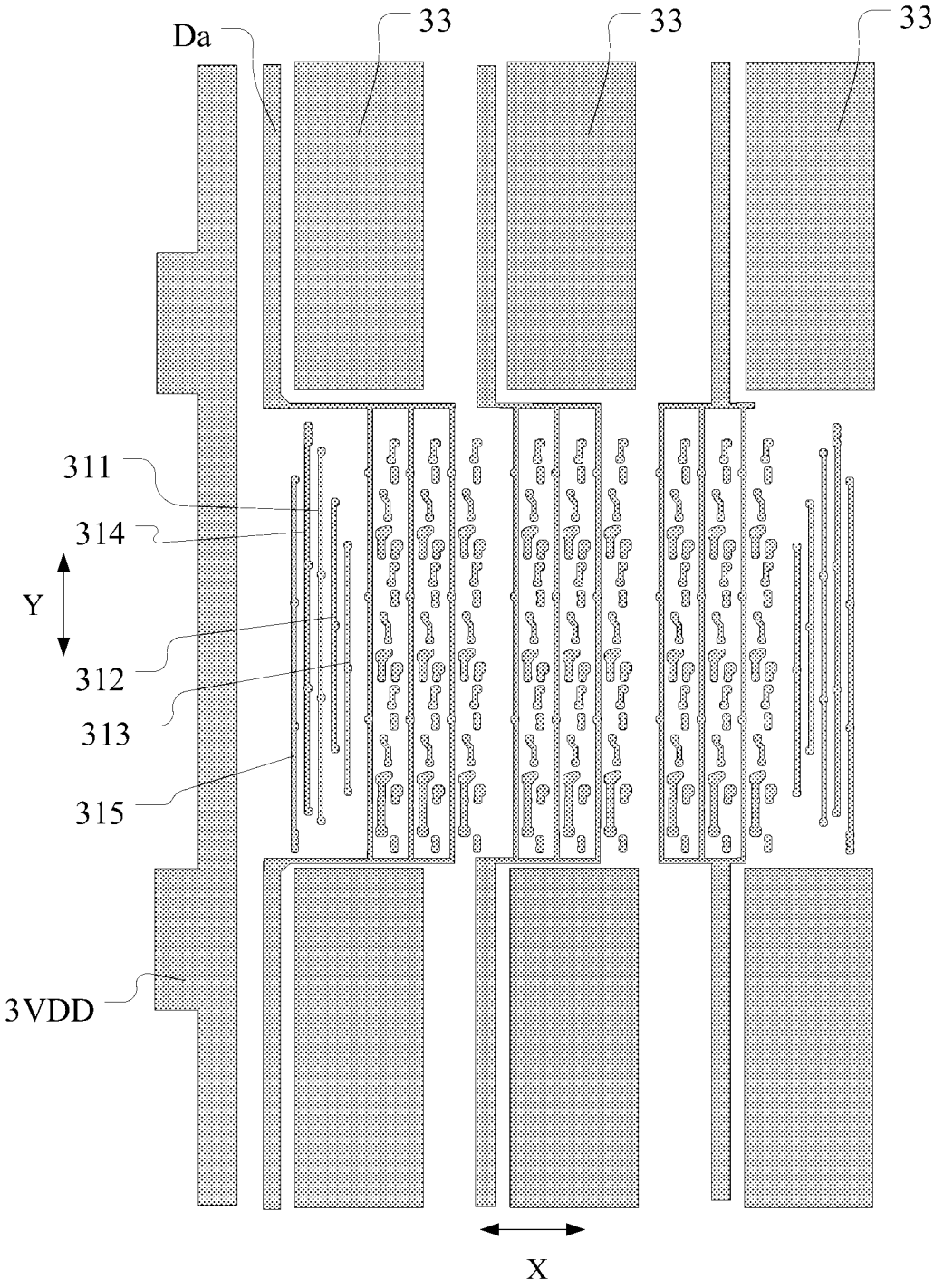


图 51

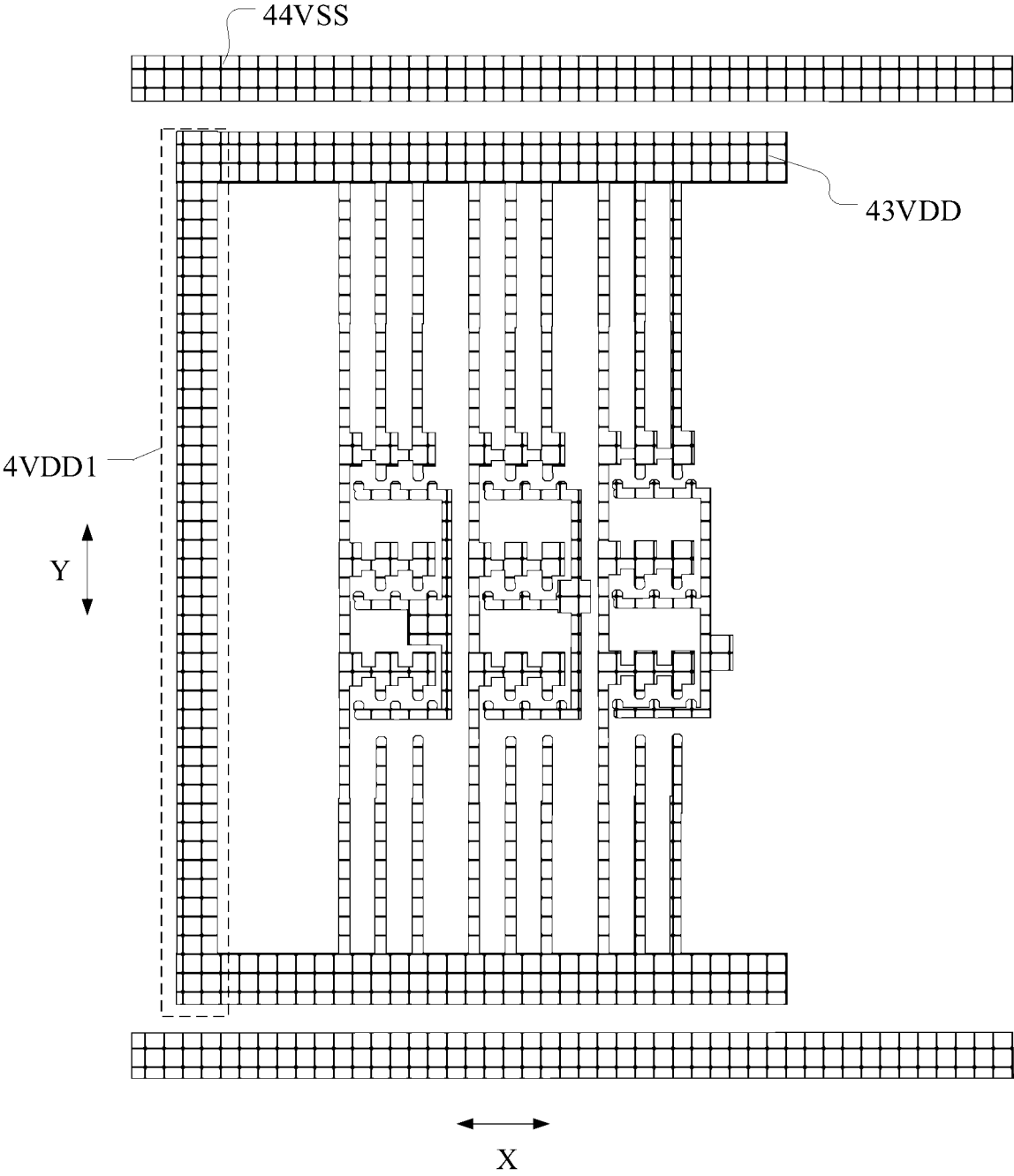


图 52

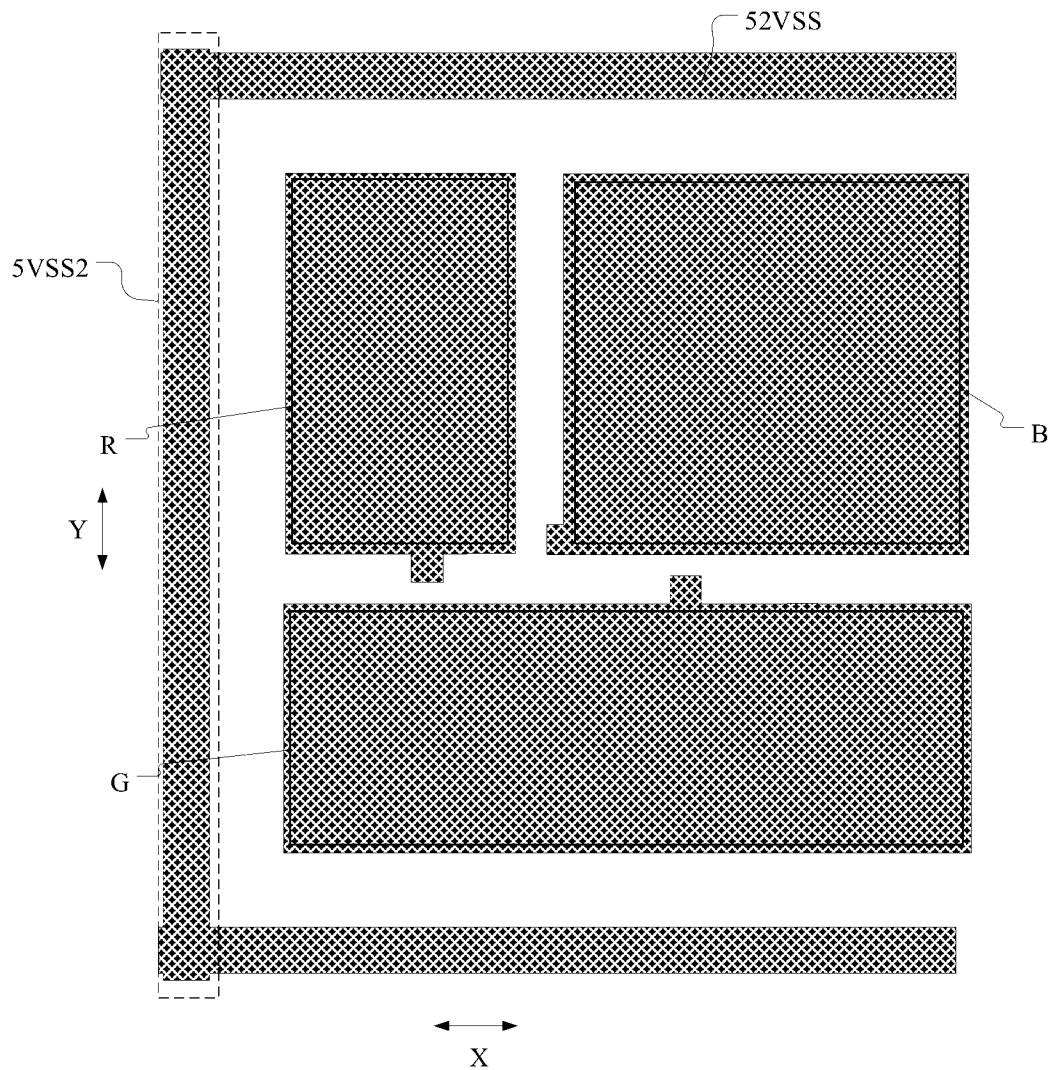


图 53

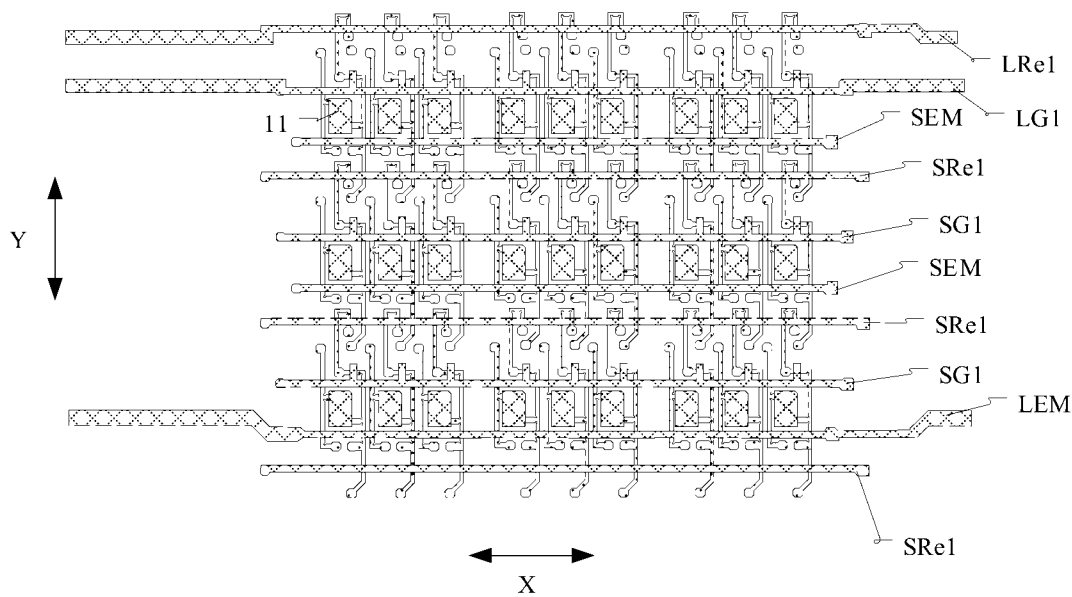


图 54

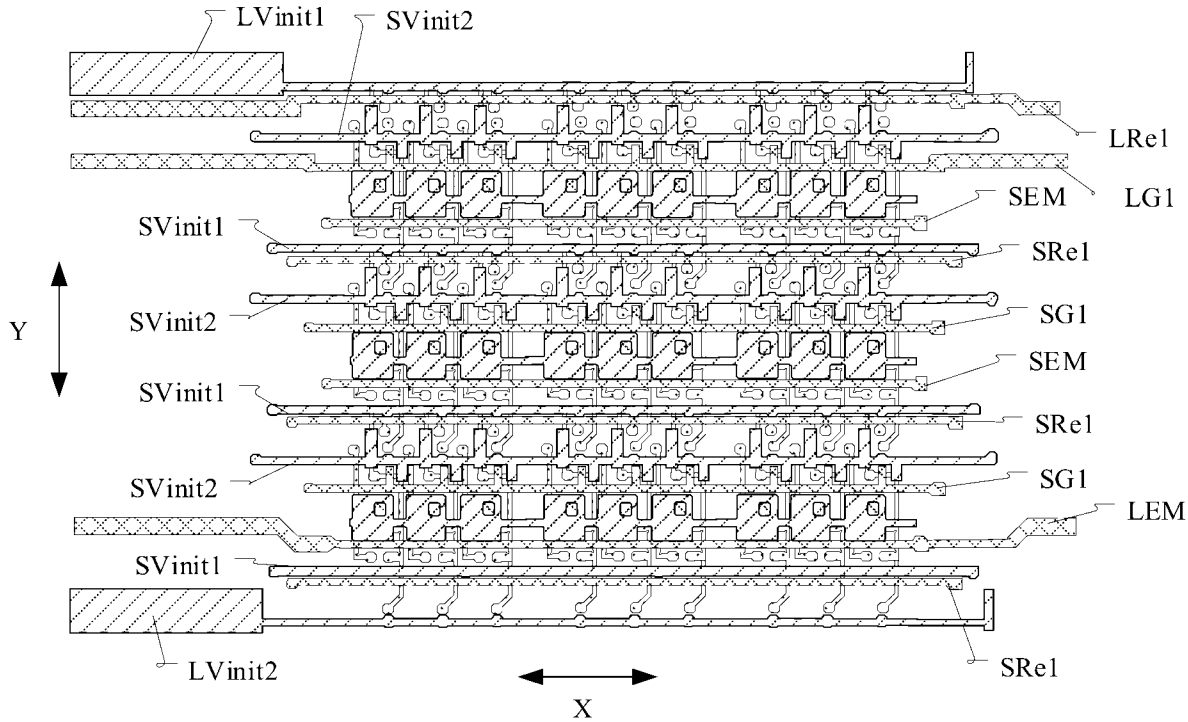


图 55

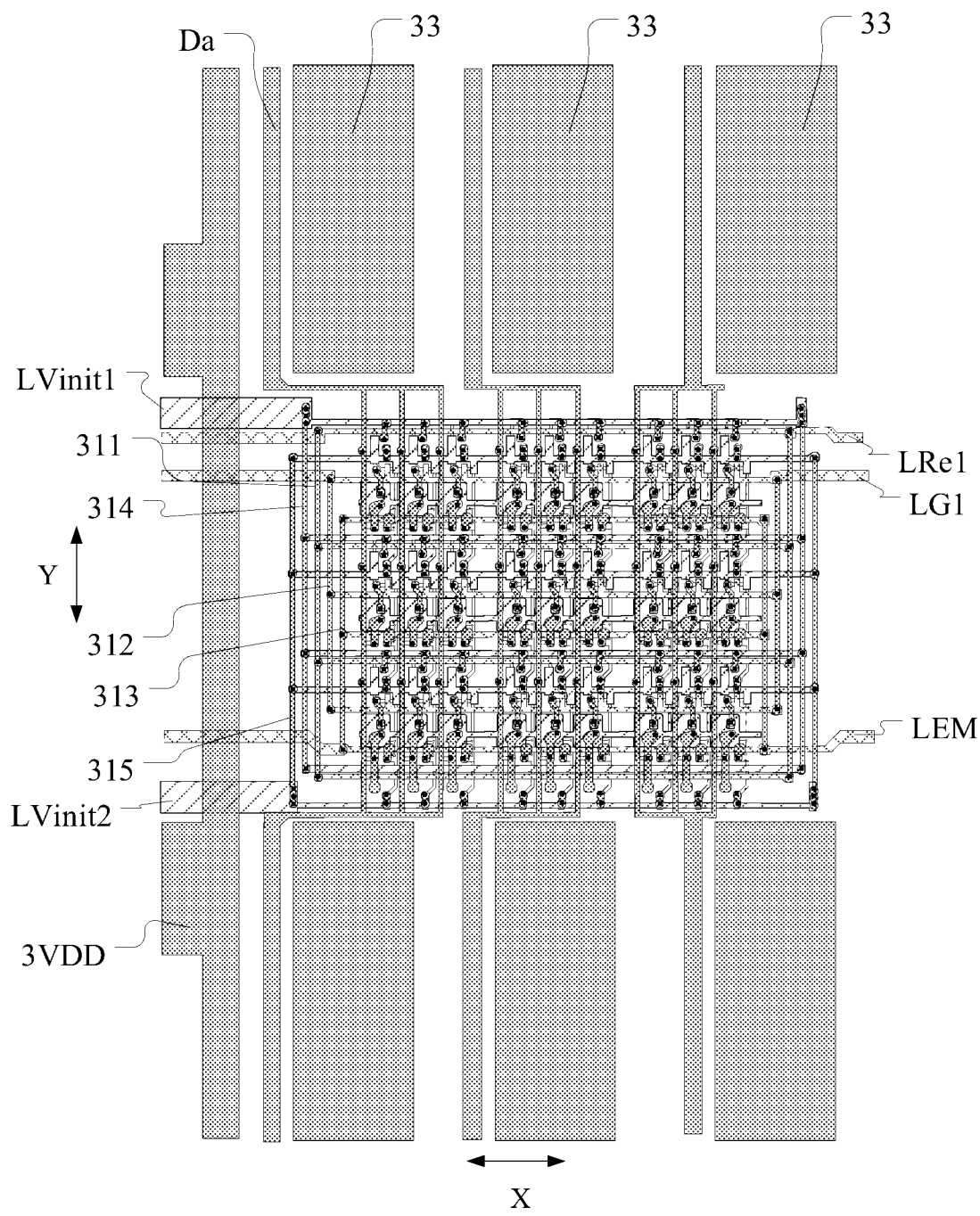


图 56

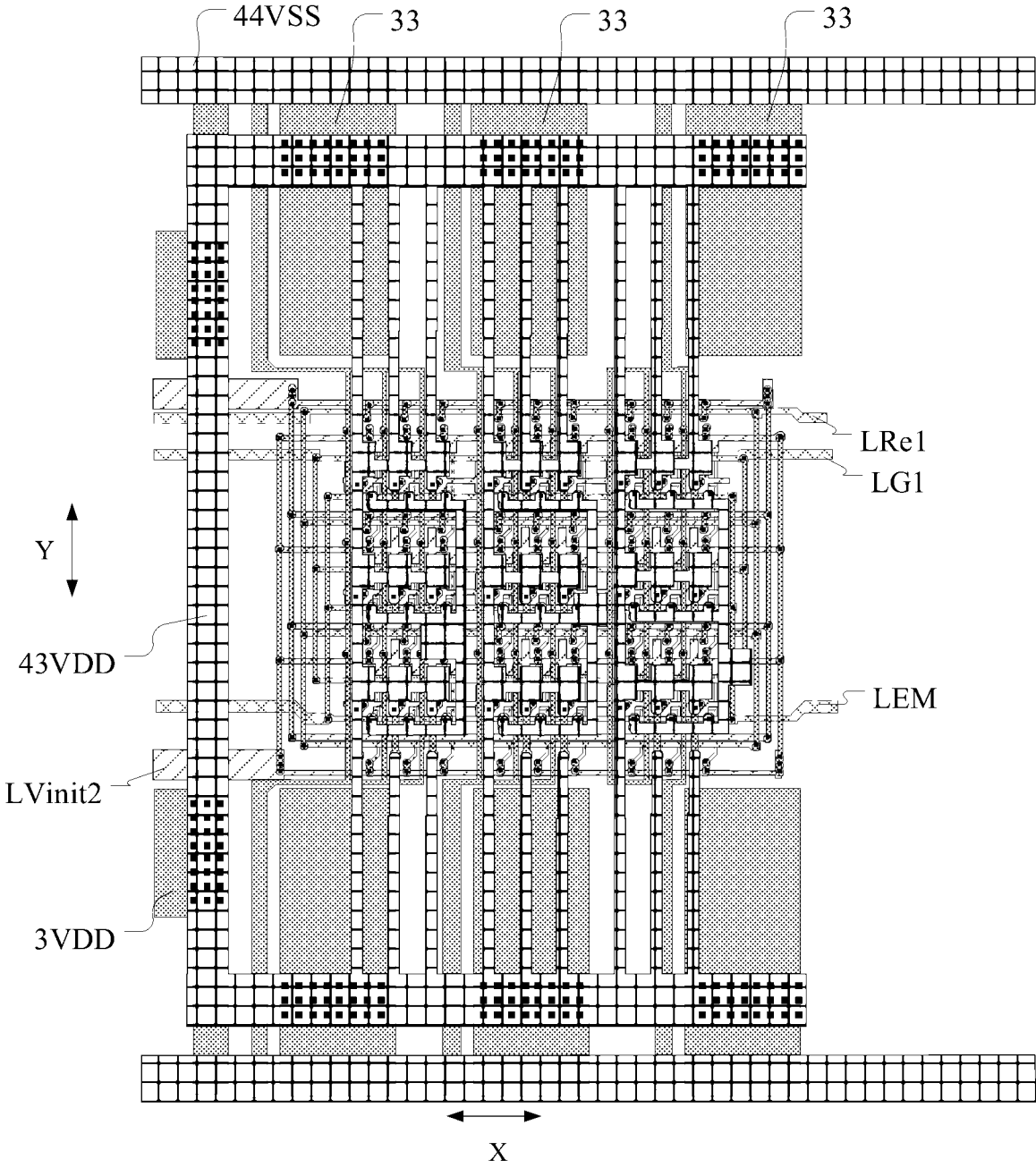


图 57

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/079025

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/32(2016.01)i; H01L27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G09G H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CNABS, CNKI: 并联, 驱动, 双栅, 一起, 同时, 有源, 掺杂, 沟道, 电流, 高亮, 导电层; VEN, DWPI, USTXT, EPTXT, WOTXT, IEEE, WEB OF SCIENCE: parallel, drive, dual-gate, simultaneous, active, doped, channel, current, highlight, conductive, layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 115862537 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 28 March 2023 (2023-03-28) description, paragraphs 43-77, and figures 1-16	1-2, 5, 8
X	CN 112470286 A (SAMSUNG DISPLAY CO., LTD.) 09 March 2021 (2021-03-09) description, paragraphs 48-159, and figures 1-19	1-28
X	CN 111739905 A (SAMSUNG DISPLAY CO., LTD.) 02 October 2020 (2020-10-02) description, figures 1-19	1-28
X	CN 110299107 A (SHANGHAI TIANMA ORGANIC LIGHT-EMITTING DISPLAY TECHNOLOGY CO., LTD.) 01 October 2019 (2019-10-01) description, paragraphs 29-54, and figures 2-15	1-8
X	CN 115472126 A (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD. et al.) 13 December 2022 (2022-12-13) description, paragraphs 77-157, and figures 1-12	1-8
A	CN 114122101 A (BOE TECHNOLOGY GROUP CO., LTD.) 01 March 2022 (2022-03-01) entire document	1-28



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 October 2023

Date of mailing of the international search report

04 November 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/079025

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 115152030 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 04 October 2022 (2022-10-04) entire document	1-28
<hr/>		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/079025

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115862537	A	28 March 2023	None			
CN	112470286	A	09 March 2021	KR	20200012062	A	05 February 2020
				WO	2020022657	A1	30 January 2020
				US	2021359058	A1	18 November 2021
CN	111739905	A	02 October 2020	US	2020302860	A1	24 September 2020
				US	10825394	B2	03 November 2020
				KR	20200111873	A	05 October 2020
CN	110299107	A	01 October 2019	US	2020410926	A1	31 December 2020
				US	11011112	B2	18 May 2021
				CN	110299107	B	29 January 2021
CN	115472126	A	13 December 2022	None			
CN	114122101	A	01 March 2022	None			
CN	115152030	A	04 October 2022	None			

A. 主题的分类 G09G3/32(2016.01)i; H01L27/12(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC:G09G H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT,CNABS,CNKI:并联, 驱动, 双栅, 一起, 同时, 有源, 掺杂, 沟道, 电流, 高亮, 导电层; VEN,DWPI, USTXT,EPTXT,WOTXT,IEEE,WEB OF SCIENCE: parallel,drive,dual-gate,simultaneous,active,doped,channel,current,hig-hlight,conductive,layer		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
E	CN 115862537 A (京东方科技集团股份有限公司 等) 2023年3月28日 (2023 - 03 - 28) 说明书第43-77段, 图1-16	1-2,5,8
X	CN 112470286 A (三星显示有限公司) 2021年3月9日 (2021 - 03 - 09) 说明书第48-159段, 图1-19	1-28
X	CN 111739905 A (三星显示有限公司) 2020年10月2日 (2020 - 10 - 02) 说明书, 图1-19	1-28
X	CN 110299107 A (上海天马有机发光显示技术有限公司) 2019年10月1日 (2019 - 10 - 01) 说明书第29-54段, 图2-15	1-8
X	CN 115472126 A (北京京东方技术开发有限公司 等) 2022年12月13日 (2022 - 12 - 13) 说明书第77-157段, 图1-12	1-8
A	CN 114122101 A (京东方科技集团股份有限公司) 2022年3月1日 (2022 - 03 - 01) 全文	1-28
A	CN 115152030 A (京东方科技集团股份有限公司 等) 2022年10月4日 (2022 - 10 - 04) 全文	1-28
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>		
国际检索实际完成的日期 2023年10月23日		国际检索报告邮寄日期 2023年11月4日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 吕佩 电话号码 (+86) 020-28958183

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/079025

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115862537	A	2023年3月28日	无			
CN	112470286	A	2021年3月9日	KR	20200012062	A	2020年2月5日
				WO	2020022657	A1	2020年1月30日
				US	2021359058	A1	2021年11月18日
CN	111739905	A	2020年10月2日	US	2020302860	A1	2020年9月24日
				US	10825394	B2	2020年11月3日
				KR	20200111873	A	2020年10月5日
CN	110299107	A	2019年10月1日	US	2020410926	A1	2020年12月31日
				US	11011112	B2	2021年5月18日
				CN	110299107	B	2021年1月29日
CN	115472126	A	2022年12月13日	无			
CN	114122101	A	2022年3月1日	无			
CN	115152030	A	2022年10月4日	无			